

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月18日(18.02.2021)



(10) 国際公開番号
WO 2021/028755 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) *G02F 1/13* (2006.01)
G09G 3/30 (2006.01) *G02F 1/133* (2006.01)
G09G 3/3233 (2016.01) *G02F 1/1362* (2006.01)
G09G 3/36 (2006.01) *H05B 33/10* (2006.01)
G09F 9/00 (2006.01) *H01L 51/50* (2006.01)
H01L 27/32 (2006.01)

(21) 国際出願番号: PCT/IB2020/057090

(22) 国際出願日: 2020年7月28日(28.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-147373 2019年8月9日(09.08.2019) JP
特願 2019-190103 2019年10月17日(17.10.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398株式会社
半導体エネルギー研究所内 Kanagawa (JP).
池田隆之 (IKEDA, Takayuki); 〒2430036 神奈
川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

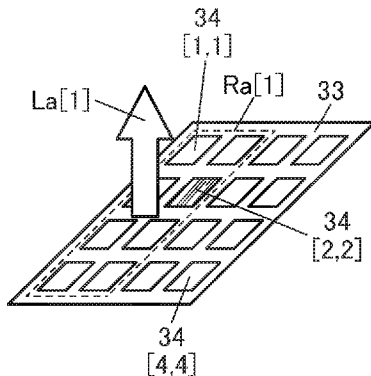
添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(54) Title: DISPLAY DEVICE OPERATING METHOD

(54) 発明の名称: 表示装置の動作方法

図2A1



(57) Abstract: Provided is a display device configured so that pixel defects are not readily visible. The display device includes a display unit in which pixels are arranged in a matrix shape, and a sensor unit provided with a photoelectric conversion element. First, the display unit is divided into a first region and a second region. Next, first light is emitted from pixels included in the first region, and a first light luminance is detected by the photoelectric conversion element. In addition, second light is emitted from pixels included in the second region, and a second light luminance is detected by the photoelectric conversion element. Subsequently, the first light luminance and the second light luminance are compared, and on the basis of the comparison results, either the first region or the second region is divided into a third region and a fourth region. A defective pixel is detected by repeating the foregoing operations. The luminance shown by the image data can be corrected on the basis of the defective pixel detection results.



WO 2021/028755 A1

(57) 要約：画素の欠陥が視認されにくい表示装置を提供する。画素がマトリクス状に配列された表示部と、光電変換素子が設けられたセンサ部と、を有する表示装置。まず、表示部を、第1の領域と、第2の領域と、に分割する。次に、第1の領域に含まれる画素から第1の光を射出して、第1の光の輝度を光電変換素子により検出する。また、第2の領域に含まれる画素から第2の光を射出して、第2の光の輝度を光電変換素子により検出する。その後、第1の光の輝度と、第2の光の輝度と、を比較し、比較の結果を基に、第1の領域、又は第2の領域の一方を、第3の領域と、第4の領域と、に分割する。これらの動作を繰り返すことにより、欠陥画素を検出する。欠陥画素の検出結果に基づき、画像データが表す輝度を補正することができる。

明細書

発明の名称

表示装置の動作方法

技術分野

[0001]

本発明の一態様は、表示装置の動作方法に関する。また、本発明の一態様は、表示装置に関する。また、本発明の一態様は、電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、表示システム、電子機器、照明装置、入力装置（例えば、タッチセンサ等）、入出力装置（例えば、タッチパネル等）、それらの駆動方法、又はそれらの製造方法を一例として挙げるができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、及び電子機器等は、半導体装置といえる場合がある。もしくは、これらは半導体装置を有するといえる場合がある。

背景技術

[0004]

拡張現実（AR：Augmented Reality）又は仮想現実（VR：Virtual Reality）用の表示装置として、ウェアラブル型の表示装置や、据え置き型の表示装置が普及しつつある。ウェアラブル型の表示装置としては、例えば、ヘッドマウントディスプレイ（HMD：Head Mounted Display）や眼鏡型の表示装置等がある。据え置き型の表示装置としては、例えば、ヘッドアップディスプレイ（HUD：Head-Up Display）等がある。例えば、特許文献1では、使用者の眼を撮像しやすいヘッドマウントディスプレイについて開示されている。

[先行技術文献]

[特許文献]

[0005]

[特許文献1] 特開2019-80354号公報

発明の概要

発明が解決しようとする課題

[0006]

HMD等、表示部と使用者の距離が近い表示装置においては、使用者が画素を視認しやすく粒状感を強く感じてしまうことから、ARやVRの没入感、及び臨場感が薄れる場合がある。このため、HMDにおいては、使用者に画素を視認されないように画素密度の高い表示装置が望まれる。例えば、1000ppi以上、好ましくは5000ppi以上、より好ましくは7000ppi以上の画素密度であることが好ましい。

[0007]

しかしながら、画素密度が高くなると、画素の欠陥、例えば点欠陥が生じたとしても、当該欠陥を

修復するために、欠陥が生じた画素へのレーザー照射等を行うことは難しい。

[0008]

本発明の一態様は、画素の欠陥が視認されにくい表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、高品位の画像を表示することができる表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、画素密度が高い表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、高速に動作する表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、低消費電力な表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、新規な表示装置の動作方法を提供することを課題の一とする。又は、本発明の一態様は、上記動作方法で動作する表示装置を提供することを課題の一とする。

[0009]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0010]

本発明の一態様は、表示部と、センサ部と、を有し、表示部には、 m 行 n 列（ m 、 n は2以上の整数）の画素がマトリクス状に配列され、センサ部には、光電変換素子が設けられた表示装置の動作方法であって、表示部を、第1の領域と、第2の領域と、に分割し、第1の領域に含まれる画素から第1の光を射出して、第1の光の輝度を光電変換素子により検出し、第2の領域に含まれる画素から第2の光を射出して、第2の光の輝度を光電変換素子により検出し、第1の光の輝度と、第2の光の輝度と、を比較し、比較の結果を基に、第1の領域、又は第2の領域の一方を、第3の領域と、第4の領域と、に分割し、第3の領域に含まれる画素から第3の光を射出して、第3の光の輝度を光電変換素子により検出し、第4の領域に含まれる画素から第4の光を射出して、第4の光の輝度を光電変換素子により検出し、第3の光の輝度と、第4の光の輝度と、を比較し、欠陥がある画素である欠陥画素を検出する、表示装置の動作方法である。

[0011]

又は、上記態様において、画像データを生成し、画像データが表す輝度を欠陥画素の検出結果に基づき補正した輝度の光である、第5の光を、画素から射出してもよい。

[0012]

又は、本発明の一態様は、表示部と、センサ部と、を有し、表示部には、 m 行 n 列（ m 、 n は2以上の整数）の画素がマトリクス状に配列され、センサ部には、光電変換素子が設けられた表示装置の動作方法であって、表示部を、第1乃至第 p （ p は2以上、 $m \times n / 2$ 以下の整数）の領域に分割し、第1乃至第 p の領域に含まれる画素から第1乃至第 p の光を射出して、第1乃至第 p の光の輝度を光電変換素子により検出し、第1乃至第 p の光の輝度を比較し、比較の結果を基に、第1乃至第 p の領域のうち、少なくとも一つを含む領域である第 $p+1$ の領域を、第 $p+2$ 乃至第 q （ q は $p+3$ 以上、 $m \times n + p + 1$ 以下の整数）の領域に分割し、第 $p+2$ 乃至第 q の領域に含まれる画素から第 $p+1$ 乃至第 $q-1$ の光を射出して、第 $p+1$ 乃至第 $q-1$ の光の輝度を光電変換素子により検出し、第 $p+1$ 乃至第 $q-1$ の光の輝度を比較し、欠陥がある画素である欠陥画素を検出する、表示装置の動作方法である。

[0013]

又は、上記態様において、画像データを生成し、画像データが表す輝度を欠陥画素の検出結果に基づき補正した輝度の光である、第 q の光を、画素から射出してもよい。

[0014]

又は、上記態様において、補正は、ニューラルネットワークを用いて行ってもよい。

[0015]

又は、上記態様において、ニューラルネットワークの学習は、学習用画像データと、学習用画像データに対応する学習用欠陥画素座標データと、を学習データとして用いることにより行ってもよい。

[0016]

又は、上記態様において、表示装置は、第1の層と、第2の層と、が積層して設けられ、第1の層は、ゲートドライバ回路と、データドライバ回路と、を有し、第2の層は、表示部と、センサ部と、を有し、ゲートドライバ回路、及びデータドライバ回路は、表示部に設けられた画素と重なる領域を有し、ゲートドライバ回路は、データドライバ回路と重なる領域を有してもよい。

[0017]

又は、上記態様において、画素は、チャネル形成領域に金属酸化物を有するトランジスタを有し、金属酸化物は、In又はZnの少なくとも一方を含んでもよい。

発明の効果

[0018]

本発明の一態様により、画素の欠陥が視認されにくい表示装置の動作方法を提供することができる。又は、本発明の一態様により、高品位の画像を表示することができる表示装置の動作方法を提供することができる。又は、本発明の一態様により、画素密度が高い表示装置の動作方法を提供することができる。又は、本発明の一態様により、高速に動作する表示装置の動作方法を提供することができる。又は、本発明の一態様により、低消費電力な表示装置の動作方法を提供することができる。又は、本発明の一態様により、新規な表示装置の動作方法を提供することができる。又は、本発明の一態様により、上記動作方法で動作する表示装置を提供することができる。

[0019]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0020]

図1Aは、表示装置の構成例を示すブロック図である。図1Bは、画素の構成例を示す図である。

図2A1及び図2A2、図2B1及び図2B2、図2C1及び図2C2、並びに図2D1及び図2D2は、表示装置の動作の一例を示す図である。

図3A乃至図3Cは、表示装置の動作の一例を示す図である。

図4A乃至図4Hは、表示装置の構成例を示すブロック図である。

図5A、及び図5Bは、表示装置の動作の一例を示す図である。

図6A、及び図6Bは、表示装置の動作の一例を示す図である。

図7A、及び図7Bは、表示装置の動作の一例を示す図である。

図8A、及び図8Bは、表示装置の動作の一例を示す図である。

- 図 9 A は、電子機器の構成例を示す斜視図である。図 9 B は、画素の構成例を示す図である。
- 図 10 A、及び図 10 B は、表示装置と使用者の位置関係を示す図である。
- 図 11 は、表示装置の動作の一例を示すフローチャートである。
- 図 12 A 乃至図 12 C は、判定テーブル 1、判定テーブル 2、及び警告表示の一例を示す図である。
- 図 13 は、表示装置の動作の一例を示すフローチャートである。
- 図 14 A、及び図 14 B は、判定テーブル 3、及び警告表示の一例を示す図である。
- 図 15 は、表示装置の構成例を示すブロック図である。
- 図 16 は、表示装置の構成例を示すブロック図である。
- 図 17 は、表示装置の構成例を示すブロック図である。
- 図 18 は、表示装置の構成例を示すブロック図である。
- 図 19 は、表示装置の構成例を示すブロック図である。
- 図 20 は、表示装置の構成例を示すブロック図である。
- 図 21 は、表示装置の構成例を示すブロック図である。
- 図 22 は、ゲートドライバ回路の構成例を示すブロック図である。
- 図 23 A は、レジスタ回路の構成例を示すブロック図である。図 23 B は、レジスタ回路の構成例を示す回路図である。
- 図 24 は、ゲートドライバ回路及びデータドライバ回路の配置の例を示す模式図である。
- 図 25 は、ゲートドライバ回路及びデータドライバ回路の構成例を示す上面図である。
- 図 26 A 乃至図 26 G は、画素の構成例を示す図である。
- 図 27 A 乃至図 27 C は、画素の構成例を示す回路図である。
- 図 28 A は、画素の構成例を示す回路図である。図 28 B は、画素の動作方法の一例を示すタイミングチャートである。
- 図 29 A、図 29 C、及び図 29 D は、画素の構成例を示す回路図である。図 29 B は、画素の動作方法の一例を示すタイミングチャートである。
- 図 30 A 乃至図 30 E は、画素の構成例を示す回路図である。
- 図 31 は、表示装置の構成例を示すブロック図である。
- 図 32 は、表示装置の動作例を説明する図である。
- 図 33 は、表示装置の構成例を示す断面図である。
- 図 34 は、表示装置の構成例を示す断面図である。
- 図 35 は、表示装置の構成例を示す断面図である。
- 図 36 は、表示装置の構成例を示す断面図である。
- 図 37 は、表示装置の構成例を示す断面図である。
- 図 38 は、表示装置の構成例を示す断面図である。
- 図 39 A、及び図 39 B は、画素の構成例を示す上面図である。
- 図 40 は、画素の構成例を示す上面図である。
- 図 41 は、画素の構成例を示す断面図である。
- 図 42 A は、画素の構成例を示す模式図である。図 42 B は、画素の構成例を示す上面図である。
- 図 43 A、及び図 43 B は、画素の構成例を示す上面図である。
- 図 44 は、画素の構成例を示す上面図である。
- 図 45 は、画素の構成例を示す上面図である。

図46は、画素の構成例を示す断面図である。

図47A乃至図47Eは、発光素子の構成例を示す図である。

図48Aは、トランジスタの構成例を示す上面図である。図48B及び図48Cは、トランジスタの構成例を示す断面図である。

図49Aは、トランジスタの構成例を示す上面図である。図49B及び図49Cは、トランジスタの構成例を示す断面図である。

図50Aは、トランジスタの構成例を示す上面図である。図50B及び図50Cは、トランジスタの構成例を示す断面図である。

図51Aは、IGZOの結晶構造の分類を説明する図である。図51Bは、CAAC-IGZO膜のXRDスペクトルを説明する図である。図51Cは、CAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図52A乃至図52Gは、電子機器の構成例を示す斜視図である。

図53Aは、実施例に係るI_g-V_g特性の測定結果を示す図である。図53B及び図53Cは、実施例に係るI_d-V_d特性の測定結果を示す図である。

図54A、及び図54Bは、実施例に係るI_d-V_d特性の測定結果を示す図である。

発明を実施するための形態

[0021]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0022]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0023]

また、図面において示す各構成の、位置、大きさ、範囲等は、理解の簡単のため、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、範囲等に限定されない。

[0024]

なお、「膜」という用語と、「層」という用語とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0025]

本明細書等において「電極」「配線」「端子」等の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」「配線」「端子」

等が一体となって形成されている場合等も含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」「配線」「端子」等の用語は、場合によって、「領域」等の用語に置き換えて用いることができる場合がある。

[0026]

また、本明細書等において、「抵抗」の抵抗値を、配線の長さによって決める場合がある。又は、抵抗値は、配線で用いる導電体とは異なる抵抗率を有する導電体と接続することにより決める場合がある。又は、半導体に不純物をドーピングすることで抵抗値を決める場合がある。

[0027]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的な作用を有するもの」を介して接続される場合が含まれる。ここで、「何らかの電氣的な作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。また、「直接接続」と表現される場合であっても、異なる導電体がコンタクトを介して接続される場合が含まれる。なお、配線には、異なる導電体の一つ以上の同じ元素を含む場合と、異なる元素を含む場合と、がある。

[0028]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) 等に分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET と記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0029]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0030]

(実施の形態1)

本実施の形態では、本発明の一態様の表示装置、及びその動作方法について、図面を用いて説明する。

[0031]

本発明の一態様は、表示装置が有する表示部に設けられる画素の中から、欠陥画素を検出する方法に関する。また、検出した欠陥画素の座標に基づき、表示装置が表示する画像を補正する方法に関する。

[0032]

本明細書において、「欠陥画素」という用語は、表示素子が設けられている画素のうち、常に表示又は非表示の状態となる画素、又は表示素子を正常に制御することができないような状態となる画素を示す。欠陥画素は、表示素子の両極間ショート、配線間のショート、表示素子の電極と配線間のショート、又は表示素子に接続されるトランジスタの動作不良等が原因で発生する。

[0033]

ここで、「常に表示」の状態となっている画素とは、常に光を射出し続けている画素を示す。「常に表示」の状態となっている画素は、例えば「白欠陥画素」ということができる。また、「常に非表示」の状態となっている画素とは、表示部に画像が表示されている、つまり欠陥画素以外の画素が光を射出している状態であっても、光を照射しない画素を示す。「常に非表示」の状態となっている画素は、例えば「黒欠陥画素」ということができる。

[0034]

<表示装置の構成例1>

図1Aは、本発明の一態様の表示装置である表示装置10の構成例を示すブロック図である。表示装置10は、層20と、層20の上方に積層された層30を有する。層20はゲートドライバ回路21と、データドライバ回路22と、機能回路40と、を有する。層30は、画素34がマトリクス状に配列された表示部33と、画素36が配列されたセンサ部35と、を有する。層20と層30の間には、層間絶縁体を設けることができる。

[0035]

ここで、図1Bに示すように、画素34は表示素子81を有し、表示素子81から光82が射出される。これにより、表示部33に画像を表示することができる。また、画素36は光電変換素子83を有する。光電変換素子83は、光電変換素子83に入射された光84の輝度を検出する機能を有する。よって、センサ部35に光電変換素子83を設けることにより、センサ部35に照射された光の輝度を検出することができる。

[0036]

表示素子81としては様々な素子を用いることができるが、代表的には有機発光素子やLED素子等の発光素子、液晶素子、又はMEMS (Micro Electro Mechanical Systems) 素子等を適用することができる。

[0037]

機能回路40は、ゲートドライバ回路21、データドライバ回路22、及び画素36と電氣的に接続される。

[0038]

同一行の画素34は、配線31を介してゲートドライバ回路21と電氣的に接続され、同一列の画素34は、配線32を介してデータドライバ回路22と電氣的に接続される。

[0039]

なお、図1Aでは、1行の画素34が1本の配線31によって電氣的に接続され、1列の画素34が1本の配線32によって電氣的に接続される構成を示しているが、本発明の一態様はこれに限らない。例えば、1行の画素34が2本以上の配線31によって電氣的に接続されていてもよいし、1列の画素34が2本以上の配線32によって電氣的に接続されていてもよい。又は、例えば1本の配線31が2行以上の画素34と電氣的に接続されていてもよいし、1本の配線32が2列以上の画素34と電氣的に接続されていてもよい。つまり、例えば1本の配線31を2行以上の画素34で共有してもよいし、1本の配線32を2列以上の画素34で共有してもよい。

[0040]

機能回路40は、表示装置10が所望の機能を発揮するために必要となる処理を行う機能を有する。例えば、機能回路40は、表示部33に設けられている画素34のそれぞれから射出される光の輝

度を表すデータである、画像データを生成する機能を有する。また、機能回路40は、生成した画像データを、本発明の一態様の方法により補正する機能を有する。例えば、センサ部35に照射された光の輝度を基にして、画像データを補正する機能を有する。

[0041]

また、機能回路40は、後述する機械学習を用いる処理を行う機能を有する。例えば、ニューラルネットワークを用いる処理を行う機能を有する。機能回路40は、例えば機械学習によって取得された推論結果に基づき、画像データを補正する機能を有する。

[0042]

また、機能回路40は、表示装置10が有する各回路の動作を制御する機能を有する。例えば、スタートパルス信号、及びクロック信号等を生成する機能を有する。よって、機能回路40は、制御回路を有するということができる。当該制御回路は、CPU (Central Processing Unit)、GPU (Graphics Processing Unit) 等を有する構成とすることができる。

[0043]

さらに、機能回路40は、表示装置10の動作を制御するためのプログラム等を記憶する機能を有する。また、機能回路40は、機能回路40が生成した画像データを記憶する機能を有してもよい。よって、機能回路40は、記憶回路を有するということができる。当該記憶回路は、揮発性メモリ及び不揮発性メモリのうち、少なくとも一方を有する。記憶回路は、例えば、DRAM、又はSRAMなどの揮発性メモリを有していてもよい。記憶回路は、例えば、ReRAM (Resistive Random Access Memory、抵抗変化型メモリともいう)、PRAM (Phase change Random Access Memory)、FeRAM (Ferroelectric Random Access Memory)、MRAM (Magnetoresistive Random Access Memory、磁気抵抗型メモリともいう)、又はフラッシュメモリ (NANDフラッシュメモリ、及びNORフラッシュメモリを含む) などの不揮発性メモリを有していてもよい。

[0044]

ゲートドライバ回路21は、画素34の動作を制御するための信号を生成し、配線31を介して当該信号を画素34に供給する機能を有する。ここで、ゲートドライバ回路21は、例えば1行目の画素34から順に上記信号を供給する機能を有する。よって、配線31は、走査線としての機能を有するということができる。

[0045]

データドライバ回路22は、機能回路40が出力した画像データを、画素34に供給する機能を有する。よって、配線32はデータ線としての機能を有するということができる。具体的には、データドライバ回路22は、機能回路40が出力したデジタルの画像データを、アナログの画像データに変換して画素34に供給する機能を有する。これにより、画素34から、画像データに対応する輝度の光を射出させ、表示部33に画像を表示させることができる。

[0046]

表示装置10は、層20に設けられたゲートドライバ回路21及びデータドライバ回路22が、表示部33と重なる領域を有している。例えば、ゲートドライバ回路21及びデータドライバ回路22は、画素34と重なる領域を有している。ゲートドライバ回路21及びデータドライバ回路22

と、表示部 33 と、を、互いに重なる領域を有するように積層して設けることで、表示装置 10 を狭額縁化することができ、また小型化することができる。

[0047]

また、ゲートドライバ回路 21 とデータドライバ回路 22 は、明確に分離されず、重なる領域を有する。当該領域を、領域 23 とする。ゲートドライバ回路 21 とデータドライバ回路 22 が領域 23 を有することにより、ゲートドライバ回路 21 及びデータドライバ回路 22 の占有面積を小さくすることができる。よって、表示部 33 の面積が小さい場合であっても、ゲートドライバ回路 21 及びデータドライバ回路 22 を、表示部 33 からはみ出すことなく設けることができる。又は、ゲートドライバ回路 21 及びデータドライバ回路 22 の、表示部 33 と重ならない領域の面積を小さくすることができる。以上より、領域 23 を有さない場合よりさらに狭額縁化することができ、また小型化することができる。

[0048]

機能回路 40 は、表示部 33 と重ならないように設けることができる。なお、機能回路 40 を、表示部 33 と重なる領域を有するように設けてもよい。また、機能回路 40 は、センサ部 35 と重なる領域を有するように設けることができる。

[0049]

図 1A に示すように、表示装置 10 は、表示部 33 の周辺にセンサ部 35 が設けられる構成としている。これにより、表示部 33 が有する画素 34 の欠陥、例えば点欠陥を、センサ部 35 を用いて検出することができる。つまり、表示部 33 が有する画素 34 の中から、欠陥画素を検出することができる。

[0050]

検出した欠陥画素に係る情報、具体的には例えば欠陥画素の位置を表す座標に係る情報は、例えば機能回路 40 が有する記憶回路に保持することができる。

[0051]

< 欠陥画素の検出方法の一例 1 >

欠陥画素の検出方法の一例について、図 2A1 及び図 2A2、図 2B1 及び図 2B2、図 2C1 及び図 2C2、並びに図 2D1 及び図 2D2 を用いて説明する。

[0052]

以下では、表示部 33 が、4 行 4 列の画素 34 を有し、2 行 2 列目の画素 34 が黒欠陥画素であるとして、当該黒欠陥画素の検出方法の一例を説明する。

[0053]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“[m, n]”、“[n]”、“_1”、“_2”、等の識別用の符号を付記して記載する場合がある。例えば、1 行 1 列目の画素 34 を画素 34 [1, 1] と記載し、2 行 2 列目の画素 34 を画素 34 [2, 2] と記載し、4 行 4 列目の画素 34 を画素 34 [4, 4] と記載する。また、例えば画素 34 [1, 1] のうち、[1, 1] は座標であるということができる。

[0054]

図 2A1 乃至図 2D2 では、画素 34 [2, 2] が欠陥画素であることを示すために、画素 34 [2, 2] にハッチングを付している。

[0055]

まず、図2 A 1及び図2 A 2に示すように、表示部3 3を領域R a [1]と、領域R a [2]と、に分割する。図2 A 1では、1列目の画素3 4、及び2列目の画素3 4が、領域R a [1]に含まれるとしている。また、図2 A 2では、3列目の画素3 4、及び4列目の画素3 4が、領域R a [2]に含まれるとしている。

[0056]

次に、領域R a [1]に含まれる画素3 4から光L a [1]を射出して、光L a [1]の輝度を検出する。具体的には、例えば光L a [1]として白色光を射出して、当該白色光の輝度を検出する。なお、図2 A 1乃至図2 D 2に示す他の光も、光L a [1]と同様に白色光とすることができる。また、図2 A 1乃至図2 D 2に示す光の検出は、図1 A等に示すセンサ部3 5を用いて行うことができる。

[0057]

ここで、画素3 4から射出される光を、センサ部3 5を用いて検出する場合、表示部3 3及びセンサ部3 5を、光の乱反射率が高い物質で覆うことが好ましい。例えば、表示部3 3及びセンサ部3 5を、紙で覆うことが好ましい。これにより、例えば画素3 4から射出される光の指向性が高い場合であっても、当該光を効率的にセンサ部3 5に入射させることができる。また、画素3 4から射出される光以外の光がセンサ部3 5に入射されることを抑制することができる。以上により、画素3 4から射出される光の輝度を、センサ部3 5を用いて高い精度で検出することができる。

[0058]

その後、領域R a [2]に含まれる画素3 4から光L a [2]を射出して、光L a [2]の輝度を検出する。

[0059]

次に、光L a [1]の輝度と、光L a [2]の輝度と、を比較する。図2 A 1及び図2 A 2に示す場合では、領域R a [2]に含まれるすべての画素3 4が、白色光を射出することができる。一方、領域R a [1]に含まれる画素3 4のうち、画素3 4 [2, 2]は白色光を射出することができない、又は他の画素3 4から射出される光より低い輝度の光しか射出することができない。よって、光L a [1]の輝度は、光L a [2]の輝度より低くなる。

[0060]

以上より、表示装置1 0は、図2 A 1及び図2 A 2に示す動作を行うことで、領域R a [1]に黒欠陥画素が含まれることを検出することができる。

[0061]

次に、図2 B 1及び図2 B 2に示すように、領域R a [1]を領域R b [1]と、領域R b [2]と、に分割する。図2 B 1では、画素3 4 [1, 1]、画素3 4 [1, 2]、画素3 4 [2, 1]、及び画素3 4 [2, 2]が、領域R b [1]に含まれるとしている。また、図2 B 2では、画素3 4 [3, 1]、画素3 4 [3, 2]、画素3 4 [4, 1]、及び画素3 4 [4, 2]が、領域R b [2]に含まれるとしている。

[0062]

次に、領域R b [1]に含まれる画素3 4から光L b [1]を射出して、光L b [1]の輝度を検出する。その後、領域R b [2]に含まれる画素3 4から光L b [2]を射出して、光L b [2]の輝度を検出する。

[0063]

次に、光L b [1] の輝度と、光L b [2] の輝度と、を比較する。図2 B 1 及び図2 B 2 に示す場合では、領域R b [2] に含まれるすべての画素3 4 が、白色光を射出することができる。一方、領域R b [1] に含まれる画素3 4 のうち、画素3 4 [2, 2] は白色光を射出することができない、又は他の画素3 4 から射出される光より低い輝度の光しか射出することができない。よって、光L b [1] の輝度は、光L b [2] の輝度より低くなる。

[0064]

以上より、表示装置10は、図2 B 1 及び図2 B 2 に示す動作を行うことで、領域R b [1] に黒欠陥画素が含まれることを検出することができる。

[0065]

次に、図2 C 1 及び図2 C 2 に示すように、領域R b [1] を領域R c [1] と、領域R c [2] と、に分割する。図2 C 1 では、画素3 4 [1, 1]、及び画素3 4 [2, 1] が、領域R c [1] に含まれるとしている。また、図2 C 2 では、画素3 4 [1, 2]、及び画素3 4 [2, 2] が、領域R c [2] に含まれるとしている。

[0066]

次に、領域R c [1] に含まれる画素3 4 から光L c [1] を射出して、光L c [1] の輝度を検出する。その後、領域R c [2] に含まれる画素3 4 から光L c [2] を射出して、光L c [2] の輝度を検出する。

[0067]

次に、光L c [1] の輝度と、光L c [2] の輝度と、を比較する。図2 C 1 及び図2 C 2 に示す場合では、領域R c [1] に含まれるすべての画素3 4 が、白色光を射出することができる。一方、領域R c [2] に含まれる画素3 4 のうち、画素3 4 [2, 2] は白色光を射出することができない、又は他の画素3 4 から射出される光より低い輝度の光しか射出することができない。よって、光L c [2] の輝度は、光L c [1] の輝度より低くなる。

[0068]

以上より、表示装置10は、図2 C 1 及び図2 C 2 に示す動作を行うことで、領域R c [2] に黒欠陥画素が含まれることを検出することができる。

[0069]

次に、図2 D 1 及び図2 D 2 に示すように、領域R c [2] を領域R d [1] と、領域R d [2] と、に分割する。図2 D 1 では、画素3 4 [1, 2] が、領域R d [1] に含まれるとしている。また、図2 D 2 では、画素3 4 [2, 2] が、領域R d [2] に含まれるとしている。

[0070]

次に、領域R d [1] に含まれる画素3 4 から光L d [1] を射出して、光L d [1] の輝度を検出する。その後、領域R d [2] に含まれる画素3 4 から光L d [2] を射出して、光L d [2] の輝度を検出する。

[0071]

次に、光L d [1] の輝度と、光L d [2] の輝度と、を比較する。図2 D 1 及び図2 D 2 に示す場合では、領域R d [1] に含まれる画素3 4 [1, 2] は、白色光を射出することができる。一方、領域R d [2] に含まれる画素3 4 [2, 2] は、白色光を射出することができない、又は画素3 4 [1, 2] から射出される光より低い輝度の光しか射出することができない。よって、光L d [2] の輝度は、光L d [1] の輝度より低くなる。

[0072]

以上より、表示装置10は、図2D1及び図2D2に示す動作を行うことで、領域Rd[2]に黒欠陥画素が含まれることを検出することができる。

[0073]

以上、図2A1乃至図2D2に示す動作を行うことにより、画素34[2, 2]が黒欠陥画素であることを検出することができる。なお、以上示した欠陥画素の検出方法は、白欠陥画素を検出する場合にも適用することができる。例えば、図2A1乃至図2D2に示す光を黒色、又は黒色に近い色の光とすることにより、輝度が高い光を射出する領域に白欠陥画素が含まれることを検出することができる。なお、光を黒色とすることは、例えば光を発しないことを示す。

[0074]

また、例えば表示部33が図2A1、及び図2A2に示す構成である場合、図2A1乃至図2D2に示す動作のうち、全ての動作を行わなくてもよい。例えば、図2D1、及び図2D2に示す動作を行わなくてもよい。これにより、表示装置10が、欠陥画素を高速に検出することができる。なお、図2D1、及び図2D2に示す動作を行わない場合には、例えば図2C2に示す領域Rc[2]に含まれる画素34[1, 2]、及び画素34[2, 2]の両方が、欠陥画素として検出される。

[0075]

ここで、表示部33に設けられる画素34の個数が多い場合、画素34が欠陥画素であるか否かを正確に判定する、つまり欠陥画素でない画素34が欠陥画素として検出されることを一切許容しないとすると、欠陥画素の検出動作に長時間を要する。一方、画素密度が高い場合、例えば当該画素密度が1000ppi以上、5000ppi以上、又は7000ppi以上である場合、画素1個当たりの面積が小さくなる。このため、欠陥のない画素34について、当該画素1個当たりから射出される光の輝度が低くなる。また、欠陥画素の周辺に位置する、欠陥のない画素34を欠陥画素として検出したとしても、表示部33に表示される画像の見た目には大きな影響を与えない。よって、特に表示部33に設けられる画素34の個数が多く、画素密度が高い場合には、欠陥画素でない画素34が欠陥画素として検出されることを一定程度許容することが好ましい。これにより、表示部33に設けられる画素34の個数が多い場合であっても、表示装置10が、欠陥画素を高速に検出することができる。

[0076]

なお、例えば図2A1に示す領域Ra[1]に含まれる画素34の1つと、図2A2に示す領域Ra[2]に含まれる画素34の1つと、が欠陥画素である場合、図2A1に示す光La[1]の輝度と、図2A2に示す光La[2]の輝度と、は等しくなる。この場合、まず図2B1乃至図2D2に示す動作を行う。これにより、領域Ra[1]に含まれる欠陥画素を検出することができる。次に、図2A1及び図2A2に示す動作を再度行う。この際、検出した欠陥画素を考慮して、光La[1]の輝度と、光La[2]の輝度と、を比較する。例えば、光La[1]の輝度の8/7倍と、光La[2]の輝度と、を比較する。光La[2]の輝度は、光La[1]の輝度の8/7倍より低くなるため、図2A2に示す領域Ra[2]に対して、図2B1乃至図2D2に示す動作と同様の動作を行う。これにより、領域Ra[2]に含まれる欠陥画素を検出することができる。

[0077]

以上のように、表示部33に2以上の欠陥画素が設けられている場合であっても、図2A1乃至図2D2に示す方法を参照して、欠陥画素を検出することができる。

[0078]

また、図2A1乃至図2D2では、それぞれ表示部33を2つの領域に分割しているが、本発明の一態様はこれに限らない。例えば、表示部33を3つの領域に分割してもよいし、4つ以上の領域に分割してもよい。また、例えば表示部33に m 行 n 列の画素34がマトリクス状に配列されている場合、表示部33を p 個（ p は2以上、 $m \times n / 2$ 以下の整数）の領域に分割してもよい。

[0079]

例えば、表示部33を p 個の領域（第1乃至第 p の領域）に分割する場合、まず、第1の領域に含まれる画素34から第1の光を射出し、第1の光の輝度を検出する。次に、第2の領域に含まれる画素34から第2の光を射出し、第2の光の輝度を検出する。このように、第 p の領域に含まれる画素34から射出される第 p の光の輝度まで、順次検出する。

[0080]

次に、第1乃至第 p の光の輝度を比較し、比較結果を基に、第1乃至第 p の領域のうち、少なくとも一つを含む領域を第 $p+1$ の領域とする。例えば、欠陥画素を含むと判定された領域を第 $p+1$ の領域とする。その後、第 $p+1$ の領域を、2つ以上の領域に分割する。例えば、第 $p+2$ 乃至第 q （ q は $p+3$ 以上、 $m \times n + p + 1$ 以下の整数）の領域に分割する。

[0081]

その後、第 $p+2$ の領域に含まれる画素34から第 $p+1$ の光を射出し、第 $p+1$ の光の輝度を検出する。次に、第 $p+3$ の領域に含まれる画素34から第 $p+2$ の光を射出し、第 $p+2$ の光の輝度を検出する。そして、例えば第 $p+1$ の領域を第 $p+2$ 乃至第 q の領域に分割した場合、第 q の領域に含まれる画素34から射出される第 $q-1$ の光の輝度まで、順次検出する。

[0082]

その後、例えば第 $p+1$ 乃至第 $q-1$ の光の輝度を比較し、比較結果を基に、第 $p+2$ 乃至第 q の領域のうち、少なくとも一つを含む領域を第 $q+1$ の領域とする。例えば、欠陥画素を含むと判定された領域を第 $q+1$ の領域とする。

[0083]

以上示した動作を繰り返すことにより、欠陥画素を検出することができる。

[0084]

なお、図2A1乃至図2D2に示す各領域は、矩形としているが、本発明の一態様はこれに限らない。例えば、市松模様状にしてもよい。例えば、図2A1において、画素34 [1, 1]、画素34 [2, 2]、画素34 [1, 3]、画素34 [2, 4]、画素34 [3, 1]、画素34 [4, 2]、画素34 [3, 3]、及び画素34 [4, 4]を含む領域を領域Ra [1]としてもよい。また、図2A2において、画素34 [2, 1]、画素34 [1, 2]、画素34 [2, 3]、画素34 [1, 4]、画素34 [4, 1]、画素34 [3, 2]、画素34 [4, 3]、及び画素34 [3, 4]を含む領域を領域Ra [2]としてもよい。

[0085]

図2A1乃至図2D2に示す各領域の形状、つまり図2A1乃至図2D2に示す各領域に含まれる画素34は、機械学習を用いて決定してもよい。図2A1乃至図2D2に示す各領域の形状を機械学習により決定する場合、表示装置10と同じ工程で作製された表示装置に発生した欠陥画素の座標を表すデータを学習データとすることができる。

[0086]

また、図2 A 1乃至図2 D 2に示す各領域の形状は、ニューラルネットワークを用いた強化学習により決定してもよい。強化学習により決定する場合、例えば欠陥画素の検出に要する時間が短いほど、報酬を高くすることができる。

[0087]

図2 A 1乃至図2 D 2に示す各領域の形状を、機械学習を用いて決定することにより、当該形状を最適なものとすることができる。例えば、表示装置10の作製工程等に起因して、欠陥画素が発生しやすい領域に偏りがある場合は、欠陥画素が発生しやすい領域に対して集中的に検査（画素34から射出される光の輝度の比較等）を行うことができるように、上記領域の形状を決定することができる。これにより、欠陥画素の検出を、高速かつ正確に行うことができる。

[0088]

<画像の補正方法の一例>

欠陥画素の検出結果に基づき、表示部33に表示される画像を補正する方法の一例について、図3 A乃至図3 Cを用いて説明する。具体的には、検出した欠陥画素の座標に基づき、図1 A等に示す機能回路40が生成した画像データを補正する方法の一例について説明する。画素34が、補正後の画像データが表す輝度の光を射出することにより、表示部33に補正後の画像を表示することができる。

[0089]

表示部33に表示される画像の補正は、機械学習を用いて行うことができる。例えば、ニューラルネットワークを用いて行うことができる。表示部33に表示される画像の補正を、ニューラルネットワークを用いて行うと、補正のための詳細なアルゴリズムを組まなくても、画素34の欠陥が目立たないように高精度の補正を行うことができ、表示部33に高品位な画像を表示することができるため好ましい。図3 A乃至図3 Cは、機械学習を用いて、表示部33に表示される画像を補正する方法の一例を示している。

[0090]

[学習]

図3 A及び図3 Bは、学習方法の一例を示す図である。学習は、学習データ161、及びジェネレータ160を用いて行うことができる。

[0091]

ジェネレータ160は、ニューラルネットワークを用いたプログラムとすることができ、入力されたデータに対して、画像を生成することができる。ジェネレータ160として、例えば、Autoencoder (AE)、Convolutional Autoencoder (CAE)等が挙げられる。また、ジェネレータ160として、DCGAN (Deep Convolutional Generative Adversarial Networks)等、GAN (Generative Adversarial Networks)を応用したモデルを用いてもよい。

[0092]

学習データ161は、欠陥を含む画像を表す学習用画像データ162と、当該欠陥の位置の座標を表す学習用欠陥画素座標データ163と、を含む。図3 Aに示すように、学習データ161をジェネレータ160に入力すると、欠陥を補正した画像が出力される。例えば、補正のパターンが異なる画像を、複数枚出力することができる。そして、出力画像のそれぞれに対して、補正が正しく行われているか否かを判定する。例えば、欠陥が目立たないように補正が行われているか否かを判定

する。当該判定は、例えば目視により行うことができる。図3A及び図3Bでは、補正が正しく行われているという判定を“OK”で示し、補正が正しく行われていないという判定を“NG”で示している。ここで、学習データ161に学習用欠陥画素座標データ163を含めることにより、欠陥画素の周辺の画素から射出される光の輝度を重点的に補正することができる。これにより、欠陥が目立たないように高精度の補正を行うことができ、表示部33に高品位な画像を表示することができる。

[0093]

図3Aに示す動作を繰り返し行うことにより、ジェネレータ160は、ジェネレータ160に入力された画像データを正しく補正することができるようになる。なお、図3Aでは、学習データ161に含まれる、学習用画像データ162及び学習用欠陥画素座標データ163をそれぞれ1種類ずつとしているが、2種類以上ずつとしてもよい。

[0094]

次に、学習が十分に行われたか否かのテストを行う。図3Bに示すように、テスト用画像データ165と、テスト用欠陥画素座標データ166と、を含むテストデータ164をジェネレータ160に入力すると、学習結果に基づき補正された画像が出力される。そして、出力画像のそれぞれに対して、補正が正しく行われているか否かを判定する。補正が正しく行われている画像の割合が一定以上である場合は、十分に学習が行えているとして学習を終了し、学習結果167を保持する。学習結果167は、例えば機能回路40が有する記憶回路に保持することができる。一方、補正が正しく行われている画像の割合が一定未満である場合は、十分に学習が行えていないとして、図3Aに示す学習を再度行う。以上が学習方法の一例である。なお、ジェネレータ160がニューラルネットワークを用いたプログラムである場合、学習結果167は重み係数とすることができる。

[0095]

[推論]

図3Cは、推論方法、具体的には例えば画像を表示部33に表示した際に欠陥が目立たなくなるように、機能回路40が生成した画像データを補正する方法の一例を示す図である。

[0096]

図3Cに示すように、画像データ168と、検出された欠陥画素の位置の座標を表す欠陥画素座標データ169と、を学習済みのジェネレータ160に入力する。これにより、補正後の画像を表す画像データ170が、ジェネレータ160から出力される。ジェネレータ160は、事前の学習によって得られた学習結果167を読み込んだ状態にある。学習結果167を読み込んだジェネレータ160は、例えば欠陥が目立たなくなるように、画像データ168を補正することができる。

[0097]

以上が、機能回路40が生成した画像データを補正する方法の一例である。

[0098]

<センサ部の配置位置の一例>

図4A乃至図4Hは、センサ部35の配置位置の一例を示す図である。図4Aに示すように、センサ部35を、表示部33の左上に配置してもよい。また、センサ部35を、表示部33の左下、右上、又は右下に配置してもよい。また、図4Bに示すように、センサ部35を、表示部33の左上、左下、右上、及び右下のすべてに配置してもよい。また、図4Cに示すように、センサ部35を、表示部33の左側に配置してもよい。また、センサ部35を、表示部33の右側に配置してもよい。

また、図4Dに示すように、センサ部35を、表示部33の左右に配置してもよい。また、図4Eに示すように、センサ部35を、表示部33の下側に配置してもよい。また、センサ部35を、表示部33の上側に配置してもよい。また、図4Fに示すように、センサ部35を、表示部33の上下に配置してもよい。また、図4Gに示すように、センサ部35を、表示部33の上下左右に配置してもよい。また、図4Hに示すように、センサ部35を、表示部33を囲むように配置してもよい。

[0099]

<欠陥画素の検出方法の一例2>

ここで、表示装置10がセンサ部35を複数有する場合、表示部33に含まれる欠陥画素を検出する際に画素34から射出される光の輝度は、当該画素34を含む領域の位置に応じて、異なるセンサ部35により検出することが好ましい。図5A及び図5B、図6A及び図6B、図7A及び図7B、並びに図8A及び図8Bは、センサ部35が図4Gに示すように表示部33の上下左右に設けられている場合における、表示部33に含まれる欠陥画素の検出方法の一例を示す図である。図5A乃至図8Bにおいて、表示部33の上側に設けられるセンサ部35をセンサ部35Tとし、表示部33の下側に設けられるセンサ部35をセンサ部35Bとし、表示部33の左側に設けられるセンサ部35をセンサ部35Lとし、表示部33の右側に設けられるセンサ部35をセンサ部35Rとしている。

[0100]

図5A乃至図8Bでは、図2A1乃至図2D2に示す場合と同様に、表示部33が画素34[1, 1]乃至画素34[4, 4]を有し、画素34[2, 2]が欠陥画素である場合を示している。ここで、画素34[2, 2]が欠陥画素であることを示すために、画素34[2, 2]にハッチングを付している。

[0101]

図5A乃至図8Bに示す方法は、図2A1乃至図2D2に示す方法と同様の方法とすることができる。具体的には、図5Aと図2A1は同様の方法を示し、図5Bと図2A2は同様の方法を示し、図6Aと図2B1は同様の方法を示し、図6Bと図2B2は同様の方法を示し、図7Aと図2C1は同様の方法を示し、図7Bと図2C2は同様の方法を示し、図8Aと図2D1は同様の方法を示し、図8Bと図2D2は同様の方法を示すものとすることができる。

[0102]

図5Aに示すように、領域Ra[1]に含まれる画素34から射出される光La[1]の輝度は、センサ部35Lを用いて検出することが好ましい。また、図5Bに示すように、領域Ra[2]に含まれる画素34から射出される光La[2]の輝度は、センサ部35Rを用いて検出することが好ましい。これにより、光が射出される画素34と、当該光を検出するセンサ部35と、の距離を近づけることができる。また、光La[1]の輝度を検出するセンサ部35から領域Ra[1]までの距離と、光La[2]の輝度を検出するセンサ部35から領域Ra[2]までの距離と、の差を小さくすることができる。以上により、光La[1]の輝度と、光La[2]の輝度と、の比較を高い精度で行うことができるため、欠陥画素の検出を高い精度で行うことができる。

[0103]

また、図6Aに示すように、領域Rb[1]に含まれる画素34から射出される光Lb[1]の輝度は、センサ部35Tを用いて検出することが好ましい。また、図6Bに示すように、領域Rb

[2]に含まれる画素34から射出される光Lb[2]の輝度は、センサ部35Bを用いて検出することが好ましい。これにより、光が射出される画素34と、当該光を検出するセンサ部35と、の距離を近づけることができる。また、光Lb[1]の輝度を検出するセンサ部35から領域Rb[1]までの距離と、光Lb[2]の輝度を検出するセンサ部35から領域Rb[2]までの距離と、の差を小さくすることができる。以上により、光Lb[1]の輝度と、光Lb[2]の輝度と、の比較を高い精度で行うことができるため、欠陥画素の検出を高い精度で行うことができる。

[0104]

また、図7Aに示すように、領域Rc[1]に含まれる画素34から射出される光Lc[1]の輝度は、センサ部35Tを用いて検出することが好ましい。また、図7Bに示すように、領域Rc[2]に含まれる画素34から射出される光Lc[2]の輝度も、光Lc[1]と同様にセンサ部35Tを用いて検出することが好ましい。これにより、光Lc[1]及び光Lc[2]の輝度を、センサ部35Bを用いて検出する場合より、光が射出される画素34と、当該光を検出するセンサ部35と、の距離を近づけることができる。また、光Lc[1]及び光Lc[2]の輝度を、センサ部35L又はセンサ部35Rを用いて検出する場合より、光Lc[1]の輝度を検出するセンサ部35から領域Rc[1]までの距離と、光Lc[2]の輝度を検出するセンサ部35から領域Rc[2]までの距離と、の差を小さくすることができる。以上により、光Lc[1]の輝度と、光Lc[2]の輝度と、の比較を高い精度で行うことができるため、欠陥画素の検出を高い精度で行うことができる。

[0105]

さらに、図8Aに示すように、領域Rd[1]に含まれる画素34から射出される光Ld[1]の輝度は、センサ部35Lを用いて検出することが好ましい。また、図8Bに示すように、領域Rd[2]に含まれる画素34から射出される光Ld[2]の輝度も、光Ld[1]と同様にセンサ部35Lを用いて検出することが好ましい。これにより、光Ld[1]及び光Ld[2]の輝度を、センサ部35B又はセンサ部35Rを用いて検出する場合より、光が射出される画素34と、当該光を検出するセンサ部35と、の距離を近づけることができる。また、光Ld[1]及び光Ld[2]の輝度を、センサ部35Tを用いて検出する場合より、光Ld[1]の輝度を検出するセンサ部35から領域Rd[1]までの距離と、光Ld[2]の輝度を検出するセンサ部35から領域Rd[2]までの距離と、の差を小さくすることができる。以上により、光Ld[1]の輝度と、光Ld[2]の輝度と、の比較を高い精度で行うことができるため、欠陥画素の検出を高い精度で行うことができる。

[0106]

以上示したように、画素34から射出された光の輝度は、当該画素34からの距離が近いセンサ部35を用いて検出することが好ましい。また、例えば第1の領域に含まれる画素34から射出された光である第1の光の輝度と、第2の領域に含まれる画素34から射出された光である第2の光の輝度と、を比較する場合を考える。この場合は、第1の光の輝度を検出するセンサ部35から第1の領域までの距離が、第2の光の輝度を検出するセンサ部35から第2の領域までの距離とできる限り等しいことが好ましい。このようになるように、第1の光の輝度を検出するセンサ部35、及び第2の光の輝度を検出するセンサ部35を選択することが好ましい。以上により、光の輝度の比較を高い精度で行うことができるため、欠陥画素の検出を高い精度で行うことができる。

[0107]

<電子機器の一例>

図9Aは、表示装置10を適用することができる電子機器である、電子機器100の外観の一例を示す斜視図である。図9Aに示すように、電子機器100は、HMDとすることができる。図9Aには、電子機器100の構成要素のうち、筐体101と、表示部33を示している。

[0108]

HMDは、表示部と使用者の距離が近いこと、使用者が画素を視認しやすく、粒状感を強く感じてしまうことから、ARやVRの没入感、及び臨場感が薄れる場合がある。このため、HMDにおいては、使用者に画素を視認されないように画素密度を高くすることが好ましい。例えば、1000ppi以上、好ましくは5000ppi以上、より好ましくは7000ppi以上の画素密度であることが好ましい。

[0109]

前述のように、本実施の形態で説明した欠陥画素の検出方法は、表示装置10の画素密度が高い場合であっても好適に適用することができる。また、HMDでは、表示部と使用者の距離が近いこと、使用者が欠陥画素を視認しやすい。前述のように、表示装置10は、使用者が欠陥画素を視認しづらくなるように、画像データを補正することができる。以上より、表示装置10は、HMD等に好適に適用することができる。

[0110]

電子機器100をHMD等とする場合、使用者は眼精疲労を感じやすい。よって、電子機器100は、使用者の眼精疲労を測定し、測定結果に応じた情報を使用者に通知する機能を有することが好ましい。

[0111]

図9Bは、表示装置10を適用した電子機器100が、使用者の眼精疲労を測定する機能を有する場合、センサ部35に設けられる画素36の構成例を示す図である。電子機器100が使用者の眼精疲労を測定する機能を有する場合、画素36は、光電変換素子83の他、発光素子85を有することができる。発光素子85は、光86を発する機能を有する。発光素子85として、有機発光素子、LED素子等を用いることができる。なお、本明細書等において、光86を検出光という。

[0112]

発光素子85は、赤外光を発する機能を有することが好ましい。赤外光は、人間の眼には視認されない。よって、発光素子85が発する光を赤外光とすることにより、電子機器100の使用者が、発光素子85が発する光を視認することを抑制できるため、ARやVRの没入感や臨場感が低下することを抑制できる。

[0113]

図10Aは、電子機器100の使用者の眼球171（眼球171R及び眼球171L）と、表示部33の位置関係を示す図である。表示部33に表示された画像は、眼球171R及び眼球171Lにより視認される。

[0114]

図10Bは、電子機器100の使用者の眼球171と、表示部33及びセンサ部35と、の位置関係を示す図である。

[0115]

センサ部35の検出光である光86の一部は、電子機器100の使用者の眼球171及び／又は眼

(図示しない)で反射して、光84としてセンサ部35に入射する。具体的には、センサ部35が有する発光素子85から発せられた検出光である光86の一部は、電子機器100の使用者の眼球171及び／又は瞼で反射して、光84としてセンサ部35が有する光電変換素子83に入射される。電子機器100の使用者が瞬きをすると、センサ部35に入射する光84の輝度が変化する。よって、センサ部35が有する光電変換素子83により検出される光84の輝度の変化から、瞬きの有無を検出することができる。

[0116]

前述のように、表示装置10は、センサ部35に設けられている光電変換素子83を用いて、欠陥画素を検出することができる。よって、表示装置10は、欠陥画素を検出する際に用いる光電変換素子と、表示装置10を適用した電子機器100の使用者の眼精疲労を検出する際に用いる光電変換素子と、を兼ねることができる。

[0117]

<眼精疲労の測定方法の一例>

電子機器100を用いた眼精疲労の測定方法の一例について図面を用いて説明する。瞬き回数による眼精疲労の測定は、画像表示を行っている間常に行ってもよいが一定期間毎に行ってもよい。一定期間毎に測定を行うことで、電子機器100の消費電力を低減することができる。本実施の形態では、一定期間毎に眼精疲労の測定を行う例について説明する。

[0118]

眼精疲労の測定は、モード1、又はモード2により行うことができる。また、モード1とモード2を併用することも可能である。

[0119]

[モード1]

まず、モード1の測定フローについて説明する。図11にモード1の動作を説明するフローチャートを示す。

[0120]

画像表示を開始して期間T経過後(ステップS01)、センサ部35の検出光を照射する(ステップS02)。期間Tは任意の時間を設定することができる。しかしながら、眼精疲労の測定間隔が長すぎると、眼精疲労の検知が遅れ、その結果疲労を軽減する効果が低減する恐れがある。期間Tは15分以上2時間以下が好ましく、10分以上1時間以下がより好ましく、5分以上30分以下がさらに好ましい。

[0121]

次に、1分間当たりの瞬き回数を計測する(ステップS03)。1分間当たりの瞬き回数は、例えば、30秒間測定して得られた回数を1分間当たりに換算してもよいし、3分間測定して得られた回数を1分間当たりに換算してもよい。測定時間が長いほど測定精度を高めることができる。また、測定時間は15秒以上期間T未満が好ましい。

[0122]

瞬き回数の計測は、左右の眼のどちらか一方について行ってもよいし、両眼に対して行ってもよい。両眼に対して計測する場合は、左右の眼のうち、多いほうの回数を採用する。

[0123]

次に、眼精疲労の蓄積度を判定する(ステップS04)。蓄積度の判定は、1分間当たりの瞬き回

数と図12Aに示す判定テーブル1を比較して行う。1分間当たりの瞬き回数（以下、単に「瞬き回数」ともいう。）が10回以上30回未満であれば疲労の蓄積が無い又は少ないと判断し、Aと判定する。また、瞬き回数が30回以上であれば、疲労が蓄積されていると判断し、Bと判定する。また、瞬き回数が40回以上であれば、疲労が極度に蓄積されていると判断し、Cと判定する。また、瞬き回数が10回未満である場合はドライアイなどが危惧されるため、Dと判定する。また、瞬き回数が5回未満である場合は映像を見ていないか、認識していない可能性が高くなるため、Eと判定する。

[0124]

次に、判定結果がA以外であるか判断する（ステップS05）。判定結果がAである場合は、検出光の照射を停止する（ステップS10）。その後、ステップS01に戻る。

[0125]

判定結果がA以外である場合は、判定結果を図12Bに示す判定テーブル2と比較して、判定結果に対応する警告情報を表示部33に表示する（ステップS06。図12C参照。）。

[0126]

次に、画像表示を停止するかしないかを判断する（ステップS07）。画像表示の停止を選択した場合は、画像表示を停止し（ステップS08）、検出光の照射を停止する（ステップS09）。画像表示を停止しない場合は検出光の照射を停止し（ステップS10）、その後、ステップS01に戻る。

[0127]

[モード2]

続いて、モード2の測定フローについて説明する。図13にモード2の動作を説明するフローチャートを示す。モード2はモード1と同様のステップを有する。説明の繰り返しを少なくするため、モード1と同様のステップの説明は省略する場合がある。

[0128]

人の平常時の瞬き回数は15回乃至20回といわれている。しかしながら、平常時の瞬き回数は個人によって違いがある。モード2では眼精疲労の測定前に、基準となる電子機器100の使用者の瞬き回数（「基準瞬き回数」ともいう。）を測定する。その後、新たに測定した瞬き回数を基準瞬き回数と比較して、電子機器100の使用者の疲労蓄積度を判定する。例えば、新たに測定した瞬き回数が基準瞬き回数の何倍になっているか（「瞬き倍率」ともいう。）を算出して電子機器100の使用者の疲労蓄積度を判定する。

[0129]

まず、画像表示を開始した後に基準瞬き回数を測定する（ステップS11）。ステップS11では、例えば、センサ部35の検出光を照射し、ステップS03と同様に瞬き回数を測定する。

[0130]

ステップS11終了後、ステップS01、ステップS02、ステップS03、ステップS04を順に行う。モード2では、疲労蓄積度の判定（ステップS04）を、瞬き倍率と図14Aに示す判定テーブル3を比較して行う。

[0131]

モード2では、瞬き倍率が0.7倍以上2.0倍未満であれば疲労の蓄積が無い又は少ないと判断し、Aと判定する。また、瞬き倍率が2.0倍以上であれば、疲労が蓄積されていると判断し、B

と判定する。また、瞬き倍率が2.3倍以上であれば、疲労が極度に蓄積されていると判断し、Cと判定する。また、瞬き倍率が0.7倍未満である場合はドライアイなどが危惧されるため、Dと判定する。また、瞬き倍率が0.4倍未満である場合は映像を見ていないか、認識していない可能性が高くなるため、Eと判定する。

[0132]

次に、ステップS05を行い、判定結果がA以外である場合は、判定結果を図12Bに示す判定テーブル2と比較して、判定結果に対応する警告情報を表示部33に表示する（ステップS06。図14B参照。）。

[0133]

なお、モード1とモード2を適宜組み合わせ用いてもよい。又は、モード1とモード2を適宜切り替えて用いてもよい。例えば、モード2で動作した時に、基準瞬き回数が30回以上だった場合、一旦モード1で動作して警告情報を表示部33に表示してもよい。

[0134]

また、本実施の形態では、瞬き回数によって眼精疲労の蓄積度などに応じた警告情報を表示する例を示した。ただし、本発明の一態様はこれに限定されない。例えば、眼精疲労の蓄積度などに応じて警告音声を発する機能を有していてもよい。また、眼精疲労の蓄積度などに応じて表示部33の発光輝度を調節する機能を有していてもよい。

[0135]

また、電子機器100に温度センサ、圧力センサ、脈拍センサ、SpO₂（血中酸素飽和度）センサなどの各種センサを設けてもよい。各種センサを用いて電子機器100の使用者の生体情報を取得し、電子機器100の使用者の疲労蓄積度を判定してもよい。

[0136]

<表示装置の構成例2>

図15は、表示装置10の構成例を示すブロック図であり、図1Aに示す表示装置10の変形例である。図15に示す表示装置10は、層30にメモリ部37が設けられている点が、図1Aに示す構成の表示装置10と異なる。

[0137]

メモリ部37には、セル38が配列されている。セル38は、データを保持する機能を有する。メモリ部37には、DRAM、又はSRAM等の揮発性メモリを設けることができる。また、ReRAM、PRAM、FeRAM、MRAM、又はフラッシュメモリ等の不揮発性メモリを設けてもよい。

[0138]

また、セル38は、チャンネル形成領域に金属酸化物を有するトランジスタ（以下、OSトランジスタともいう。）を有する構成としてもよい。金属酸化物のバンドギャップは、2eV以上、又は2.5eV以上とすることができる。よって、OSトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さくなる。したがって、セル38にOSトランジスタを設けることにより、セル38の構成を簡易なものにしつつ、メモリ部37に設けられるメモリを不揮発性メモリとすることができる。例えば、1個のOSトランジスタと、1個の容量素子と、からなるセルに、1ビットのデータを長期間保持することができる。

[0139]

金属酸化物として、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、又は錫を用いるとよい。また、金属酸化物として、酸化インジウム、酸化亜鉛、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物、 $Ga-Zn$ 酸化物、又は酸化ガリウムを用いてもよい。

[0140]

表示装置10を図15に示す構成とすることにより、例えば表示装置10が図13に示すモード2で動作する場合に、ステップS11で測定した基準瞬き回数を表すデータをメモリ部37に保持することができる。これにより、ステップS11の動作を行う頻度を減少させることができる。例えば、ステップS10の動作を行った後、ステップS11の動作を行わずにステップS01の動作を行うことができる。これにより、表示装置10の消費電力を低減することができる。

[0141]

<表示装置の構成例3>

図1Aには、層20にゲートドライバ回路21及びデータドライバ回路22が1個ずつ設けられ、層30に表示部33が1個設けられた構成例を示しているが、層30に表示部33を複数設けてもよい。つまり、層30に設けられた表示部を分割してもよい。図16は、図1Aに示す構成の変形例であり、層30に3行3列の表示部33が設けられる場合の、表示装置10の構成例を示している。なお、層30には、2行2列の表示部33が設けられていてもよいし、4行4列以上の表示部33が設けられていてもよい。また、層30に設けられる表示部33の行数と列数は異なってもよい。図16に示す構成の表示装置10では、例えば全ての表示部33を用いて1枚の画像を表示することができる。

[0142]

図16は、図の明瞭化のために、配線31、及び配線32を省略しているが、実際には、図16に示す構成の表示装置10には配線31、及び配線32が設けられている。また、機能回路40の電気的な接続関係を省略しているが、機能回路40は、実際にはゲートドライバ回路21、データドライバ回路22、及びセンサ部35に設けられた画素36等と電気的に接続される。なお、他の図においても、図16と同様に一部の構成要素等を省略している場合がある。

[0143]

層20には、ゲートドライバ回路21及びデータドライバ回路22を、例えば表示部33と同数設けることができる。この場合、ゲートドライバ回路21を、当該ゲートドライバ回路21が信号を供給する画素34が設けられた表示部33と重なるように設けることができる。また、データドライバ回路22を、当該データドライバ回路22が画像データを供給する画素34が設けられた表示部33と重なるように設けることができる。

[0144]

表示部33を複数設け、これに合わせてゲートドライバ回路21及びデータドライバ回路22を設けることにより、1個の表示部33に設けられる画素34の個数を減らすことができる。複数設けられたゲートドライバ回路21は、それぞれ並列して動作させることができ、複数設けられたデータドライバ回路22は、それぞれ並列して動作させることができるため、例えば1フレームの画像

に対応する画像データを画素34に書き込むために要する時間を短くすることができる。よって、1フレーム期間の長さを短くすることができ、表示装置10の動作を高速化することができる。このため、表示装置10が有する画素34の個数を多くすることができ、表示装置10の画素密度を高めることができる。また、本発明の一態様の表示装置により表示することができる画像の精細度を、ゲートドライバ回路及びデータドライバ回路が表示部と重ならない構成の表示装置により表示することができる画像の精細度より高めることができる。さらに、クロック周波数を小さくすることができるため、表示装置10の消費電力を小さくすることができる。

[0145]

ここで、ゲートドライバ回路及びデータドライバ回路が表示部と重ならない構成とする場合、ゲートドライバ回路及びデータドライバ回路は、例えば表示部の外周部に設けることとなる。この場合、2行2列分より多くの表示部を設けることは、データドライバ回路の設置場所等の観点から難しい。一方、表示装置10では、ゲートドライバ回路及びデータドライバ回路を、表示部が設けられた層とは異なる層に設けることにより、表示部と重なる領域を有するように設けることができるため、図16に示すように2行2列分より多くの表示部を設けることができる。つまり、表示装置10には、ゲートドライバ回路及びデータドライバ回路を、それぞれ5個以上設けることができる。

[0146]

以上より、表示装置10は、ゲートドライバ回路及びデータドライバ回路が表示部と重ならない構成の表示装置より、例えば高速に動作させることができる。よって、表示装置10の画素密度を、ゲートドライバ回路及びデータドライバ回路が表示部と重ならない構成の表示装置より高めることができる。例えば、表示装置10の画素密度を1000ppi以上とすることができ、5000ppi以上とすることができ、7000ppi以上とすることができ、よって、表示装置10に、粒状感が少ない高品位の画像を表示することができ、臨場感の高い画像を表示することができる。

[0147]

また、表示装置10により表示することができる画像の解像度を、ゲートドライバ回路及びデータドライバ回路が表示部と重ならない構成の表示装置により表示することができる画像の解像度より高めることができる。例えば、表示装置10は4K2K、8K4K、又はそれ以上の解像度の画像を表示することができる。また、表示装置10を小型化することができる。例えば、表示装置10の表示領域の大きさを、8インチ以下とすることができる。

[0148]

なお、層20にデータドライバ回路22等が複数設けられ、層30に表示部33が複数設けられた構成であっても、図1Aに示す場合と同様に、表示装置10に設けられる機能回路40の個数は1個とすることができる。よって、図16に示すように、機能回路40は、いずれの表示部33にも重ならないように設けることができる。なお、機能回路40を、いずれかの表示部33と重なる領域を有するように設けてもよい。

[0149]

図16には、ゲートドライバ回路21が表示部33と同数設けられた構成例を示しているが、本発明の一態様はこれに限らない。図17は、図16に示す構成の変形例であり、ゲートドライバ回路21が表示部33の列数と同数設けられる場合の、表示装置10の構成例を示している。図17に示す構成の表示装置10では、3列の表示部33が設けられているため、ゲートドライバ回路21が3個設けられている。また、3行の表示部33が設けられており、3行1列の表示部33が1個

のゲートドライバ回路 2 1 を共有している。

[0150]

図 1 8 は、図 1 6 に示す構成の変形例であり、表示部 3 3 が複数設けられ、ゲートドライバ回路 2 1 が 1 個設けられる場合の、表示装置 1 0 の構成例を示している。図 1 8 に示す構成の表示装置 1 0 では、3 行 3 列の表示部 3 3 が 1 個のゲートドライバ回路 2 1 を共有している。なお、図 1 8 に示す構成の表示装置 1 0 では、ゲートドライバ回路 2 1 が表示部 3 3 と重ならない構成とすることができる。

[0151]

また、図示しないが、データドライバ回路 2 2 も、表示部 3 3 と同数設ける構成としなくてもよい。表示装置 1 0 が有するデータドライバ回路 2 2 の個数は、表示装置 1 0 に設けられる表示部 3 3 の個数より多くてもよいし、少なくてもよい。

[0152]

図 1 A には、表示部 3 3 とデータドライバ回路を 1 個ずつ設けられた構成例を示しているが、データドライバ回路 2 2 を、表示部 3 3 より多く設けてもよい。図 1 9 は、図 1 A に示す構成の変形例であり、1 個の表示部 3 3 に対してデータドライバ回路を 2 個（データドライバ回路 2 2 a、データドライバ回路 2 2 b）設ける場合の、表示装置 1 0 の構成例を示している。

[0153]

データドライバ回路 2 2 a 及びデータドライバ回路 2 2 b は、データドライバ回路 2 2 と同様に、表示部 3 3 と重なる領域を有している。例えば、データドライバ回路 2 2 a 及びデータドライバ回路 2 2 b は、データドライバ回路 2 2 と同様に、画素 3 4 と重なる領域を有している。また、データドライバ回路 2 2 a は、ゲートドライバ回路 2 1 と明確に分離されず、重なる領域である領域 2 3 a を有する。さらに、データドライバ回路 2 2 b は、ゲートドライバ回路 2 1 と明確に分離されず、重なる領域である領域 2 3 b を有する。

[0154]

図 1 9 に示すように、データドライバ回路を表示部 3 3 より多く設けることにより、データドライバ回路を構成するトランジスタ等の密度を小さくすることができる。これにより、表示装置 1 0 のレイアウトの自由度を高めることができる。

[0155]

図 1 A には、表示部 3 3 とゲートドライバ回路を 1 個ずつ設けられた構成例を示しているが、ゲートドライバ回路を、表示部 3 3 より多く設けてもよい。図 2 0 は、図 1 A に示す構成の変形例であり、1 個の表示部 3 3 に対しゲートドライバ回路を 2 個（ゲートドライバ回路 2 1 a、ゲートドライバ回路 2 1 b）設ける場合の、表示装置 1 0 の構成例を示している。

[0156]

図 2 0 に示す構成の表示装置 1 0 では、奇数行目の画素 3 4 は、配線 3 1 a を介してゲートドライバ回路 2 1 a と電気的に接続され、偶数行目の画素 3 4 は、配線 3 1 b を介してゲートドライバ回路 2 1 b と電気的に接続される。配線 3 1 a 及び配線 3 1 b は、配線 3 1 と同様に走査線としての機能を有する。

[0157]

ゲートドライバ回路 2 1 a は、奇数行目の画素 3 4 の動作を制御するための信号を生成し、配線 3 1 a を介して当該信号を画素 3 4 に供給する機能を有する。ゲートドライバ回路 2 1 b は、偶数行

目の画素 3 4 の動作を制御するための信号を生成し、配線 3 1 b を介して当該信号を画素 3 4 に供給する機能を有する。

[0158]

ゲートドライバ回路 2 1 a 及びゲートドライバ回路 2 1 b は、ゲートドライバ回路 2 1 と同様に、表示部 3 3 と重なる領域を有している。例えば、ゲートドライバ回路 2 1 a 及びゲートドライバ回路 2 1 b は、ゲートドライバ回路 2 1 と同様に、画素 3 4 と重なる領域を有している。また、ゲートドライバ回路 2 1 a は、データドライバ回路 2 2 と明確に分離されず、重なる領域である領域 2 3 a を有する。さらに、ゲートドライバ回路 2 1 b は、データドライバ回路 2 2 と明確に分離されず、重なる領域である領域 2 3 b を有する。

[0159]

図 2 0 に示す構成の表示装置 1 0 では、ゲートドライバ回路 2 1 a を動作させて奇数行目の全ての画素 3 4 に画像データを書き込んだ後、ゲートドライバ回路 2 1 b を動作させて偶数行目の全ての画素 3 4 に画像データを書き込むことができる。つまり、図 2 0 に示す構成の表示装置 1 0 では、インターレース方式により動作させることができる。インターレース方式により動作させることにより、表示装置 1 0 の動作を高速化し、フレーム周波数を高めることができる。また、1 フレーム期間に画像データが書き込まれる画素 3 4 の個数を、プログレッシブ方式により表示装置 1 0 を動作させる場合の半分とすることができる。よって、表示装置 1 0 をインターレース方式により動作させる場合、プログレッシブ方式により動作させる場合よりクロック周波数を小さくすることができるため、表示装置 1 0 の消費電力を小さくすることができる。

[0160]

図 1 A には、配線 3 2 の一端のみが、データドライバ回路 2 2 と接続された構成例を示しているが、配線 3 2 の複数箇所がデータドライバ回路 2 2 と接続されていてもよい。図 2 1 は、データドライバ回路 2 2 が、配線 3 2 の両端と接続される場合の、表示装置 1 0 の構成例を示している。配線 3 2 の複数箇所をデータドライバ回路 2 2 と接続することにより、配線抵抗、寄生容量等に起因する、信号遅延等を抑制することができる。これにより、表示装置 1 0 の動作を高速化することができる。

[0161]

なお、配線 3 2 の一端及び他端だけでなく、配線 3 2 の他の部分がデータドライバ回路 2 2 と接続されていてもよい。例えば、配線 3 2 の中心部が、データドライバ回路 2 2 と接続されていてもよい。配線 3 2 と、データドライバ回路 2 2 と、の接続箇所を増加させることにより、信号遅延等をさらに抑制することができ、表示装置 1 0 の動作をさらに高速化することができる。なお、例えば配線 3 2 の一端と、配線 3 2 の中心部と、がデータドライバ回路 2 2 と接続され、配線 3 2 の他端はデータドライバ回路 2 2 と接続されていなくてもよい。

[0162]

また、1 個のデータドライバ回路 2 2 が、配線 3 2 の複数箇所と接続される場合、図 2 1 に示すようにデータドライバ回路 2 2 の占有面積が大きくなる。この場合であっても、データドライバ回路 2 2 は表示部 3 3 と重なる領域を有するように積層して設けられているため、表示装置 1 0 が大型化することを抑制できる。なお、図 2 1 では、ゲートドライバ回路 2 1 の全体が、データドライバ回路 2 2 と明確に分離されずに重なっているが、1 個のデータドライバ回路 2 2 が配線 3 2 の複数箇所と接続される場合であっても、ゲートドライバ回路 2 1 の一部のみがデータドライバ回路 2 2 と重なる構成としてもよい。

[0163]

なお、配線31の複数箇所が1個のゲートドライバ回路21と接続されていてもよい。これによっても、信号遅延等を抑制し、表示装置10の動作を高速化することができる。このような構成とする場合、図21に示すデータドライバ回路22と同様に占有面積が大きくなるが、ゲートドライバ回路21が表示部33と重なる領域を有するように積層して設けられているため、表示装置10が大型化することを抑制できる。

[0164]

図1A乃至図21に示す構成は、適宜組み合わせることができる。例えば、図16に示す構成と図20に示す構成を組み合わせることができる。この場合、表示装置10の構成を、例えば、表示部33を複数設け、ゲートドライバ回路を表示部33の個数を2倍した数設け、データドライバ回路22を表示部33と同数設けた構成とすることができる。

[0165]

<ゲートドライバ回路21の構成例>

図22は、ゲートドライバ回路21の構成例を示すブロック図である。ゲートドライバ回路21は、複数のセット・リセットフリップフロップで構成されるレジスタ回路Rを有する。レジスタ回路Rは、走査線としての機能を有する配線31と電氣的に接続されており、配線31に信号を出力する機能を有する。

[0166]

信号RESはリセット信号であり、信号RESを例えば高電位とすることでレジスタ回路Rの出力を全て低電位とすることができる。信号SPはスタートパルス信号であり、当該信号をゲートドライバ回路21に入力することにより、レジスタ回路Rによるシフト動作を開始することができる。信号PWCはパルス幅制御信号であり、レジスタ回路Rが配線31に出力する信号のパルス幅を制御する機能を有する。信号CLK[1]、信号CLK[2]、信号CLK[3]、及び信号CLK[4]はクロック信号であり、1個のレジスタ回路Rには、信号CLK[1]乃至信号CLK[4]のうち、例えば2つの信号を入力することができる。

[0167]

なお、図22に示す構成は、レジスタ回路Rと電氣的に接続された配線31を他の配線とすること等により、データドライバ回路22が有するレジスタ回路等にも適用することができる。

[0168]

図23Aは、レジスタ回路Rに入力される信号、及びレジスタ回路Rから出力される信号を示す図である。ここで、図23Aでは、クロック信号として、信号CLK[1]及び信号CLK[3]が入力される場合を示している。

[0169]

信号FOは出力信号であり、例えば配線31に出力される信号である。信号ROUTはシフト信号であり、次段のレジスタ回路Rに入力される信号LINとすることができる。以上、図23Aに示す信号のうち、信号RES、信号PWC、信号CLK[1]、信号CLK[3]、及び信号LINはレジスタ回路Rに入力される信号であり、信号FO、及び信号ROUTはレジスタ回路Rから出力される信号である。

[0170]

図23Bは、入出力信号が図23Aに示す信号であるレジスタ回路Rの構成例を示す回路図である。

レジスタ回路Rは、トランジスタ51乃至トランジスタ63と、容量素子64乃至容量素子66と、を有する。

[0171]

トランジスタ51のソース又はドレインの一方は、トランジスタ52のソース又はドレインの一方、トランジスタ56のソース又はドレインの一方、及びトランジスタ59のソース又はドレインの一方と電氣的に接続される。トランジスタ52のゲートは、トランジスタ53のソース又はドレインの一方、トランジスタ54のソース又はドレインの一方、トランジスタ55のソース又はドレインの一方、トランジスタ58のゲート、トランジスタ61のゲート、及び容量素子64の一方の電極と電氣的に接続される。トランジスタ56のソース又はドレインの他方は、トランジスタ57のゲート、及び容量素子65の一方の電極と電氣的に接続される。トランジスタ59のソース又はドレインの他方は、トランジスタ60のゲート、及び容量素子66の一方の電極と電氣的に接続される。トランジスタ60のソース又はドレインの一方は、トランジスタ61のソース又はドレインの一方、トランジスタ62のゲート、及び容量素子66の他方の電極と電氣的に接続される。

[0172]

トランジスタ51のゲート、及びトランジスタ55のゲートには、信号LINが入力される。トランジスタ53のゲートには、信号CLK [3]が入力される。トランジスタ54のゲートには、信号RESが入力される。トランジスタ57のソース又はドレインの一方には、信号CLK [1]が入力される。トランジスタ60のソース又はドレインの他方には、信号PWCが入力される。

[0173]

トランジスタ62のソース又はドレインの一方、及びトランジスタ63のソース又はドレインの一方は、配線31と電氣的に接続されており、前述のように配線31からは信号FOが出力される。トランジスタ57のソース又はドレインの他方、トランジスタ58のソース又はドレインの一方、及び容量素子65の他方の電極からは、信号ROUTが出力される。

[0174]

トランジスタ51のソース又はドレインの他方、トランジスタ53のソース又はドレインの他方、トランジスタ54のソース又はドレインの他方、トランジスタ56のゲート、トランジスタ59のゲート、及びトランジスタ62のソース又はドレインの他方には、電位VDDが供給される。トランジスタ52のソース又はドレインの他方、トランジスタ55のソース又はドレインの他方、トランジスタ58のソース又はドレインの他方、トランジスタ61のソース又はドレインの他方、トランジスタ63のソース又はドレインの他方、及び容量素子64の他方の電極には、電位VSSが供給される。

[0175]

トランジスタ63のゲートには、バイアス電位Vbiasを供給する。バイアス電位Vbiasは、トランジスタ63が飽和領域で動作するような電位である。これにより、トランジスタ63は、定電流源として機能することができる。

[0176]

トランジスタ62と、トランジスタ63と、によりソースフォロワ回路67が構成される。レジスタ回路Rにソースフォロワ回路67を設けることにより、レジスタ回路Rの内部で配線抵抗、寄生容量等に起因する信号の減衰等が発生しても、これに起因する信号FOの電位の低下を抑制することができる。これにより、表示装置10の動作を高速化することができる。なお、ソースフォロワ

回路 6 7 は、バッファとしての機能を有していれば、ソースフォロワ回路以外の回路としてもよい。

[0177]

<領域 2 3 の構成例>

図 2 4 は、ゲートドライバ回路 2 1 とデータドライバ回路 2 2 が重なる領域である領域 2 3 の構成例を示す図である。図 2 4 に示すように、領域 2 3 には、ゲートドライバ回路 2 1 を構成する素子を有する領域と、データドライバ回路 2 2 を構成する素子を有する領域と、が一定の規則性を持って設けられる。図 2 4 では、ゲートドライバ回路 2 1 を構成する素子としてトランジスタ 7 1 を示し、データドライバ回路 2 2 を構成する素子としてトランジスタ 7 2 を示している。

[0178]

図 2 4 では、ゲートドライバ回路 2 1 を構成する素子を有する領域が 1 行目と 3 行目に設けられ、データドライバ回路 2 2 を構成する素子を有する領域が 2 行目と 4 行目に設けられる場合を示している。領域 2 3 において、ゲートドライバ回路 2 1 を構成する素子を有する各領域の間には、ダミー素子が設けられる。また、データドライバ回路 2 2 を構成する素子を有する各領域の間には、ダミー素子が設けられる。図 2 4 には、トランジスタ 7 1 の四方、及びトランジスタ 7 2 の四方に、ダミー素子としてダミートランジスタ 7 3 が設けられる場合の、領域 2 3 の構成例を示している。

[0179]

領域 2 3 にダミートランジスタ 7 3 等のダミー素子を設けることにより、当該ダミー素子が不純物を吸収し、トランジスタ 7 1 及びトランジスタ 7 2 等に不純物が拡散することを抑制できる。これにより、トランジスタ 7 1 及びトランジスタ 7 2 等の信頼性を高めることができるため、表示装置 1 0 の信頼性を高めることができる。なお、図 2 4 では、トランジスタ 7 1 及びトランジスタ 7 2、並びにダミートランジスタ 7 3 がマトリクス状に配列されているが、マトリクス状に配列されていなくてもよい。

[0180]

図 2 5 は、領域 2 3 の一部である領域 7 0 の構成例を示す上面図である。図 2 4、図 2 5 に示すように、領域 7 0 には、トランジスタ 7 1 が 1 個、トランジスタ 7 2 が 1 個、ダミートランジスタ 7 3 が 2 個設けられている。図 2 5 に示すように、トランジスタ 7 1 は、チャンネル形成領域 1 1 0 と、ソース領域 1 1 1 と、ドレイン領域 1 1 2 と、を有する。また、チャンネル形成領域 1 1 0 と重なる領域を有するように、ゲート電極 1 1 3 を有する。

[0181]

なお、図 2 5 では、ゲート絶縁体等の構成要素は省略している。また、図 2 5 ではチャンネル形成領域と、ソース領域と、ドレイン領域と、を明確に分離せず記載している。

[0182]

ソース領域 1 1 1 には開口部 1 1 4 が設けられ、開口部 1 1 4 を介してソース領域 1 1 1 は配線 1 1 5 と電氣的に接続される。ドレイン領域 1 1 2 には開口部 1 1 6 が設けられ、開口部 1 1 6 を介してドレイン領域 1 1 2 は配線 1 1 7 と電氣的に接続される。

[0183]

ゲート電極 1 1 3 には開口部 1 1 8 が設けられ、開口部 1 1 8 を介してゲート電極 1 1 3 は配線 1 2 1 と電氣的に接続される。配線 1 1 5 には開口部 1 1 9 が設けられ、開口部 1 1 9 を介して配線 1 1 5 は配線 1 2 2 と電氣的に接続される。配線 1 1 7 には開口部 1 2 0 が設けられ、開口部 1 2 0 を介して配線 1 1 7 は配線 1 2 3 と電氣的に接続される。つまり、ソース領域 1 1 1 は配線 1 1

5を介して配線122と電氣的に接続され、ドレイン領域112は配線117を介して配線123と電氣的に接続される。

[0184]

トランジスタ72は、チャンネル形成領域130と、ソース領域131と、ドレイン領域132と、を有する。また、チャンネル形成領域130と重なる領域を有するように、ゲート電極133を有する。

[0185]

ソース領域131には開口部134が設けられ、開口部134を介してソース領域131は配線135と電氣的に接続される。ドレイン領域132には開口部136が設けられ、開口部136を介してドレイン領域132は配線137と電氣的に接続される。

[0186]

ゲート電極133には開口部138が設けられ、開口部138を介してゲート電極133は配線141と電氣的に接続される。配線135には開口部139が設けられ、開口部139を介して配線135は配線142と電氣的に接続される。配線137には開口部140が設けられ、開口部140を介して配線137は配線143と電氣的に接続される。つまり、ソース領域131は配線135を介して配線142と電氣的に接続され、ドレイン領域132は配線137を介して配線143と電氣的に接続される。

[0187]

なお、チャンネル形成領域110と、チャンネル形成領域130と、は互いに同一の層に設けることができる。また、ソース領域111及びドレイン領域112と、ソース領域131及びドレイン領域132と、は互いに同一の層に設けることができる。また、ゲート電極113と、ゲート電極133と、は互いに同一の層に設けることができる。また、配線115及び配線117と、配線135及び配線137と、は互いに同一の層に設けることができる。つまり、トランジスタ71と、トランジスタ72と、は互いに同一の層に設けることができる。これにより、トランジスタ71と、トランジスタ72と、を互いに異なる層に設ける場合より、表示装置10の作製工程を簡略にすることができ、表示装置10を低価格なものとするすることができる。

[0188]

ゲートドライバ回路21を構成するトランジスタ71と電氣的に接続される配線121乃至配線123は、互いに同一の層に設けられている。また、データドライバ回路22を構成するトランジスタ72と電氣的に接続される配線141乃至配線143は、互いに同一の層に設けられている。さらに、配線121乃至配線123は、配線141乃至配線143と異なる層に設けられている。以上により、ゲートドライバ回路21を構成する素子であるトランジスタ71と、データドライバ回路22を構成する素子であるトランジスタ72と、が電氣的に短絡することを抑制できる。よって、ゲートドライバ回路21とデータドライバ回路22が明確に分離されず、重なる領域を有していても、ゲートドライバ回路21及びデータドライバ回路22の誤動作を抑制することができる。これにより、表示装置10の信頼性を高めることができる。

[0189]

本明細書等において、「Aと同一の層」とは、例えばAと同一工程において形成された同一材料を有する層を意味する。

[0190]

図25では、配線121乃至配線123より上層に配線141乃至配線143が設けられる構成を示しているが、配線121乃至配線123より下層に配線141乃至配線143を設けてもよい。

[0191]

また、図25では配線121乃至配線123が水平方向に延伸し、配線141乃至配線143が垂直方向に延伸する構成を示しているが、本発明の一態様はこれに限らない。例えば、配線121乃至配線123を垂直方向に延伸し、配線141乃至配線143を水平方向に延伸する構成としてもよい。又は、配線121乃至配線123、及び配線141乃至配線143の両方が、水平方向に延伸、又は垂直方向に延伸していてもよい。

[0192]

ダミートランジスタ73は、半導体151と、導電体152と、を有する。導電体152は半導体151と重なる領域を有する。半導体151は、トランジスタ71及びトランジスタ72のチャネル形成領域と同一の層に形成することができる。また、導電体152は、トランジスタ71及びトランジスタ72のゲート電極と同一の層に形成することができる。なお、ダミートランジスタ73は、半導体151又は導電体152の一方を有さない構成としてもよい。

[0193]

半導体151及び導電体152は、他の配線等と電氣的に接続されない構成とすることができる。半導体151及び／又は導電体152には、定電位を供給してもよい。例えば、接地電位を供給してもよい。

[0194]

<画素34の構成例>

図26A乃至図26Eは、表示装置10に設けられる画素34が呈する色について説明する図である。図26Aに示すように、赤色光(R)を射出する機能を有する画素34、緑色光(G)を射出する機能を有する画素34、及び青色光(B)を射出する機能を有する画素34を表示装置10に設けることができる。又は、図26Bに示すように、シアン(C)の光を射出する機能を有する画素34、マゼンタ(M)の光を射出する機能を有する画素34、及び黄色(Y)の光を射出する機能を有する画素34が表示装置10に設けられていてもよい。

[0195]

又は、図26Cに示すように、赤色光(R)を射出する機能を有する画素34、緑色光(G)を射出する機能を有する画素34、青色光(B)を射出する機能を有する画素34、及び白色光(W)を射出する機能を有する画素34が表示装置10に設けられていてもよい。又は、図26Dに示すように、赤色光(R)を射出する機能を有する画素34、緑色光(G)を射出する機能を有する画素34、青色光(B)を射出する機能を有する画素34、及び黄色(Y)の光を射出する機能を有する画素34が表示装置10に設けられていてもよい。又は、図26Eに示すように、シアン(C)の光を射出する機能を有する画素34、マゼンタ(M)の光を射出する機能を有する画素34、黄色(Y)の光を射出する機能を有する画素34、及び白色光(W)を射出する機能を有する画素34が表示装置10に設けられていてもよい。

[0196]

図26C及び図26Eに示すように、白色光(W)を射出する機能を有する画素34を表示装置10に設けることで、表示される画像の輝度を高めることができる。また、図26D等に示すように、画素34が呈する色の種類を増やすことで、中間色の再現性を高めることができるため、表示品位

を高めることができる。

[0197]

なお、図26Fに示すように、表示装置10は、赤色光(R)を射出する機能を有する画素34、緑色光(G)を射出する機能を有する画素34、及び青色光(B)を射出する機能を有する画素34の他、赤外光(IR)を射出する機能を有する画素34を有してもよい。又は、図26Gに示すように、表示装置10は、シアン(C)の光を射出する機能を有する画素34、マゼンタ(M)の光を射出する機能を有する画素34、黄色(Y)の光を射出する機能を有する画素34の他、赤外光(IR)を射出する機能を有する画素34を有してもよい。また、表示装置10は、図26F及び図26Gに示す画素34の他、白色光(W)を射出する機能を有する画素34を有してもよい。

[0198]

図27A乃至図27Cは、画素34の構成例を示す回路図である。図27Aに示す構成の画素34は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。ここで、図1Bに示す表示素子81に相当する素子が、液晶素子570である。また画素34には、配線31及び配線32の他、配線39等が電氣的に接続される。

[0199]

液晶素子570の一方の電極の電位は、画素34の仕様に応じて適宜設定される。液晶素子570は、画素34に書き込まれる画像データにより配向状態が設定される。なお、複数の画素34のそれぞれが有する液晶素子570の一方の電極に共通の電位(コモン電位)を供給してもよい。また、各行の画素34の液晶素子570の一方の電極に異なる電位を供給してもよい。

[0200]

また、図27Bに示す構成の画素34は、トランジスタ552と、トランジスタ554と、容量素子562と、発光素子572と、を有する。ここで、図1Bに示す表示素子81に相当する素子が、発光素子572である。発光素子572としては、例えばエレクトロルミネッセンスを利用するEL素子を適用することができる。EL素子は、一对の電極の間に発光性の化合物を含む層(以下、EL層ともいう。)を有する。一对の電極間に、EL素子のしきい値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光物質が発光する。

[0201]

また、EL素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

[0202]

有機EL素子は、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれEL層に注入される。そして、それらキャリア(電子及び正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

[0203]

なお、EL層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、又はバイポーラ性の物質(電子輸送性及び正孔輸送性が高い物質)等を有していてもよい。

[0204]

EL層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0205]

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

[0206]

発光素子は発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造、及び両面から発光を取り出す両面射出（デュアルエミッション）構造の発光素子があり、どの射出構造の発光素子も適用することができる。

[0207]

なお、発光素子572以外の発光素子についても、発光素子572と同様の素子を用いることができる。

[0208]

トランジスタ552のソース又はドレインの一方は、配線32と電氣的に接続される。トランジスタ552のソース又はドレインの他方は、容量素子562の一方の電極、及びトランジスタ554のゲートと電氣的に接続される。容量素子562の他方の電極は、配線39aと電氣的に接続される。トランジスタ552のゲートは、配線31と電氣的に接続される。トランジスタ554のソース又はドレインの一方は、配線39aと電氣的に接続される。トランジスタ554のソース又はドレインの他方は、発光素子572の一方の電極と電氣的に接続される。発光素子572の他方の電極は、配線39bと電氣的に接続される。配線39aには電位VSSが供給され、配線39bには電位VDDが供給される。配線39a及び配線39bは、電源線としての機能を有する。

[0209]

図27Bに示す構成の画素34では、トランジスタ554のゲートに供給される電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

[0210]

図27Bに示す構成の画素34と異なる構成を図27Cに示す。図27Cに示す構成の画素34において、トランジスタ552のソース又はドレインの一方は、配線32と電氣的に接続される。トランジスタ552のソース又はドレインの他方は、容量素子562の一方の電極、及びトランジスタ554のゲートと電氣的に接続される。トランジスタ552のゲートは、配線31と電氣的に接続される。トランジスタ554のソース又はドレインの一方は、配線39aと電氣的に接続される。トランジスタ554のソース又はドレインの他方は、容量素子562の他方の電極、及び発光素子572の一方の電極と電氣的に接続される。発光素子572の他方の電極は、配線39bと電氣的に接続される。配線39aには電位VDDが供給され、配線39bには電位VSSが供給される。

[0211]

図28Aは、画素34の構成例を示す回路図である。図28Aに示す構成の画素34は、発光素子

572と、トランジスタ582と、トランジスタ584と、トランジスタ586と、トランジスタ588と、容量素子590と、を有する。また、図28Aに示す構成の画素34には、走査線としての機能を有する配線31として配線31__1、配線31__2、及び配線31__3が電氣的に接続される。

[0212]

トランジスタ582のソース又はドレインの一方は、配線32と電氣的に接続される。トランジスタ582のソース又はドレインの他方は、トランジスタ584のゲートと電氣的に接続される。トランジスタ584のゲートは、トランジスタ588のソース又はドレインの一方と電氣的に接続される。トランジスタ588のソース又はドレインの一方は、容量素子590の一方の電極と電氣的に接続される。トランジスタ584のソース又はドレインの一方は、配線39aと電氣的に接続される。トランジスタ584のソース又はドレインの他方は、発光素子572の一方の電極と電氣的に接続される。発光素子572の一方の電極は、トランジスタ586のソース又はドレインの一方と電氣的に接続される。トランジスタ586のソース又はドレインの一方は、容量素子590の他方の電極と電氣的に接続される。トランジスタ586のソース又はドレインの他方、及びトランジスタ588のソース又はドレインの他方は、配線592と電氣的に接続される。発光素子572の他方の電極は、配線39bと電氣的に接続される。

[0213]

ここで、トランジスタ582のソース又はドレインの他方、トランジスタ584のゲート、トランジスタ588のソース又はドレインの一方、及び容量素子590の一方の電極が電氣的に接続されるノードをノードN11とする。また、発光素子572の一方の電極、トランジスタ584のソース又はドレインの他方、トランジスタ586の一方の電極、及び容量素子590の他方の電極が電氣的に接続されるノードをノードN12とする。

[0214]

配線592は、電源線としての機能を有する。配線592の電位を、電位V0とする。

[0215]

[画素34の動作方法の一例1]

続いて、図28Aに示す構成の画素34の動作方法の一例を説明する。図28Bは、図28Aに示す構成の画素34の動作方法の一例を示すタイミングチャートである。なお、ここでは説明を容易にするため、配線抵抗等の各種抵抗、トランジスタや配線等の寄生容量、及びトランジスタのしきい値電圧等の影響は考慮しない。

[0216]

図28Bに示す動作では、1フレーム期間を期間T11、期間T12、及び期間T13に分ける。以下では、期間T11乃至期間T13のそれぞれについて、図28Aに示す構成の画素34の動作方法の一例を説明する。

[0217]

期間T11では、配線31__1に、トランジスタ582をオフ状態にする電位を供給する。また、配線31__2に、トランジスタ586をオン状態にする電位を供給する。さらに、配線31__3に、トランジスタ588をオン状態にする電位を供給する。以上により、ノードN11の電位、及びノードN12の電位が、配線592の電位である電位V0となる。

[0218]

期間T11では、トランジスタ584のゲートと電氣的に接続されているノードN11の電位と、トランジスタ584のソース又はドレインの他方と電氣的に接続されているノードN12の電位と、を両方とも電位V0とする。これにより、トランジスタ584のソース又はドレインの他方をトランジスタ584のソースとすると、トランジスタ584のゲートの電位と、トランジスタ584のソースの電位と、の差を0Vとすることができる。よって、特にトランジスタ584のしきい値電圧が0Vより大きい場合、トランジスタ584のドレインーソース間に電流が流れることを抑制することができるため、発光素子572に電流が流れることを抑制することができる。以上により、期間T11は、表示装置10に画像が表示されない期間であるといえることができる。

[0219]

期間T12では、配線31__1に、トランジスタ582をオン状態にする電位を供給する。また、配線31__2に、トランジスタ586をオン状態にする電位を供給する。また、配線31__3に、トランジスタ588をオフ状態にする電位を供給する。さらに、配線32に、画像データに対応する電位V_{data}を供給する。以上により、ノードN11が電位V_{data}となる。これにより、画像データが画素34に書き込まれる。

[0220]

期間T13では、配線31__1に、トランジスタ582をオフ状態にする電位を供給する。また、配線31__2に、トランジスタ586をオフ状態にする電位を供給する。また、配線31__3に、トランジスタ588をオフ状態にする電位を供給する。トランジスタ586がオフ状態となることにより、トランジスタ584のドレインーソース間を流れる電流が、発光素子572に流れる。これにより、ノードN11に書き込まれた電位V_{data}に対応する輝度で発光素子572が発光する。以上により、画素34を用いて画像を表示することができる。

[0221]

以上、図28Bに示す方法では、表示装置10に画像を表示させない期間を設けた後に、画像を表示させる。これにより、特に表示装置10に動画を表示させる場合に、輪郭を強調して画像を表示させることができる。つまり、表示装置10にシャープな画像を表示させることができる。

[0222]

図29Aは、画素34の構成例であり、メモリを有する点が図27A乃至図27Cに示す構成の画素34と異なる。図29Aに示す構成の画素34は、トランジスタ511、トランジスタ513、容量素子515、及び回路401を有する。また画素34には、走査線としての機能を有する配線31として配線31__1及び配線31__2が電氣的に接続され、データ線としての機能を有する配線32として配線32__1及び配線32__2が電氣的に接続される。

[0223]

トランジスタ511のソース又はドレインの一方は、配線32__1と電氣的に接続される。トランジスタ511のソース又はドレインの他方は、容量素子515の一方の電極と電氣的に接続される。トランジスタ511のゲートは、配線31__1と電氣的に接続される。トランジスタ513のソース又はドレインの一方は、配線32__2と電氣的に接続される。トランジスタ513のソース又はドレインの他方は、容量素子515の他方の電極、及び回路401と電氣的に接続される。トランジスタ513のゲートは、配線31__2と電氣的に接続される。

[0224]

回路401は、少なくとも一の表示素子を含む回路である。表示素子としては様々な素子を用いる

ことができるが、代表的には有機発光素子やLED素子等の発光素子、液晶素子、又はMEMS (Micro Electro Mechanical Systems) 素子等を適用することができる。

[0225]

本明細書等において、発光素子、液晶素子等の表示素子に供給される電圧とは、当該表示素子の一方の電極に印加される電位と、当該表示素子の他方の電極に印加される電位と、の差を示す。

[0226]

また、トランジスタ511及び容量素子515が電氣的に接続されるノードをN1、トランジスタ513、容量素子515、及び回路401が電氣的に接続されるノードをN2とする。

[0227]

画素34は、トランジスタ511をオフ状態とすることで、ノードN1の電位を保持することができる。また、トランジスタ513をオフ状態とすることで、ノードN2の電位を保持することができる。さらに、トランジスタ513をオフ状態として、トランジスタ511を介してノードN1に所定の電位を書き込むことで、容量素子515を介した容量結合により、ノードN1の電位の変位に応じてノードN2の電位を変化させることができる。

[0228]

ここで、トランジスタ511及びトランジスタ513には、OSトランジスタを適用することができる。前述のように、OSトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さくなる。よって、トランジスタ511及びトランジスタ513にOSトランジスタを適用することにより、ノードN1及びノードN2の電位を長期間に亘って保持することができる。

[0229]

なお、トランジスタ511及びトランジスタ513には、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタともいう。）を適用してもよい。シリコンとしては、単結晶シリコン、多結晶シリコン、非晶質シリコン等が挙げられる。特に、半導体層に低温ポリシリコン（LTPS: Low Temperature Poly-Silicon）を有するトランジスタ（以下、LTPSトランジスタともいう。）を用いることが好ましい。LTPSトランジスタは、電界効果移動度が高く高速動作が可能である。よって、トランジスタ511及びトランジスタ513にLTPSトランジスタを適用することにより、画素34を高速に動作させることができる。

[0230]

[画素34の動作方法の一例2]

続いて、図29Bを用いて、図29Aに示す構成の画素34の動作方法の一例を説明する。図29Bは、図29Aに示す構成の画素34の動作に係るタイミングチャートである。なお、ここでは説明を容易にするため、配線抵抗等の各種抵抗、トランジスタや配線等の寄生容量、及びトランジスタのしきい値電圧等の影響は考慮しない。

[0231]

図29Bに示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間である。

[0232]

期間T1では、配線31__1と配線31__2の両方に、トランジスタをオン状態にする電位を供給する。また、配線32__1には固定電位である電位 V_{r_i} を供給し、配線32__2には電位 V_w を供

給する。

[0233]

ノードN1には、トランジスタ511を介して配線32__1から電位 V_{ref} が供給される。また、ノードN2には、トランジスタ513を介して配線32__2から電位 V_w が供給される。したがって、容量素子515には電位差 $V_w - V_{ref}$ が保持された状態となる。

[0234]

続いて期間T2では、配線31__1にはトランジスタ511をオン状態とする電位を供給し、配線31__2にはトランジスタ513をオフ状態とする電位を供給する。また、配線32__1には電位 V_{data} を供給し、配線32__2には所定の定電位を供給する。なお、配線32__2の電位はフローティングとしてもよい。

[0235]

ノードN1には、トランジスタ511を介して電位 V_{data} が供給される。このとき、容量素子515による容量結合により、電位 V_{data} に応じてノードN2の電位が電位 dV だけ変化する。すなわち、回路401には、電位 V_w と電位 dV を足した電位が入力されることとなる。なお、図29Bでは dV が正の値であるように示しているが、負の値であってもよい。すなわち、電位 V_{data} が電位 V_{ref} より低くてもよい。

[0236]

ここで、電位 dV は、容量素子515の容量値と、回路401の容量値によって概ね決定される。容量素子515の容量値が回路401の容量値よりも十分に大きい場合、電位 dV は電位差 $V_{data} - V_{ref}$ に近い電位となる。

[0237]

このように、画素34は、2種類のデータを組み合わせて表示素子を含む回路401に供給する電位を生成することができるため、表示部33に表示される画像を画素34の内部で補正することができる。ここで、2種類のデータの一方は、前述の画像データとすることができ、2種類のデータの他方は、例えば補正データとすることができる。例えば、期間T1に補正データに対応する電位 V_w をノードN2に供給した後、期間T2に画像データに対応する電位 V_{data} をノードN1に供給することにより、表示部33に表示される画像は、画像データを補正データにより補正したものとすることができる。なお、画像データだけでなく、補正データ等も表示装置10が有するデータドライバ回路22により生成することができる。

[0238]

また画素34は、配線32__1及び配線32__2に供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミックレンジ(HDR)表示等を行うことができる。また、液晶素子を用いた場合では、オーバードライブ駆動等を行うことができる。

[0239]

[回路401の構成例]

図29C及び図29Dは、回路401の具体的な構成例を含めた、画素34の構成例を示している。図29Cに示す構成の画素34に設けられた回路401は、液晶素子570と、容量素子517とを有する。

[0240]

液晶素子 570 の一方の電極は、ノード N2 と電氣的に接続される。液晶素子 570 の他方の電極は、配線 533 と電氣的に接続される。容量素子 517 の一方の電極は、ノード N2 と電氣的に接続される。容量素子 517 の他方の電極は、配線 531 と電氣的に接続される。配線 531 及び配線 533 は、表示装置 10 に設けられた例えば全ての画素 34 について、共通の配線とすることができる。この場合、配線 531 及び配線 533 に供給される電位は共通電位となる。

[0241]

容量素子 517 は保持容量としての機能を有する。なお、容量素子 517 は省略してもよい。

[0242]

図 29C に示す構成の画素 34 は、データドライバ回路 22 等が生成可能な電位以上の電位を液晶素子 570 の一方の電極に供給することができる。このため、データドライバ回路 22 を高耐圧なものとしなくても液晶素子 570 に高電圧を供給することができ、表示装置 10 を低価格なものとするすることができる。又は、表示装置 10 の消費電力の増加を抑制しつつ、例えばオーバードライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用すること等ができる。また、配線 32_1 又は配線 32_2 に補正データを供給することで、使用温度や液晶素子 570 の劣化状態等に応じて画像データを補正することができる。

[0243]

図 29D に示す構成の画素 34 に設けられた回路 401 は、発光素子 572 と、トランジスタ 521 と、容量素子 517 とを有する。

[0244]

トランジスタ 521 のソース又はドレインの一方は、配線 537 と電氣的に接続される。トランジスタ 521 のソース又はドレインの他方は、発光素子 572 の一方の電極と電氣的に接続される。トランジスタ 521 のゲートは、ノード N2 と電氣的に接続される。容量素子 517 の一方の電極は、ノード N2 と電氣的に接続される。容量素子 517 の他方の電極は、配線 535 と電氣的に接続される。発光素子 572 の他方の電極は、配線 539 と電氣的に接続される。

[0245]

配線 535 は、表示装置 10 に設けられた例えば全ての画素 34 について、共通の配線とすることができる。この場合、配線 535 に供給される電位は共通電位となる。また、配線 537 及び配線 539 には、定電位を供給することができる。例えば、配線 537 には高電位を供給することができ、配線 539 には低電位を供給することができる。

[0246]

トランジスタ 521 は、発光素子 572 に供給する電流を制御する機能を有する。容量素子 517 は保持容量としての機能を有する。容量素子 517 は省略してもよい。

[0247]

なお、図 29D では発光素子 572 のアノード側がトランジスタ 521 と電氣的に接続される構成を示しているが、カソード側にトランジスタ 521 を電氣的に接続してもよい。この場合は、配線 537 の電位の値と配線 539 の電位の値を適宜変更することができる。

[0248]

図 29D に示す構成の画素 34 は、データドライバ回路 22 等が生成可能な電位以上の電位を発光素子 572 の一方の電極に供給することができる。このため、データドライバ回路 22 を高耐圧なものとしなくてもトランジスタ 521 のゲートに高い電位を供給することができ、表示装置 10 を

低価格なものとすることができる。トランジスタ521のゲートに高い電位を供給することで、発光素子572に大きな電流を流すことができるため、図29Dに示す構成の画素34では例えばHDR表示等を実現することができる。また、配線32_1又は配線32_2に補正データを供給することで、トランジスタ521や発光素子572の電気特性のばらつきの補正を行うこともできる。

[0249]

また、トランジスタ521のゲートに高い電位を供給することで、発光素子572に高電圧を供給することができる。具体的には、例えば配線537の電位を高くすることができる。よって、発光素子572を有機EL素子とする場合は、発光素子を後述するタンデム構造とすることができる。これにより、発光素子572の電流効率及び外部量子効率を高めることができる。よって、表示装置10に高輝度の画像を表示することができる。また、表示装置10の消費電力を低減することができる。

[0250]

なお、図29C及び図29Dで例示した回路に限られず、別途トランジスタや容量素子等を追加した構成としてもよい。例えば、図29C及び図29Dに示す構成から、トランジスタと容量素子を1個ずつ追加することにより、電位を保持することができるノードを3つとすることができる。つまり、電位を保持することができるノードを、ノードN1とノードN2以外にもう1個、画素34に設ける構成とすることができる。これにより、ノードN2の電位をさらに高いものとすることができる。よって、画素34が図29Cに示す構成である場合、液晶素子570にさらに高い電圧を供給することができる。また、画素34が図29Dに示す構成である場合、発光素子572にさらに大きな電流を流すことができる。

[0251]

図30A乃至図30Eは、表示素子として発光素子572を適用する場合の、回路401の構成例を示す図である。図30Aに示す構成の回路401は、図29Dに示す構成の回路401と同様に、容量素子517と、トランジスタ521と、発光素子572と、を有する。

[0252]

図30Aに示す構成の回路401において、ノードN2には、トランジスタ521のゲート、及び容量素子517の一方の電極が電氣的に接続される。トランジスタ521のソース又はドレインの一方は、配線537と電氣的に接続される。トランジスタ521のソース又はドレインの他方は、容量素子517の他方の電極と電氣的に接続される。容量素子517の他方の電極は、発光素子572の一方の電極と電氣的に接続される。発光素子572の他方の電極は、配線539と電氣的に接続される。

[0253]

図30Bに示す構成の回路401も、図29Dに示す構成の回路401と同様に、容量素子517と、トランジスタ521と、発光素子572と、を有する。

[0254]

図30Bに示す構成の回路401において、ノードN2には、トランジスタ521のゲート、及び容量素子517の一方の電極が電氣的に接続される。発光素子572の一方の電極は、配線537と電氣的に接続される。発光素子572の他方の電極は、トランジスタ521のソース又はドレインの一方と電氣的に接続される。トランジスタ521のソース又はドレインの他方は、容量素子517の他方の電極と電氣的に接続される。容量素子517の他方の電極は、配線539と電氣的に

接続される。

[0255]

図30Cには、図30Aに示す回路401にトランジスタ525を付加した場合の、回路401の構成例を示している。トランジスタ525のソース又はドレインの一方は、トランジスタ521のソース又はドレインの他方、及び容量素子517の他方の電極と電氣的に接続される。トランジスタ525のソース又はドレインの他方は、発光素子572の一方の電極と電氣的に接続される。トランジスタ525のゲートは、配線541と電氣的に接続される。配線541は、トランジスタ525の導通を制御する走査線としての機能を有する。

[0256]

図30Cに示す構成の回路401を有する画素34では、ノードN2の電位がトランジスタ521のしきい値電圧以上となっても、トランジスタ525をオン状態としなければ発光素子572に電流が流れない。このため、表示装置10の誤動作を抑制することができる。

[0257]

図30Dには、図30Cに示す回路401にトランジスタ527を付加した場合の、回路401の構成例を示している。トランジスタ527のソース又はドレインの一方は、トランジスタ521のソース又はドレインの他方、トランジスタ525のソース又はドレインの一方、及び容量素子517の他方の電極と電氣的に接続される。トランジスタ527のソース又はドレインの他方は、配線543と電氣的に接続される。トランジスタ527のゲートは、配線545と電氣的に接続される。配線545は、トランジスタ527の導通を制御する走査線としての機能を有する。

[0258]

配線543は、基準電位等の特定の電位の供給源と電氣的に接続することができる。つまり、配線543は、電源線としての機能を有する。配線543からトランジスタ521のソース又はドレインの他方に特定の電位を供給することで、画像データの画素34への書き込みを安定化させることができる。

[0259]

また、配線543は回路520と電氣的に接続することができる。回路520は、上記特定の電位の供給源、トランジスタ521の電気特性を取得する機能、及び補正データを生成する機能の1つ以上を有することができる。

[0260]

図30Eに示す構成の回路401は、容量素子517と、トランジスタ521と、トランジスタ529と、発光素子572と、を有する。

[0261]

図30Eに示す構成の回路401において、ノードN2には、トランジスタ521のゲート、及び容量素子517の一方の電極が電氣的に接続される。トランジスタ521のソース又はドレインの一方は、配線537と電氣的に接続される。トランジスタ529のソース又はドレインの一方は、配線543と電氣的に接続される。

[0262]

容量素子517の他方の電極は、トランジスタ521のソース又はドレインの他方と電氣的に接続される。トランジスタ521のソース又はドレインの他方は、トランジスタ529のソース又はドレインの他方と電氣的に接続される。トランジスタ529のソース又はドレインの他方は、発光素

子572の一方の電極と電氣的に接続される。

[0263]

トランジスタ529のゲートは、配線31__1と電氣的に接続される。発光素子572の他方の電極は、配線539と電氣的に接続される。

[0264]

<表示装置の構成例3>

図31は、画素34が図29A、図29C、又は図29Dに示す構成である場合の、表示装置10の構成例を示すブロック図である。図31に示す構成の表示装置10には、図1Aに示す表示装置10の構成要素に加え、デマルチプレクサ回路24が設けられる。デマルチプレクサ回路24は、図31に示すように、例えば層20に設けることができる。なお、デマルチプレクサ回路24の個数は、例えば表示部33に設けられた画素34の列数と同数とすることができる。

[0265]

ゲートドライバ回路21は、配線31__1を介して画素34と電氣的に接続される。ゲートドライバ回路21は、配線31__2を介して画素34と電氣的に接続される。配線31__1及び配線31__2は、走査線としての機能を有する。

[0266]

データドライバ回路22は、デマルチプレクサ回路24の入力端子と電氣的に接続される。デマルチプレクサ回路24の第1の出力端子は、配線32__1を介して画素34と電氣的に接続される。デマルチプレクサ回路24の第2の出力端子は、配線32__2を介して画素34と電氣的に接続される。配線32__1及び配線32__2は、データ線としての機能を有する。

[0267]

なお、データドライバ回路22と、デマルチプレクサ回路24と、をまとめてデータドライバ回路と呼んでもよい。つまり、デマルチプレクサ回路24は、データドライバ回路22に含まれるとしてもよい。

[0268]

図31に示す構成の表示装置10において、データドライバ回路22は、画像データS1及び画像データS2を生成する機能を有する。デマルチプレクサ回路24は、配線32__1を介して画像データS1を画素34に供給する機能を有し、配線32__2を介して画像データS2を画素34に供給する機能を有する。ここで、図31に示す構成の表示装置10を図29Bに示す方法で動作させるとすると、電位 V_{data} を画像データS1に対応する電位とすることができ、電位 V_w を画像データS2に対応する電位とすることができる。

[0269]

図29Bに示すように、ノードN2に電位 V_w を供給した後、ノードN1に電位 V_{data} を供給することにより、ノードN2の電位は“ $V_w + dV$ ”となる。ここで、前述のように、電位 dV は電位 V_{data} に対応する電位である。よって、画像データS2に画像データS1を付加することができる。つまり、画像データS2に画像データS1を重ね合わせることができる。

[0270]

画像データS1に対応する電位 V_{data} 、及び画像データS2に対応する電位 V_w の大きさは、データドライバ回路22の耐圧等に応じて制限される。そこで、画像データS1と画像データS2を重ね合わせることにより、データドライバ回路22が出力可能な電位より高い電位の画像データに対

応する画像を、表示部 33 に表示することができる。これにより、発光素子 572 に大電流を流すことができるため、高輝度の画像を表示部 33 に表示することができる。また、表示部 33 が表示することができる画像の輝度の幅である、ダイナミックレンジを拡大することができる。

[0271]

画像データ S1 に対応する画像と、画像データ S2 に対応する画像と、は同一でもよいし、異なってもよい。画像データ S1 に対応する画像と、画像データ S2 に対応する画像と、が同一である場合、表示部 33 には、画像データ S1 に対応する画像の輝度、及び画像データ S2 に対応する画像の輝度より高い輝度の画像を表示することができる。

[0272]

図 32 は、画像データ S1 に対応する画像 P1 を、文字のみを含む画像とし、画像データ S2 に対応する画像 P2 を、絵と文字が含まれる画像とする場合を示している。この場合、画像 P1 と画像 P2 を重ね合わせることで、文字の輝度を高めることができ、例えば文字を強調することができる。また、図 29B に示すように、ノード N2 に電位 V_w が書き込まれた後に、ノード N2 の電位が電位 V_{data} に応じて変化することから、画像データ S2 に対応する電位 V_w を書き換える場合は、画像データ S1 の電位 V_{data} を再度書き込まなければならない。一方、電位 V_{data} を書き換える場合は、図 29B に示す時刻 T1 においてノード N2 に書き込まれた電荷が、トランジスタ 513 等からリークせずに保持されている限り、電位 V_w を書き換える必要がない。よって、図 32 に示す場合において、電位 V_{data} の値を調整することにより、文字の輝度を調整することができる。

[0273]

ここで、前述のように、画像データ S2 に対応する電位 V_w を書き換える場合は、画像データ S1 に対応する電位 V_{data} を再度書き込まなければならない。一方、電位 V_{data} を書き換える場合は、電位 V_w を書き換える必要がない。よって、画像 P2 は、画像 P1 より書き換え頻度が低い画像とすることが好ましい。なお、画像 P1 は、文字のみを含む画像に限定されず、画像 P2 は、絵と文字が含まれる画像に限定されない。

[0274]

<表示装置の断面構成例>

図 33 は、表示装置 10 の構成例を示す断面図である。表示装置 10 は、基板 701 及び基板 705 を有し、基板 701 と基板 705 はシール材 712 により貼り合わされている。

[0275]

基板 701 として、単結晶シリコン基板等の単結晶半導体基板を用いることができる。なお、基板 701 として単結晶半導体基板以外の半導体基板を用いてもよい。

[0276]

基板 701 上にトランジスタ 441、及びトランジスタ 601 が設けられる。トランジスタ 441 は、機能回路 40 に設けられるトランジスタとすることができる。トランジスタ 601 は、ゲートドライバ回路 21 に設けられるトランジスタ、又はデータドライバ回路 22 に設けられるトランジスタとすることができる。つまり、トランジスタ 441 及びトランジスタ 601 は、図 1A 等に示す層 20 に設けることができる。

[0277]

トランジスタ 441 は、ゲート電極としての機能を有する導電体 443 と、ゲート絶縁体としての機能を有する絶縁体 445 と、基板 701 の一部と、からなり、チャンネル形成領域を含む半導体領

域447、ソース領域又はドレイン領域の一方としての機能を有する低抵抗領域449a、及びソース領域又はドレイン領域の他方としての機能を有する低抵抗領域449bを有する。トランジスタ441は、pチャネル型又はnチャネル型のいずれでもよい。

[0278]

トランジスタ441は、素子分離層403によって他のトランジスタと電氣的に分離される。図33では、素子分離層403によってトランジスタ441とトランジスタ601が電氣的に分離される場合を示している。素子分離層403は、LOCOS (LOCAL Oxidation of Silicon) 法、又はSTI (Shallow Trench Isolation) 法等を用いて形成することができる。

[0279]

ここで、図33に示すトランジスタ441は半導体領域447が凸形状を有する。また、半導体領域447の側面及び上面を、絶縁体445を介して、導電体443が覆うように設けられている。なお、図33では、導電体443が半導体領域447の側面を覆う様子は図示していない。また、導電体443には仕事関数を調整する材料を用いることができる。

[0280]

トランジスタ441のような半導体領域が凸形状を有するトランジスタは、半導体基板の凸部を利用していることから、フィン型トランジスタと呼ぶことができる。なお、凸部の上部に接して、凸部を形成するためのマスクとしての機能を有する絶縁体を有していてもよい。また、図33では基板701の一部を加工して凸部を形成する構成を示しているが、SOI基板を加工して凸形状を有する半導体を形成してもよい。

[0281]

なお、図33に示すトランジスタ441の構成は一例であり、その構成に限定されず、回路構成又は回路の動作方法等に応じて適切な構成とすればよい。例えば、トランジスタ441は、プレーナー型トランジスタであってもよい。

[0282]

トランジスタ601は、トランジスタ441と同様の構成とすることができる。

[0283]

基板701上には、素子分離層403、並びにトランジスタ441及びトランジスタ601の他、絶縁体405、絶縁体407、絶縁体409、及び絶縁体411が設けられる。絶縁体405中、絶縁体407中、絶縁体409中、及び絶縁体411中に導電体451が埋設されている。ここで、導電体451の上面の高さと、絶縁体411の上面の高さは同程度にできる。

[0284]

導電体451上、及び絶縁体411上に絶縁体413及び絶縁体415が設けられる。また、絶縁体413中、及び絶縁体415中に導電体457が埋設されている。導電体457は、例えば図25に示す配線121乃至配線123と同一の層に設けることができる。ここで、導電体457の上面の高さと、絶縁体415の上面の高さは同程度にできる。

[0285]

導電体457上、及び絶縁体415上に絶縁体417及び絶縁体419が設けられる。また、絶縁体417中、及び絶縁体419中に導電体459が埋設されている。導電体459は、例えば図25に示す配線141乃至配線143と同一の層に設けることができる。ここで、導電体459の上

面の高さ、絶縁体419の上面の高さは同程度にできる。

[0286]

導電体459上、及び絶縁体419上に絶縁体421及び絶縁体214が設けられる。絶縁体421中、及び絶縁体214中に導電体453が埋設されている。ここで、導電体453の上面の高さと、絶縁体214の上面の高さは同程度にできる。

[0287]

導電体453上、及び絶縁体214上に絶縁体216が設けられる。絶縁体216中に導電体455が埋設されている。ここで、導電体455の上面の高さと、絶縁体216の上面の高さは同程度にできる。

[0288]

導電体455上、及び絶縁体216上に絶縁体222、絶縁体224、絶縁体254、絶縁体244、絶縁体280、絶縁体274、及び絶縁体281が設けられる。絶縁体222中、絶縁体224中、絶縁体254中、絶縁体244中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体305が埋設されている。ここで、導電体305の上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0289]

導電体305上、及び絶縁体281上に絶縁体361が設けられる。絶縁体361中に導電体317、及び導電体337が埋設されている。ここで、導電体337の上面の高さと、絶縁体361の上面の高さは同程度にできる。

[0290]

導電体337上、及び絶縁体361上に絶縁体363が設けられる。絶縁体363中に導電体347、導電体353、導電体355、及び導電体357が埋設されている。ここで、導電体353、導電体355、及び導電体357の上面の高さと、絶縁体363の上面の高さは同程度にできる。

[0291]

導電体353上、導電体355上、導電体357上、及び絶縁体363上に接続電極760が設けられる。また、接続電極760と電氣的に接続されるように異方性導電体780が設けられ、異方性導電体780と電氣的に接続されるようにFPC(Flexible Printed Circuit)716が設けられる。FPC716によって、表示装置10の外部から、表示装置10に各種信号等が供給される。

[0292]

図33に示すように、トランジスタ441のソース領域又はドレイン領域の他方としての機能を有する低抵抗領域449bは、導電体451、導電体457、導電体459、導電体453、導電体455、導電体305、導電体317、導電体337、導電体347、導電体353、導電体355、導電体357、接続電極760、及び異方性導電体780を介して、FPC716と電氣的に接続される。ここで、図33では接続電極760と導電体347を電氣的に接続する機能を有する導電体として、導電体353、導電体355、及び導電体357の3つを示しているが本発明の一態様はこれに限らない。接続電極760と導電体347を電氣的に接続する機能を有する導電体を1つとしてもよいし、2つとしてもよいし、4つ以上としてもよい。接続電極760と導電体347を電氣的に接続する機能を有する導電体を複数設けることで、接触抵抗を小さくすることができる。

[0293]

絶縁体214上には、トランジスタ750が設けられる。トランジスタ750は、画素34に設けられるトランジスタとすることができる。つまり、トランジスタ750は、図1A等に示す層30に設けることができる。トランジスタ750は、OSトランジスタを適用することができる。前述のように、OSトランジスタは、オフ電流が極めて低いという特徴を有する。よって、画像データ等の保持時間を長くすることができるため、リフレッシュ動作の頻度を少なくできる。よって、表示装置10の消費電力を低減することができる。

[0294]

なお、トランジスタ750は、Siトランジスタを適用してもよい。特に、LTPSトランジスタを適用することが好ましい。前述のように、LTPSトランジスタは、電界効果移動度が高く高速動作が可能である。よって、トランジスタ750にLTPSトランジスタを適用することにより、表示装置10を高速に動作させることができる。

[0295]

絶縁体254中、絶縁体244中、絶縁体280中、絶縁体274中、及び絶縁体281中に導電体301a、及び導電体301bが埋設されている。導電体301aは、トランジスタ750のソース又はドレインの一方と電氣的に接続され、導電体301bは、トランジスタ750のソース又はドレインの他方と電氣的に接続される。ここで、導電体301a、及び導電体301bの上面の高さと、絶縁体281の上面の高さは同程度にできる。

[0296]

絶縁体361中に導電体311、導電体313、導電体331、容量素子790、導電体333、及び導電体335が埋設されている。導電体311及び導電体313はトランジスタ750と電氣的に接続され、配線としての機能を有する。導電体333及び導電体335は、容量素子790と電氣的に接続される。ここで、導電体331、導電体333、及び導電体335の上面の高さと、絶縁体361の上面の高さは同程度にできる。

[0297]

絶縁体363中に導電体341、導電体343、及び導電体351が埋設されている。ここで、導電体351の上面の高さと、絶縁体363の上面の高さは同程度にできる。

[0298]

絶縁体405、絶縁体407、絶縁体409、絶縁体411、絶縁体413、絶縁体415、絶縁体417、絶縁体419、絶縁体421、絶縁体214、絶縁体280、絶縁体274、絶縁体281、絶縁体361、及び絶縁体363は、層間膜としての機能を有し、それぞれ下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。例えば、絶縁体363の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[0299]

図33に示すように、容量素子790は下部電極321と、上部電極325と、を有する。また、下部電極321と上部電極325との間には、絶縁体323が設けられる。すなわち、容量素子790は、一對の電極間に誘電体として機能する絶縁体323が挟持された積層型の構造である。なお、図33では絶縁体281上に容量素子790を設ける例を示しているが、絶縁体281と異なる絶縁体上に、容量素子790を設けてもよい。

[0300]

図33において、導電体301a、導電体301b、及び導電体305が同一の層に形成される例を示している。また、導電体311、導電体313、導電体317、及び下部電極321が同一の層に形成される例を示している。また、導電体331、導電体333、導電体335、及び導電体337が同一の層に形成される例を示している。また、導電体341、導電体343、及び導電体347が同一の層に形成される例を示している。さらに、導電体351、導電体353、導電体355、及び導電体357が同一の層に形成される例を示している。このように、複数の導電体を同一の層に形成することにより、表示装置10の作製工程を簡略にすることができるため、表示装置10を低価格なものとすることができる。なお、これらはそれぞれ異なる層に形成されてもよく、異なる種類の材料を有してもよい。

[0301]

図33に示す表示装置10は、液晶素子570を有する。液晶素子570は、導電体772、導電体774、及びこれらに液晶層776を有する。導電体774は、基板705側に設けられ、共通電極としての機能を有する。また、導電体772は、導電体351、導電体341、導電体331、導電体313、及び導電体301bを介して、トランジスタ750のソース又はドレインの他方と電気的に接続される。導電体772は絶縁体363上に形成され、画素電極としての機能を有する。

[0302]

導電体772には、可視光に対して透光性の材料、又は反射性の材料を用いることができる。透光性の材料としては、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。反射性の材料としては、例えば、アルミニウム、銀等を含む材料を用いるとよい。

[0303]

導電体772に反射性の材料を用いると、表示装置10は反射型の液晶表示装置となる。一方、導電体772に透光性の材料を用い、また基板701等にも透光性の材料を用いると、表示装置10は透過型の液晶表示装置となる。表示装置10が反射型の液晶表示装置である場合、視認側に偏光板を設ける。一方、表示装置10が透過型の液晶表示装置である場合、液晶素子を挟むように一対の偏光板を設ける。

[0304]

また、図33には図示しないが、液晶層776と接する配向膜を設ける構成としてもよい。また、偏光部材、位相差部材、反射防止部材等の光学部材（光学基板）、及びバックライト、サイドライト等の光源を適宜設けることができる。

[0305]

絶縁体363と、導電体774との間に、構造体778が設けられる。構造体778は柱状のスペーサであり、基板701と基板705の間の距離（セルギャップ）を制御する機能を有する。なお、構造体778として、球状のスペーサを用いてもよい。

[0306]

基板705側には、遮光層738と、着色層736と、これらに接する絶縁体734と、が設けられる。遮光層738は、隣接する領域から発せられる光を遮る機能を有する。又は、遮光層738は、外光がトランジスタ750等に達することを遮る機能を有する。なお、着色層736は、液晶素子570と重なる領域を有するように設けられている。

[0307]

液晶層 776 には、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDL C：Polymer Dispersed Liquid Crystal）、高分子ネットワーク型液晶（PNLC：Polymer Network Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。

[0308]

また、液晶素子のモードとしては、TN（Twisted Nematic）モード、VA（Vertical Alignment）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optically Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、ゲストホストモード等を用いることができる。

[0309]

また、液晶層 776 に高分子分散型液晶、又は高分子ネットワーク型液晶等を用いた、散乱型の液晶を用いることもできる。このとき、着色層 736 を設けずに白黒表示を行う構成としてもよいし、着色層 736 を用いてカラー表示を行う構成としてもよい。

[0310]

また、液晶素子の駆動方法として、継時加法混色法に基づいてカラー表示を行う、時間分割表示方式（フィールドシーケンシャル駆動方式ともいう）を適用してもよい。その場合、着色層 736 を設けない構成とすることができる。時間分割表示方式を用いた場合、例えば R（赤色）、G（緑色）、B（青色）のそれぞれの色を呈する副画素を設ける必要がないため、画素の開口率を向上させること、及び精細度を高められること等の利点がある。

[0311]

図 33 に示す構成の表示装置 10 は、表示素子として液晶素子を用いているが、本発明の一態様はこれに限らない。図 34 は、図 33 に示す表示装置 10 の変形例であり、表示素子として発光素子を用いている点が、図 33 に示す表示装置 10 と異なる。

[0312]

図 34 に示す表示装置 10 は、発光素子 572 を有する。発光素子 572 は、導電体 772、EL 層 786、及び導電体 788 を有する。導電体 788 は、基板 705 側に設けられ、共通電極としての機能を有する。また、導電体 772 は、導電体 351、導電体 341、導電体 331、導電体 313、及び導電体 301b を介して、トランジスタ 750 のソース又はドレインの他方と電氣的に接続される。導電体 772 は絶縁体 363 上に形成され、画素電極としての機能を有する。また、EL 層 786 は、有機化合物、又は量子ドット等の無機化合物を有する。

[0313]

有機化合物に用いることのできる材料としては、蛍光性材料又は燐光性材料等が挙げられる。また、量子ドットに用いることのできる材料としては、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料等が挙げられる。

[0314]

図34に示す表示装置10には、絶縁体363上に絶縁体730が設けられる。ここで、絶縁体730は、導電体772の一部を覆う構成とすることができる。また、発光素子572は透光性の導電体788を有し、トップエミッション型の発光素子とすることができる。なお、発光素子572は、導電体772側に光を射出するボトムエミッション構造、又は導電体772及び導電体788の双方に光を射出するデュアルエミッション構造としてもよい。

[0315]

発光素子572は、詳細は後述するが、マイクロキャビティ構造を有することができる。これにより、着色層を設けなくても所定の色の光（例えば、RGB）を取り出すことができ、表示装置10はカラー表示を行うことができる。着色層を設けない構成とすることにより、着色層による光の吸収を抑制することができる。これにより、表示装置10は高輝度の画像を表示することができ、また表示装置10の消費電力を低減することができる。なお、EL層786を画素毎に島状又は画素列毎に縞状に形成する、すなわち塗り分けにより形成する場合においても、着色層を設けない構成とすることができる。

[0316]

なお、遮光層738は絶縁体730と重なる領域を有するように設けられている。また、遮光層738は、絶縁体734で覆われている。また、発光素子572と絶縁体734の間は封止層732で充填されている。

[0317]

さらに、絶縁体730とEL層786との間に、構造体778が設けられる。また、絶縁体730と絶縁体734との間に、構造体778が設けられる。構造体778は柱状のスペーサであり、基板701と基板705の間の距離（セルギャップ）を制御する機能を有する。なお、構造体778として、球状のスペーサを用いてもよい。

[0318]

基板705側には、遮光層738と、これに接する絶縁体734と、が設けられる。遮光層738は、隣接する領域から発せられる光を遮る機能を有する。又は、遮光層738は、外光がトランジスタ750等に達することを遮る機能を有する。

[0319]

図35は、図34に示す表示装置10の変形例であり、着色層736を設けている点が図34に示す表示装置10と異なる。着色層736を設けることにより、発光素子572から取り出される光の色純度を高めることができる。これにより、表示装置10に高品位の画像を表示することができる。また、表示装置10の例えば全ての発光素子572を、白色光を発する発光素子とすることができるため、EL層786を塗り分けにより形成しなくてもよく、表示装置10を高精細なものとするすることができる。

[0320]

図33乃至図35では、トランジスタ441及びトランジスタ601と、トランジスタ750と、を異なる構成を示したが、本発明の一態様はこれに限らない。図36は図33の変形例、図37は図34の変形例、図38は図35の変形例であり、トランジスタ750と同様の構成のトランジスタであるトランジスタ602及びトランジスタ603の上に積層して、トランジスタ750が設けられている点が図33乃至図35に示す構成の表示装置10と異なる。

[0321]

基板 701 上には絶縁体 613 及び絶縁体 614 が設けられ、絶縁体 614 上にはトランジスタ 602 及びトランジスタ 603 が設けられる。なお、基板 701 と、絶縁体 613 と、の間にトランジスタ等が設けられていてもよい。例えば、基板 701 と、絶縁体 613 と、の間に、図 33 乃至図 35 で示したトランジスタ 441 及びトランジスタ 601 と同様の構成のトランジスタを設けてもよい。

[0322]

トランジスタ 602 は機能回路 40 に設けられるトランジスタとすることができる。トランジスタ 603 は、ゲートドライバ回路 21 に設けられるトランジスタ、又はデータドライバ回路 22 に設けられるトランジスタとすることができる。つまり、トランジスタ 602 及びトランジスタ 603 は、図 1A 等に示す層 20 に設けることができる。

[0323]

絶縁体 614 上には、トランジスタ 602 及びトランジスタ 603 の他、絶縁体 616、絶縁体 622、絶縁体 624、絶縁体 654、絶縁体 644、絶縁体 680、絶縁体 674、及び絶縁体 681 が設けられる。絶縁体 654 中、絶縁体 644 中、絶縁体 680 中、絶縁体 674 中、及び絶縁体 681 中に導電体 461 が埋設されている。ここで、導電体 461 の上面の高さと、絶縁体 681 の上面の高さは同程度にできる。

[0324]

導電体 461 上、及び絶縁体 681 上に絶縁体 501 が設けられる。絶縁体 501 中に導電体 463 が埋設されている。ここで、導電体 463 の上面の高さと、絶縁体 501 の上面の高さは同程度にできる。

[0325]

導電体 463 上、及び絶縁体 501 上に絶縁体 503 が設けられる。絶縁体 503 中に導電体 465 が埋設されている。ここで、導電体 465 の上面の高さと、絶縁体 503 の上面の高さは同程度にできる。

[0326]

導電体 465 上、及び絶縁体 503 上に絶縁体 505 が設けられる。また、絶縁体 505 中に導電体 467 が埋設されている。導電体 467 は、例えば図 25 に示す配線 121 乃至配線 123 と同一の層に設けることができる。ここで、導電体 467 の上面の高さと、絶縁体 505 の上面の高さは同程度にできる。

[0327]

導電体 467 上、及び絶縁体 505 上に絶縁体 507 が設けられる。絶縁体 507 中に導電体 469 が埋設されている。ここで、導電体 469 の上面の高さと、絶縁体 507 の上面の高さは同程度にできる。

[0328]

導電体 469 上、及び絶縁体 507 上に絶縁体 509 が設けられる。また、絶縁体 509 中に導電体 471 が埋設されている。導電体 471 は、例えば図 25 に示す配線 141 乃至配線 143 と同一の層に設けることができる。ここで、導電体 471 の上面の高さと、絶縁体 509 の上面の高さは同程度にできる。

[0329]

導電体 471 上、及び絶縁体 509 上に絶縁体 421 及び絶縁体 214 が設けられる。絶縁体 42

1 中、及び絶縁体 2 1 4 中に導電体 4 5 3 が埋設されている。ここで、導電体 4 5 3 の上面の高さと、絶縁体 2 1 4 の上面の高さは同程度にできる。

[0330]

図 3 6 乃至図 3 8 に示すように、トランジスタ 6 0 2 のソース又はドレインの一方は、導電体 4 6 1、導電体 4 6 3、導電体 4 6 5、導電体 4 6 7、導電体 4 6 9、導電体 4 7 1、導電体 4 5 3、導電体 4 5 5、導電体 3 0 5、導電体 3 1 7、導電体 3 3 7、導電体 3 4 7、導電体 3 5 3、導電体 3 5 5、導電体 3 5 7、接続電極 7 6 0、及び異方性導電体 7 8 0 を介して、FPC 7 1 6 と電氣的に接続される。

[0331]

絶縁体 6 1 3、絶縁体 6 1 4、絶縁体 6 8 0、絶縁体 6 7 4、絶縁体 6 8 1、絶縁体 5 0 1、絶縁体 5 0 3、絶縁体 5 0 5、絶縁体 5 0 7、及び絶縁体 5 0 9 は、層間膜としての機能を有し、それぞれの下方の凹凸形状を被覆する平坦化膜としての機能を有してもよい。

[0332]

表示装置 1 0 を図 3 6 乃至図 3 8 に示す構成とすることにより、表示装置 1 0 を狭額縁化、小型化させつつ、表示装置 1 0 が有するトランジスタを全て同一の構成のトランジスタとすることができる。これにより、例えば層 2 0 に設けられるトランジスタと、層 3 0 に設けられるトランジスタと、を同一の装置を用いて作製することができる。よって、表示装置 1 0 の作製コストを低減することができる。表示装置 1 0 を低価格なものとすることができる。

[0333]

<表示装置の構成例 4 >

図 3 9 A 及び図 3 9 B は、本発明の一態様の表示装置に適用することができる副画素 9 0 1 の構成例を示す上面図である。副画素 9 0 1 は、図 2 7 C に示す回路構成とすることができる。ここで、トランジスタ 5 5 2 はゲートの他、バックゲートを有し、当該バックゲートは配線 3 1 と電氣的に接続される。また、トランジスタ 5 5 4 はゲートの他、バックゲートを有し、当該バックゲートはトランジスタ 5 5 4 のソース又はドレインの他方、容量素子 5 6 2 の他方の電極、及び発光素子 5 7 2 の一方の電極と電氣的に接続される。

[0334]

図 3 9 A では、副画素 9 0 1 が有するトランジスタ、容量素子、配線等を構成する導電体、及び半導体を示している。図 3 9 B では、図 3 9 A に示す構成に加え、発光素子 5 7 2 の一方の電極としての機能を有する導電体 7 7 2 を示している。なお、図 3 9 A 及び図 3 9 B のいずれにおいても、発光素子 5 7 2 の他方の電極としての機能を有する導電体等は省略している。ここで、発光素子 5 7 2 の一方の電極は画素電極としての機能を有し、発光素子 5 7 2 の他方の電極は共通電極としての機能を有する。

[0335]

図 3 9 A 及び図 3 9 B に示すように、副画素 9 0 1 は、導電体 9 1 1 と、導電体 9 1 2 と、半導体 9 1 3 と、半導体 9 1 4 と、導電体 9 1 5 a と、導電体 9 1 5 b と、導電体 9 1 6 a と、導電体 9 1 6 b と、導電体 9 1 7 と、導電体 9 1 8 と、導電体 9 1 9 と、導電体 9 2 0 と、導電体 9 2 1 と、導電体 9 2 2 と、導電体 9 2 3 と、導電体 9 2 4 と、導電体 9 2 5 と、導電体 9 2 6 と、導電体 9 2 7 と、導電体 9 2 8 と、導電体 9 2 9 と、導電体 9 3 0 と、導電体 9 3 1 と、導電体 7 7 2 と、を有する。

[0336]

導電体911及び導電体912は、同一の工程で形成することができる。半導体913及び半導体914は同一の工程で形成され、導電体911及び導電体912より後の工程で形成することができる。導電体915a及び導電体915b、並びに導電体916a及び導電体916bは同一の工程で形成され、導電体911及び導電体912より後の工程で形成することができる。導電体917及び導電体918は同一の工程で形成され、半導体913及び半導体914、並びに導電体915a、導電体915b、導電体916a、及び導電体916bより後の工程で形成することができる。

[0337]

導電体919乃至導電体923は同一の工程で形成され、導電体917及び導電体918より後の工程で形成することができる。導電体924は、導電体919乃至導電体923より後の工程で形成することができる。導電体925乃至導電体928は同一の工程で形成され、導電体924より後の工程で形成することができる。導電体929乃至導電体931は同一の工程で形成され、導電体925乃至導電体928より後の工程で形成することができる。導電体772は、導電体929乃至導電体931より後の工程で形成することができる。

[0338]

本明細書等において、同一の工程で形成した要素は、同一の層に設けられるということができる。例えば、導電体911と導電体912は同一の工程で形成することができることから、導電体911と導電体912は同一の層に設けられるということができる。また、後の工程で形成した要素は、先の工程で形成した要素よりも上層に設けられるということができる。例えば、導電体929乃至導電体931は導電体925乃至導電体928より後の工程で形成することができることから、導電体929乃至導電体931は導電体925乃至導電体928よりも上層に設けられるということができる。

[0339]

導電体911は、トランジスタ552のバックゲート電極としての機能を有する。半導体913は、トランジスタ552のチャンネル形成領域を有する。導電体915aは、トランジスタ552のソース電極又はドレイン電極の一方としての機能を有する。導電体915bは、トランジスタ552のソース電極又はドレイン電極の他方としての機能を有する。導電体917は、トランジスタ552のゲート電極としての機能を有する。

[0340]

導電体912は、トランジスタ554のバックゲート電極としての機能を有する。半導体914は、トランジスタ554のチャンネル形成領域を有する。導電体916aは、トランジスタ554のソース電極又はドレイン電極の一方としての機能を有する。導電体916bは、トランジスタ554のソース電極又はドレイン電極の他方としての機能を有する。導電体918は、トランジスタ554のゲート電極としての機能を有する。

[0341]

導電体919は、容量素子562の一方の電極としての機能を有する。導電体924は、容量素子562の他方の電極としての機能を有する。導電体925は、走査線としての機能を有する配線31に対応する。導電体929は、データ線としての機能を有する配線32に対応する。導電体930は、電源線としての機能を有する配線39aに対応する。導電体772は、前述のように、発光

素子 572 の一方の電極としての機能を有する。

[0342]

導電体 911 は、導電体 920 と電氣的に接続される。導電体 912 は、導電体 923 と電氣的に接続される。導電体 915a は、導電体 921 と電氣的に接続される。導電体 915b は、導電体 919 と電氣的に接続される。導電体 916a は、導電体 922 と電氣的に接続される。

[0343]

導電体 916b は、導電体 923 と電氣的に接続される。つまり、トランジスタ 554 のバックゲート電極としての機能を有する導電体 912 と、トランジスタ 554 のソース電極又はドレイン電極の他方としての機能を有する導電体 916b と、は導電体 923 を介して電氣的に接続される。

[0344]

導電体 917 は、導電体 920 と電氣的に接続される。つまり、トランジスタ 552 のバックゲート電極としての機能を有する導電体 911 と、トランジスタ 552 のゲート電極としての機能を有する導電体 917 と、は導電体 920 を介して電氣的に接続される。

[0345]

導電体 920 は、導電体 925 と電氣的に接続される。つまり、トランジスタ 552 のゲート電極としての機能を有する導電体 917 と、走査線としての機能を有する導電体 925 と、は導電体 920 を介して電氣的に接続される。

[0346]

導電体 918 は、導電体 919 と電氣的に接続される。導電体 921 は、導電体 926 と電氣的に接続される。導電体 922 は、導電体 927 と電氣的に接続される。導電体 923 は、導電体 928 と電氣的に接続される。導電体 924 は、導電体 928 と電氣的に接続される。

[0347]

導電体 926 は、導電体 929 と電氣的に接続される。つまり、トランジスタ 552 のソース電極又はドレイン電極の一方としての機能を有する導電体 915a と、データ線としての機能を有する導電体 929 と、は導電体 921 及び導電体 926 を介して電氣的に接続される。

[0348]

導電体 927 は、導電体 930 と電氣的に接続される。つまり、トランジスタ 554 のソース電極又はドレイン電極の一方としての機能を有する導電体 916a と、電源線としての機能を有する導電体 930 と、は導電体 922、及び導電体 927 を介して電氣的に接続される。

[0349]

導電体 928 は、導電体 931 と電氣的に接続される。導電体 931 は、導電体 772 と電氣的に接続される。

[0350]

半導体 913 及び半導体 914 は、例えば金属酸化物を有することができる。よって、トランジスタ 552 及びトランジスタ 554 は、OS トランジスタとすることができる。また、半導体 913 及び半導体 914 は、例えば低温ポリシリコンを有することができる。よって、トランジスタ 552 及びトランジスタ 554 は、LTPS トランジスタとすることができる。

[0351]

図 40 は、図 39B に示す構成の副画素 901 により構成された画素 902 の構成例を示す上面図である。図 40 において、副画素 901R は赤色光を射出する機能を有する副画素 901 を示し、

副画素 901G は緑色光を射出する機能を有する副画素 901 を示し、副画素 901B は青色光を射出する機能を有する副画素 901 を示す。図 40 に示すように、副画素 901R と、副画素 901G と、副画素 901B と、により画素 902 が構成されている。具体的には、上段に設けられている副画素 901R 及び副画素 901B と、下段に設けられている副画素 901G と、により一の画素 902 が構成されている。また、上段に設けられている副画素 901G と、下段に設けられている副画素 901R 及び副画素 901B と、により一の画素 902 が構成されている。

[0352]

図 40 では、上段に設けられた副画素 901R、副画素 901G、及び副画素 901B と、下段に設けられた副画素 901R、副画素 901G、及び副画素 901B と、はそれぞれ左右反転したような構成となっている。このような構成とすることにより、走査線としての機能を有する導電体 925 の延伸方向に向かって同じ色の副画素 901 を交互に配列することができる。これにより、1本のデータ線には、同じ色の光を射出する機能を有する副画素 901 が電氣的に接続される構成とすることができる。つまり、副画素 901R、副画素 901G、及び副画素 901B のうち 2種類以上の副画素 901 が、1本のデータ線と電氣的に接続されることを抑制することができる。

[0353]

図 41 は、図 39B に A1-A2 の一点鎖線で示す部位の断面図である。絶縁体 1021 上にトランジスタ 552、及びトランジスタ 554 が設けられる。また、トランジスタ 552 上、及びトランジスタ 554 上には絶縁体 1022 が設けられ、絶縁体 1022 上には絶縁体 1023 が設けられる。なお、絶縁体 1021 より下層に基板が設けられる。また、当該基板と、絶縁体 1021 と、の間に、図 1A 等に示す層 20 の構成要素（ゲートドライバ回路 21、データドライバ回路 22、機能回路 40 等）を設けることができる。

[0354]

図 41 に示すように、異なる層に設けられた導電体同士は、プラグとしての機能を有する導電体 990 を介して電氣的に接続される。例えば、導電体 915a と、導電体 915a より上層に設けられている導電体 921 と、は導電体 990 を介して電氣的に接続される。導電体 990 は、図 34 等に示す導電体 453、導電体 305、導電体 337、導電体 353、導電体 355、導電体 357、導電体 301a、導電体 301b、導電体 331、導電体 351、導電体 333、導電体 335 と同様の構成とすることができる。

[0355]

導電体 919 乃至導電体 923 上、及び絶縁体 1023 上には、絶縁体 1024 が設けられる。絶縁体 1024 上には、導電体 924 が設けられる。導電体 919 と、絶縁体 1024 と、導電体 924 と、により容量素子 562 が構成されている。

[0356]

導電体 924 上、及び絶縁体 1024 上には絶縁体 1025 が設けられる。導電体 925 乃至導電体 928 上、及び絶縁体 1025 上には絶縁体 1026 が設けられる。導電体 929 乃至導電体 931 上、及び絶縁体 1026 上には絶縁体 1027 が設けられる。

[0357]

絶縁体 1027 上には導電体 772、及び絶縁体 730 が設けられる。ここで、絶縁体 730 は、導電体 772 の一部を覆う構成とすることができる。導電体 772 と、EL 層 786 と、導電体 788 と、により発光素子 572 が構成される。

[0358]

導電体788上には接着層991が設けられ、接着層991上には絶縁体992が設けられる。接着層991上の絶縁体992は、以下の手順により形成することができる。まず、発光素子572等が形成されている基板とは別の基板上に、絶縁体992を形成する。次に、導電体788と、絶縁体992と、を接着層991により接着する。その後、絶縁体992を形成した基板を剥離する。以上により導電体788上に絶縁体992を形成することができる。

[0359]

絶縁体992上には、着色層993が設けられる。図41では、着色層993として着色層993a、及び着色層993bを図示している。着色層993上には、接着層994により基板995が貼り合わされている。

[0360]

着色層993bは、着色層993aとは異なる色の光を透過する機能を有する。例えば、画素902が赤色光を射出する機能を有する副画素901R、緑色光を射出する機能を有する副画素901G、青色光を射出する機能を有する副画素901Bから構成され、着色層993aが赤色光を透過する機能を有する場合、着色層993bは緑色光又は青色光を透過する機能を有する。

[0361]

絶縁体992上に着色層993を形成することにより、着色層993と発光素子572との位置合わせを容易に行うことができる。これにより、本発明の一態様の表示装置の画素密度を高めることができる。

[0362]

<表示装置の構成例5>

図42Aは、本発明の一態様の表示装置に適用することができる副画素940の構成例を示す模式図である。副画素940は、副画素940__1と副画素940__2の積層構造とすることができる。副画素940は、図30Eに示す回路構成とすることができる。ここで、トランジスタ511及びトランジスタ529はゲートの他、バックゲートを有し、当該バックゲートは配線31__1と電氣的に接続される。また、トランジスタ513はバックゲートを有し、当該バックゲートは配線31__2と電氣的に接続される。さらに、トランジスタ521はバックゲートを有し、当該バックゲートは容量素子517の他方の電極、及び発光素子572の一方の電極と電氣的に接続される。

[0363]

図42Bは、副画素940__1の構成例を示す上面図である。図42Bでは、副画素940__1が有するトランジスタ、容量素子、配線等を構成する導電体、及び半導体を示している。

[0364]

図42Bに示すように、副画素940__1は、導電体951と、半導体952と、半導体953と、導電体954aと、導電体954bと、導電体955aと、導電体955bと、導電体956と、導電体957と、導電体958と、導電体959と、導電体960と、導電体961と、導電体962と、導電体963と、導電体964と、導電体965と、導電体966と、導電体967と、を有する。

[0365]

半導体952及び半導体953は同一の工程で形成され、導電体951より後の工程で形成することができる。導電体954a及び導電体954b、並びに導電体955a及び導電体955bは同

一の工程で形成され、導電体951より後の工程で形成することができる。導電体956及び導電体957は同一の工程で形成され、半導体952及び半導体953、並びに導電体954a、導電体954b、導電体955a、及び導電体955bより後の工程で形成することができる。

[0366]

導電体958乃至導電体962は同一の工程で形成され、導電体956及び導電体957より後の工程で形成することができる。導電体963は、導電体958乃至導電体962より後の工程で形成することができる。導電体964乃至導電体967は同一の工程で形成され、導電体963より後の工程で形成することができる。

[0367]

導電体951は、トランジスタ511及びトランジスタ529のバックゲート電極としての機能を有する。また、導電体951は、走査線としての機能を有する配線31__1に対応する。

[0368]

半導体952は、トランジスタ511のチャネル形成領域を有する。導電体954aは、トランジスタ511のソース電極又はドレイン電極の一方としての機能を有する。導電体954bは、トランジスタ511のソース又はドレインの他方としての機能を有する。導電体956は、トランジスタ511のゲート電極としての機能を有する。

[0369]

半導体953は、トランジスタ529のチャネル形成領域を有する。導電体955aは、トランジスタ529のソース電極又はドレイン電極の一方としての機能を有する。導電体955bは、トランジスタ529のソース又はドレインの他方としての機能を有する。導電体957は、トランジスタ529のゲート電極としての機能を有する。

[0370]

導電体958は、容量素子515の一方の電極としての機能を有する。導電体963は、容量素子515の他方の電極としての機能を有する。導電体964は、データ線としての機能を有する配線32__1に対応する。導電体965は、電源線としての機能を有する配線543に対応する。

[0371]

導電体951は、導電体962と電氣的に接続される。導電体954aは、導電体959と電氣的に接続される。導電体954bは、導電体958と電氣的に接続される。導電体955aは、導電体960と電氣的に接続される。導電体955bは、導電体961と電氣的に接続される。

[0372]

導電体956及び導電体957は、導電体962と電氣的に接続される。つまり、トランジスタ511及びトランジスタ529のバックゲート電極としての機能を有し、走査線としての機能を有する配線31__1に対応する導電体951は、導電体962を介して、トランジスタ511のゲート電極としての機能を有する導電体956、及びトランジスタ529のゲート電極としての機能を有する導電体957と電氣的に接続される。

[0373]

導電体959は、導電体964と電氣的に接続される。つまり、トランジスタ511のソース又はドレインの一方としての機能を有する導電体954aと、データ線としての機能を有する導電体964と、は導電体959を介して電氣的に接続される。

[0374]

導電体960は、導電体965と電氣的に接続される。つまり、トランジスタ529のソース又はドレインの一方としての機能を有する導電体955aと、電源線としての機能を有する導電体965と、は導電体960を介して電氣的に接続される。

[0375]

導電体961は、導電体967と電氣的に接続される。導電体963は、導電体966と電氣的に接続される。

[0376]

半導体952及び半導体953は、例えば金属酸化物を有することができる。よって、トランジスタ511及びトランジスタ529は、OSトランジスタとすることができる。また、半導体952及び半導体953は、例えば低温ポリシリコンを有することができる。よって、トランジスタ511及びトランジスタ529は、LTPSトランジスタとすることができる。

[0377]

図43Aでは、副画素940__2が有するトランジスタ、容量素子、配線等を構成する導電体、及び半導体を示している。図43Bでは、図43Aに示す構成に加え、発光素子572の一方の電極としての機能を有する導電体772を示している。なお、図43A及び図43Bのいずれにおいても、発光素子572の他方の電極としての機能を有する導電体等は省略している。

[0378]

図43A及び図43Bに示すように、副画素940__2は、導電体968と、導電体969と、導電体970と、半導体971と、半導体972と、導電体973aと、導電体973bと、導電体974aと、導電体974bと、導電体975と、導電体976と、導電体977と、導電体978と、導電体979と、導電体980と、導電体981と、導電体982と、導電体983と、導電体984と、導電体985と、導電体986と、導電体987と、導電体772と、を有する。

[0379]

導電体968乃至導電体970は、同一の工程で形成することができる。半導体971及び半導体972は同一の工程で形成され、導電体968乃至導電体970より後の工程で形成することができる。導電体973a及び導電体973b、並びに導電体974a及び導電体974bは同一の工程で形成され、導電体968乃至導電体970より後の工程で形成することができる。導電体975及び導電体976は同一の工程で形成され、半導体971及び半導体972、並びに導電体973a、導電体973b、導電体974a、及び導電体974bより後の工程で形成することができる。

[0380]

導電体977乃至導電体981は同一の工程で形成され、導電体975及び導電体976より後の工程で形成することができる。導電体982は、導電体977乃至導電体981より後の工程で形成することができる。導電体983乃至導電体985は同一の工程で形成され、導電体982より後の工程で形成することができる。導電体986及び導電体987は同一の工程で形成され、導電体983乃至導電体985より後の工程で形成することができる。導電体772は、導電体986及び導電体987より後の工程で形成することができる。

[0381]

導電体968は、トランジスタ513のバックゲート電極としての機能を有し、また走査線としての機能を有する配線31__2に対応する。半導体971は、トランジスタ513のチャンネル形成領

域を有する。導電体973aは、トランジスタ513のソース電極又はドレイン電極の一方としての機能を有する。導電体973bは、トランジスタ513のソース電極又はドレイン電極の他方としての機能を有する。導電体975は、トランジスタ513のゲート電極としての機能を有する。

[0382]

導電体970は、トランジスタ521のバックゲート電極としての機能を有する。半導体972は、トランジスタ521のチャンネル形成領域を有する。導電体974aは、トランジスタ521のソース電極又はドレイン電極の一方としての機能を有する。導電体974bは、トランジスタ521のソース電極又はドレイン電極の他方としての機能を有する。導電体976は、トランジスタ521のゲート電極としての機能を有する。

[0383]

導電体977は、容量素子517の一方の電極としての機能を有する。導電体982は、容量素子517の他方の電極としての機能を有する。導電体983は、データ線としての機能を有する配線32_2に対応する。導電体986は、電源線としての機能を有する配線537に対応する。導電体772は、前述のように、発光素子572の一方の電極としての機能を有する。

[0384]

導電体968は、導電体978と電氣的に接続される。導電体969は、導電体977と電氣的に接続される。導電体970は、導電体981と電氣的に接続される。導電体973aは、導電体979と電氣的に接続される。導電体973bは、導電体977と電氣的に接続される。導電体974aは、導電体980と電氣的に接続される。

[0385]

導電体974bは、導電体981と電氣的に接続される。つまり、トランジスタ521のバックゲート電極としての機能を有する導電体970と、トランジスタ521のソース電極又はドレイン電極の他方としての機能を有する導電体974bと、は導電体981を介して電氣的に接続される。

[0386]

導電体975は、導電体978と電氣的に接続される。つまり、トランジスタ513のバックゲート電極としての機能を有する導電体968と、トランジスタ513のゲート電極としての機能を有する導電体975と、は導電体978を介して電氣的に接続される。また、導電体976は、導電体977と電氣的に接続される。

[0387]

導電体979は、導電体983と電氣的に接続される。つまり、トランジスタ513のソース又はドレインの一方としての機能を有する導電体973aと、データ線としての機能を有する導電体983と、は導電体979を介して電氣的に接続される。

[0388]

導電体980は、導電体984と電氣的に接続される。導電体981は、導電体985と電氣的に接続される。導電体982は、導電体985と電氣的に接続される。

[0389]

導電体984は、導電体986と電氣的に接続される。つまり、トランジスタ521のソース電極又はドレイン電極の一方としての機能を有する導電体974aと、電源線としての機能を有する導電体986と、は導電体980、及び導電体984を介して電氣的に接続される。

[0390]

導電体 9 8 5 は、導電体 9 8 7 と電氣的に接続される。導電体 9 8 7 は、導電体 7 7 2 と電氣的に接続される。

[0391]

半導体 9 7 1 及び半導体 9 7 2 は、例えば金属酸化物を有することができる。よって、トランジスタ 5 1 3 及びトランジスタ 5 2 1 は、OS トランジスタとすることができる。また、半導体 9 7 1 及び半導体 9 7 2 は、例えば低温ポリシリコンを有することができる。よって、トランジスタ 5 1 3 及びトランジスタ 5 2 1 は、LTPS トランジスタとすることができる。

[0392]

図 4 4 は、副画素 9 4 0__1 と副画素 9 4 0__2 の積層構造を示す上面図であり、副画素 9 4 0__1 と副画素 9 4 0__2 との電氣的な接続関係を示している。なお、図の明瞭化のため、副画素 9 4 0__2 に設けられる、画素電極としての機能を有する導電体 7 7 2 は図示していない。

[0393]

図 4 4 に示すように、副画素 9 4 0__1 に設けられる導電体 9 6 6 と、副画素 9 4 0__2 に設けられる導電体 9 6 9 と、が電氣的に接続される。これにより、副画素 9 4 0__1 に設けられる容量素子 5 1 5 の他方の電極を、副画素 9 4 0__2 に設けられるトランジスタ 5 1 3 のソース又はドレインの他方、トランジスタ 5 2 1 のゲート、及び容量素子 5 1 7 の一方の電極と電氣的に接続することができる。また、副画素 9 4 0__1 に設けられる導電体 9 6 7 と、副画素 9 4 0__2 に設けられる導電体 9 7 0 と、が電氣的に接続される。これにより、副画素 9 4 0__1 に設けられるトランジスタ 5 2 9 のソース又はドレインの他方を、副画素 9 4 0__2 に設けられる容量素子 5 1 7 の他方の電極、トランジスタ 5 2 1 のソース又はドレインの他方、及び発光素子 5 7 2 の一方の電極と電氣的に接続することができる。

[0394]

図 4 5 は、図 4 2 B、及び図 4 3 B に示す構成の副画素 9 4 0 により構成された画素 9 4 1 の構成例を示す上面図である。図 4 5 において、副画素 9 4 0 R は赤色光を射出する機能を有する副画素 9 4 0 を示し、副画素 9 4 0 G は緑色光を射出する機能を有する副画素 9 4 0 を示し、副画素 9 4 0 B は青色光を射出する機能を有する副画素 9 4 0 を示す。図 4 5 に示すように、副画素 9 4 0 R と、副画素 9 4 0 G と、副画素 9 4 0 B と、により画素 9 4 1 が構成されている。具体的には、上段に設けられている副画素 9 4 0 R 及び副画素 9 4 0 B と、下段に設けられている副画素 9 4 0 G と、により一の画素 9 4 1 が構成されている。また、上段に設けられている副画素 9 4 0 G と、下段に設けられている副画素 9 4 0 R 及び副画素 9 4 0 B と、により一の画素 9 4 1 が構成されている。

[0395]

図 4 5 では、上段に設けられた副画素 9 4 0 R、副画素 9 4 0 G、及び副画素 9 4 0 B と、下段に設けられた副画素 9 4 0 R、副画素 9 4 0 G、及び副画素 9 4 0 B と、はそれぞれ左右反転したような構成となっている。このような構成とすることにより、走査線としての機能を有する導電体 9 5 1、及び導電体 9 6 8 の延伸方向に向かって同じ色の副画素 9 4 0 を交互に配列することができる。これにより、1本のデータ線には、同じ色の光を射出する機能を有する副画素 9 4 0 が電氣的に接続される構成とすることができる。つまり、副画素 9 4 0 R、副画素 9 4 0 G、及び副画素 9 4 0 B のうち2種類以上の副画素 9 4 0 が、1本のデータ線と電氣的に接続されることを抑制することができる。

[0396]

図46は、図42B及び図43BにA3-A4の一点鎖線で示す部位の断面図である。絶縁体1031上には、副画素940__1に設けられるトランジスタであるトランジスタ511、及びトランジスタ529が設けられる。また、トランジスタ511上、及びトランジスタ529上には絶縁体1032が設けられ、絶縁体1032上には絶縁体1033が設けられる。なお、絶縁体1031より下層に基板が設けられる。また、当該基板と、絶縁体1031と、の間に、図1A等に示す層20の構成要素（ゲートドライバ回路21、データドライバ回路22、機能回路40等）を設けることができる。

[0397]

図46に示すように、異なる層に設けられた導電体同士は、プラグとしての機能を有する導電体990を介して電氣的に接続される。

[0398]

導電体958乃至導電体962上、及び絶縁体1033上には、絶縁体1034が設けられる。絶縁体1034上には、導電体963が設けられる。導電体958と、絶縁体1034と、導電体963と、により容量素子515が構成されている。

[0399]

導電体963上、及び絶縁体1034上には絶縁体1035が設けられる。導電体964乃至導電体967上には絶縁体1036が設けられる。

[0400]

絶縁体1036上には、副画素940__2に設けられるトランジスタであるトランジスタ513、及びトランジスタ521が設けられる。また、トランジスタ513上、及びトランジスタ521上には絶縁体1042が設けられ、絶縁体1042上には絶縁体1043が設けられる。

[0401]

導電体977乃至導電体981上、及び絶縁体1043上には絶縁体1044が設けられる。絶縁体1044上には、導電体982が設けられる。導電体977と、絶縁体1044と、導電体982と、により容量素子517が構成されている。

[0402]

導電体982上、及び絶縁体1044上には絶縁体1045が設けられる。導電体983乃至導電体985上、及び絶縁体1045上には絶縁体1046が設けられる。導電体986上、導電体987上、及び絶縁体1046上には絶縁体1047が設けられる。

[0403]

絶縁体1047上には導電体772、及び絶縁体730が設けられる。ここで、図41に示す場合と同様に、絶縁体730は、導電体772の一部を覆う構成とすることができる。導電体772と、EL層786と、導電体788と、により発光素子572が構成される。

[0404]

また、図41に示す場合と同様に、導電体788上には接着層991が設けられ、接着層991上には絶縁体992が設けられる。さらに、絶縁体992上には着色層993が設けられ、着色層993上には接着層994により基板995が貼り合わされている。

[0405]

<発光素子の構成例>

図47A乃至図47Eは、発光素子572の構成例を示す図である。図47Aには、導電体772と導電体788の間にEL層786が挟まれた構造（シングル構造）を示す。前述のとおり、EL層786には発光材料が含まれ、例えば、有機化合物である発光材料が含まれる。

[0406]

図47Bは、EL層786の積層構造を示す図である。ここで、図47Bに示す構造の発光素子572では、導電体772は陽極としての機能を有し、導電体788は陰極としての機能を有する。

[0407]

EL層786は、導電体772の上に、正孔注入層721、正孔輸送層722、発光層723、電子輸送層724、電子注入層725が順次積層された構造を有する。なお、導電体772が陰極としての機能を有し、導電体788が陽極としての機能を有する場合は、積層順は逆になる。

[0408]

発光層723は、発光材料や複数の材料を適宜組み合わせ有しており、所望の発光色を呈する蛍光発光や燐光発光が得られる構成とすることができる。また、発光層723を発光色の異なる積層構造としてもよい。なお、この場合、積層された各発光層に用いる発光物質やその他の物質は、それぞれ異なる材料を用いればよい。

[0409]

発光素子572において、例えば、図47Bに示す導電体772を反射電極とし、導電体788を半透過・半反射電極とし、微小光共振器（マイクロキャビティ）構造とすることにより、EL層786に含まれる発光層723から得られる発光を両電極間で共振させ、導電体788を透過して射出される発光を強めることができる。

[0410]

なお、発光素子572の導電体772が、反射性を有する導電性材料と透光性を有する導電性材料（透明導電膜）との積層構造からなる反射電極である場合、透明導電膜の膜厚を制御することにより光学調整を行うことができる。具体的には、発光層723から得られる光の波長 λ に対して、導電体772と、導電体788との電極間距離が $m\lambda/2$ （ただし、 m は自然数）近傍となるように調整するのが好ましい。

[0411]

また、発光層723から得られる所望の光（波長： λ ）を増幅させるために、導電体772から発光層723の所望の光が得られる領域（発光領域）までの光学距離と、導電体788から発光層723の所望の光が得られる領域（発光領域）までの光学距離と、をそれぞれ $(2m'+1)\lambda/4$ （ただし、 m' は自然数）近傍となるように調節するのが好ましい。なお、ここでいう発光領域とは、発光層723における正孔（ホール）と電子との再結合領域を示す。

[0412]

このような光学調整を行うことにより、発光層723から得られる特定の単色光のスペクトルを狭線化させ、色純度のよい発光を得ることができる。

[0413]

但し、上記の場合、導電体772と導電体788との光学距離は、厳密には導電体772における反射領域から導電体788における反射領域までの総厚とすることができる。しかし、導電体772や導電体788における反射領域を厳密に決定することは困難であるため、導電体772と導電体788の任意の位置を反射領域と仮定することで十分に上述の効果を得ることができるものとす

る。また、導電体 772 と、所望の光が得られる発光層との光学距離は、厳密には導電体 772 における反射領域と、所望の光が得られる発光層における発光領域との光学距離であるということが出来る。しかし、導電体 772 における反射領域、及び所望の光が得られる発光層における発光領域を厳密に決定することは困難であるため、導電体 772 の任意の位置を反射領域、所望の光が得られる発光層の任意の位置を発光領域と仮定することで十分に上述の効果をj得ることが出来るものとする。

[0414]

図 47B に示す発光素子 572 は、マイクロキャビティ構造を有するため、同じ EL 層を有していても異なる波長の光（単色光）を取り出すことが出来る。従って、異なる発光色を得るための塗り分け（例えば、RGB）が不要となる。従って、高精細化を実現することが容易である。また、着色層との組み合わせも可能である。さらに、特定波長の正面方向の発光強度を強めることが可能となるため、低消費電力化を図ることが出来る。

[0415]

なお、図 47B に示す発光素子 572 は、マイクロキャビティ構造を有していなくてもよい。この場合、発光層 723 が白色光を発する構造とし、着色層を設けることにより、所定の色の光（例えば、RGB）を取り出すことが出来る。また、EL 層 786 を形成する際、異なる発光色を得るための塗り分けを行えば、着色層を設けなくても所定の色の光を取り出すことが出来る。

[0416]

導電体 772 と導電体 788 の少なくとも一方は、透光性を有する電極（透明電極、半透過・半反射電極等）とすることが出来る。透光性を有する電極が透明電極の場合、透明電極の可視光の透過率は、40%以上とする。また、半透過・半反射電極の場合、半透過・半反射電極の可視光の反射率は、20%以上80%以下、好ましくは40%以上70%以下とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{ cm}$ 以下が好ましい。

[0417]

導電体 772 又は導電体 788 が、反射性を有する電極（反射電極）である場合、反射性を有する電極の可視光の反射率は、40%以上100%以下、好ましくは70%以上100%以下とする。また、この電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{ cm}$ 以下が好ましい。

[0418]

発光素子 572 の構成は、図 47C に示す構成としてもよい。図 47C には、導電体 772 と導電体 788 との間に2層の EL 層（EL 層 786 a 及び EL 層 786 b）が設けられ、EL 層 786 a と EL 層 786 b との間に電荷発生層 792 を有する積層構造（タンデム構造）の発光素子 572 を示す。発光素子 572 をタンデム構造とすることで、発光素子 572 の電流効率及び外部量子効率を高めることが出来る。よって、表示装置 10 に高輝度の画像を表示することが出来る。また、表示装置 10 の消費電力を低減することが出来る。ここで、EL 層 786 a 及び EL 層 786 b は、図 47B に示す EL 層 786 と同様の構成とすることが出来る。

[0419]

電荷発生層 792 は、導電体 772 と導電体 788 との間に電圧を供給したときに、EL 層 786 a 及び EL 層 786 b のうち、一方に電子を注入し、他方に正孔（ホール）を注入する機能を有する。したがって、導電体 772 の電位が導電体 788 の電位より高くなるように電圧を供給すると、電荷発生層 792 から EL 層 786 a に電子が注入され、電荷発生層 792 から EL 層 786 b に

正孔が注入されることになる。

[0420]

なお、電荷発生層792は、光取り出し効率の点から、可視光を透過する（具体的には、電荷発生層792の可視光の透過率が、40%以上である）ことが好ましい。また、電荷発生層792の導電率は、導電体772の導電率、又は導電体788の導電率より低くてもよい。

[0421]

発光素子572の構成は、図47Dに示す構成としてもよい。図47Dには、導電体772と導電体788との間に3層のEL層（EL層786a、EL層786b、及びEL層786c）が設けられ、EL層786aとEL層786bとの間、及びEL層786bとEL層786cとの間に電荷発生層792を有するタンデム構造の発光素子572を示す。ここで、EL層786a、EL層786b、及びEL層786cは、図47Bに示すEL層786と同様の構成とすることができる。発光素子572を図47Dに示す構成とすることにより、発光素子572の電流効率及び外部量子効率をさらに高めることができる。よって、表示装置10にさらに高輝度の画像を表示することができる。また、表示装置10の消費電力をさらに低減することができる。

[0422]

発光素子572の構成は、図47Eに示す構成としてもよい。図47Eには、導電体772と導電体788との間にn層のEL層（EL層786(1)乃至EL層786(n)）が設けられ、それぞれのEL層786の間に電荷発生層792を有するタンデム構造の発光素子572を示す。ここで、EL層786(1)乃至EL層786(n)は、図47Bに示すEL層786と同様の構成とすることができる。なお、図47Eには、EL層786のうち、EL層786(1)、EL層786(m)、EL層786(m+1)、及びEL層786(n)を示している。ここで、mは2以上n未満の整数とし、nはmより大きい整数とする。nの値が大きいほど、発光素子572の電流効率及び外部量子効率を高めることができる。よって、表示装置10に高輝度の画像を表示することができる。また、表示装置10の消費電力を低減することができる。

[0423]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0424]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0425]

（実施の形態2）

本実施の形態では、本発明の一態様である表示装置に用いることができるトランジスタについて説明する。

[0426]

<トランジスタの構成例1>

図48A乃至図48Cは、本発明の一態様である表示装置に用いることができるトランジスタ200A、並びにトランジスタ200A周辺の上面図及び断面図である。実施の形態1等に示す表示部33、ゲートドライバ回路21、データドライバ回路22、及び機能回路40が有するトランジスタに、トランジスタ200Aを適用することができる。

[0427]

図48Aは、トランジスタ200Aの上面図である。また、図48B及び図48Cは、トランジスタ200Aの断面図である。ここで、図48Bは、図48AにA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル長方向の断面図でもある。また、図48Cは、図48AにA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル幅方向の断面図でもある。なお、図48Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0428]

トランジスタ200Aは、基板（図示しない。）の上に配置された金属酸化物230aと、金属酸化物230aの上に配置された金属酸化物230bと、金属酸化物230bの上に、互いに離隔して配置された導電体242a、及び導電体242bと、導電体242a上、及び導電体242b上に配置され、導電体242aと導電体242bの間に開口が形成された絶縁体280と、開口の中に配置された導電体260と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、導電体260と、の間に配置された絶縁体250と、金属酸化物230b、導電体242a、導電体242b、及び絶縁体280と、絶縁体250と、の間に配置された金属酸化物230cと、を有する。ここで、図48B及び図48Cに示すように、導電体260の上面は、絶縁体250、絶縁体254、金属酸化物230c、及び絶縁体280の上面と略一致することが好ましい。なお、以下において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cをまとめて金属酸化物230という場合がある。また、導電体242a及び導電体242bをまとめて導電体242という場合がある。

[0429]

図48Bに示すように、トランジスタ200Aは、導電体242a及び導電体242bの導電体260側の側面が、概略垂直な形状を有している。なお、図48Bに示すトランジスタ200Aは、これに限られるものではなく、導電体242a及び導電体242bの側面と底面がなす角が、 10° 以上 80° 以下、好ましくは、 30° 以上 60° 以下としてもよい。また、導電体242a及び導電体242bの対向する側面が、複数の面を有していてもよい。

[0430]

また、図48B及び図48Cに示すように、絶縁体224、金属酸化物230a、金属酸化物230b、導電体242a、導電体242b、及び金属酸化物230cと、絶縁体280と、の間に絶縁体254が配置されることが好ましい。ここで、絶縁体254は、図48B及び図48Cに示すように、金属酸化物230cの側面、導電体242aの上面と側面、導電体242bの上面と側面、金属酸化物230aの側面、金属酸化物230bの側面、及び絶縁体224の上面と接する領域を有することが好ましい。

[0431]

なお、トランジスタ200Aでは、チャネルが形成される領域（以下、チャネル形成領域ともいう。）と、その近傍において、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの3層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、金属酸化物230bと金属酸化物230cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200Aでは、導電体260を2層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体260が単層構造であ

ってもよいし、3層以上の積層構造であってもよい。また、金属酸化物230a、金属酸化物230b、及び金属酸化物230cのそれぞれが2層以上の積層構造を有していてもよい。

[0432]

例えば、金属酸化物230cが第1の金属酸化物と、第1の金属酸化物上の第2の金属酸化物からなる積層構造を有する場合、第1の金属酸化物は、金属酸化物230bと同様の組成を有し、第2の金属酸化物は、金属酸化物230aと同様の組成を有することが好ましい。

[0433]

ここで、導電体260は、トランジスタのゲート電極として機能し、導電体242a及び導電体242bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体260は、絶縁体280の開口、及び導電体242aと導電体242bに挟まれた領域に埋め込まれるように形成される。ここで、導電体260、導電体242a及び導電体242bの配置は、絶縁体280の開口に対して、自己整合的に選択される。つまり、トランジスタ200Aにおいて、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置することができる。よって、導電体260を位置合わせのマーヅンを設けることなく形成することができるため、トランジスタ200Aの占有面積の縮小を図ることができる。これにより、表示装置を高精細にすることができる。また、表示装置を狭額縁にすることができる。

[0434]

また、図48Bに示すように、導電体260は、絶縁体250の内側に設けられた導電体260aと、導電体260aの内側に埋め込まれるように設けられた導電体260bと、を有することが好ましい。

[0435]

また、トランジスタ200Aは、図48A乃至図48Cに示すように、基板（図示しない。）の上に配置された絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、を有することが好ましい。また、絶縁体224の上に金属酸化物230aが配置されることが好ましい。

[0436]

また、トランジスタ200Aの上に、層間膜として機能する絶縁体274、及び絶縁体281が配置されることが好ましい。ここで、絶縁体274は、導電体260、絶縁体250、絶縁体254、金属酸化物230c、及び絶縁体280の上面に接して配置されることが好ましい。

[0437]

絶縁体222、絶縁体254、及び絶縁体274は、水素（例えば、水素原子、水素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222、絶縁体254、及び絶縁体274は、絶縁体224、絶縁体250、及び絶縁体280より水素透過性が低いことが好ましい。また、絶縁体222、及び絶縁体254は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222、及び絶縁体254は、絶縁体224、絶縁体250、及び絶縁体280より酸素透過性が低いことが好ましい。

[0438]

ここで、絶縁体224、金属酸化物230、及び絶縁体250は、絶縁体280及び絶縁体281

と、絶縁体 254、及び絶縁体 274 によって離隔されている。ゆえに、絶縁体 224、金属酸化物 230、及び絶縁体 250 に、絶縁体 280 及び絶縁体 281 に含まれる水素等の不純物、及び過剰な酸素が混入することを抑制できる。

[0439]

また、トランジスタ 200A と電氣的に接続し、プラグとして機能する導電体 240 (導電体 240a、及び導電体 240b) が設けられることが好ましい。なお、プラグとして機能する導電体 240 の側面に接して絶縁体 241 (絶縁体 241a、及び絶縁体 241b) が設けられる。つまり、絶縁体 254、絶縁体 280、絶縁体 274、及び絶縁体 281 の開口の内壁に接して絶縁体 241 が設けられる。また、絶縁体 241 の側面に接して導電体 240 の第 1 の導電体が設けられ、さらに内側に導電体 240 の第 2 の導電体が設けられる構成にしてもよい。ここで、導電体 240 の上面の高さと、絶縁体 281 の上面の高さは同程度にできる。なお、トランジスタ 200A では、導電体 240 の第 1 の導電体及び導電体 240 の第 2 の導電体を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体 240 を単層、又は 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0440]

また、トランジスタ 200A は、チャンネル形成領域を含む金属酸化物 230 (金属酸化物 230a、金属酸化物 230b、及び金属酸化物 230c) に、酸化物半導体として機能する金属酸化物 (以下、酸化物半導体ともいう。) を用いることが好ましい。例えば、金属酸化物 230 のチャンネル形成領域となる金属酸化物としては、前述のようにバンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のもので用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の表示装置を提供できる。

[0441]

また、図 48B に示すように、金属酸化物 230b は、導電体 242 と重ならない領域の膜厚が、導電体 242 と重なる領域の膜厚より薄くなる場合がある。これは、導電体 242a 及び導電体 242b を形成する際に、金属酸化物 230b の上面の一部を除去することにより形成される。金属酸化物 230b の上面には、導電体 242 となる導電膜を成膜した際に、当該導電膜との界面近傍に抵抗の低い領域が形成される場合がある。このように、金属酸化物 230b の上面の導電体 242a と導電体 242b の間に位置する、抵抗の低い領域を除去することにより、当該領域にチャンネルが形成されることを抑制することができる。

[0442]

本発明の一態様により、サイズが小さいトランジスタを有し、精細度が高い表示装置を提供することができる。又は、オン電流が大きいトランジスタを有し、輝度が高い表示装置を提供することができる。又は、動作が速いトランジスタを有し、動作が速い表示装置を提供することができる。又は、電気特性が安定したトランジスタを有し、信頼性が高い表示装置を提供することができる。又は、オフ電流が小さいトランジスタを有し、消費電力が低い表示装置を提供することができる。

[0443]

本発明の一態様である表示装置に用いることができるトランジスタ 200A の詳細な構成について説明する。

[0444]

導電体205は、金属酸化物230、及び導電体260と、重なる領域を有するように配置する。また、導電体205は、絶縁体216に埋め込まれて設けることが好ましい。ここで、導電体205の上面の平坦性を良好にすることが好ましい。例えば、導電体205上面の平均面粗さ(Ra)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体205の上に形成される、絶縁体224の平坦性を良好にし、金属酸化物230b及び金属酸化物230cの結晶性の向上を図ることができる。

[0445]

ここで、導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体205は、第2のゲート（バックゲートともいう。）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と連動させず、独立して変化させることで、トランジスタ200Aの V_{th} を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200Aの V_{th} を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのトランジスタ200Aのドレイン電流を小さくすることができる。

[0446]

また、導電体205は、金属酸化物230におけるチャネル形成領域よりも大きく設けるとよい。特に、図48Cに示すように、導電体205は、金属酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても延伸していることが好ましい。つまり、金属酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0447]

上記構成を有することで、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、金属酸化物230のチャネル形成領域を電氣的に取り囲むことができる。

[0448]

また、図48Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。

[0449]

また、導電体205は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205を単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

[0450]

また、導電体205の下に水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電体を設けてもよい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電体を設けることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のい

ずれか一又はすべての拡散を抑制する機能とする。

[0451]

導電体205の下に、酸素の拡散を抑制する機能を有する導電体を設けることにより、導電体205が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電体としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。したがって、導電体205としては、上記導電性材料を単層又は積層とすればよい。

[0452]

絶縁体214は、水又は水素等の不純物が、基板側からトランジスタ200Aに混入することを抑制するバリア絶縁膜としての機能を有することが好ましい。したがって、絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 等）、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0453]

例えば、絶縁体214として、酸化アルミニウム又は窒化シリコン等を用いることが好ましい。これにより、水又は水素等の不純物が絶縁体214よりも基板側からトランジスタ200A側に拡散することを抑制できる。又は、絶縁体224等に含まれる酸素が、絶縁体214よりも基板側に拡散することを抑制できる。

[0454]

また、層間膜として機能する絶縁体216、絶縁体280、及び絶縁体281は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、絶縁体280、及び絶縁体281として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、又は空孔を有する酸化シリコン等を適宜用いればよい。

[0455]

絶縁体222及び絶縁体224は、ゲート絶縁体としての機能を有する。

[0456]

ここで、金属酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。本明細書等では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体224は、酸化シリコン又は酸化窒化シリコン等を適宜用いればよい。酸素を含む絶縁体を金属酸化物230に接して設けることにより、金属酸化物230中の酸素欠損を低減し、トランジスタ200Aの信頼性を向上させることができる。

[0457]

絶縁体224として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 1.0×10^{19} atoms/cm³以上、さらに好ましくは 2.0×10^{19} atoms/cm³以上、又は 3.0×10^{20} atoms/cm³以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、又は1

0 0 °C以上4 0 0 °C以下の範囲が好ましい。

[0 4 5 8]

また、図4 8 Cに示すように、絶縁体2 2 4は、絶縁体2 5 4と重ならず、且つ金属酸化物2 3 0 bと重ならない領域の膜厚が、それ以外の領域の膜厚より薄くなる場合がある。絶縁体2 2 4において、絶縁体2 5 4と重ならず、且つ金属酸化物2 3 0 bと重ならない領域の膜厚は、上記酸素を十分に拡散できる膜厚であることが好ましい。

[0 4 5 9]

絶縁体2 2 2は、絶縁体2 1 4等と同様に、水又は水素等の不純物が、基板側からトランジスタ2 0 0 Aに混入することを抑制するバリア絶縁膜としての機能を有することが好ましい。例えば、絶縁体2 2 2は、絶縁体2 2 4より水素透過性が低いことが好ましい。絶縁体2 2 2、絶縁体2 5 4、及び絶縁体2 7 4によって絶縁体2 2 4、金属酸化物2 3 0、及び絶縁体2 5 0等を囲むことにより、外方から水又は水素等の不純物がトランジスタ2 0 0 Aに侵入することを抑制できる。

[0 4 6 0]

さらに、絶縁体2 2 2は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体2 2 2は、絶縁体2 2 4より酸素透過性が低いことが好ましい。絶縁体2 2 2が、酸素や不純物の拡散を抑制する機能を有することで、金属酸化物2 3 0が有する酸素が、基板側へ拡散することを低減できるため、好ましい。また、導電体2 0 5が、絶縁体2 2 4が有する酸素、及び金属酸化物2 3 0が有する酸素と反応することを抑制できる。

[0 4 6 1]

絶縁体2 2 2は、絶縁性材料であるアルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウムを用いることが好ましい。又は、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体2 2 2を形成した場合、絶縁体2 2 2は、金属酸化物2 3 0からの酸素の放出、及びトランジスタ2 0 0 Aの周辺部から金属酸化物2 3 0への水素等の不純物の混入を抑制する層として機能する。

[0 4 6 2]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、又は窒化シリコンを積層して用いてもよい。

[0 4 6 3]

また、絶縁体2 2 2は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）、又は（B a, S r）T i O₃（B S T）等のいわゆるh i g h - k材料を含む絶縁体を単層又は積層で用いてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。

[0 4 6 4]

なお、絶縁体 2 2 2、及び絶縁体 2 2 4が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、絶縁体 2 2 2の下に絶縁体 2 2 4と同様の絶縁体を設ける構成にしてもよい。

[0465]

金属酸化物 2 3 0は、金属酸化物 2 3 0 aと、金属酸化物 2 3 0 a上の金属酸化物 2 3 0 bと、金属酸化物 2 3 0 b上の金属酸化物 2 3 0 cと、を有する。金属酸化物 2 3 0 b下に金属酸化物 2 3 0 aを有することで、金属酸化物 2 3 0 aよりも下方に形成された構造物から、金属酸化物 2 3 0 bへ不純物が拡散することを抑制できる。また、金属酸化物 2 3 0 b上に金属酸化物 2 3 0 cを有することで、金属酸化物 2 3 0 cよりも上方に形成された構造物から、金属酸化物 2 3 0 bへの不純物の拡散を抑制することができる。

[0466]

なお、金属酸化物 2 3 0は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、金属酸化物 2 3 0 aに用いる金属酸化物において、構成元素中の元素 Mの原子数比が、金属酸化物 2 3 0 bに用いる金属酸化物における、構成元素中の元素 Mの原子数比より大きいことが好ましい。また、金属酸化物 2 3 0 aに用いる金属酸化物において、 I_n に対する元素 Mの原子数比が、金属酸化物 2 3 0 bに用いる金属酸化物における、 I_n に対する元素 Mの原子数比より大きいことが好ましい。また、金属酸化物 2 3 0 bに用いる金属酸化物において、元素 Mに対する I_n の原子数比が、金属酸化物 2 3 0 aに用いる金属酸化物における、元素 Mに対する I_n の原子数比より大きいことが好ましい。また、金属酸化物 2 3 0 cは、金属酸化物 2 3 0 a又は金属酸化物 2 3 0 bに用いることができる金属酸化物を用いることができる。

[0467]

金属酸化物 2 3 0 a、金属酸化物 2 3 0 b、及び金属酸化物 2 3 0 cは、結晶性を有することが好ましく、特に、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OS等の結晶性を有する酸化物は、不純物や欠陥(酸素欠損等)が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極又はドレイン電極による、金属酸化物 2 3 0 bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行った場合でも、金属酸化物 2 3 0 bから酸素が引き抜かれることを抑制することができる。よって、トランジスタ 2 0 0 Aは、製造工程における高い温度(所謂サーマルバジェット)に対して安定である。

[0468]

また、金属酸化物 2 3 0 a及び金属酸化物 2 3 0 cの伝導帯下端のエネルギーが、金属酸化物 2 3 0 bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物 2 3 0 a及び金属酸化物 2 3 0 cの電子親和力が、金属酸化物 2 3 0 bの電子親和力より小さいことが好ましい。この場合、金属酸化物 2 3 0 cは、金属酸化物 2 3 0 aに用いることができる金属酸化物を用いることが好ましい。具体的には、金属酸化物 2 3 0 cに用いる金属酸化物において、構成元素中の元素 Mの原子数比が、金属酸化物 2 3 0 bに用いる金属酸化物における、構成元素中の元素 Mの原子数比より大きいことが好ましい。また、金属酸化物 2 3 0 cに用いる金属酸化物において、 I_n に対する元素 Mの原子数比が、金属酸化物 2 3 0 bに用いる金属酸化物における、 I_n に対する元素 Mの原子数比より大きいことが好ましい。また、金属酸化物 2 3 0 bに用いる金属酸化物において、元素 Mに対する I_n の原子数比が、金属酸化物 2 3 0 cに用いる金属酸化物にお

る、元素Mに対するInの原子数比より大きいことが好ましい。

[0469]

ここで、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、金属酸化物230a、金属酸化物230b、及び金属酸化物230cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、金属酸化物230aと金属酸化物230bとの界面、及び金属酸化物230bと金属酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0470]

具体的には、金属酸化物230aと金属酸化物230b、金属酸化物230bと金属酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物230bがIn-Ga-Zn酸化物の場合、金属酸化物230a及び金属酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、金属酸化物230cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、又はIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、金属酸化物230cとして用いてもよい。

[0471]

具体的には、金属酸化物230aとして、In:Ga:Zn=1:3:4 [原子数比]、又は1:1:0.5 [原子数比]の金属酸化物を用いればよい。また、金属酸化物230bとして、In:Ga:Zn=4:2:3 [原子数比]、又は3:1:2 [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cとして、In:Ga:Zn=1:3:4 [原子数比]、In:Ga:Zn=4:2:3 [原子数比]、Ga:Zn=2:1 [原子数比]、又はGa:Zn=2:5 [原子数比]の金属酸化物を用いればよい。また、金属酸化物230cを積層構造とする場合の具体例としては、In:Ga:Zn=4:2:3 [原子数比]とGa:Zn=2:1 [原子数比]との積層構造、In:Ga:Zn=4:2:3 [原子数比]とGa:Zn=2:5 [原子数比]との積層構造、In:Ga:Zn=4:2:3 [原子数比]と酸化ガリウムとの積層構造等が挙げられる。

[0472]

このとき、キャリアの主たる経路は金属酸化物230bとなる。金属酸化物230a、及び金属酸化物230cを上記の構成とすることで、金属酸化物230aと金属酸化物230bとの界面、及び金属酸化物230bと金属酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200Aは高いオン電流、及び高い周波数特性を得ることができる。なお、金属酸化物230cを積層構造とした場合、上述の金属酸化物230bと、金属酸化物230cとの界面における欠陥準位密度を低くする効果に加え、金属酸化物230cが有する構成元素が、絶縁体250側に拡散することを抑制することが期待される。より具体的には、金属酸化物230cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、絶縁体250側に拡散しうるInを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、金属酸化物230cを積層構造とすることで、信頼性の高い表示装置を提

供することが可能となる。

[0473]

金属酸化物230b上には、ソース電極、及びドレイン電極として機能する導電体242（導電体242a、及び導電体242b）が設けられる。導電体242としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は酸素を吸収しても導電性を維持する材料であるため好ましい。

[0474]

金属酸化物230と接するように導電体242を設けることで、金属酸化物230の導電体242近傍において、酸素濃度が低減する場合がある。また、金属酸化物230の導電体242近傍において、導電体242に含まれる金属と、金属酸化物230の成分とを含む金属化合物層が形成される場合がある。このような場合、金属酸化物230の導電体242近傍の領域においてキャリア密度が増加し、当該領域は低抵抗領域となる。

[0475]

ここで、導電体242aと導電体242bの間の領域は、絶縁体280の開口に重畳して形成される。これにより、導電体242aと導電体242bの間に導電体260を自己整合的に配置することができる。

[0476]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、金属酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0477]

絶縁体250は、絶縁体224と同様に、絶縁体250中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とすることが好ましい。

[0478]

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制する機能を有することが好ましい。これにより、絶縁体250に含まれる酸素による導電体260の酸化を抑制することができる。

[0479]

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコン等を用いる場合、当該金属酸化物は、比誘電率が高

いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、トランジスタ200Aを熱に対して安定、かつ比誘電率の高いトランジスタとすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位を低減することが可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）を薄くすることが可能となる。

[0480]

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、又はアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0481]

導電体260は、図48Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0482]

導電体260aは、上述の、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 等）、銅原子等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0483]

また、導電体260aが酸素の拡散を抑制する機能を有することで、絶縁体250に含まれる酸素により導電体260bが酸化して導電体260bの導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。

[0484]

導電体260bは、配線としても機能する。このため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0485]

また、図48A及び図48Cに示すように、金属酸化物230bの導電体242と重ならない領域、言い換えると、金属酸化物230のチャネル形成領域において、金属酸化物230の側面が導電体260で覆うように配置されている。これにより、第1のゲート電極としての機能を有する導電体260の電界を、金属酸化物230の側面に作用させやすくなる。よって、トランジスタ200Aのオン電流を増大させ、トランジスタ200Aの周波数特性を向上させることができる。

[0486]

絶縁体254は、絶縁体214等と同様に、水又は水素等の不純物が、絶縁体280側からトランジスタ200Aに混入することを抑制するバリア絶縁膜としての機能を有することが好ましい。例えば、絶縁体254は、絶縁体224より水素透過性が低いことが好ましい。さらに、図48B及び図48Cに示すように、絶縁体254は、金属酸化物230cの側面、導電体242aの上面と

側面、導電体 242b の上面と側面、金属酸化物 230a の側面、金属酸化物 230b の側面、及び絶縁体 224 の上面と接する領域を有することが好ましい。このような構成にすることで、絶縁体 280 に含まれる水素が、導電体 242a、導電体 242b、金属酸化物 230a、金属酸化物 230b、及び絶縁体 224 の上面又は側面から金属酸化物 230 に侵入することを抑制できる。

[0487]

さらに、絶縁体 254 は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体 254 は、絶縁体 280 又は絶縁体 224 より酸素透過性が低いことが好ましい。

[0488]

絶縁体 254 は、スパッタリング法を用いて成膜されることが好ましい。絶縁体 254 を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体 224 の絶縁体 254 と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体 224 を介して金属酸化物 230 中に酸素を供給することができる。ここで、絶縁体 254 が、上方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 230 から絶縁体 280 へ拡散することを抑制できる。また、絶縁体 222 が、下方への酸素の拡散を抑制する機能を有することで、酸素が金属酸化物 230 から基板側へ拡散することを抑制できる。このようにして、金属酸化物 230 のチャンネル形成領域に酸素が供給される。これにより、金属酸化物 230 の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

[0489]

絶縁体 254 としては、例えば、アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、又はアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。

[0490]

水素に対してバリア性を有する絶縁体 254 によって絶縁体 224、絶縁体 250、及び金属酸化物 230 を覆うことで、絶縁体 280 は絶縁体 254 により絶縁体 224、金属酸化物 230、及び絶縁体 250 と隔離されている。これにより、トランジスタ 200A の外方から水素等の不純物が浸入することを抑制できるため、トランジスタ 200A の電気特性及び信頼性を良好なものとすることができる。

[0491]

絶縁体 280 は、絶縁体 254 を介して、絶縁体 224、金属酸化物 230、及び導電体 242 上に設けられる。例えば、絶縁体 280 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、又は空孔を有する酸化シリコン等を有することが好ましい。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0492]

絶縁体 280 中の水又は水素等の不純物濃度が低減されていることが好ましい。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0493]

絶縁体274は、絶縁体214等と同様に、水又は水素等の不純物が絶縁体280に混入することを抑制するバリア絶縁膜としての機能を有することが好ましい。絶縁体274としては、例えば、絶縁体214、絶縁体254等に用いることができる絶縁体を用いることができる。

[0494]

また、絶縁体274の上に、層間膜として機能する絶縁体281を設けることが好ましい。絶縁体281は、絶縁体224等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

[0495]

また、絶縁体281、絶縁体274、絶縁体280、及び絶縁体254に形成された開口に、導電体240a及び導電体240bを配置する。導電体240a及び導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240a及び導電体240bの上面の高さは、絶縁体281の上面と、同一平面上としてもよい。

[0496]

なお、絶縁体281、絶縁体274、絶縁体280、及び絶縁体254の開口の内壁に接して、絶縁体241aが設けられ、その側面に接して導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242aが位置しており、導電体240aが導電体242aと接する。同様に、絶縁体281、絶縁体274、絶縁体280、及び絶縁体254の開口の内壁に接して、絶縁体241bが設けられ、その側面に接して導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には導電体242bが位置しており、導電体240bが導電体242bと接する。

[0497]

導電体240a及び導電体240bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240a及び導電体240bは積層構造としてもよい。

[0498]

また、導電体240を積層構造とする場合、金属酸化物230a、金属酸化物230b、導電体242、絶縁体254、絶縁体280、絶縁体274、絶縁体281と接する導電体には、上述の、水又は水素等の不純物の拡散を抑制する機能を有する導電体を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、水又は水素等の不純物の拡散を抑制する機能を有する導電性材料は、単層又は積層で用いてもよい。当該導電性材料を用いることで、絶縁体280に添加された酸素が導電体240a及び導電体240bに吸収されることを抑制することができる。また、絶縁体281より上層から水又は水素等の不純物が、導電体240a及び導電体240bを通じて金属酸化物230に混入することを抑制できる。

[0499]

絶縁体241a及び絶縁体241bとしては、例えば、絶縁体254等に用いることができる絶縁体を用いればよい。絶縁体241a及び絶縁体241bは、絶縁体254に接して設けられるため、絶縁体280等から水又は水素等の不純物が、導電体240a及び導電体240bを通じて金属酸化物230に混入することを抑制できる。また、絶縁体280に含まれる酸素が導電体240a及

び導電体240bに吸収されることを抑制することができる。

[0500]

また、図示しないが、導電体240aの上面、及び導電体240bの上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0501]

<トランジスタの構成例2>

図49A乃至図49Cは、本発明の一態様である表示装置に用いることができるトランジスタ200B、及びトランジスタ200B周辺の上面図及び断面図である。トランジスタ200Bは、トランジスタ200Aの変形例である。

[0502]

図49Aは、トランジスタ200Bの上面図である。また、図49B、及び図49Cは、トランジスタ200Bの断面図である。ここで、図49Bは、図49AにB1-B2の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャンネル長方向の断面図でもある。また、図49Cは、図49AにB3-B4の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャンネル幅方向の断面図でもある。なお、図49Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0503]

トランジスタ200Bでは、導電体242a及び導電体242bが、金属酸化物230c、絶縁体250、及び導電体260と重なる領域を有する。これにより、トランジスタ200Bはオン電流が高いトランジスタとすることができる。また、トランジスタ200Bは制御しやすいトランジスタとすることができる。

[0504]

ゲート電極として機能する導電体260は、導電体260aと、導電体260a上の導電体260bと、を有する。導電体260aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0505]

導電体260aが酸素の拡散を抑制する機能を有することにより、導電体260bの材料選択性を向上することができる。つまり、導電体260aを有することで、導電体260bの酸化が抑制され、導電率が低下することを抑制できる。

[0506]

また、導電体260の上面及び側面、絶縁体250の側面、及び金属酸化物230cの側面を覆うように絶縁体254を設けることが好ましい。なお、絶縁体254は、水又は水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。

[0507]

絶縁体254を設けることで、導電体260の酸化を抑制することができる。また、絶縁体254を有することで、絶縁体280が有する水、水素等の不純物がトランジスタ200Bへ拡散するこ

とを抑制できる。

[0508]

<トランジスタの構成例3>

図50A乃至図50Cは、本発明の一態様である表示装置に用いることができるトランジスタ200C、及びトランジスタ200C周辺の上面図及び断面図である。トランジスタ200Cは、トランジスタ200Aの変形例である。

[0509]

図50Aは、トランジスタ200Cの上面図である。また、図50B、及び図50Cは、トランジスタ200Cの断面図である。ここで、図50Bは、図50AにC1-C2の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャンネル長方向の断面図でもある。また、図50Cは、図50AにC3-C4の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャンネル幅方向の断面図でもある。なお、図50Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0510]

トランジスタ200Cでは、金属酸化物230c上に絶縁体250を有し、絶縁体250上に金属酸化物252を有する。また、金属酸化物252上に導電体260を有し、導電体260上に絶縁体270を有する。また、絶縁体270上に絶縁体271を有する。

[0511]

金属酸化物252は、酸素拡散を抑制する機能を有することが好ましい。絶縁体250と導電体260との間に、酸素の拡散を抑制する金属酸化物252を設けることで、導電体260への酸素の拡散が抑制される。つまり、金属酸化物230へ供給する酸素量の減少を抑制することができる。また、導電体260の酸化を抑制することができる。

[0512]

なお、金属酸化物252は、ゲート電極の一部としての機能を有してもよい。例えば、金属酸化物230として用いることができる酸化物半導体を、金属酸化物252として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、金属酸化物252の電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0513]

また、金属酸化物252は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に熱安定性が高い材料である酸化シリコン又は酸化窒化シリコン等を用いる場合、金属酸化物252として、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、トランジスタ200Cを熱に対して安定、かつ比誘電率の高いトランジスタとすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0514]

トランジスタ200Cにおいて、金属酸化物252を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁体の一部として機能する金属酸化物とを積層して設けてもよい。

[0515]

トランジスタ200Cが金属酸化物252を有することで、金属酸化物252がゲート電極として機能する場合は、導電体260からの電界の影響を弱めることなく、トランジスタ200Cのオン電流を向上させることができる。また、金属酸化物252がゲート絶縁体として機能する場合は、絶縁体250及び金属酸化物252の物理的な厚みにより、導電体260と金属酸化物230との間の距離を保つことができる。これにより、導電体260と金属酸化物230との間のリーク電流を抑制することができる。したがって、トランジスタ200Cが絶縁体250と金属酸化物252との積層構造を有することで、導電体260と金属酸化物230との間の物理的な距離、及び導電体260から金属酸化物230へかかる電界強度を、容易に調整することができる。

[0516]

具体的には、金属酸化物252として、金属酸化物230に用いることができる酸化物半導体を低抵抗化したものを用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0517]

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウムよりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくい方が好ましい。なお、金属酸化物252は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0518]

絶縁体270は、水又は水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウム等を用いることが好ましい。これにより、絶縁体270よりも上方からの酸素で導電体260が酸化することを抑制できる。また、水又は水素等の不純物が、絶縁体270よりも上方から、導電体260及び絶縁体250を介して、金属酸化物230に混入することを抑制できる。

[0519]

絶縁体271はハードマスクとして機能する。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面が概略垂直、具体的には、導電体260の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

[0520]

なお、絶縁体271に、水又は水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体270は設けなくともよい。

[0521]

絶縁体271をハードマスクとして用いて、絶縁体270、導電体260、金属酸化物252、絶縁体250、及び金属酸化物230cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、金属酸化物230b表面の一部を露出させることができる。

[0522]

また、トランジスタ200Cは、露出した金属酸化物230b表面の一部に領域243a及び領域

2 4 3 bを有する。領域2 4 3 a又は領域2 4 3 bの一方はソース領域として機能し、領域2 4 3 a又は領域2 4 3 bの他方はドレイン領域として機能する。

[0 5 2 3]

領域2 4 3 a及び領域2 4 3 bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理等を用いて、露出した金属酸化物2 3 0 b表面にリン又はボロン等の不純物元素を導入することで実現できる。なお、本実施の形態等において「不純物元素」とは、主成分元素以外の元素のことをいう。

[0 5 2 4]

また、金属酸化物2 3 0 b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理を行うことにより、当該金属膜に含まれる元素を金属酸化物2 3 0 bに拡散させて領域2 4 3 a及び領域2 4 3 bを形成することもできる。

[0 5 2 5]

金属酸化物2 3 0 bの不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域2 4 3 a及び領域2 4 3 bを「不純物領域」又は「低抵抗領域」という場合がある。

[0 5 2 6]

絶縁体2 7 1及び／又は導電体2 6 0をマスクとして用いることで、領域2 4 3 a及び領域2 4 3 bを自己整合（セルフアライメント）的に形成することができる。よって、領域2 4 3 a及び／又は領域2 4 3 bと、導電体2 6 0が重ならず、寄生容量を低減することができる。また、チャンネル形成領域とソースドレイン領域（領域2 4 3 a又は領域2 4 3 b）の間にオフセット領域が形成されない。領域2 4 3 a及び領域2 4 3 bを自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上等を実現できる。

[0 5 2 7]

トランジスタ2 0 0 Cは、絶縁体2 7 1、絶縁体2 7 0、導電体2 6 0、金属酸化物2 5 2、絶縁体2 5 0、及び金属酸化物2 3 0 cの側面に絶縁体2 7 2を有する。絶縁体2 7 2は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等であることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体2 7 2に用いると、後の工程で絶縁体2 7 2中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体2 7 2は、酸素を拡散する機能を有することが好ましい。

[0 5 2 8]

なお、オフ電流を更に低減するため、チャンネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行われない領域である。オフセット領域の形成は、絶縁体2 7 2の形成後に前述した不純物元素の導入を行うことで実現できる。この場合、絶縁体2 7 2も絶縁体2 7 1等と同様にマスクとして機能する。よって、金属酸化物2 3 0 bのうち、絶縁体2 7 2と重なる領域には不純物元素が導入されず、当該領域の電気抵抗率を高いままとすることができる。

[0 5 2 9]

また、トランジスタ2 0 0 Cは、絶縁体2 7 2、金属酸化物2 3 0上に絶縁体2 5 4を有する。絶

縁体 254 は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素等の不純物の少ない絶縁体を成膜することができる。

[0530]

なお、スパッタリング法を用いて形成した酸化膜は、被成膜構造体から水素を引き抜く場合がある。したがって、絶縁体 254 をスパッタリング法により形成する場合、絶縁体 254 が金属酸化物 230 及び絶縁体 272 から水素及び水を吸収する。これにより、金属酸化物 230 及び絶縁体 272 の水素濃度を低減することができる。

[0531]

<トランジスタの構成材料>

トランジスタに用いることができる構成材料について説明する。

[0532]

<<基板>>

トランジスタ 200A、トランジスタ 200B、又はトランジスタ 200C を形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板等）、樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウム等の半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板等がある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板等がある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板等がある。又は、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、記憶素子等がある。

[0533]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物等がある。

[0534]

例えば、トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながらトランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて材料を選択するとよい。

[0535]

比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、又はシリコン及びハフニウムを有する窒化物等がある。

[0536]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等がある。

[0537]

また、酸化物半導体を用いたトランジスタは、水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体（絶縁体214、絶縁体222、絶縁体254、及び絶縁体274等）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、又はタンタルを含む絶縁体を、単層で、又は積層で用いればよい。具体的には、水素等の不純物、及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、又は酸化タンタル等の金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、又は窒化シリコン等の金属窒化物を用いることができる。

[0538]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコン又は酸化窒化シリコンを金属酸化物230と接する構造とすることで、金属酸化物230が有する酸素欠損を補償することができる。

[0539]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、バリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタン等から選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は酸素を吸収しても導電性を維持する材料であるため好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイド等のシリサイドを用いてもよい。

[0540]

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせ

た積層構造としてもよい。

[0541]

なお、トランジスタのチャンネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャンネル形成領域に供給されやすくなる。

[0542]

特に、ゲート電極として機能する導電体として、チャンネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタル等の窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。又は、外方の絶縁体等から混入する水素を捕獲することができる場合がある。

[0543]

<<金属酸化物>>

金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。特に、インジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、又は錫等が含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種が含まれていてもよい。

[0544]

ここでは、金属酸化物が、インジウム、元素M、及び亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、又は錫等とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム等がある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0545]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0546]

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide sem

iconductor)、及び非晶質酸化物半導体等がある。

[0547]

[不純物]

金属酸化物中における各不純物の影響について説明する。金属酸化物にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている金属酸化物をチャンネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる金属酸化物中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0548]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になる。このため、金属酸化物に含まれる水素により、当該金属酸化物に酸素欠損が形成される場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0549]

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、当該トランジスタに安定した電気特性を付与することができる。

[0550]

トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。当該薄膜を用いることで、トランジスタの安定性又は信頼性を向上させることができる。当該薄膜として、例えば、単結晶金属酸化物の薄膜、又は多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜、又は多結晶金属酸化物の薄膜を基板上に形成するには、高温又はレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

[0551]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0552]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0553]

(実施の形態3)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化

物（以下、酸化物半導体ともいう。）について説明する。

[0554]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図51Aを用いて説明を行う。図51Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0555]

図51Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0556]

なお、図51Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0557]

なお、膜又は基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図51Bに示す。なお、GIXD法は、薄膜法又はSeemann-Bohlin法ともいう。以降、図51Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図51Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3 [原子数比] 近傍である。また、図51Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0558]

図51Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図51Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度（Intensity）が検出された角度を軸に左右非対称である。

[0559]

また、膜又は基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図51Cに示す。図51Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンであ

る。なお、図51Cに示すCAAC-IGZO膜の組成は、 $In:Ga:Zn=4:2:3$ [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0560]

図51Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0561]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図51Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、等が含まれる。

[0562]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0563]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、又はCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0564]

なお、上記複数の結晶領域のそれぞれは、1つ又は複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0565]

また、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、又は複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。

当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0566]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ 又はその近傍に検出される。なお、c軸配向を示すピークの位置 (2θ の値) は、CAAC-OSを構成する金属元素の種類、組成等により変動する場合がある。

[0567]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点 (スポット) が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット (ダイレクトスポットともいう。) を対称中心として、点対称の位置に観測される。

[0568]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリー) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

[0569]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶 (polycrystal) と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0570]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥 (酸素欠損等) の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度 (所謂サーマルバジェット) に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0571]

[nc-OS]

nc-OSは、微小な領域 (例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域) において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で

結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0572]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0573]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0574]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つ又は複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

[0575]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0576]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、及びZnの原子数比のそれぞれを、[In]、[Ga]、及び[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。又は、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0577]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0578]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0579]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0580]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、及び良好なスイッチング動作を実現することができる。

[0581]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0582]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0583]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0584]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0585]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0586]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャンネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0587]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0588]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0589]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0590]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0591]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすくなる。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0592]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。

具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 1×10^{20} atoms/cm³未満、好ましくは 1×10^{19} atoms/cm³未満、より好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 1×10^{18} atoms/cm³未満にする。

[0593]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0594]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0595]

(実施の形態4)

本実施の形態では、本発明の一態様である表示装置を備える電子機器について説明する。

[0596]

図52A乃至図52Gは、本発明の一態様である表示装置を備える電子機器の一例を示す図である。図52A乃至図52Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、又は操作スイッチを含む）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい、又は赤外線を測定する機能を含むもの）、マイクロフォン9008等を有する。

[0597]

図52A乃至図52Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。なお、図52A乃至図52Gに示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。また、図52A乃至図52Gには図示していないが、電子機器には、複数の表示部を有する構成としてもよい。また、該電子機器にカメラ等を設け、静止画を撮影する機能、動画を撮影する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0598]

図52A乃至図52Gに示す電子機器の詳細について、以下説明を行う。

[0599]

図52Aは、テレビジョン装置9100を示す斜視図である。テレビジョン装置9100は、大画面、例えば、50インチ以上、又は100インチ以上の表示部9001を組み込むことが可能である。

[0600]

テレビジョン装置9100が有する表示部9001に、本発明の一態様の表示装置を適用することができる。これにより、テレビジョン装置9100を狭額縁化し、表示部9001に高品位の画像

を表示することができ、臨場感の高い画像を表示することができる。

[0601]

図52Bは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えば電話機、手帳、又は情報閲覧装置等から選ばれた一つ又は複数の機能を有する。具体的には、スマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字や画像をその複数の面に表示することができる。例えば、3つの操作ボタン9050（操作アイコン又は単にアイコンともいう）を表示部9001の一の面に表示することができる。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することができる。なお、情報9051の一例としては、電子メールやSNS（ソーシャル・ネットワーキング・サービス）や電話等の着信を知らせる表示、電子メールやSNS等の題名、電子メールやSNS等の送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度等がある。又は、情報9051が表示されている位置に、情報9051の代わりに、操作ボタン9050等を表示してもよい。

[0602]

携帯情報端末9101が有する表示部9001に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末9101を小型化し、表示部9001に高品位の画像を表示することができ、臨場感の高い画像を表示することができる。

[0603]

図52Cは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、携帯情報端末9102の使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、その表示（ここでは情報9053）を確認することができる。具体的には、着信した電話の発信者の電話番号又は氏名等を、携帯情報端末9102の上方から観察できる位置に表示する。使用者は、携帯情報端末9102をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

[0604]

携帯情報端末9102が有する表示部9001に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末9102を小型化し、表示部9001に高品位の画像を表示することができ、臨場感の高い画像を表示することができる。

[0605]

図52Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションを実行することができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006を有し、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また接続端子9006を介して充電を行うこともできる。なお、充電動作は接続端子9006を介さずに無線給電により行ってもよい。

[0606]

携帯情報端末9200が有する表示部9001に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末9200を狭額縁化し、表示部9001に高品位の画像を表示することができ、臨場感の高い画像を表示することができる。

[0607]

図52E乃至図52Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図52Eが携帯情報端末9201を展開した状態の斜視図であり、図52Fが携帯情報端末9201を展開した状態又は折り畳んだ状態の一方から他方に変化する途中の状態の斜視図であり、図52Gが携帯情報端末9201を折り畳んだ状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。ヒンジ9055を介して2つの筐体9000間を屈曲させることにより、携帯情報端末9201を展開した状態から折りたたんだ状態に可逆的に変形させることができる。例えば、携帯情報端末9201は、曲率半径1mm以上150mm以下で曲げることができる。

[0608]

携帯情報端末9201が有する表示部9001に、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末9201を狭額縁化し、表示部9001に高品位の画像を表示することができ、臨場感の高い画像を表示することができる。

[0609]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0610]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[実施例1]

[0611]

本実施例では、OSトランジスタの電気特性を測定した結果について説明する。

[0612]

本実施例では、図48A乃至図48Cに示す構成のOSトランジスタのゲート電流ーゲート電圧特性 ($I_g - V_g$ 特性)、及びドレイン電流ードレイン電圧特性 ($I_d - V_d$ 特性) を測定した。当該OSトランジスタのチャンネル長は200nm、チャンネル幅は60nmとした。なお、本実施例において電流を測定した測定器の測定下限は、 1×10^{-13} Aである。

[0613]

図53Aは、ドレインの電位、及びソースの電位を0Vとした場合の、 $I_g - V_g$ 特性の測定結果を示すグラフである。図53Bは、ソースの電位、及びゲートの電位を0Vとした場合の、 $I_d - V_d$ 特性の測定結果を示すグラフである。図53Cは、ゲートの電位を3Vとした場合の、 $I_d - V_d$ 特性の測定結果を示すグラフである。

[0614]

図53Aより、図48A乃至図48Cに示す構成のOSトランジスタのゲートの電位が10V以下であれば、当該ゲートからのリーク電流は十分に小さくなることが確認された。また、図53Bよ

り、図48A乃至図48Cに示す構成のOSトランジスタは、ゲートの電位を0Vとした場合、ドレインの電位を10Vまで増加させても、ドレイン電流は大幅には増加しないことが確認された。さらに、図53Cより、図48A乃至図48Cに示す構成のOSトランジスタは、ゲートの電位を3Vとした場合、ドレインの電位を10Vまで増加させても、良好な飽和特性を確保できることが確認された。

[実施例2]

[0615]

本実施例では、OSトランジスタ、及びSiトランジスタの電気特性を測定した結果について説明する。

[0616]

本実施例では、図48A乃至図48Cに示す構成のOSトランジスタのドレイン電流-ドレイン電圧特性 (I_d-V_d 特性) を測定した。当該OSトランジスタのチャンネル長は $1.0\mu\text{m}$ 、チャンネル幅は $0.36\mu\text{m}$ とした。また、ゲート絶縁体の膜厚は 30nm とした。

[0617]

また、本実施例では、Siトランジスタのドレイン電流-ドレイン電圧特性 (I_d-V_d 特性) を測定した。当該Siトランジスタのチャンネル長は $1.0\mu\text{m}$ 、チャンネル幅は $0.5\mu\text{m}$ とした。また、ゲート絶縁体の膜厚は 31nm とした。

[0618]

ここで、トランジスタの I_d-V_d 特性は、当該トランジスタのゲートの電位、及びソースの電位を0Vとして測定した。また、ドレイン電流の大きさは、測定下限が $1.0 \times 10^{-13}\text{A}$ である測定器を用いて測定した。

[0619]

図54Aは、図48A乃至図48Cに示す構成のOSトランジスタの、 I_d-V_d 特性の測定結果を示すグラフである。図54Bは、Siトランジスタの I_d-V_d 特性の測定結果を示すグラフである。

[0620]

図54Aより、図48A乃至図48Cに示す構成のOSトランジスタのドレインの電位が20V以下であれば、ドレイン電流は測定下限以下となることが確認された。一方、図54Bより、Siトランジスタのドレインの電位が20Vとなると、ドレインの電位が10Vである場合と比べてドレイン電流が大きくなることが確認された。

[符号の説明]

[0621]

10 : 表示装置、20 : 層、21 : ゲートドライバ回路、21a : ゲートドライバ回路、21b : ゲートドライバ回路、22 : データドライバ回路、22a : データドライバ回路、22b : データドライバ回路、23 : 領域、23a : 領域、23b : 領域、24 : デマルチプレクサ回路、30 : 層、31 : 配線、31__1 : 配線、31__2 : 配線、31__3 : 配線、31a : 配線、31b : 配線、32 : 配線、32__1 : 配線、32__2 : 配線、33 : 表示部、34 : 画素、35 : センサ部、35B : センサ部、35L : センサ部、35R : センサ部、35T : センサ部、36 : 画素、37 : メモリ部、38 : セル、39 : 配線、39a : 配線、39b : 配線、40 : 機能回路、51 : トランジスタ、52 : トランジスタ、53 : トランジスタ、54 : トランジスタ、55 : トランジ

スタ、56：トランジスタ、57：トランジスタ、58：トランジスタ、59：トランジスタ、60：トランジスタ、61：トランジスタ、62：トランジスタ、63：トランジスタ、64：容量素子、65：容量素子、66：容量素子、67：ソースフォロワ回路、70：領域、71：トランジスタ、72：トランジスタ、73：ダミートランジスタ、81：表示素子、82：光、83：光電変換素子、84：光、85：発光素子、86：光、100：電子機器、101：筐体、110：チャンネル形成領域、111：ソース領域、112：ドレイン領域、113：ゲート電極、114：開口部、115：配線、116：開口部、117：配線、118：開口部、119：開口部、120：開口部、121：配線、122：配線、123：配線、130：チャンネル形成領域、131：ソース領域、132：ドレイン領域、133：ゲート電極、134：開口部、135：配線、136：開口部、137：配線、138：開口部、139：開口部、140：開口部、141：配線、142：配線、143：配線、151：半導体、152：導電体、160：ジェネレータ、161：学習データ、162：学習用画像データ、163：学習用欠陥画素座標データ、164：テストデータ、165：テスト用画像データ、166：テスト用欠陥画素座標データ、167：学習結果、168：画像データ、169：欠陥画素座標データ、170：画像データ、171：眼球、171L：眼球、171R：眼球、200A：トランジスタ、200B：トランジスタ、200C：トランジスタ、205：導電体、214：絶縁体、216：絶縁体、222：絶縁体、224：絶縁体、230：金属酸化物、230a：金属酸化物、230b：金属酸化物、230c：金属酸化物、240：導電体、240a：導電体、240b：導電体、241：絶縁体、241a：絶縁体、241b：絶縁体、242：導電体、242a：導電体、242b：導電体、243a：領域、243b：領域、244：絶縁体、250：絶縁体、252：金属酸化物、254：絶縁体、260：導電体、260a：導電体、260b：導電体、270：絶縁体、271：絶縁体、272：絶縁体、274：絶縁体、280：絶縁体、281：絶縁体、301a：導電体、301b：導電体、305：導電体、311：導電体、313：導電体、317：導電体、321：下部電極、323：絶縁体、325：上部電極、331：導電体、333：導電体、335：導電体、337：導電体、341：導電体、343：導電体、347：導電体、351：導電体、353：導電体、355：導電体、357：導電体、361：絶縁体、363：絶縁体、401：回路、403：素子分離層、405：絶縁体、407：絶縁体、409：絶縁体、411：絶縁体、413：絶縁体、415：絶縁体、417：絶縁体、419：絶縁体、421：絶縁体、441：トランジスタ、443：導電体、445：絶縁体、447：半導体領域、449a：低抵抗領域、449b：低抵抗領域、451：導電体、453：導電体、455：導電体、457：導電体、459：導電体、461：導電体、463：導電体、465：導電体、467：導電体、469：導電体、471：導電体、501：絶縁体、503：絶縁体、505：絶縁体、507：絶縁体、509：絶縁体、511：トランジスタ、513：トランジスタ、515：容量素子、517：容量素子、520：回路、521：トランジスタ、525：トランジスタ、527：トランジスタ、529：トランジスタ、531：配線、533：配線、535：配線、537：配線、539：配線、541：配線、543：配線、545：配線、550：トランジスタ、552：トランジスタ、554：トランジスタ、560：容量素子、562：容量素子、570：液晶素子、572：発光素子、582：トランジスタ、584：トランジスタ、586：トランジスタ、588：トランジスタ、590：容量素子、592：配線、601：トランジスタ、602：トランジスタ、603：トランジスタ、613：絶縁体、614：絶縁体、616：絶縁体、622：絶縁体、624：絶縁体、644：

絶縁体、654：絶縁体、674：絶縁体、680：絶縁体、681：絶縁体、701：基板、705：基板、712：シール材、716：FPC、721：正孔注入層、722：正孔輸送層、723：発光層、724：電子輸送層、725：電子注入層、730：絶縁体、732：封止層、734：絶縁体、736：着色層、738：遮光層、750：トランジスタ、760：接続電極、772：導電体、774：導電体、776：液晶層、778：構造体、780：異方性導電体、786：EL層、786a：EL層、786b：EL層、786c：EL層、788：導電体、790：容量素子、792：電荷発生層、901：副画素、901B：副画素、901G：副画素、901R：副画素、902：画素、911：導電体、912：導電体、913：半導体、914：半導体、915a：導電体、915b：導電体、916a：導電体、916b：導電体、917：導電体、918：導電体、919：導電体、920：導電体、921：導電体、922：導電体、923：導電体、924：導電体、925：導電体、926：導電体、927：導電体、928：導電体、929：導電体、930：導電体、931：導電体、940：副画素、940__1：副画素、940__2：副画素、940B：副画素、940G：副画素、940R：副画素、941：画素、951：導電体、952：半導体、953：半導体、954a：導電体、954b：導電体、955a：導電体、955b：導電体、956：導電体、957：導電体、958：導電体、959：導電体、960：導電体、961：導電体、962：導電体、963：導電体、964：導電体、965：導電体、966：導電体、967：導電体、968：導電体、969：導電体、970：導電体、971：半導体、972：半導体、973a：導電体、973b：導電体、974a：導電体、974b：導電体、975：導電体、976：導電体、977：導電体、978：導電体、979：導電体、980：導電体、981：導電体、982：導電体、983：導電体、984：導電体、985：導電体、986：導電体、987：導電体、990：導電体、991：接着層、992：絶縁体、993：着色層、993a：着色層、993b：着色層、994：接着層、995：基板、1021：絶縁体、1022：絶縁体、1023：絶縁体、1024：絶縁体、1025：絶縁体、1026：絶縁体、1027：絶縁体、1031：絶縁体、1032：絶縁体、1033：絶縁体、1034：絶縁体、1035：絶縁体、1036：絶縁体、1042：絶縁体、1043：絶縁体、1044：絶縁体、1045：絶縁体、1046：絶縁体、1047：絶縁体、9000：筐体、9001：表示部、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：操作ボタン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9100：テレビジョン装置、9101：携帯情報端末、9102：携帯情報端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項1]

表示部と、センサ部と、を有し、前記表示部には、 m 行 n 列 (m 、 n は2以上の整数) の画素がマトリクス状に配列され、前記センサ部には、光電変換素子が設けられた表示装置の動作方法であって、

前記表示部を、第1の領域と、第2の領域と、に分割し、

前記第1の領域に含まれる前記画素から第1の光を射出して、前記第1の光の輝度を前記光電変換素子により検出し、

前記第2の領域に含まれる前記画素から第2の光を射出して、前記第2の光の輝度を前記光電変換素子により検出し、

前記第1の光の輝度と、前記第2の光の輝度と、を比較し、

前記比較の結果を基に、前記第1の領域、又は前記第2の領域の一方を、第3の領域と、第4の領域と、に分割し、

前記第3の領域に含まれる前記画素から第3の光を射出して、前記第3の光の輝度を前記光電変換素子により検出し、

前記第4の領域に含まれる前記画素から第4の光を射出して、前記第4の光の輝度を前記光電変換素子により検出し、

前記第3の光の輝度と、前記第4の光の輝度と、を比較し、

欠陥がある前記画素である欠陥画素を検出する、表示装置の動作方法。

[請求項2]

請求項1において、

画像データを生成し、

前記画像データが表す輝度を前記欠陥画素の検出結果に基づき補正した輝度の光である、第5の光を、前記画素から射出する、表示装置の動作方法。

[請求項3]

表示部と、センサ部と、を有し、前記表示部には、 m 行 n 列 (m 、 n は2以上の整数) の画素がマトリクス状に配列され、前記センサ部には、光電変換素子が設けられた表示装置の動作方法であって、

前記表示部を、第1乃至第 p (p は2以上、 $m \times n / 2$ 以下の整数) の領域に分割し、

前記第1乃至第 p の領域に含まれる前記画素から前記第1乃至第 p の光を射出して、前記第1乃至第 p の光の輝度を前記光電変換素子により検出し、

前記第1乃至第 p の光の輝度を比較し、

前記比較の結果を基に、前記第1乃至前記第 p の領域のうち、少なくとも一つを含む領域である第 $p+1$ の領域を、第 $p+2$ 乃至第 q (q は $p+3$ 以上、 $m \times n + p + 1$ 以下の整数) の領域に分割し、

前記第 $p+2$ 乃至第 q の領域に含まれる前記画素から前記第 $p+1$ 乃至第 $q-1$ の光を射出して、前記第 $p+1$ 乃至第 $q-1$ の光の輝度を前記光電変換素子により検出し、

前記第 $p+1$ 乃至第 $q-1$ の光の輝度を比較し、

欠陥がある前記画素である欠陥画素を検出する、表示装置の動作方法。

[請求項4]

請求項 3 において、
画像データを生成し、
前記画像データが表す輝度を前記欠陥画素の検出結果に基づき補正した輝度の光である、第 q の光を、前記画素から射出する、表示装置の動作方法。

[請求項 5]

請求項 2 又は 4 において、
前記補正は、ニューラルネットワークを用いて行う、表示装置の動作方法。

[請求項 6]

請求項 5 において、
前記ニューラルネットワークの学習は、学習用画像データと、前記学習用画像データに対応する学習用欠陥画素座標データと、を学習データとして用いることにより行う、表示装置の動作方法。

[請求項 7]

請求項 1 乃至 6 のいずれか一項において、
前記表示装置は、第 1 の層と、第 2 の層と、が積層して設けられ、
前記第 1 の層は、ゲートドライバ回路と、データドライバ回路と、を有し、
前記第 2 の層は、前記表示部と、前記センサ部と、を有し、
前記ゲートドライバ回路、及び前記データドライバ回路は、前記表示部に設けられた前記画素と重なる領域を有し、
前記ゲートドライバ回路は、前記データドライバ回路と重なる領域を有する、表示装置の動作方法。

[請求項 8]

請求項 1 乃至 7 のいずれか一項において、
前記画素は、チャンネル形成領域に金属酸化物を有するトランジスタを有し、
前記金属酸化物は、In 又は Zn の少なくとも一方を含む、表示装置の動作方法。

図1A
10

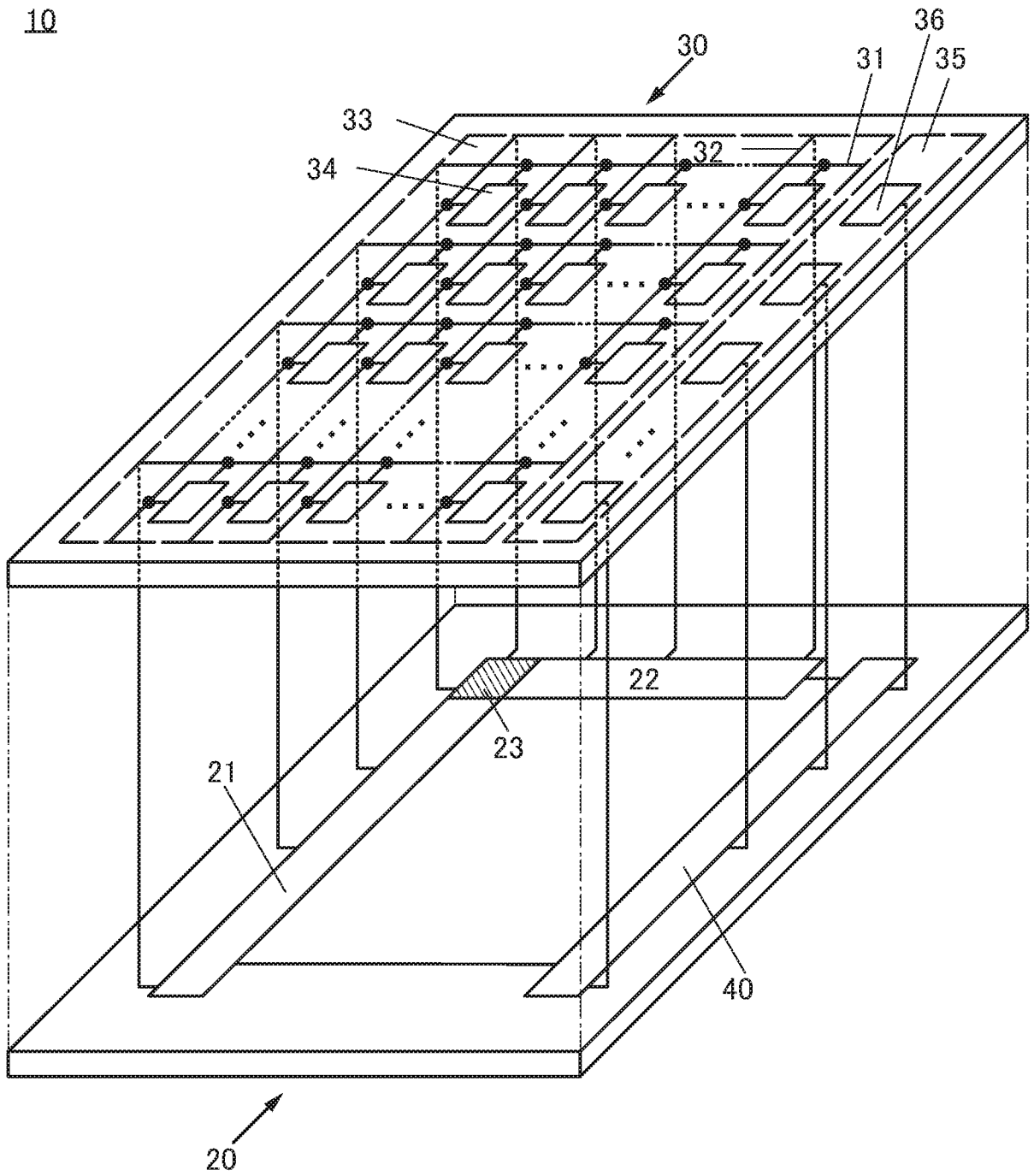


図1B

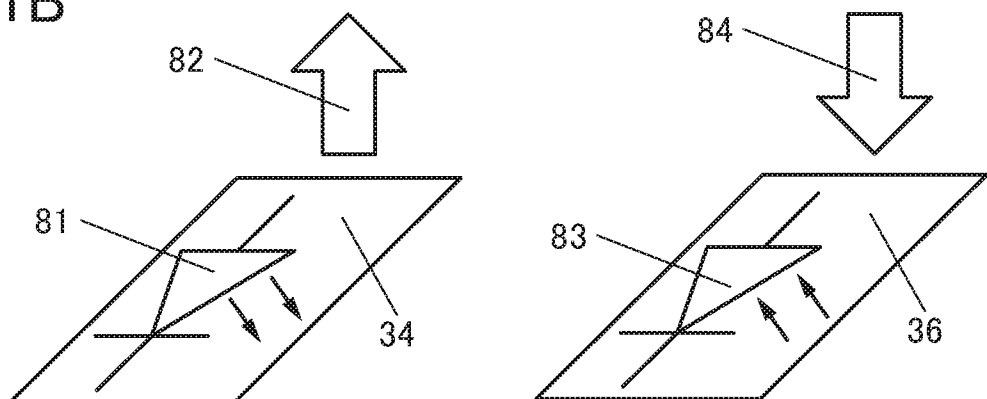


図2A1

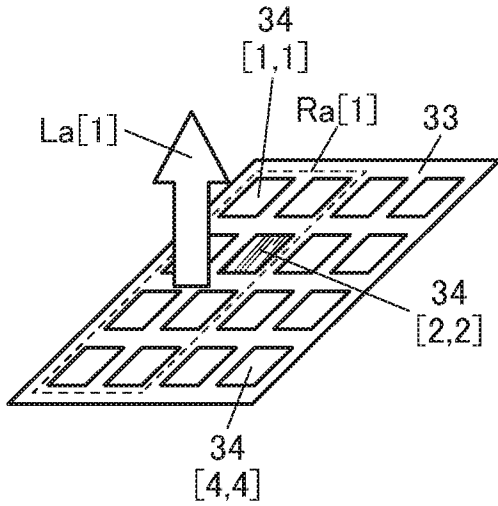


図2A2

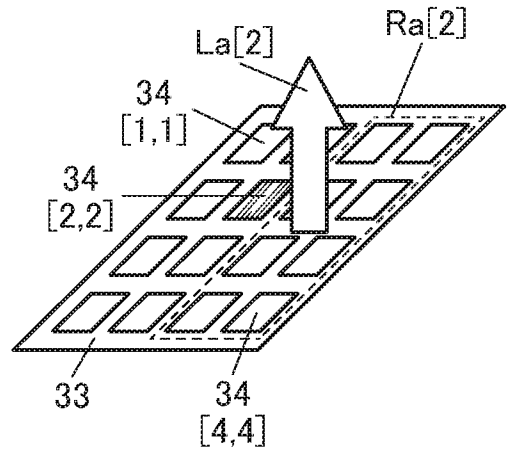


図2B1

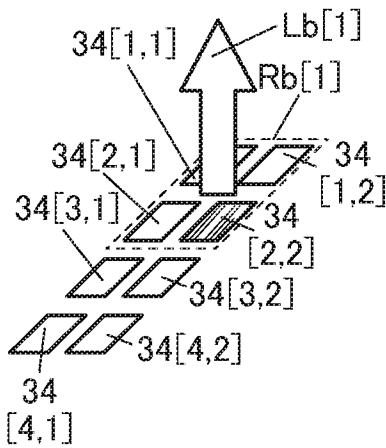


図2B2

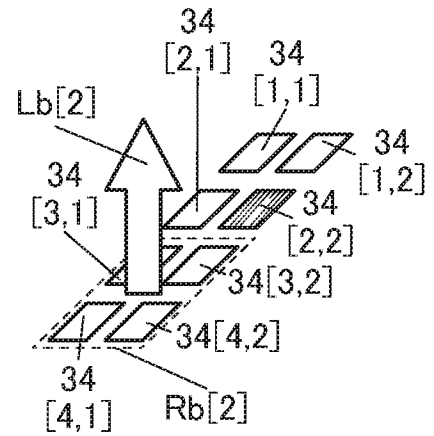


図2C1

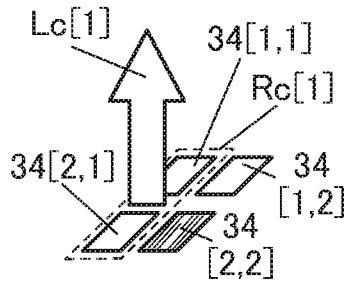


図2C2

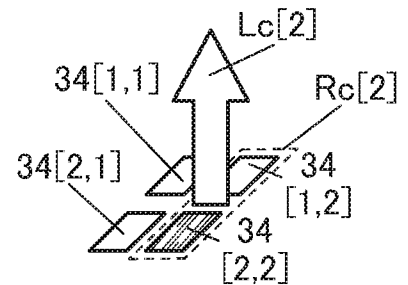


図2D1

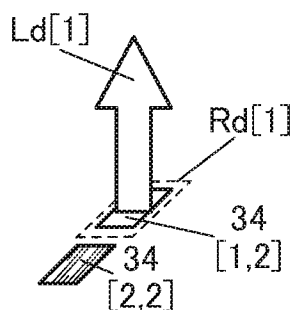


図2D2

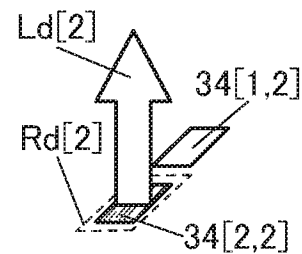


図3A

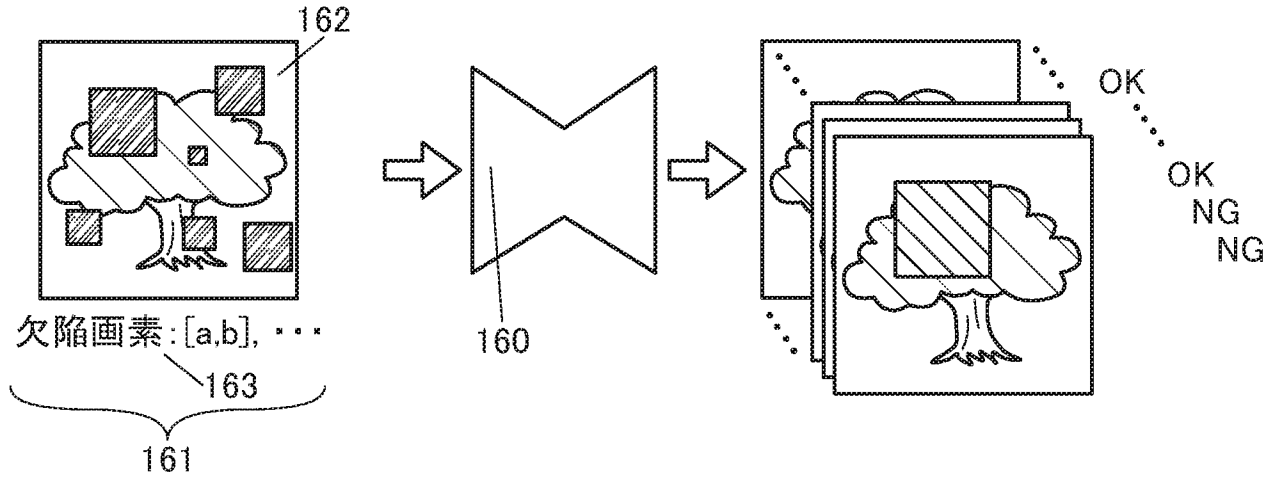


図3B

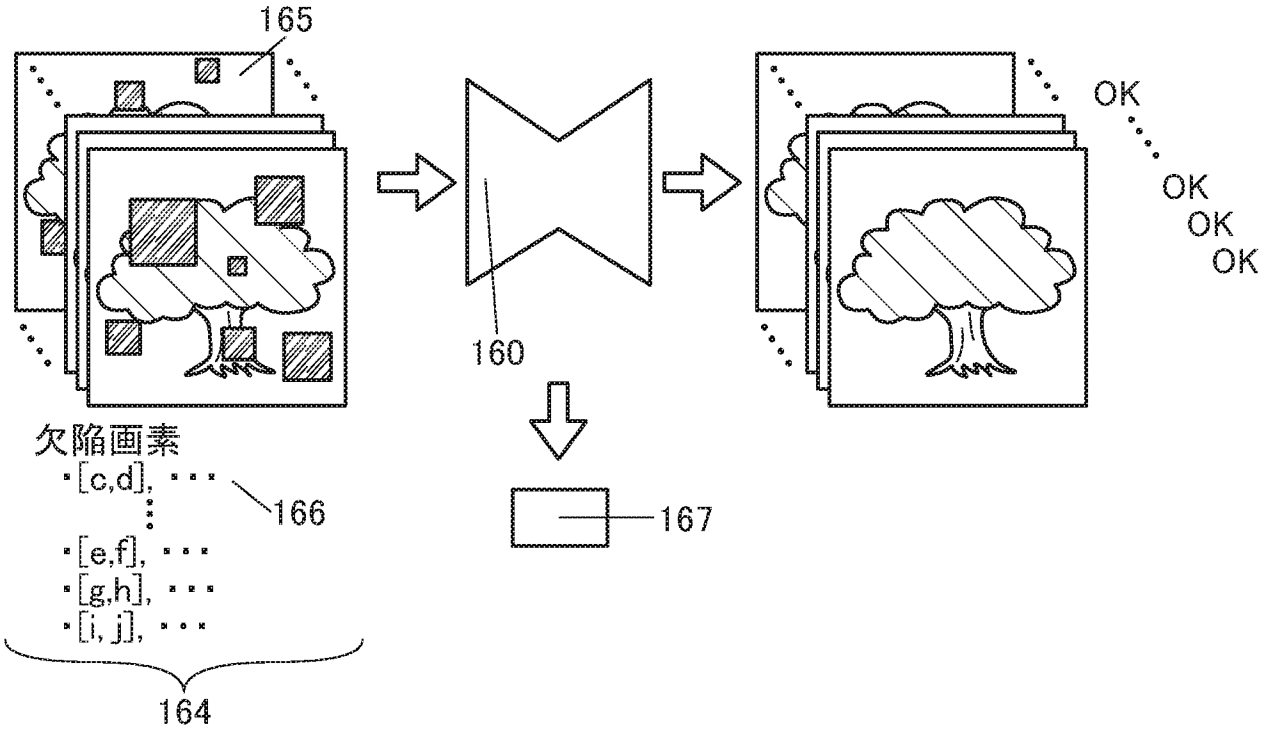


図3C

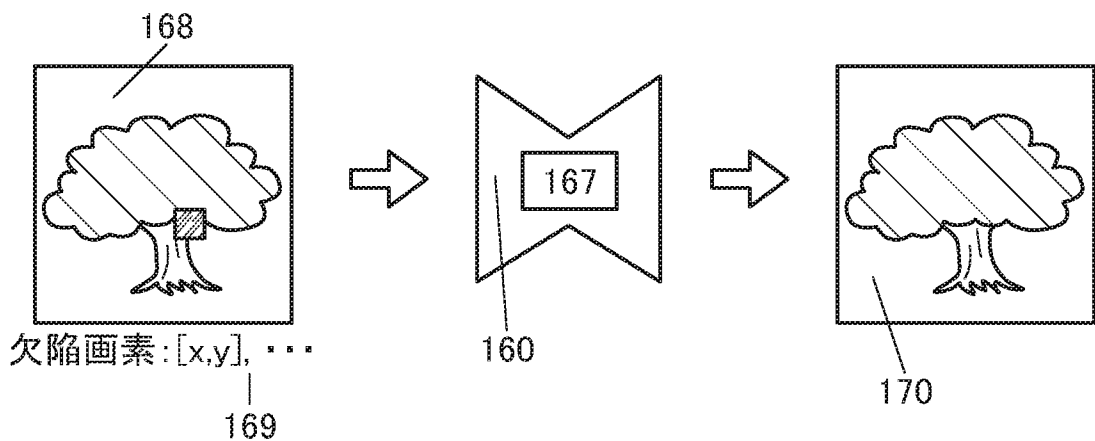


图4A

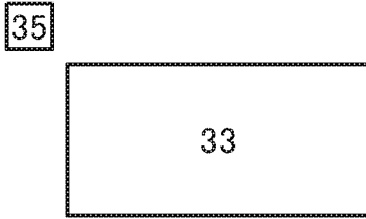


图4B

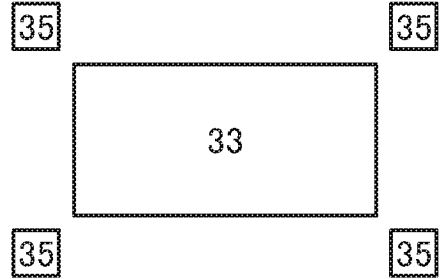


图4C

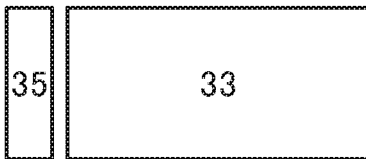


图4D

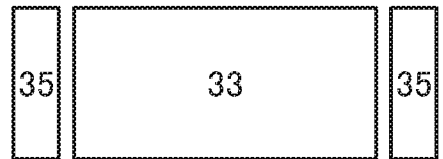


图4E

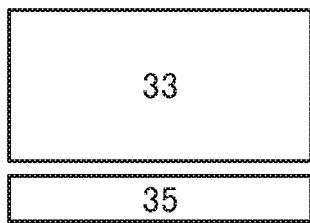


图4F

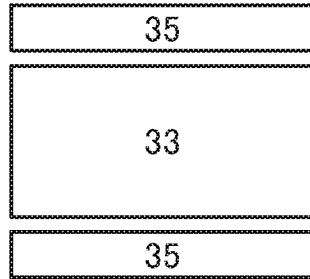


图4G

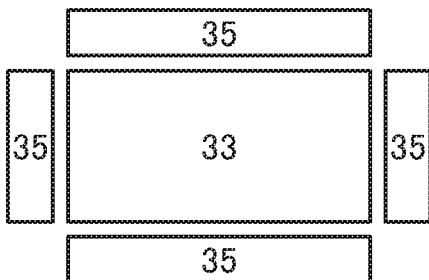
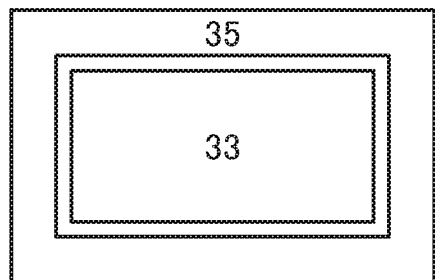
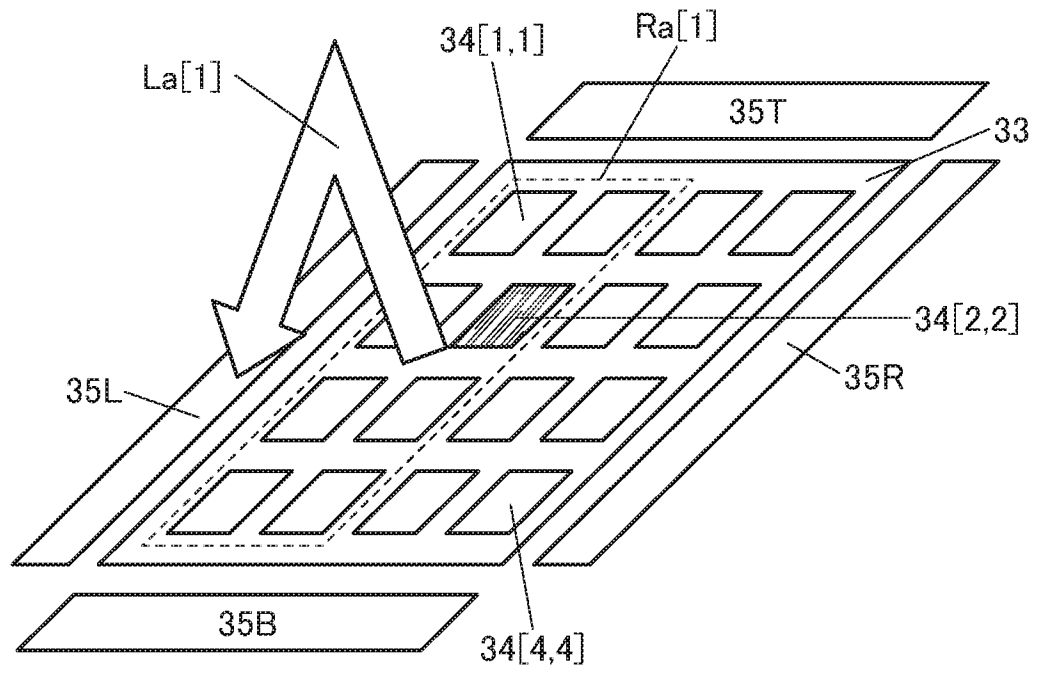


图4H

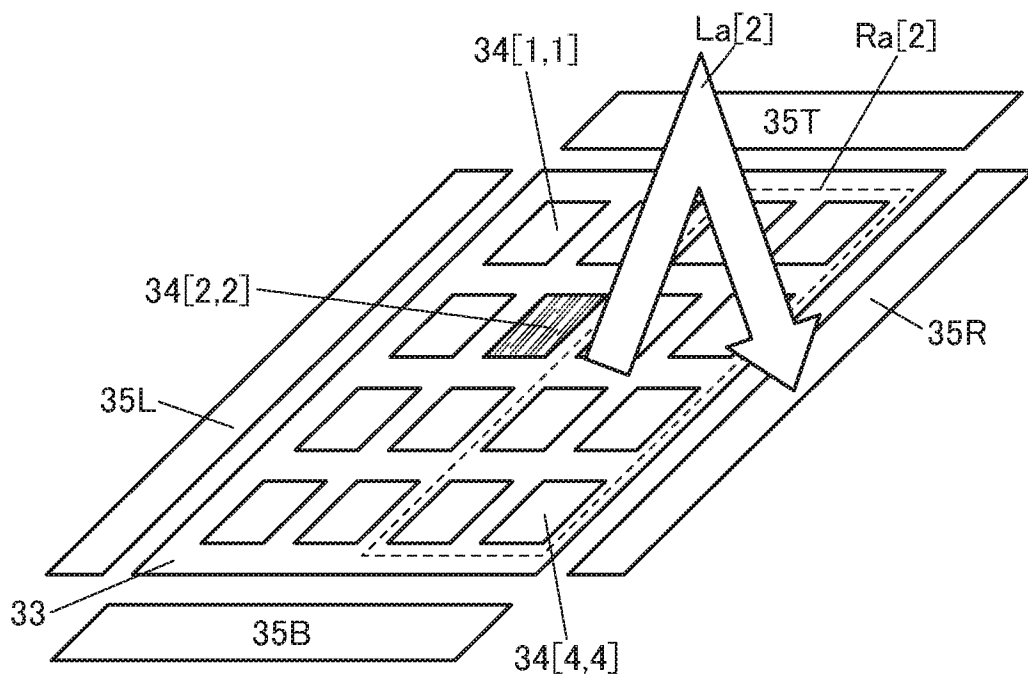


5/54

5A



5B



6/54

図6A

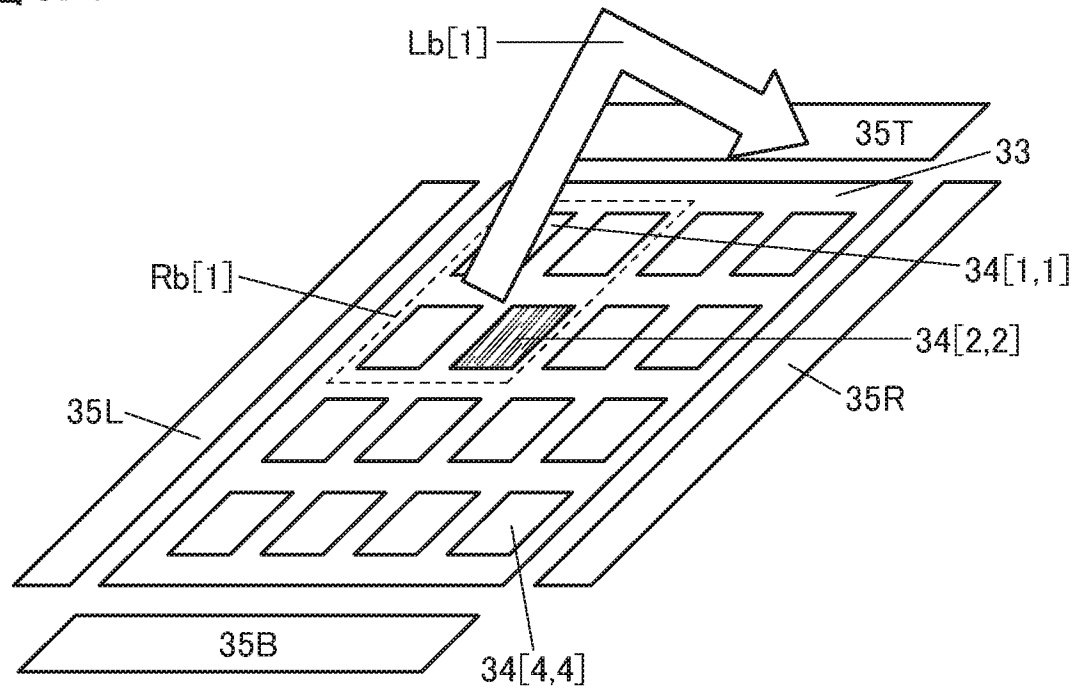
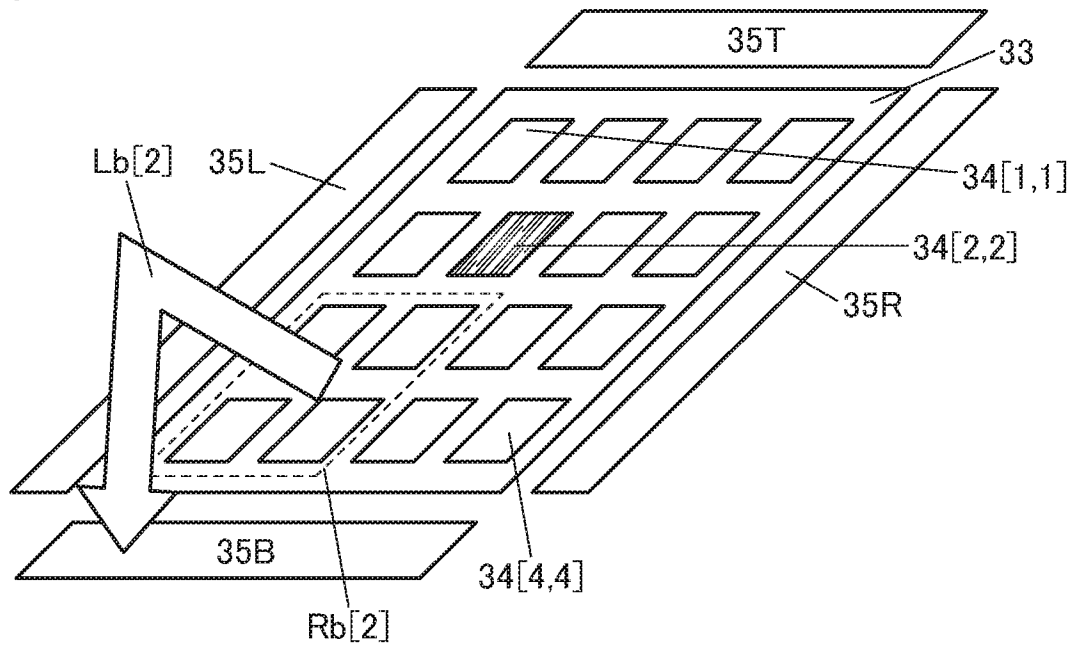
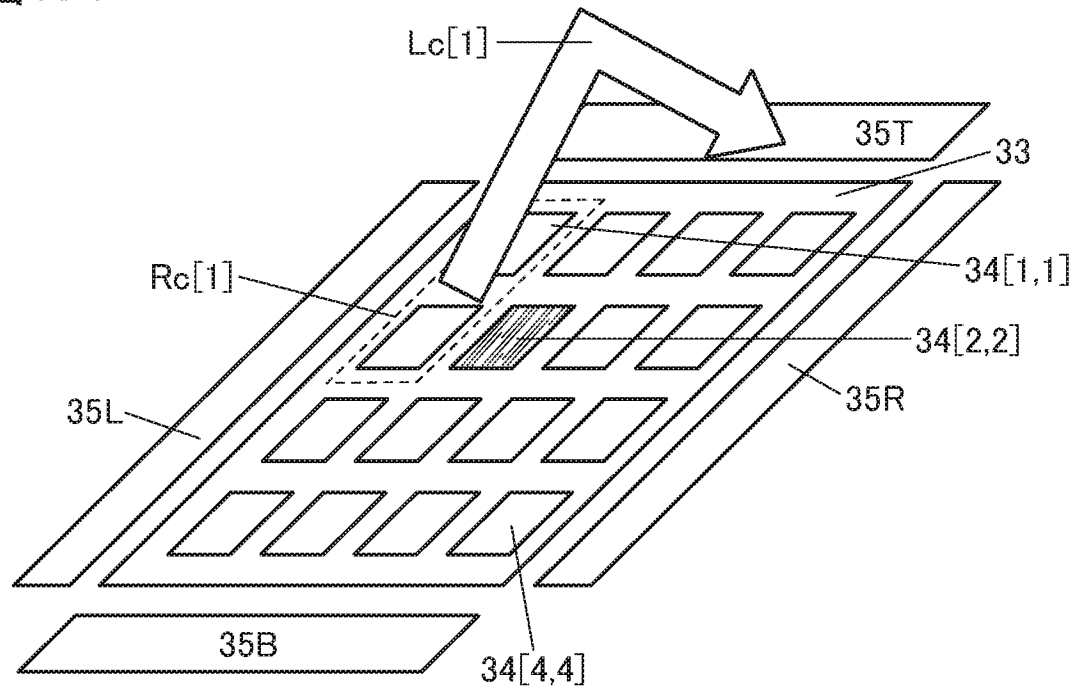


図6B

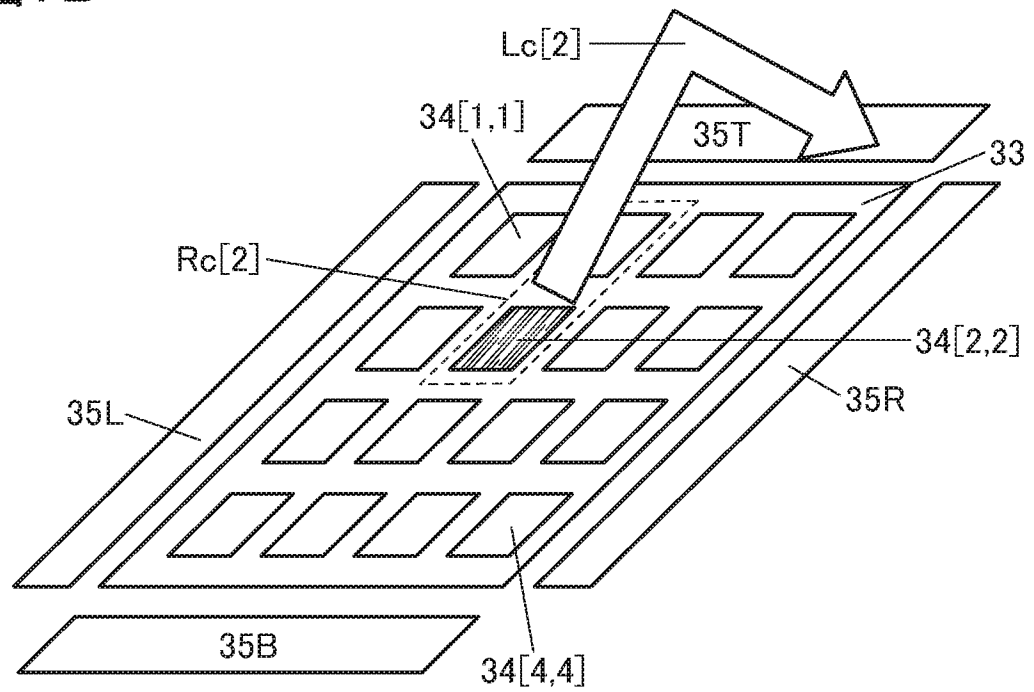


7/54

7A

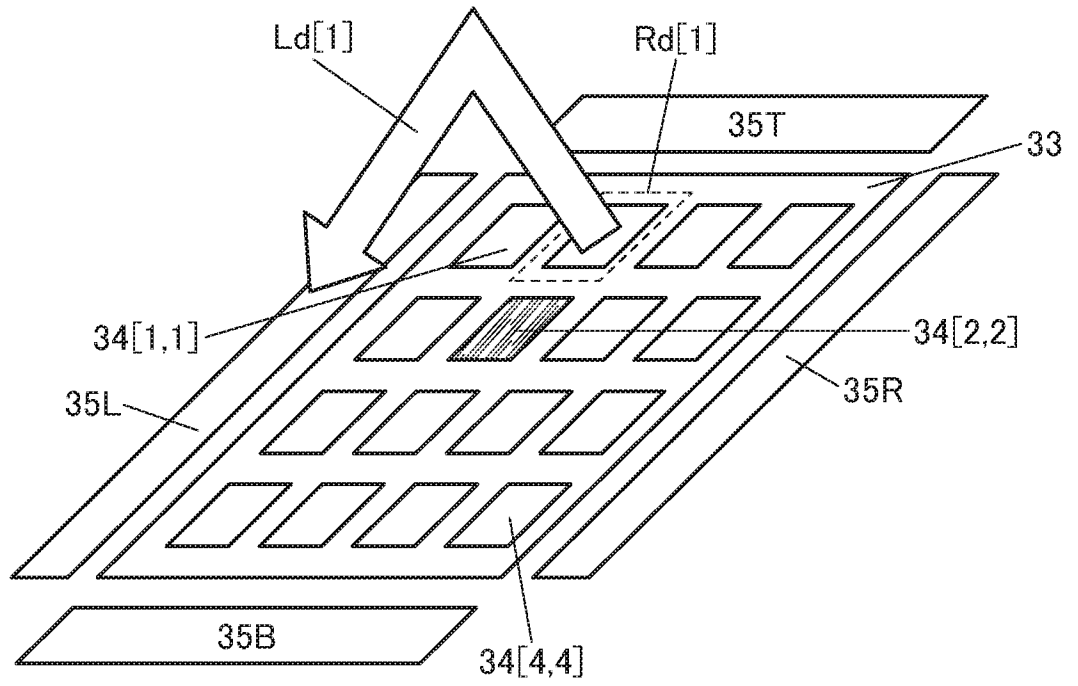


7B

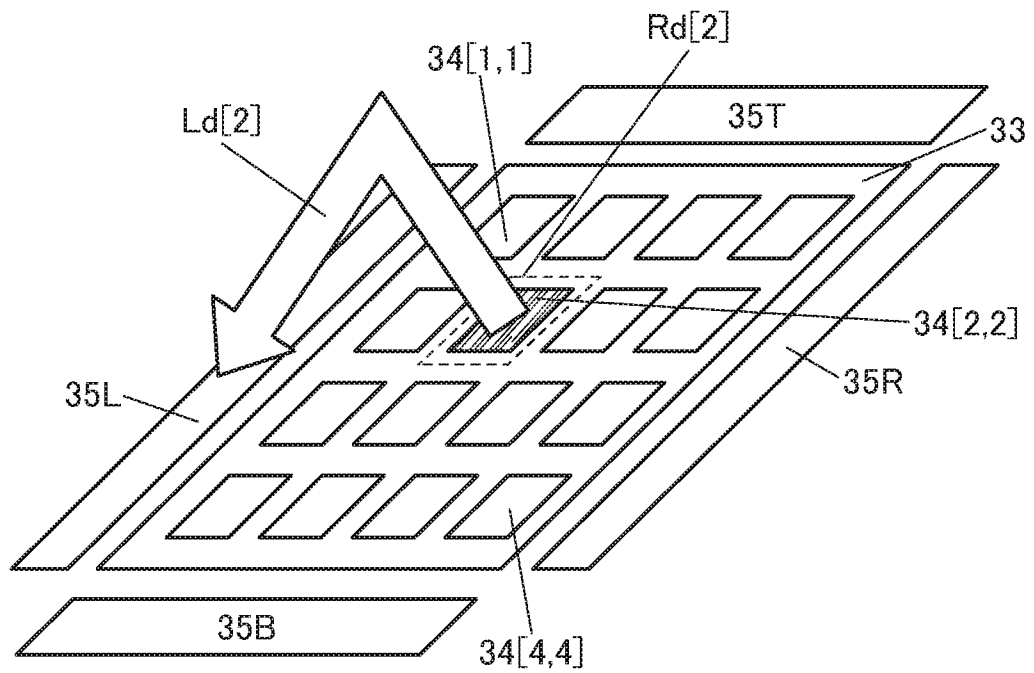


8/54

8A



8B



9/54

図9A

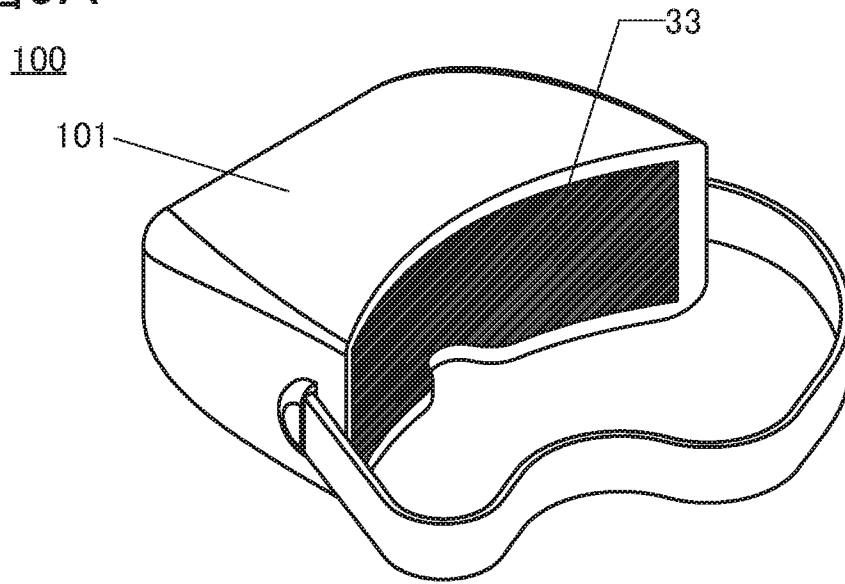
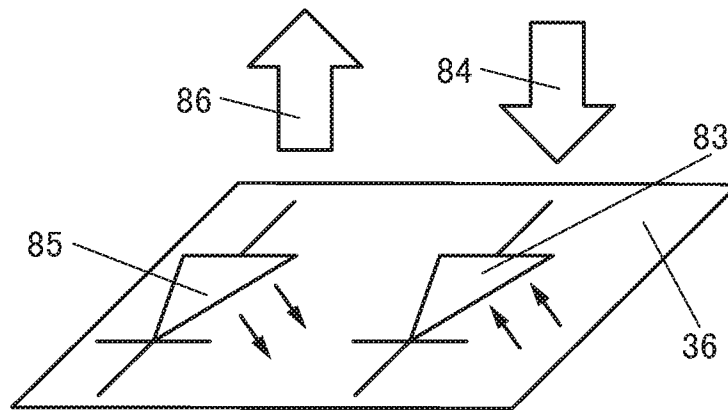
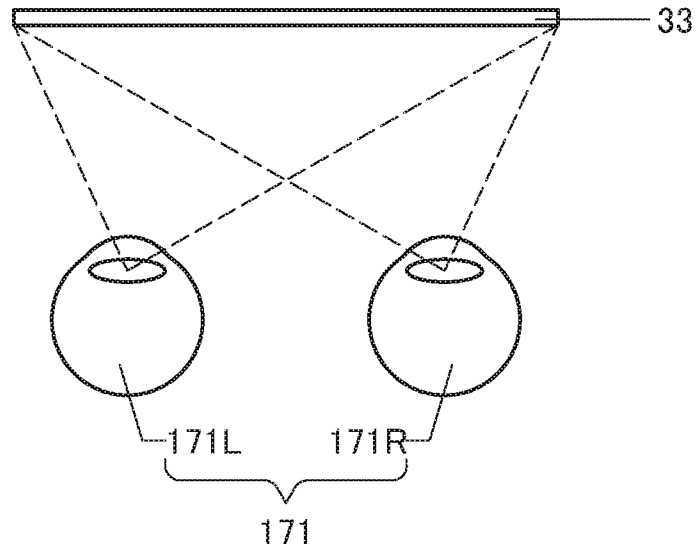


図9B



10A



10B

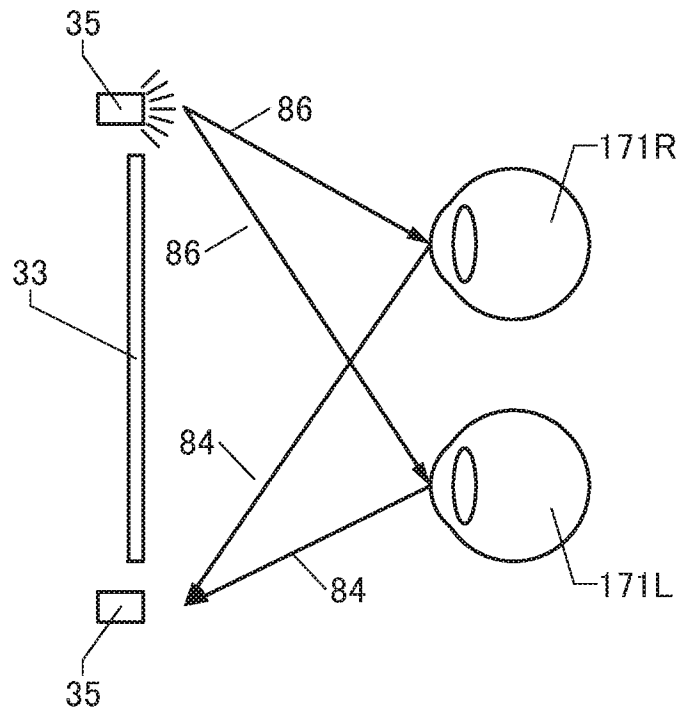


図11

モード1

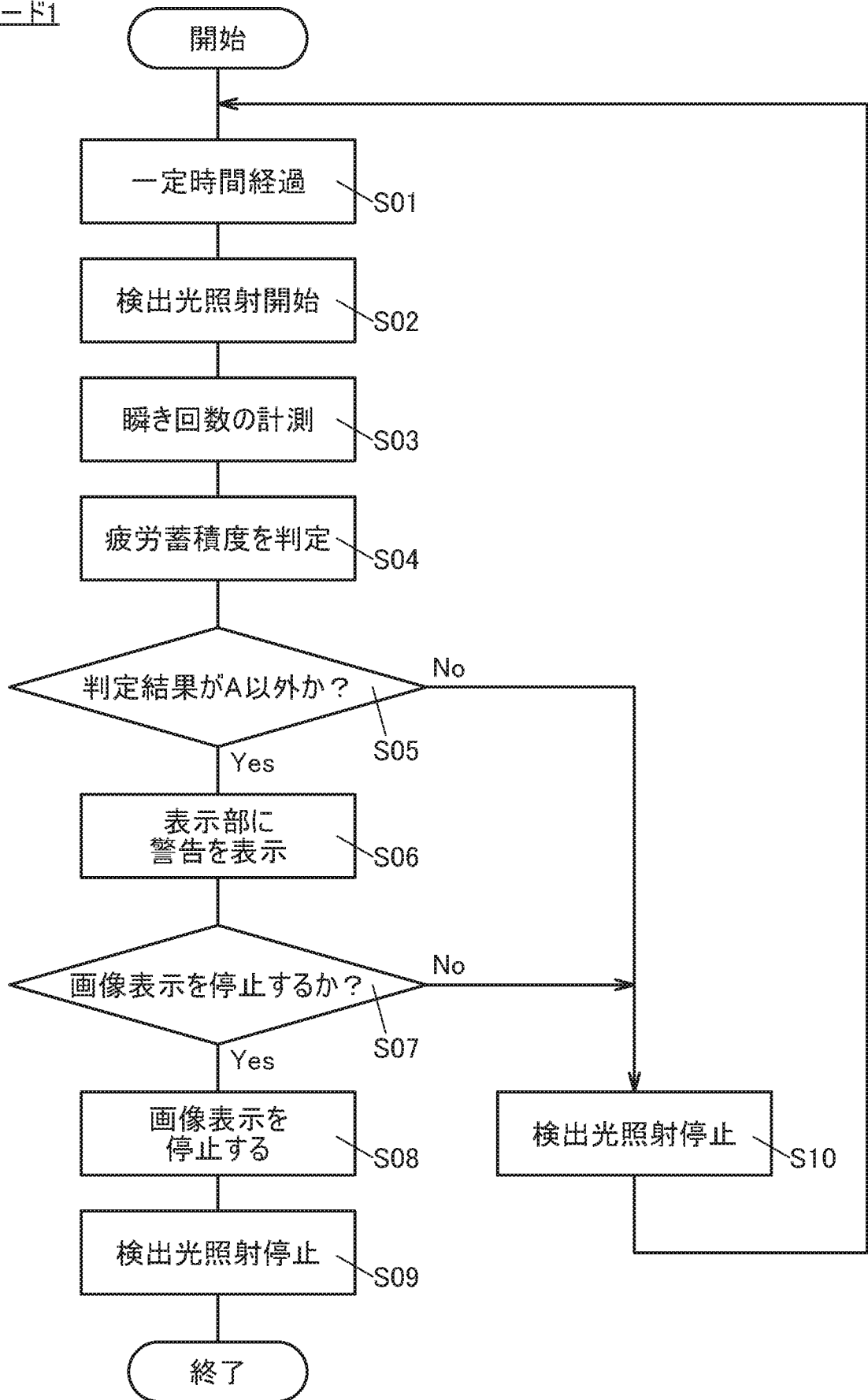


図12A

判定テーブル1

瞬き回数(回/min)	判定
10以上30未満	A
30以上	B
40以上	C
10未満	D
5未満	E

図12B

判定テーブル2

判定	警告情報
B	眼精疲労が蓄積しています。休憩が必要です。
C	眼精疲労が極度に蓄積しています。5分後に停止します。
D	瞬き回数が低下しています。ドライアイに注意してください。
E	瞬き回数が極度に低下しています。5分後に表示を停止します。

図12C

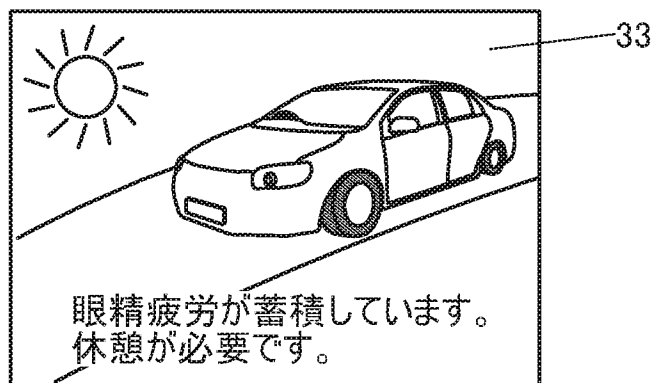


図13

モード2

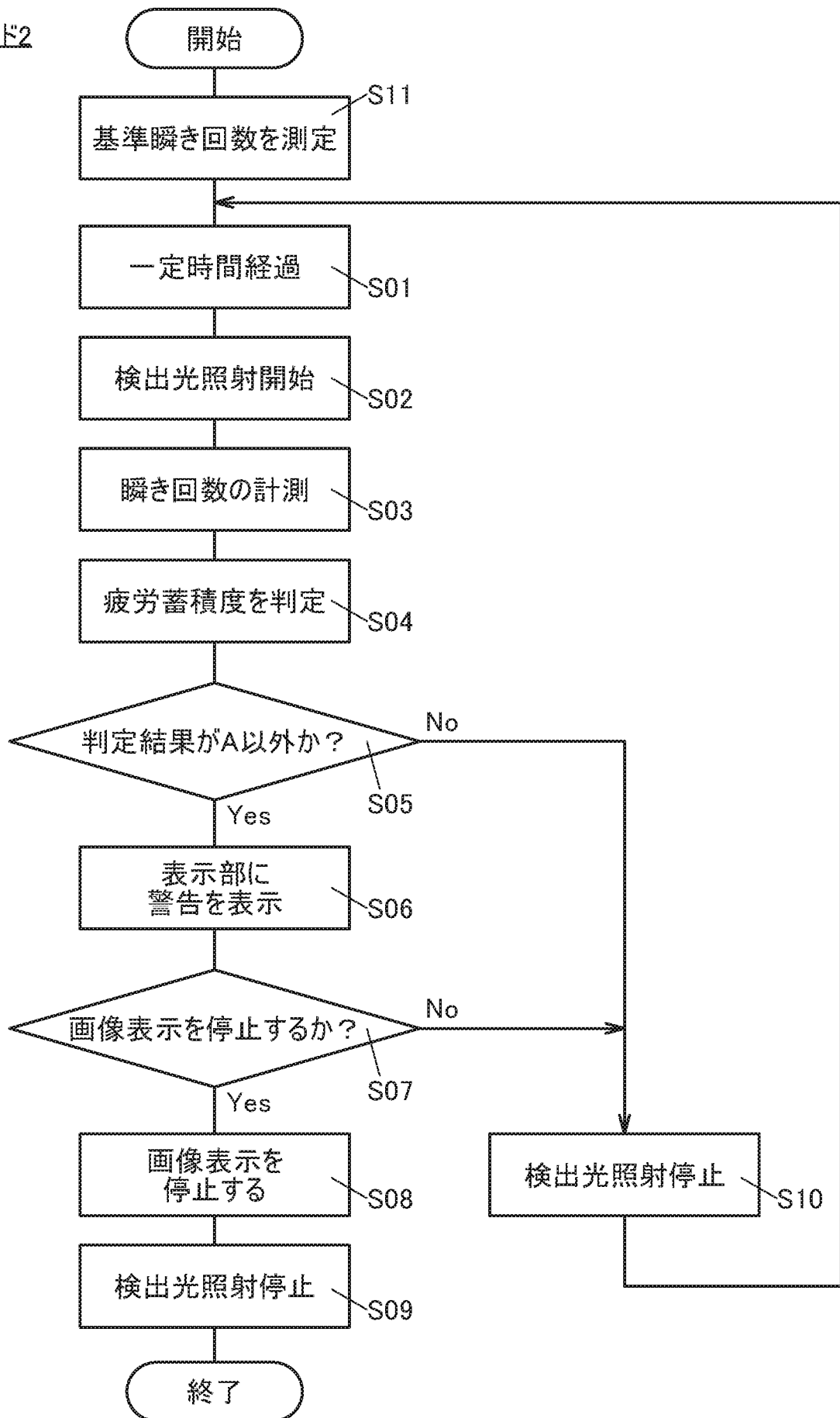


図14A

判定テーブル3

瞬き倍率	判定
0.7以上2.0未満	A
2.0以上	B
2.3以上	C
0.7未満	D
0.4未満	E

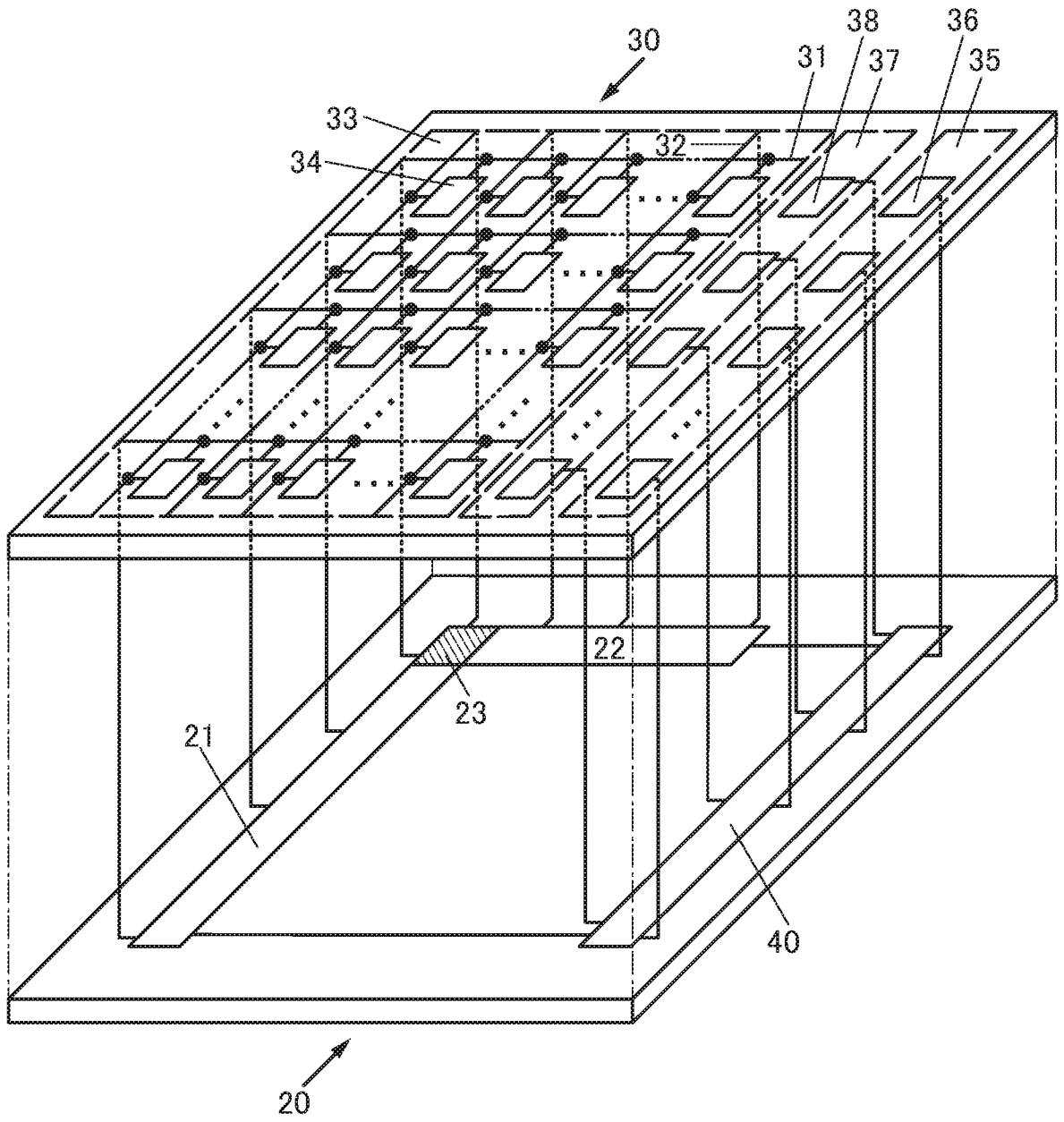
図14B



15

15/54

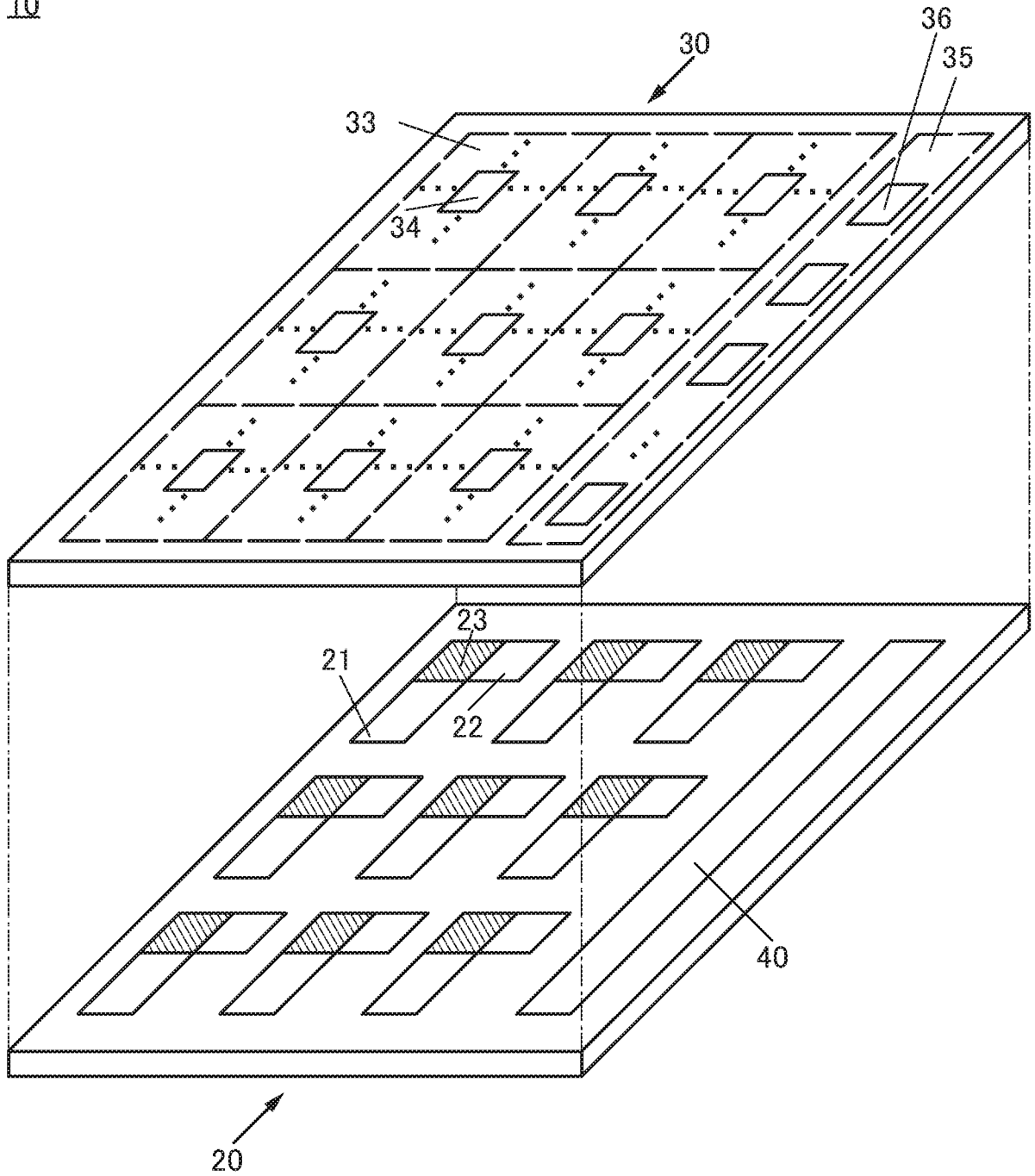
10



16

16/54

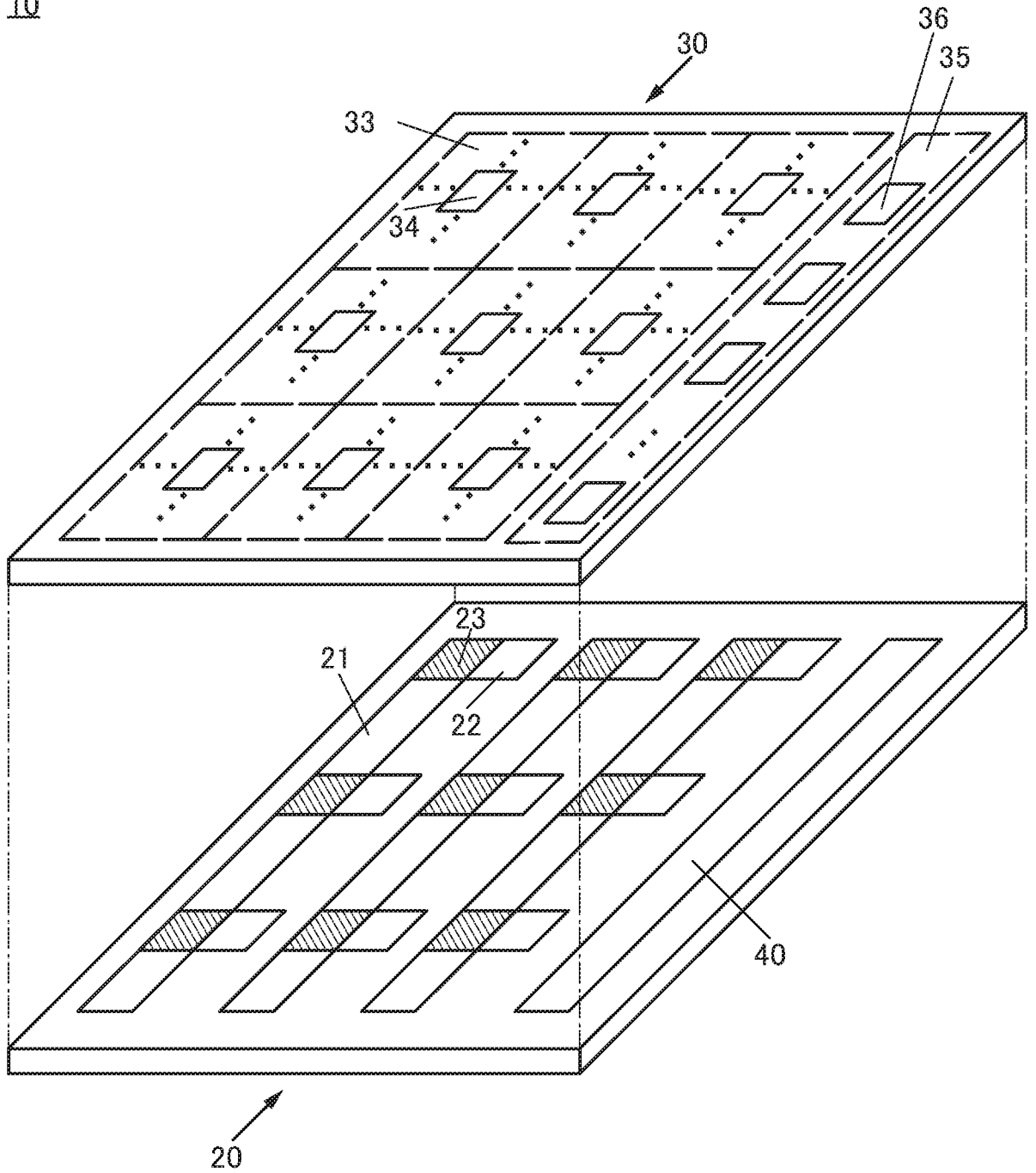
10



17

17/54

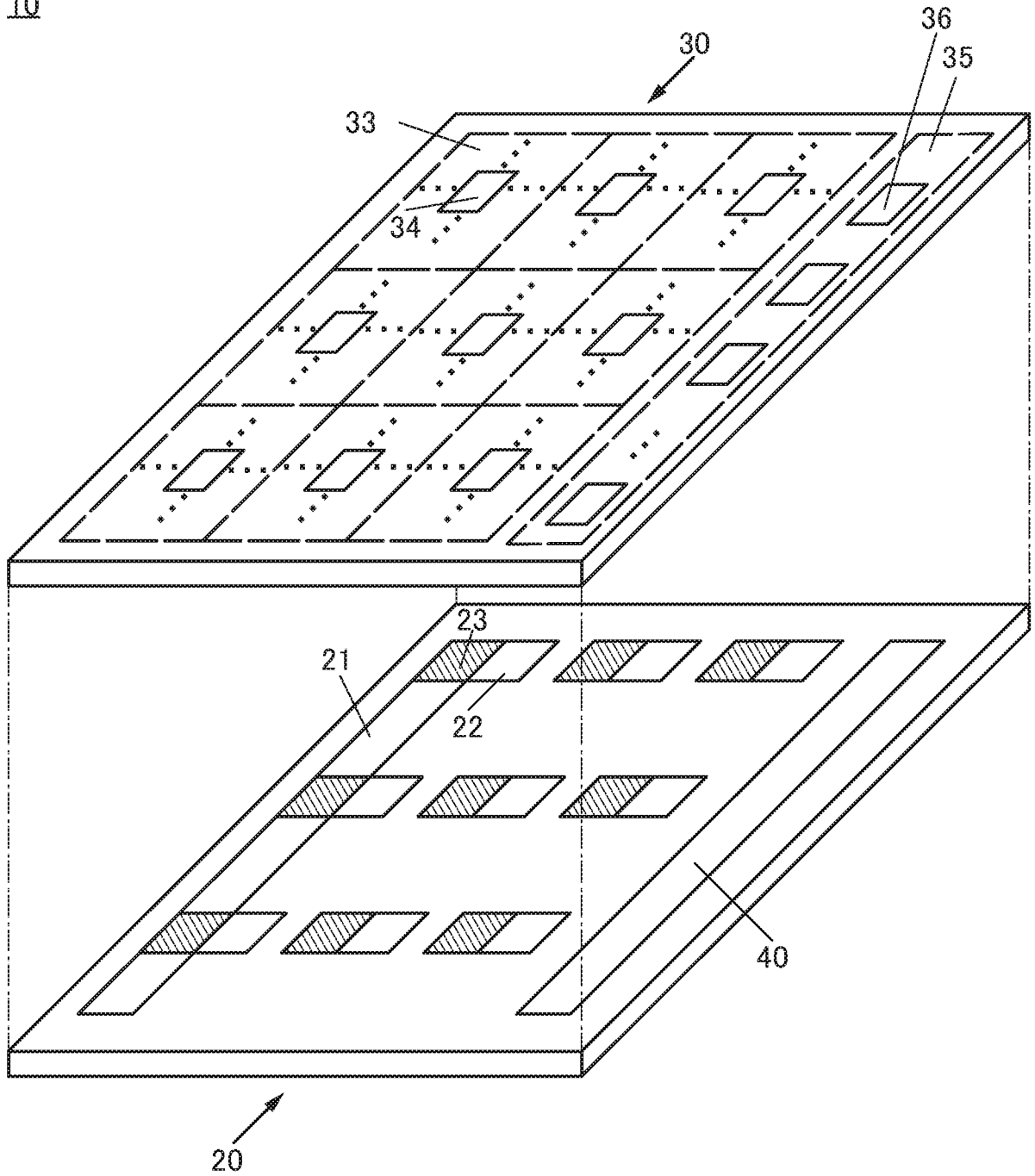
10



18

18/54

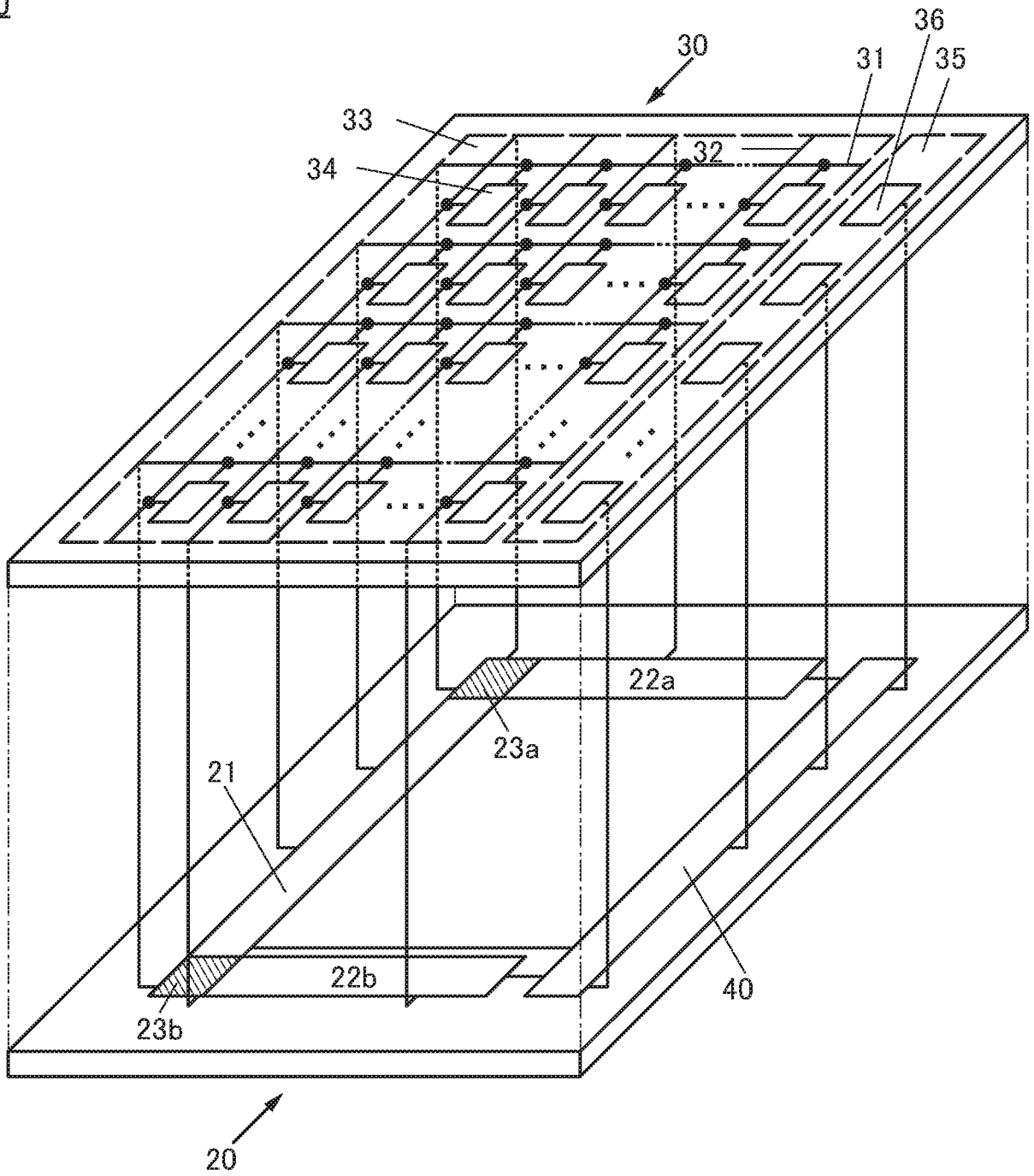
10



19

19/54

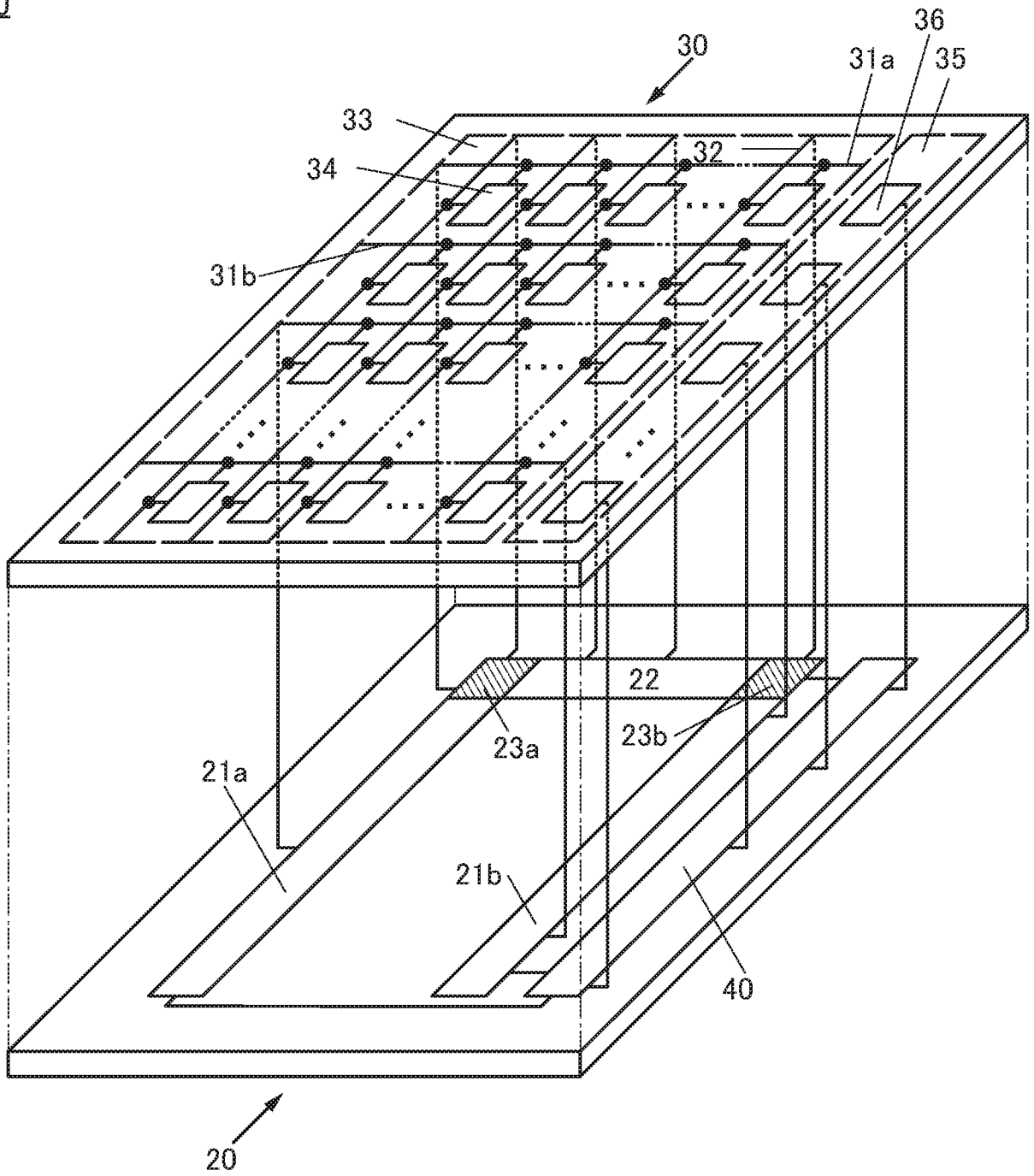
10



20

20/54

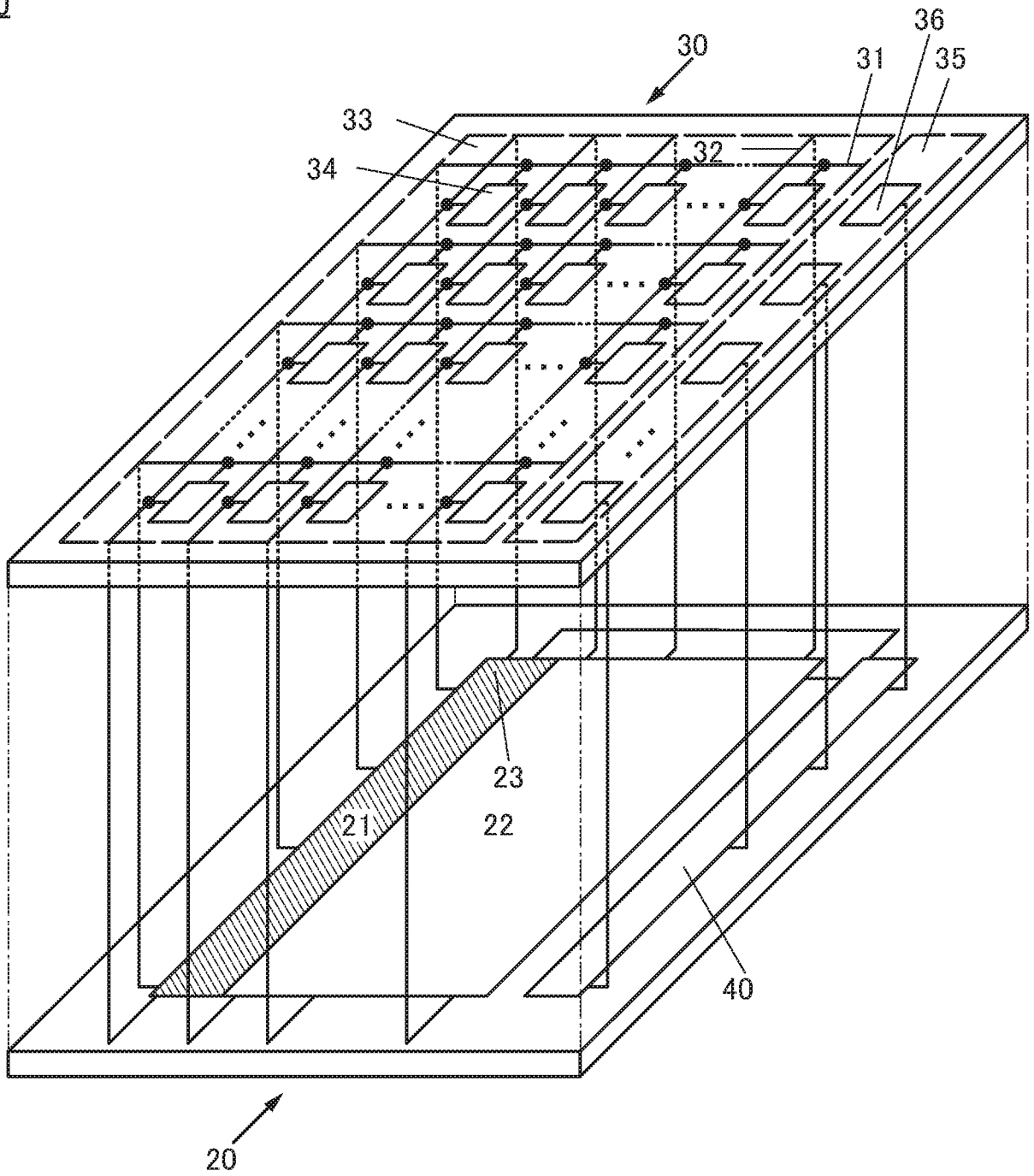
10



21

21/54

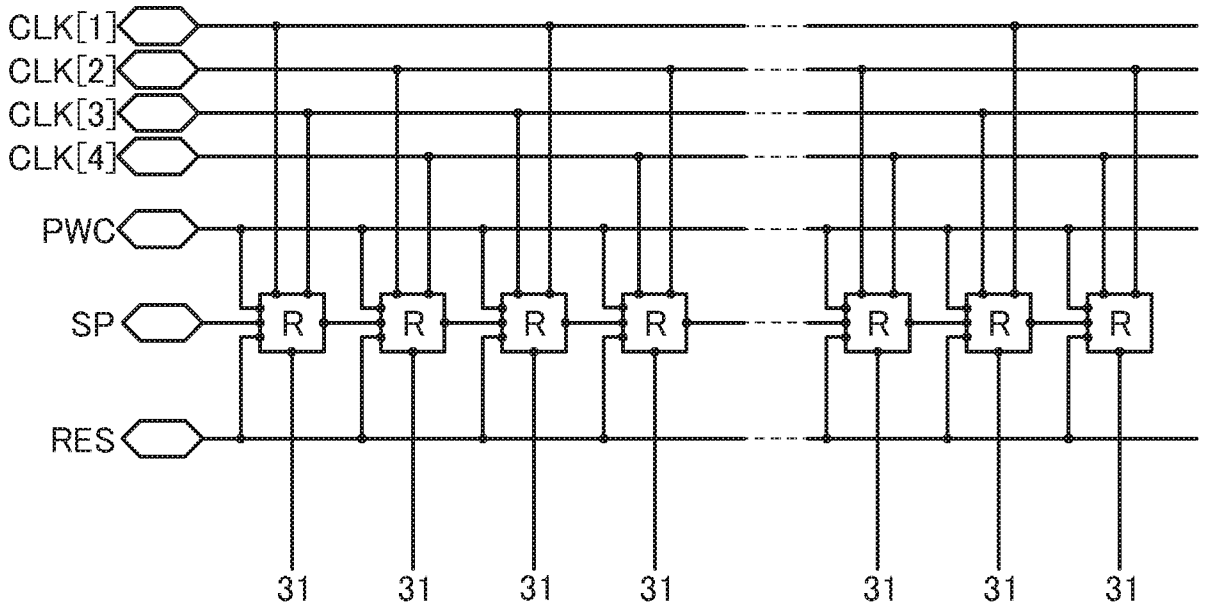
10



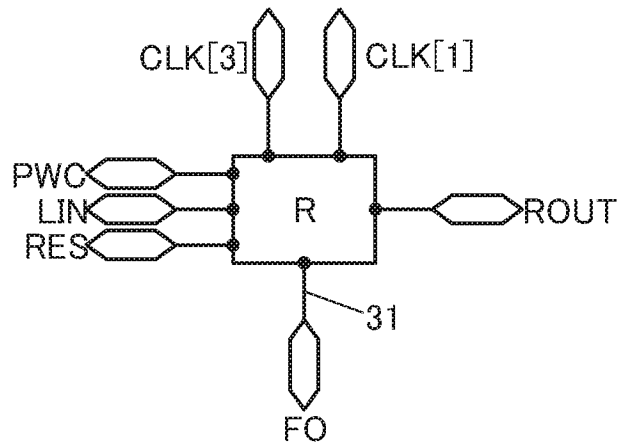
22

22/54

21

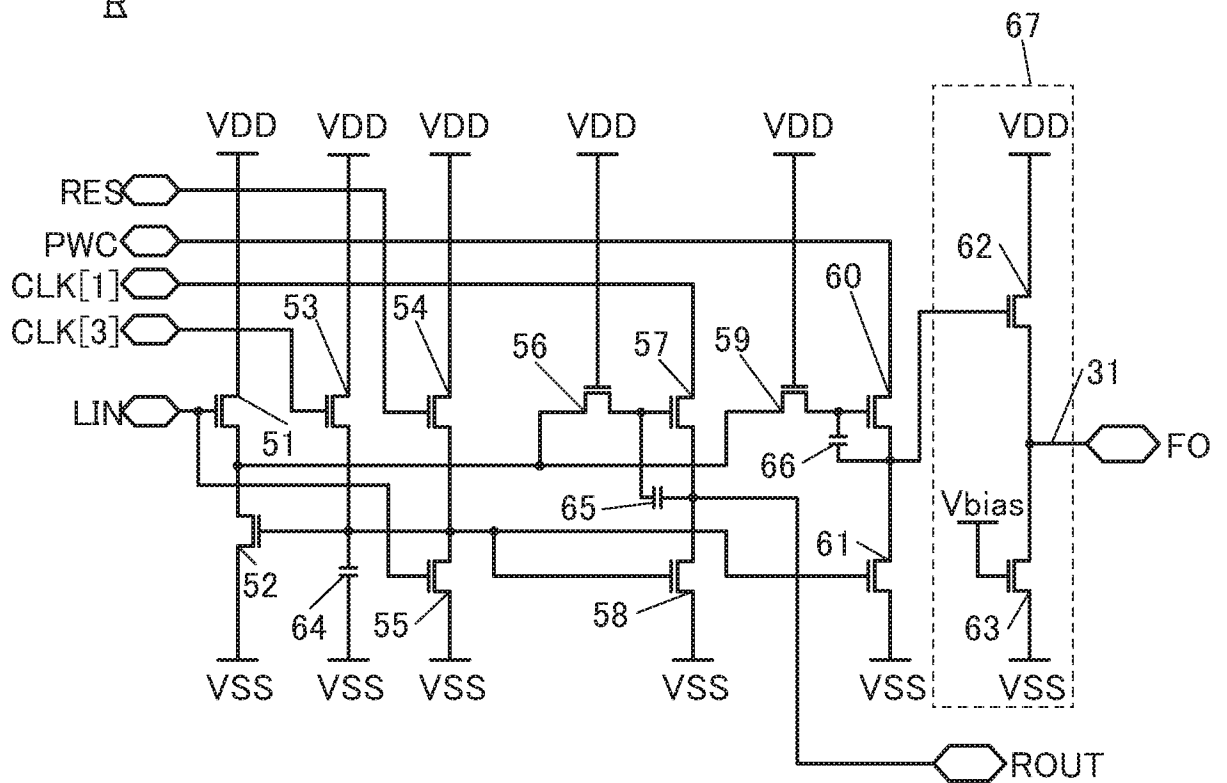


23A



23B

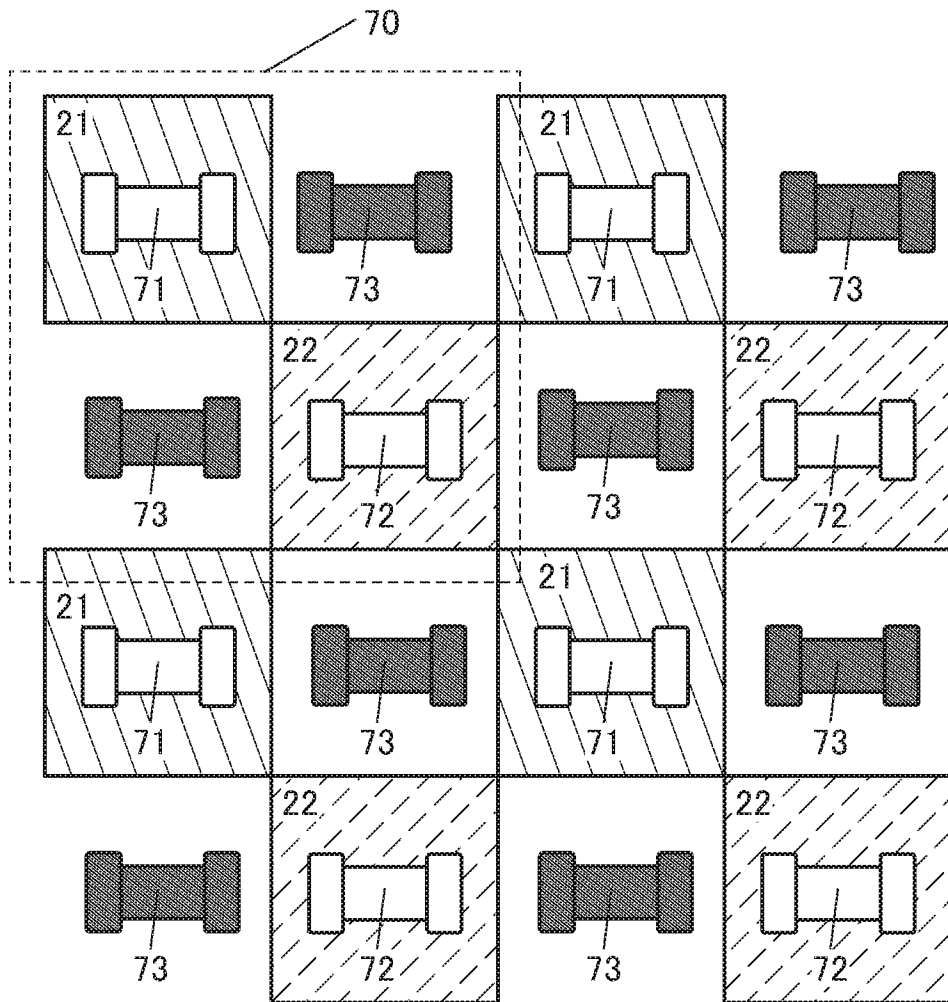
R



24

24/54

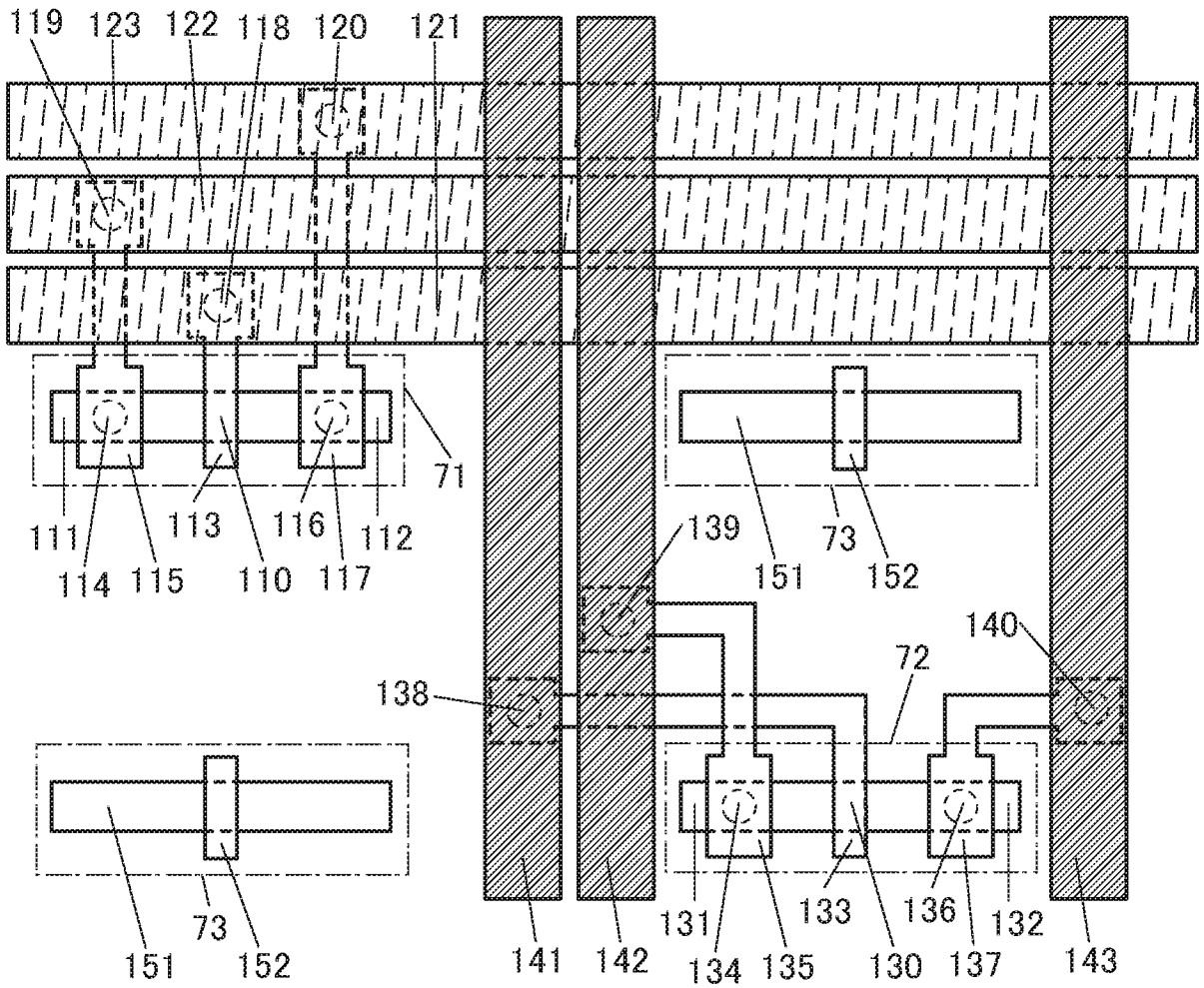
23



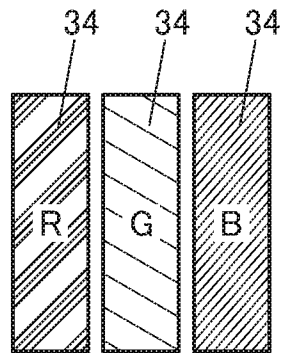
25

25/54

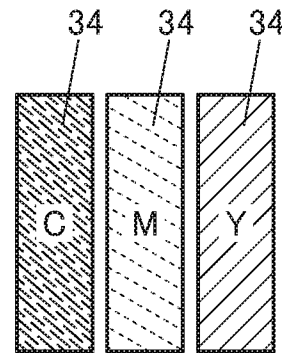
70



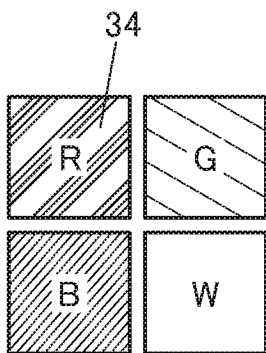
26A



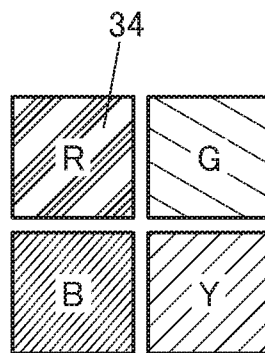
26B



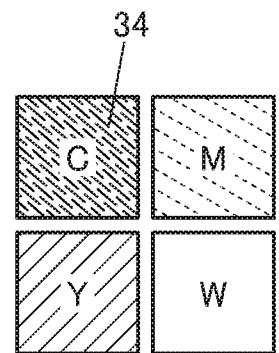
26C



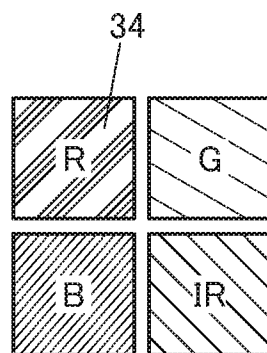
26D



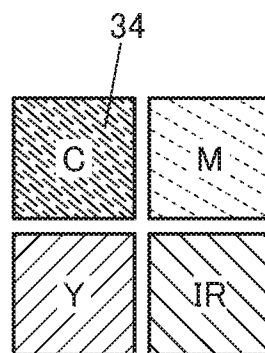
26E



26F

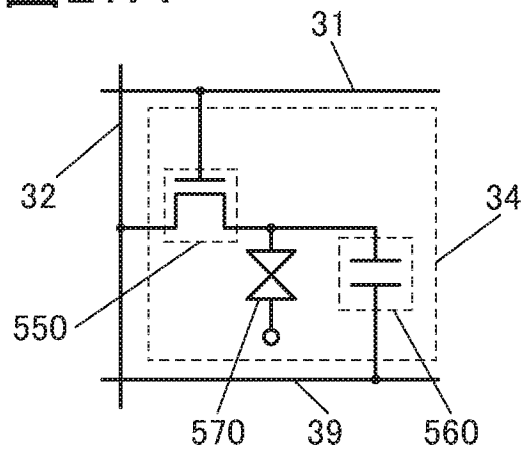


26G

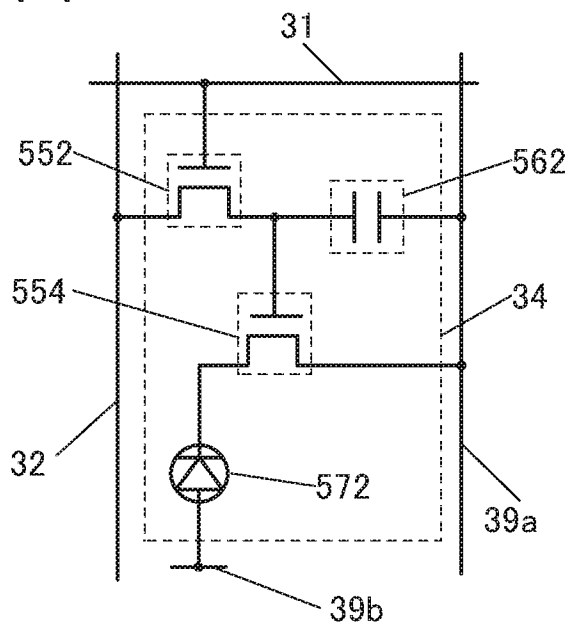


27/54

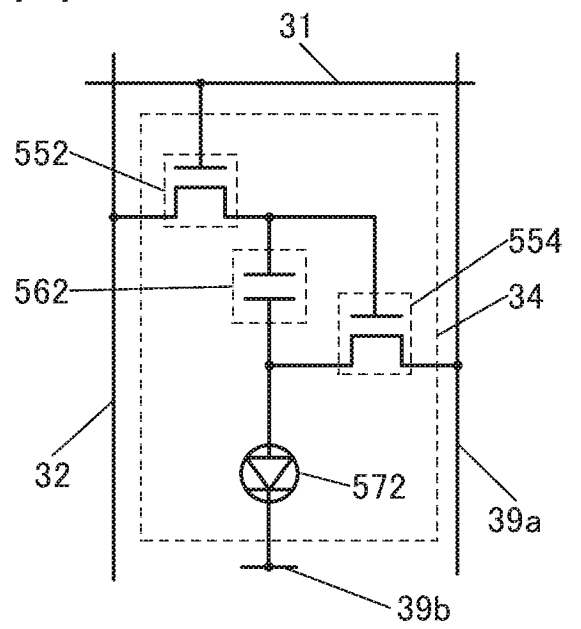
27A



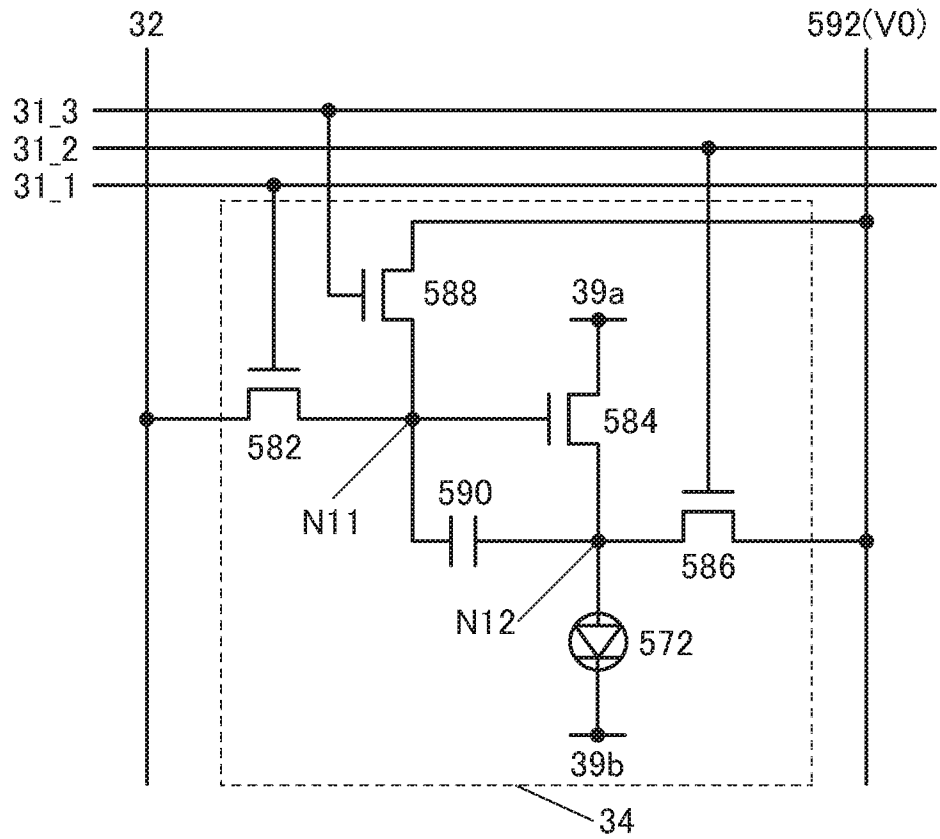
27B



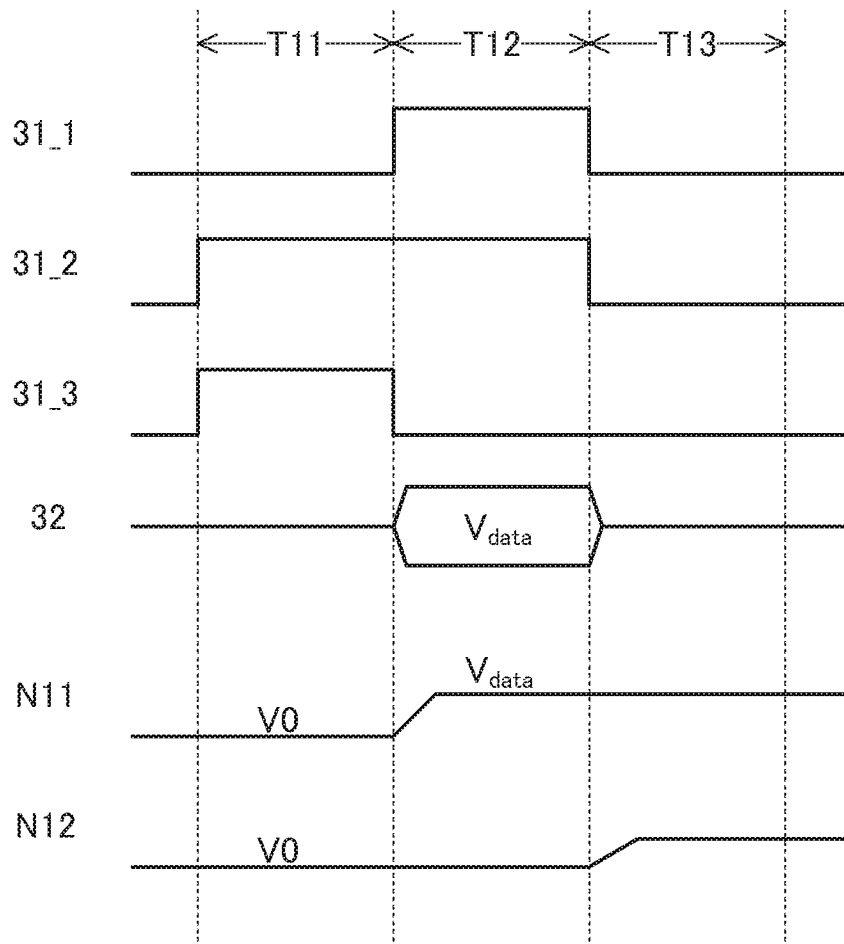
27C



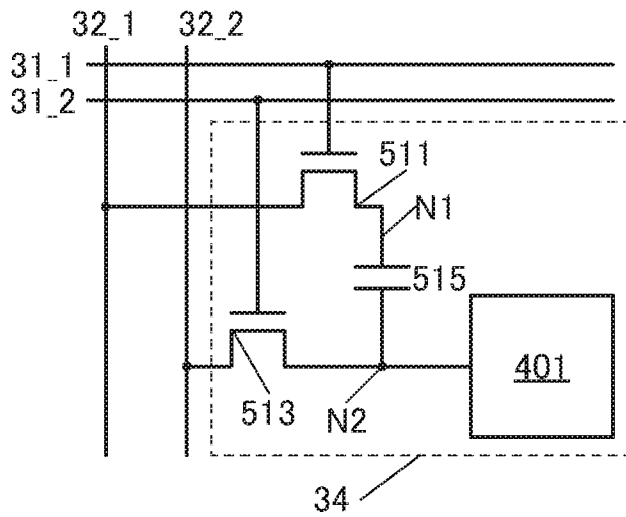
28A



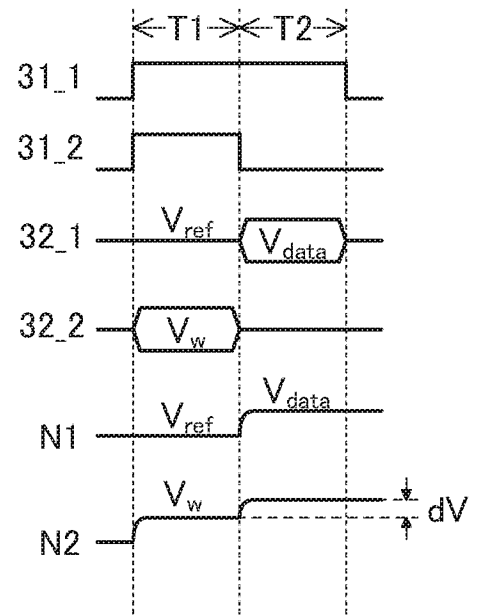
28B



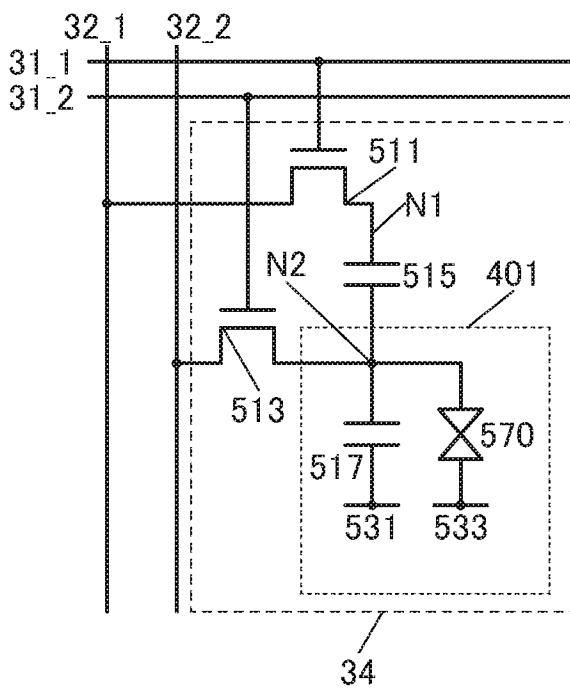
29A



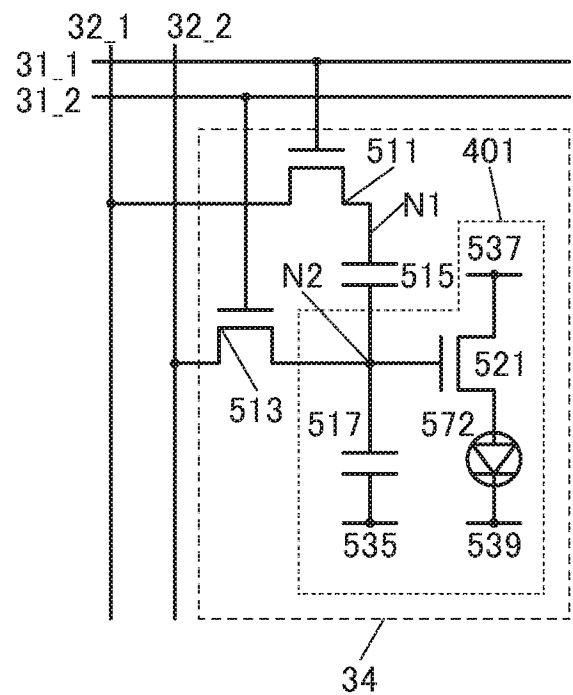
29B



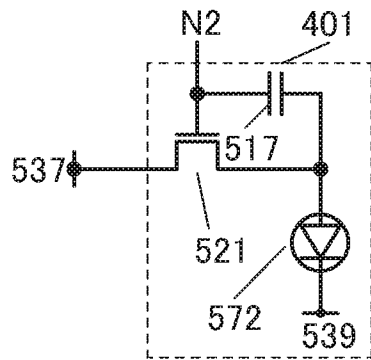
29C



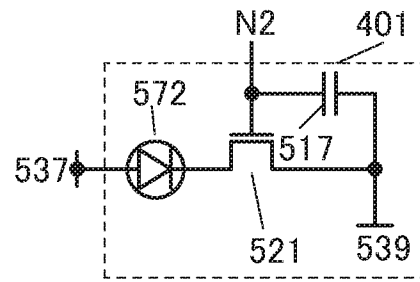
29D



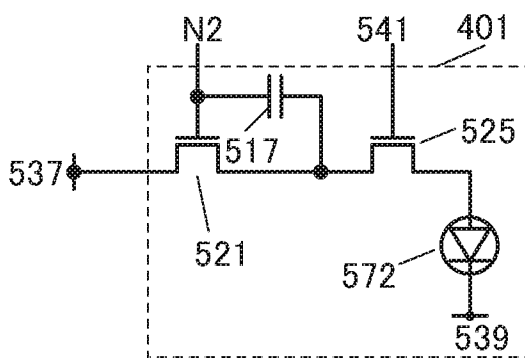
30A



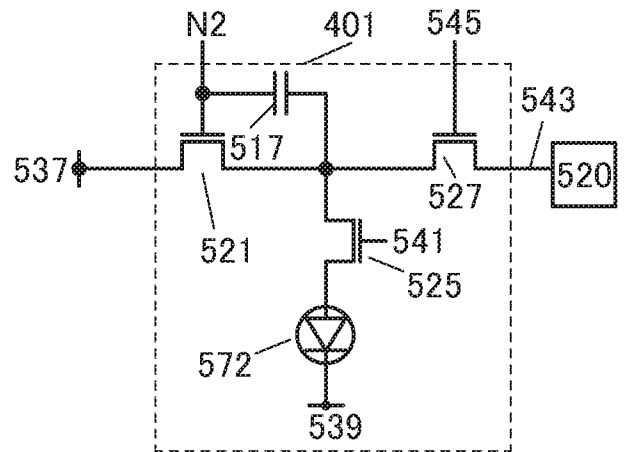
30B



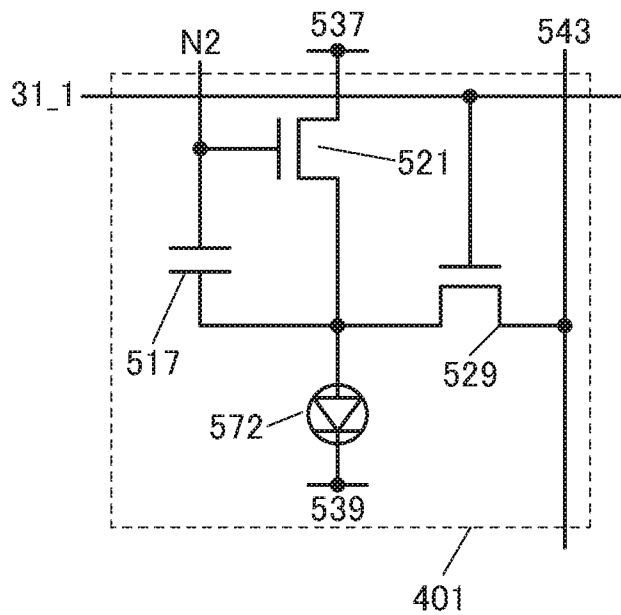
30C



30D



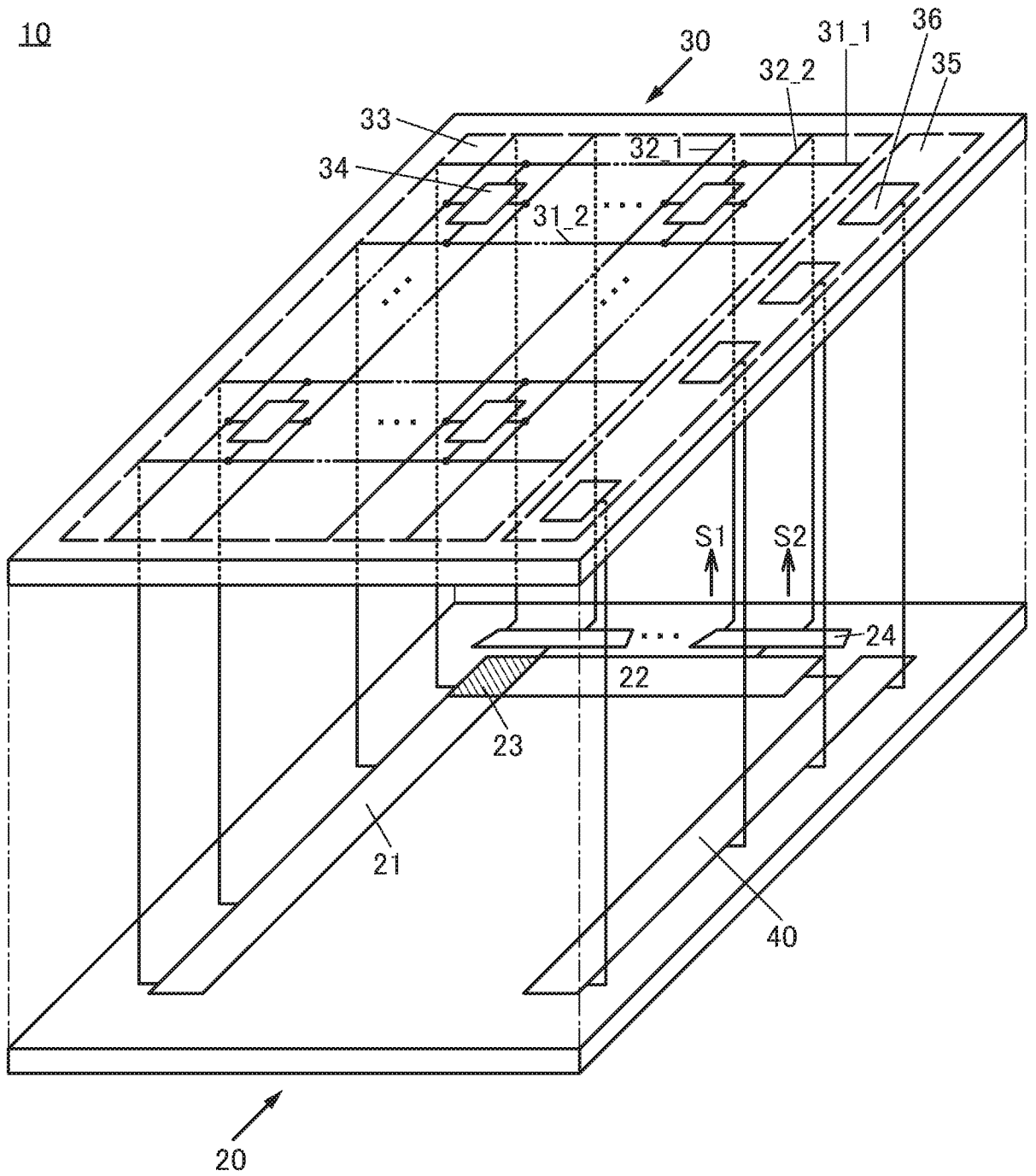
30E



31

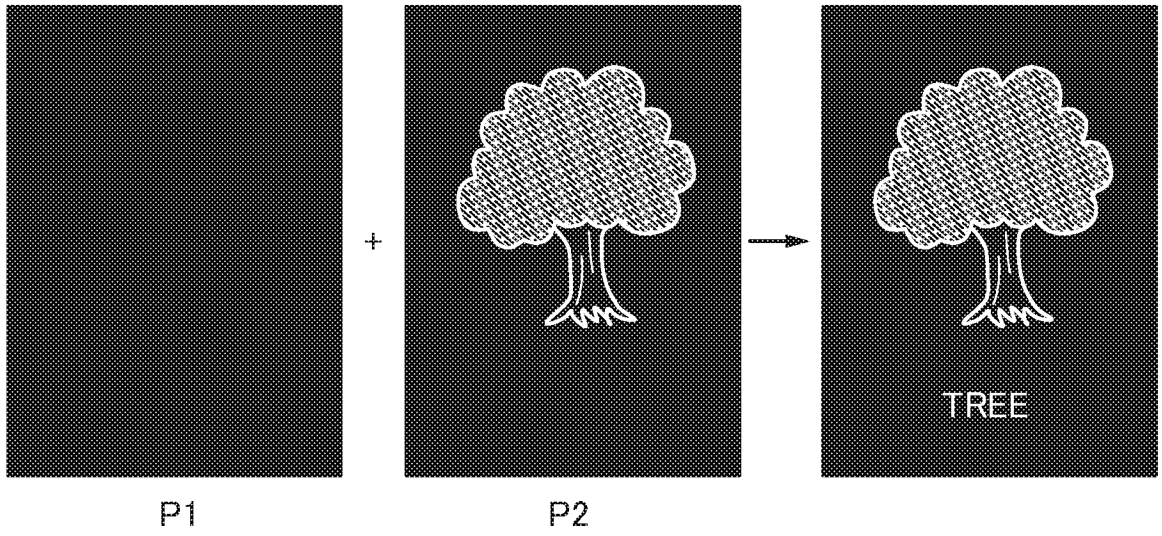
31/54

10



32

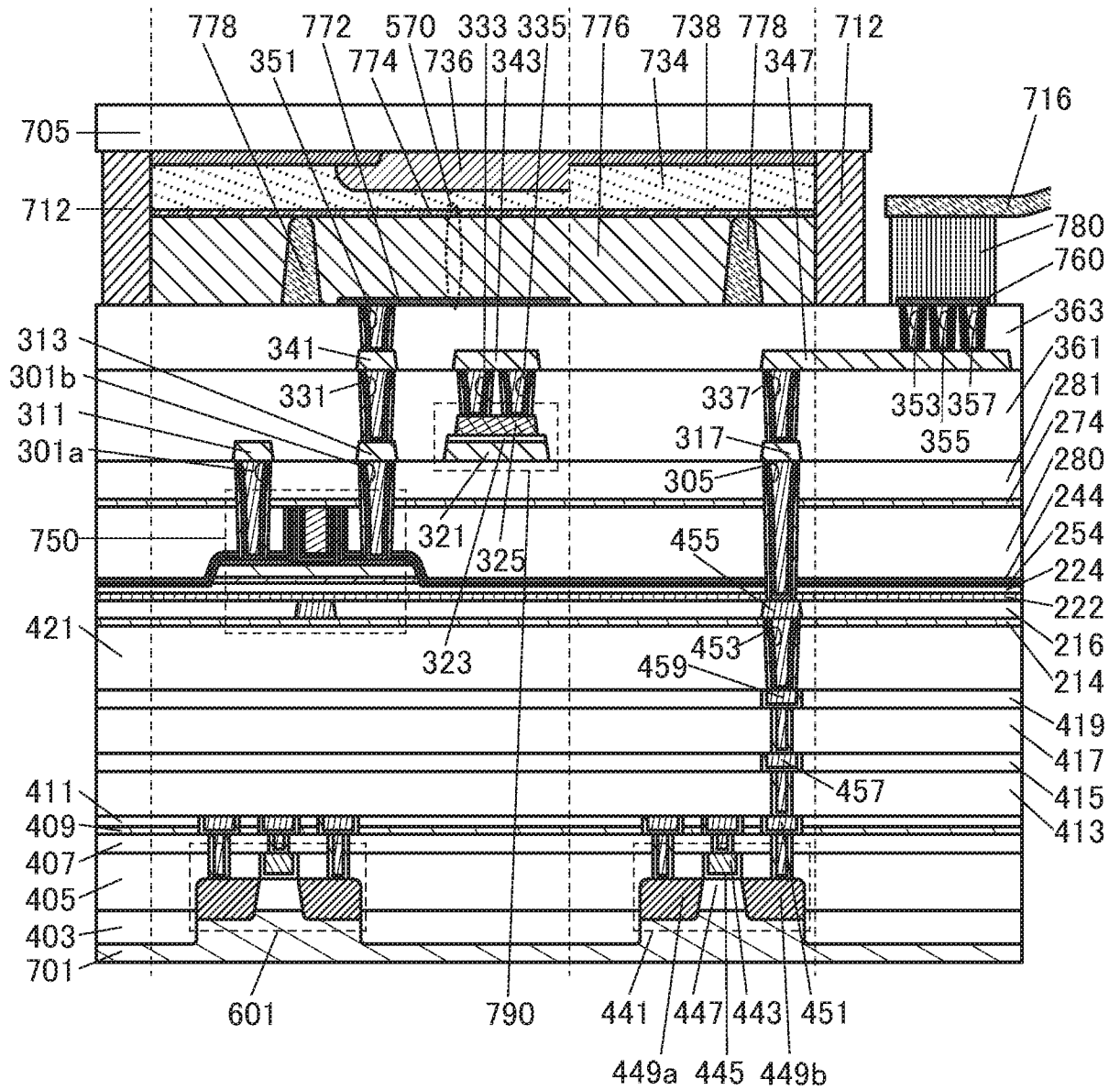
32/54



33

33/54

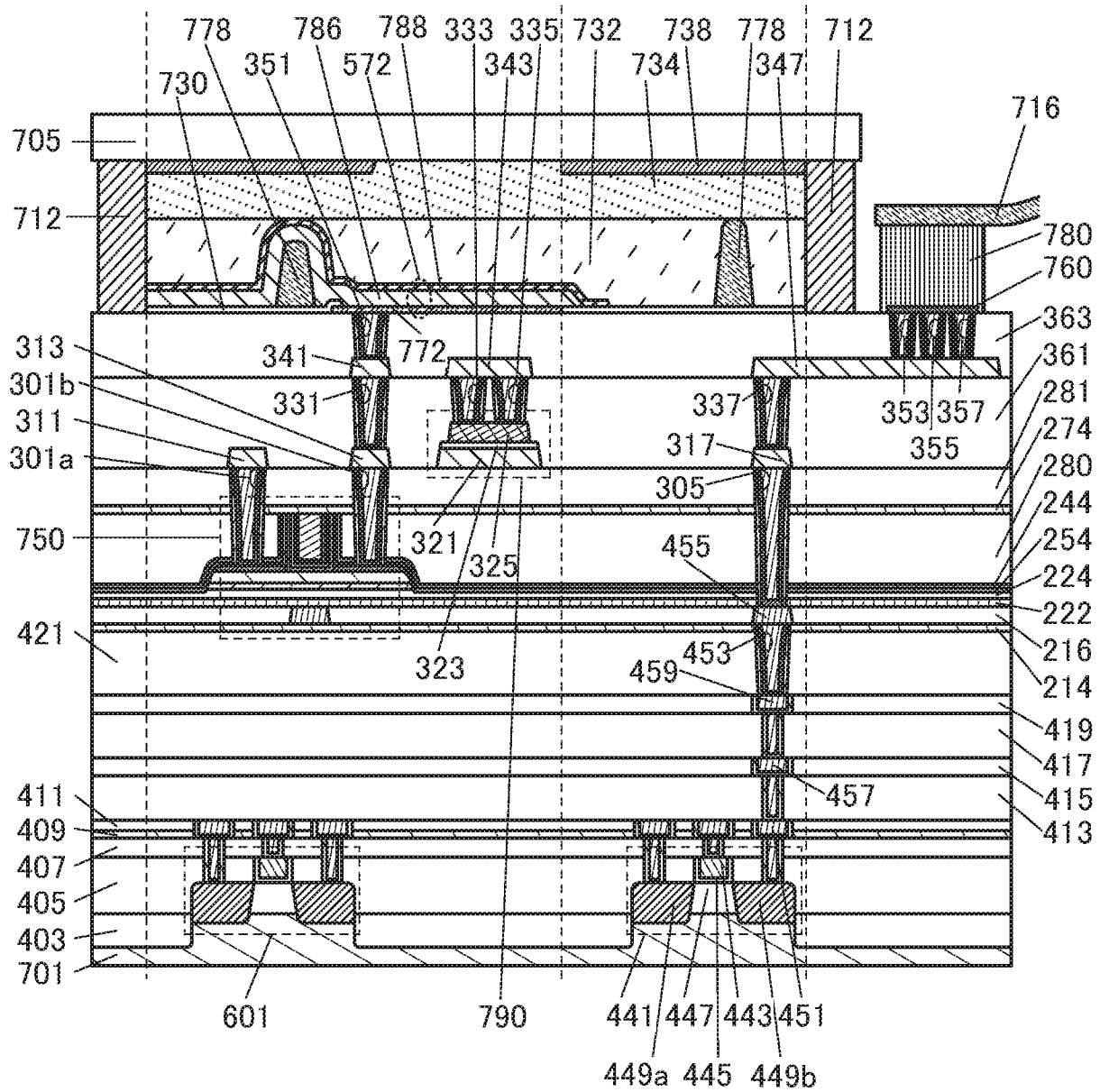
10



34

34/54

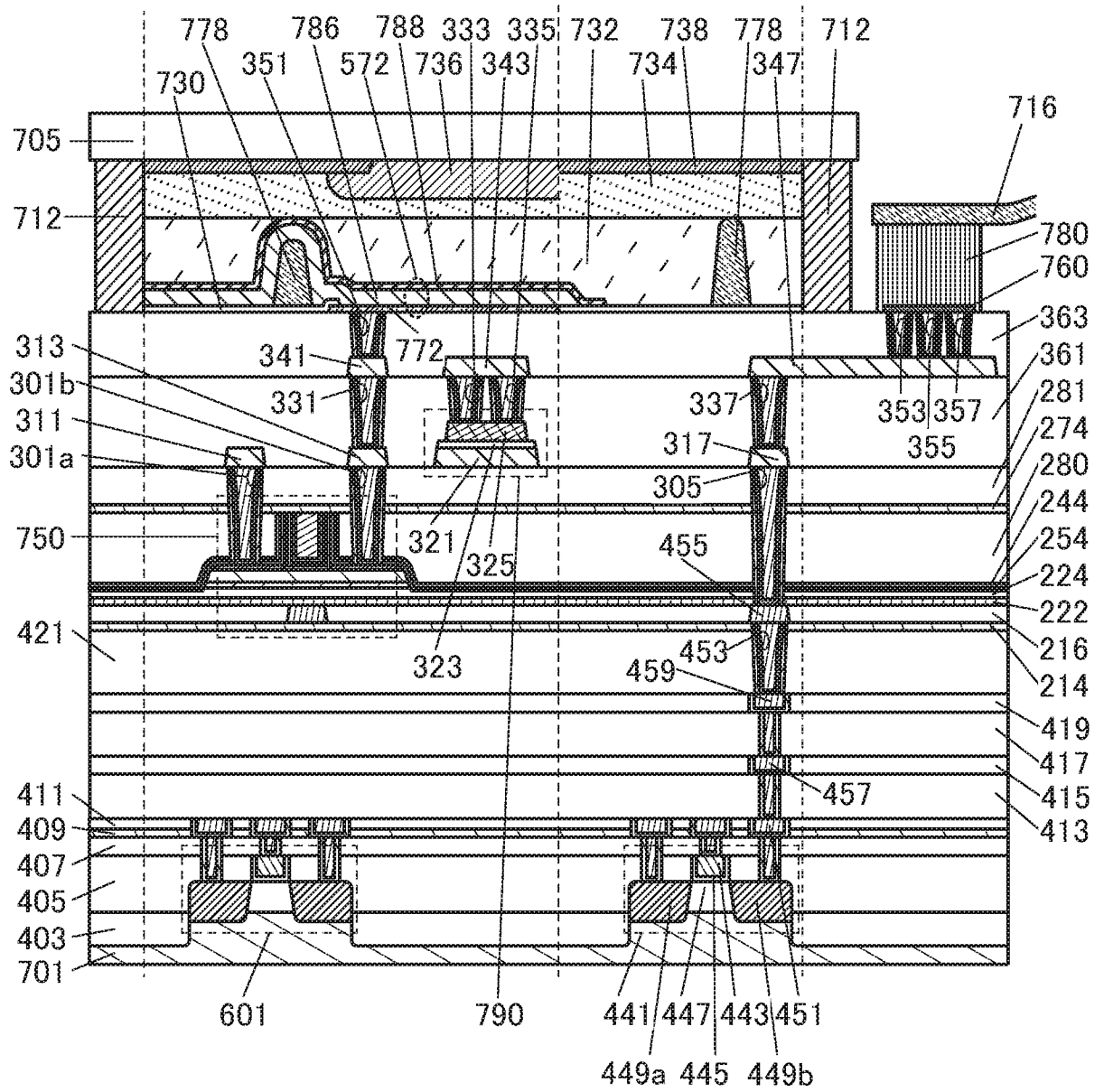
10



35

35/54

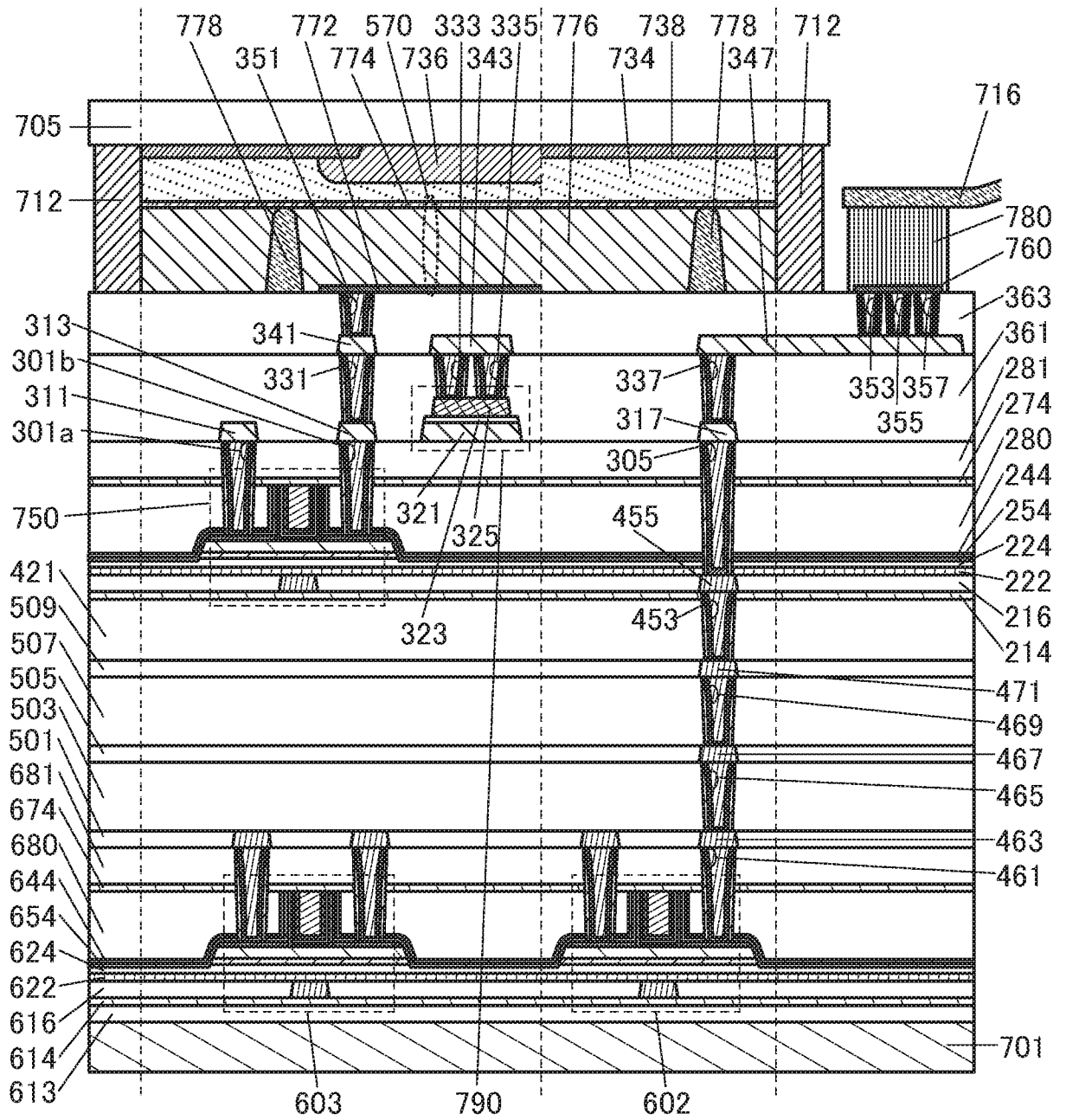
10



36

36/54

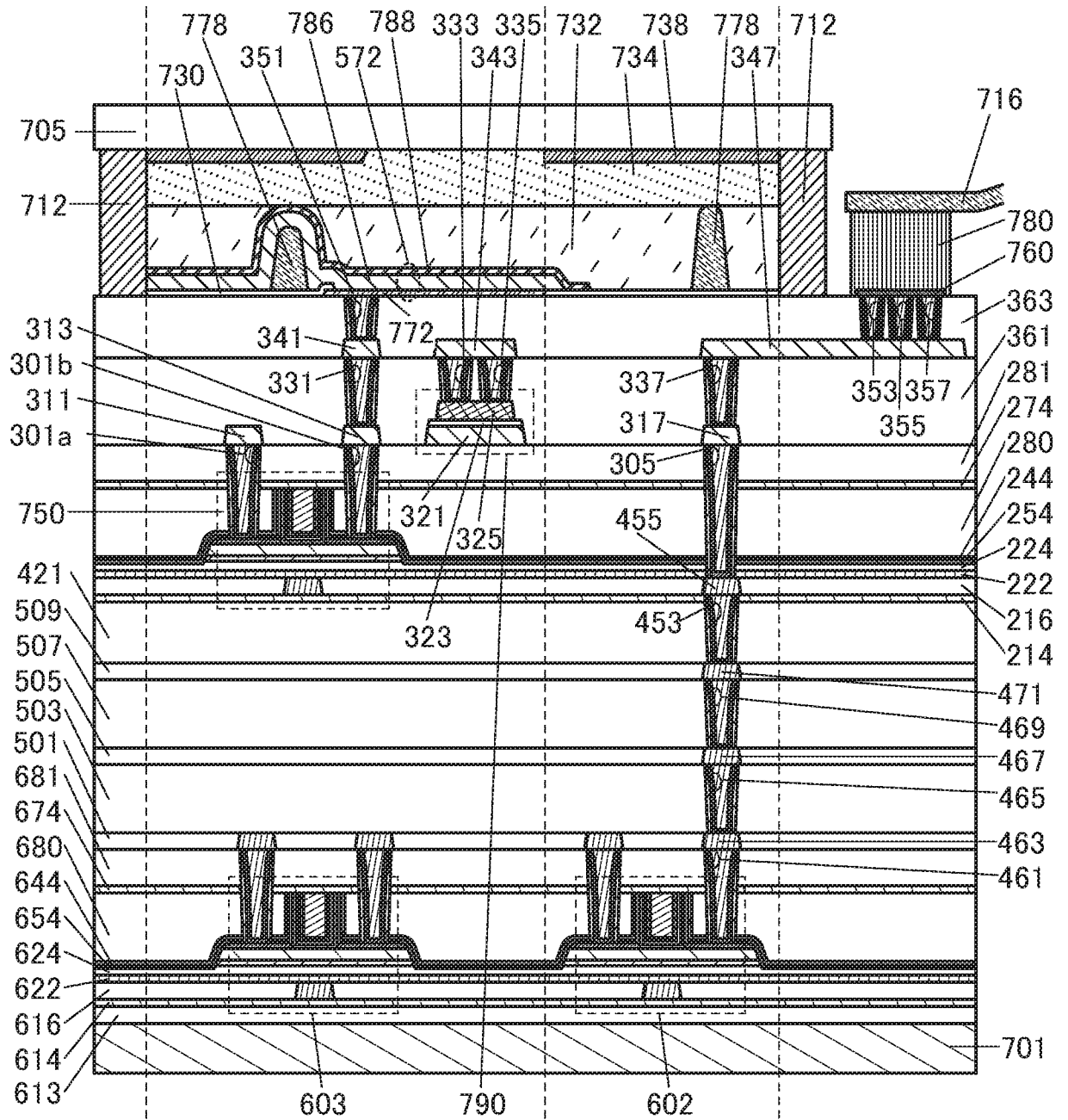
10



37

37/54

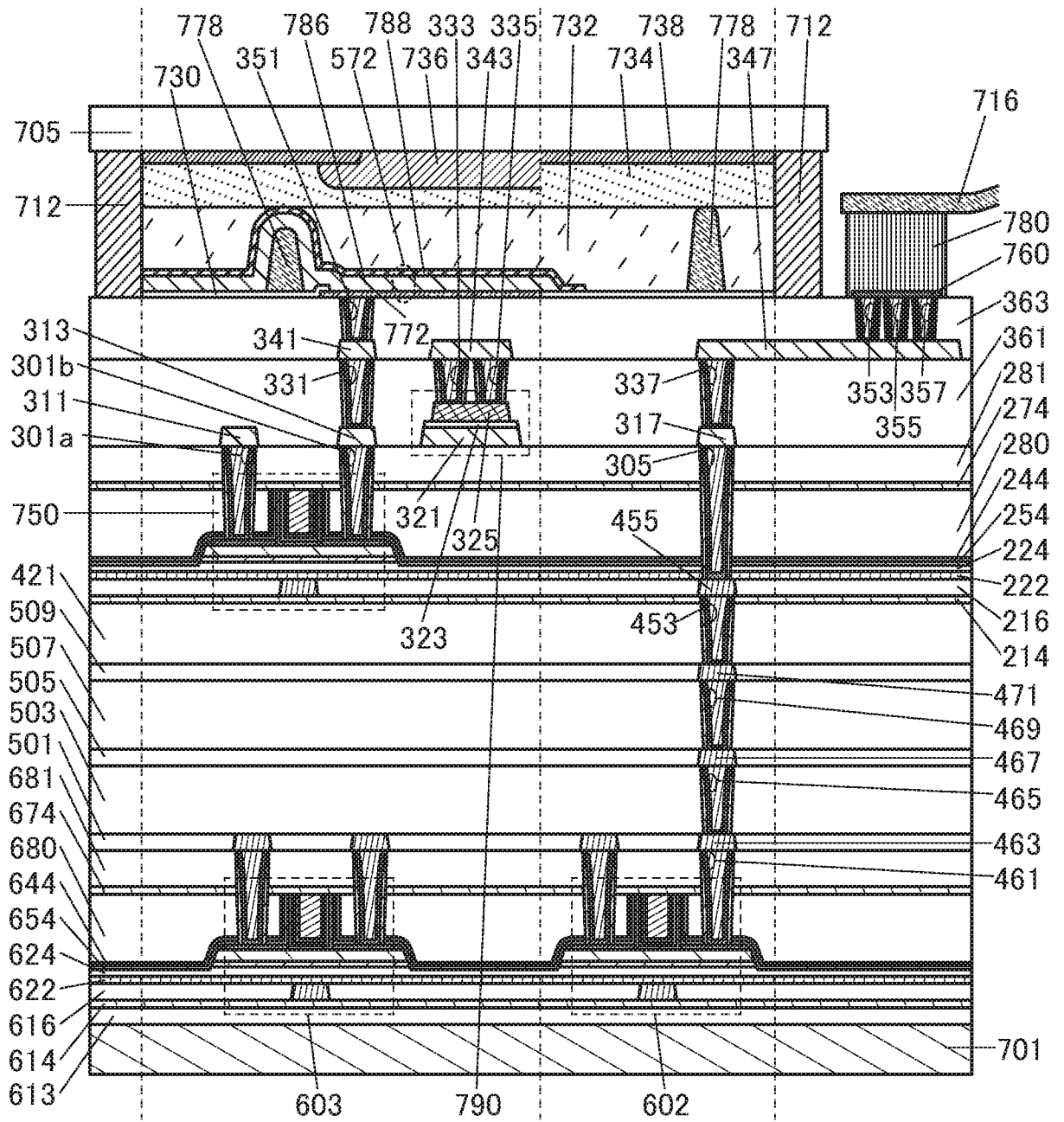
10



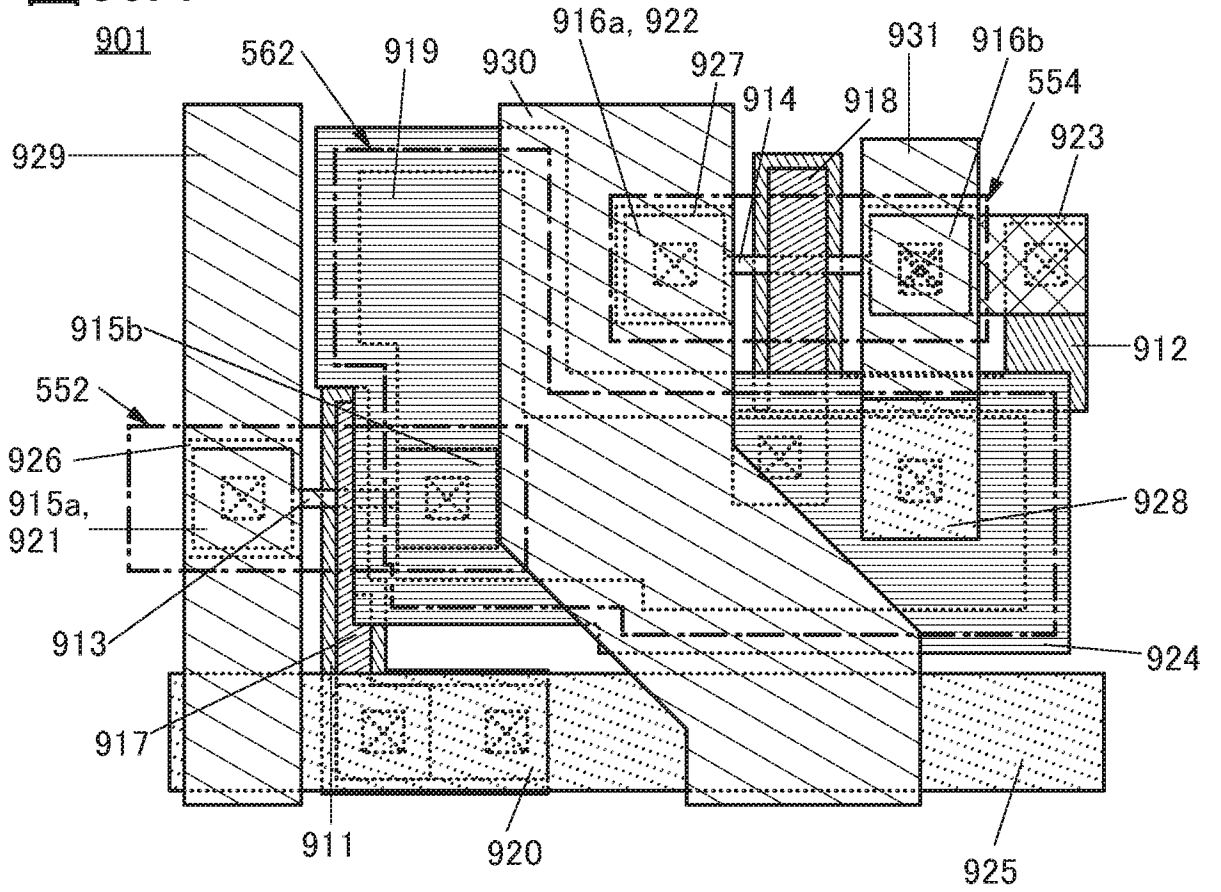
38

38/54

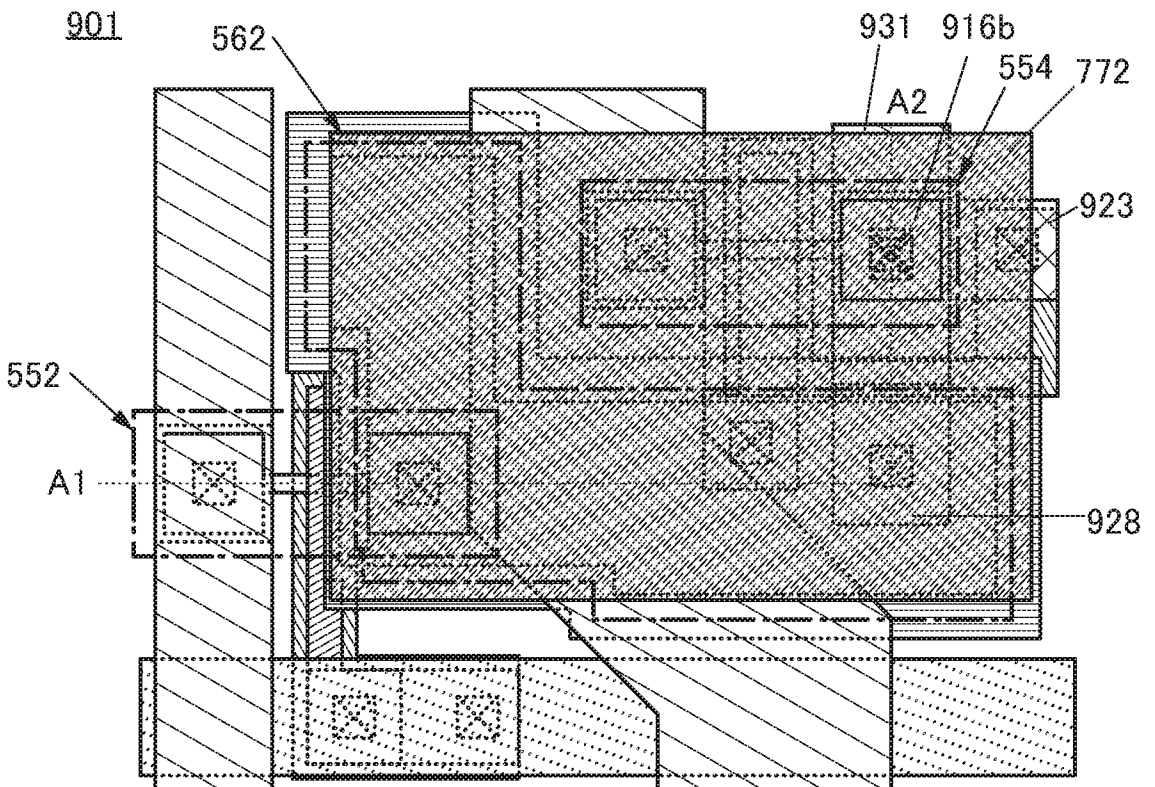
10



39A

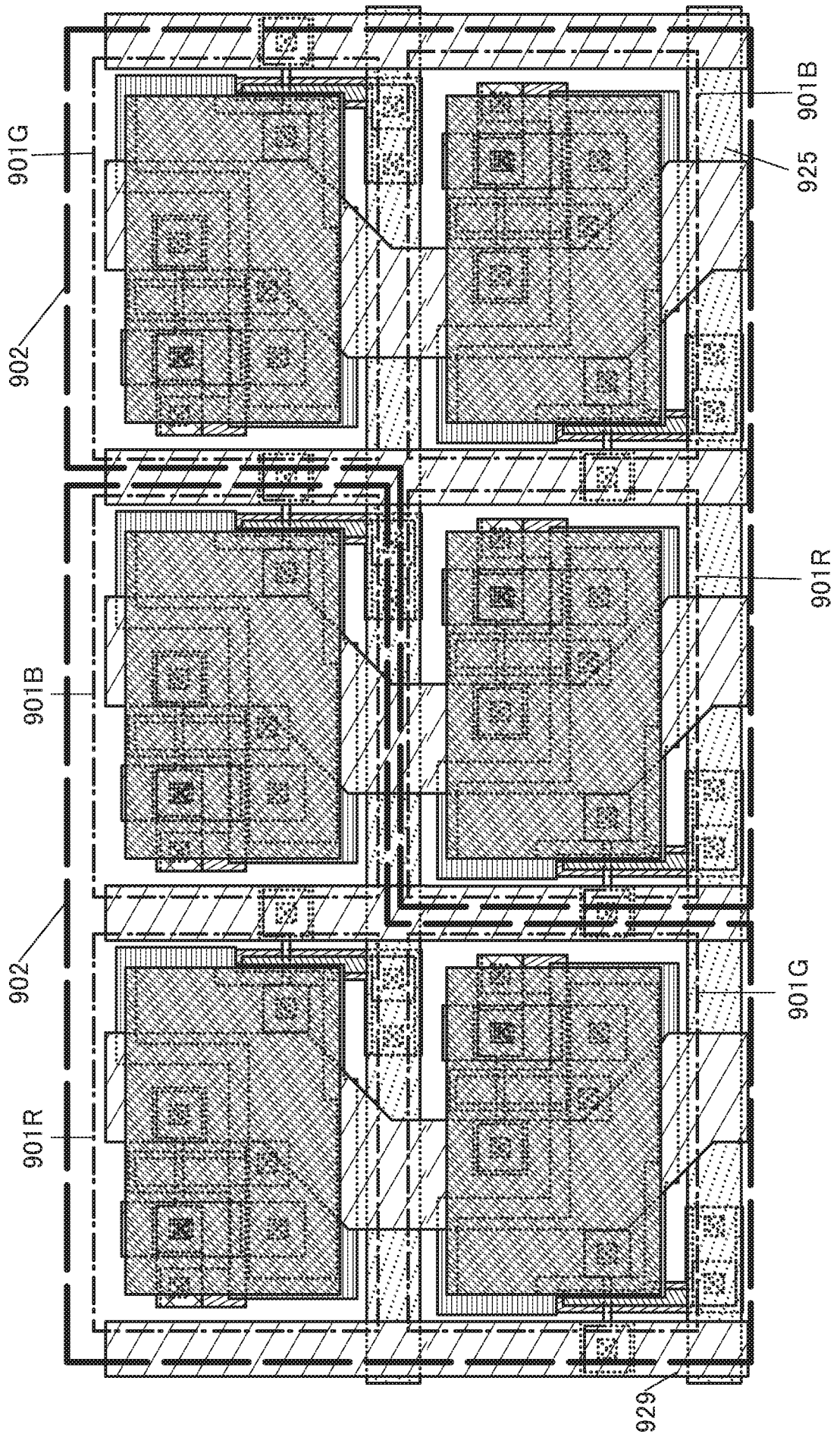


39B



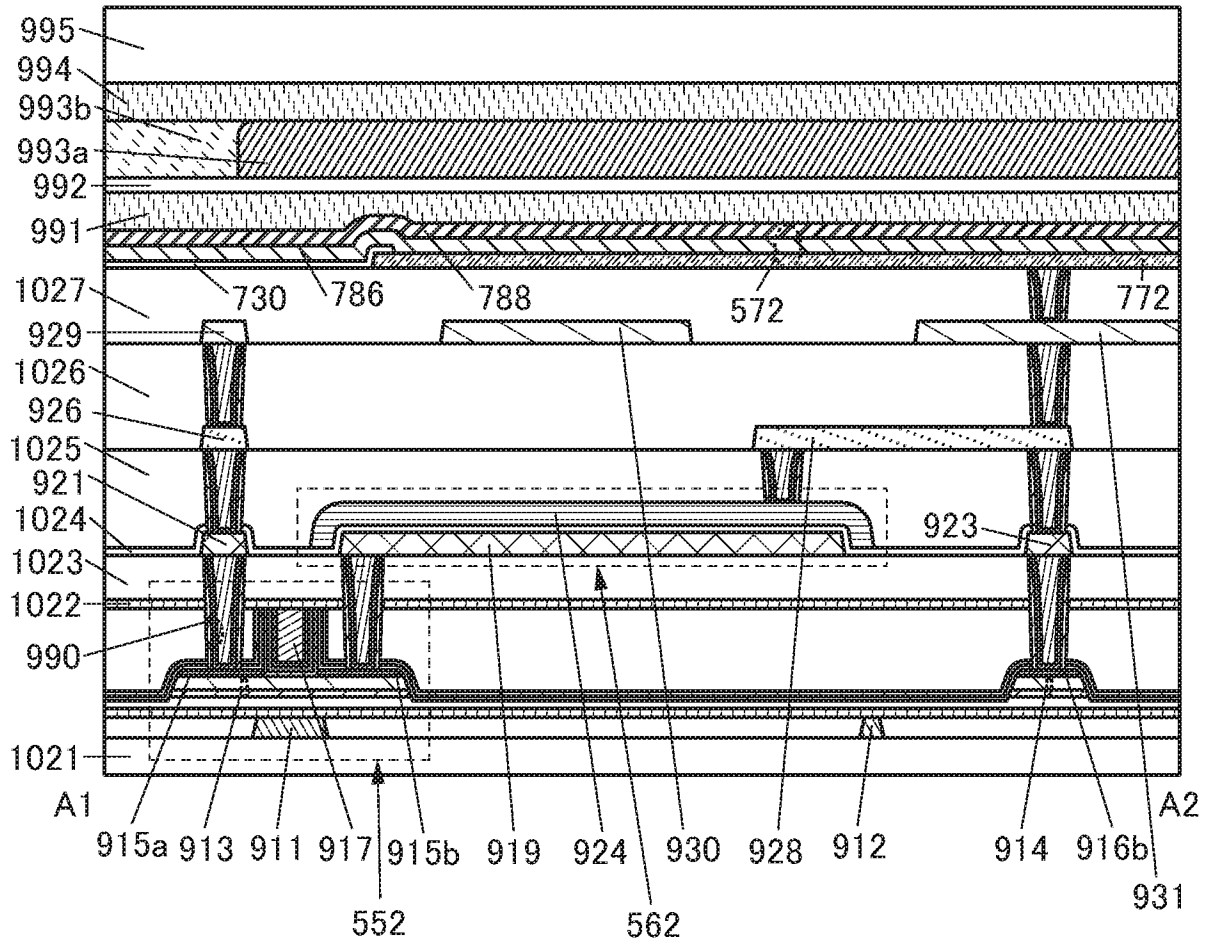
40/54

图40



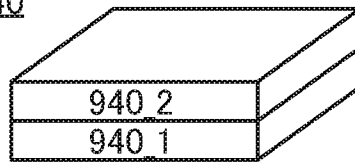
41

41/54

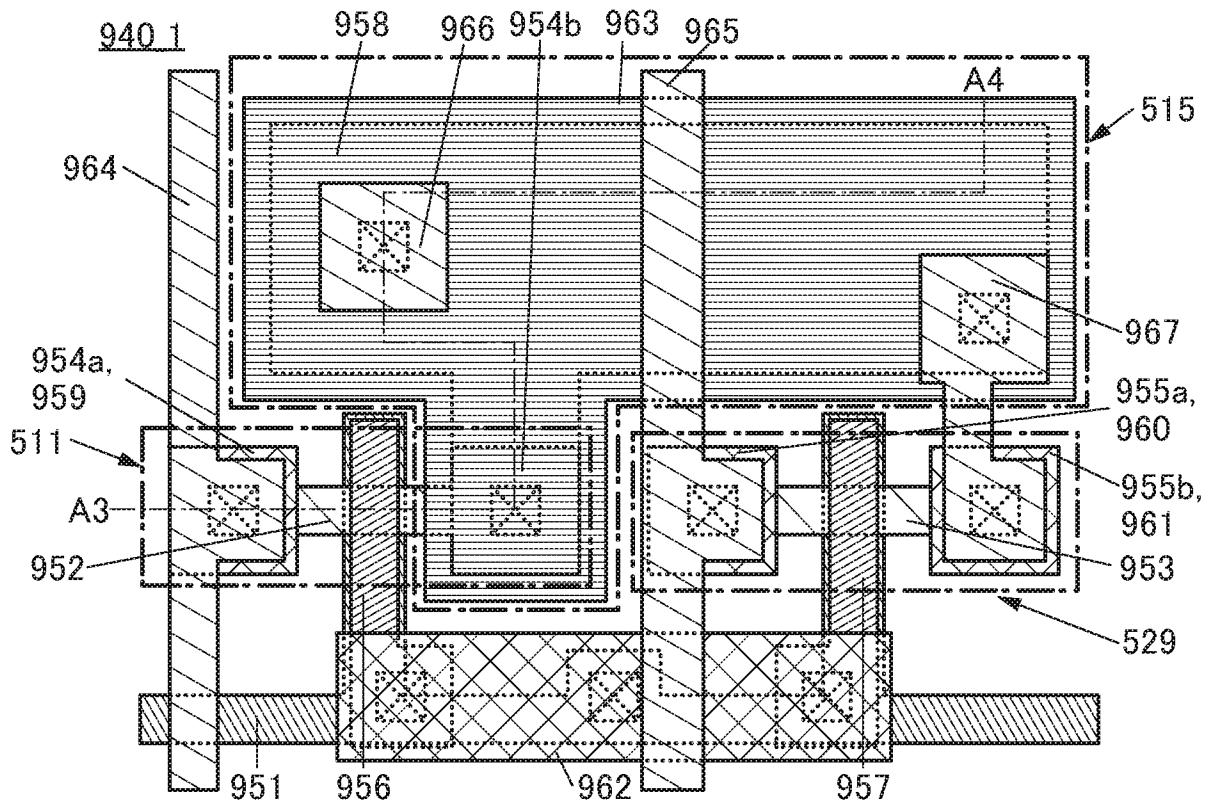


42A

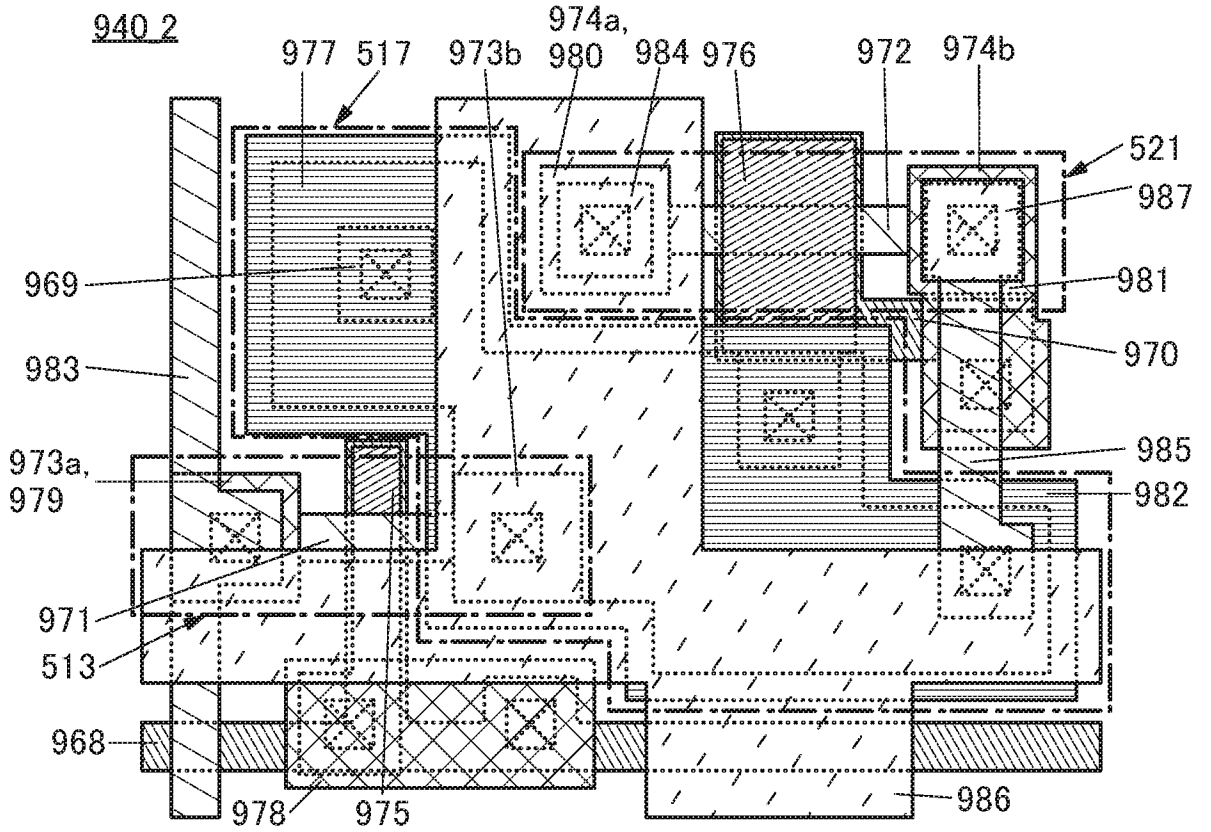
940



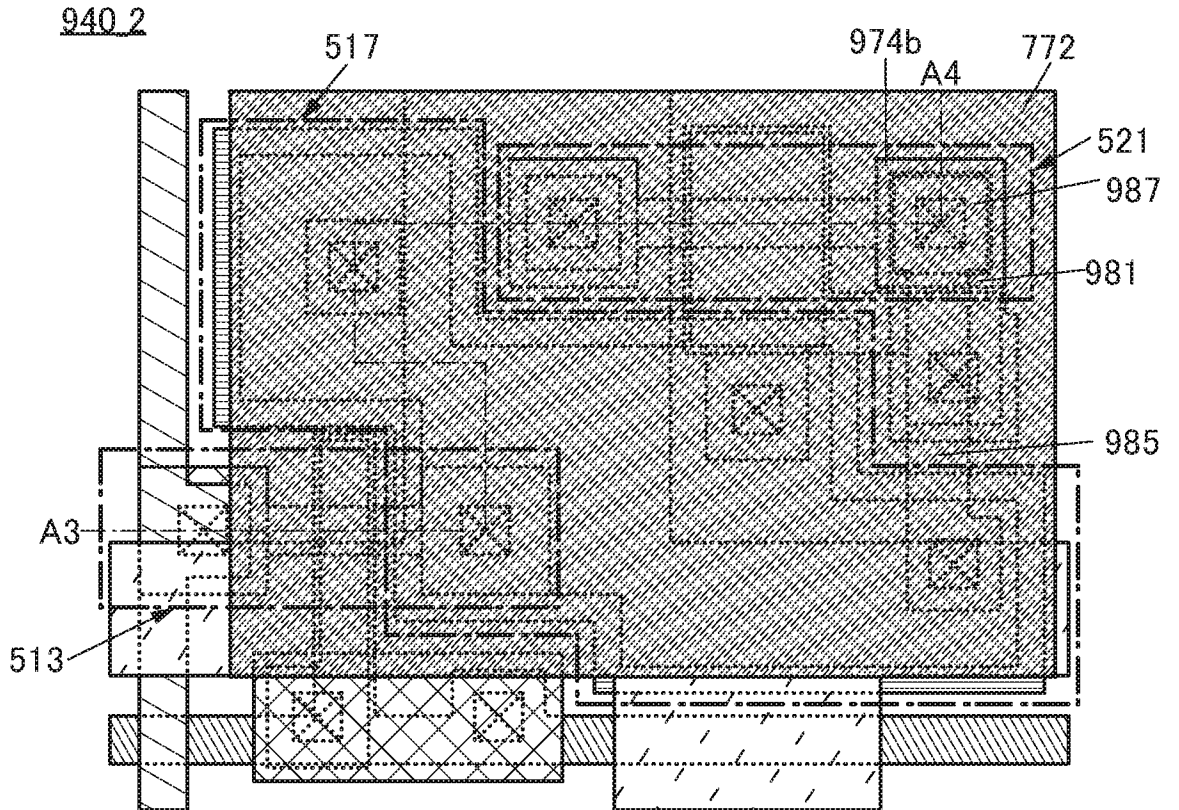
42B



43A

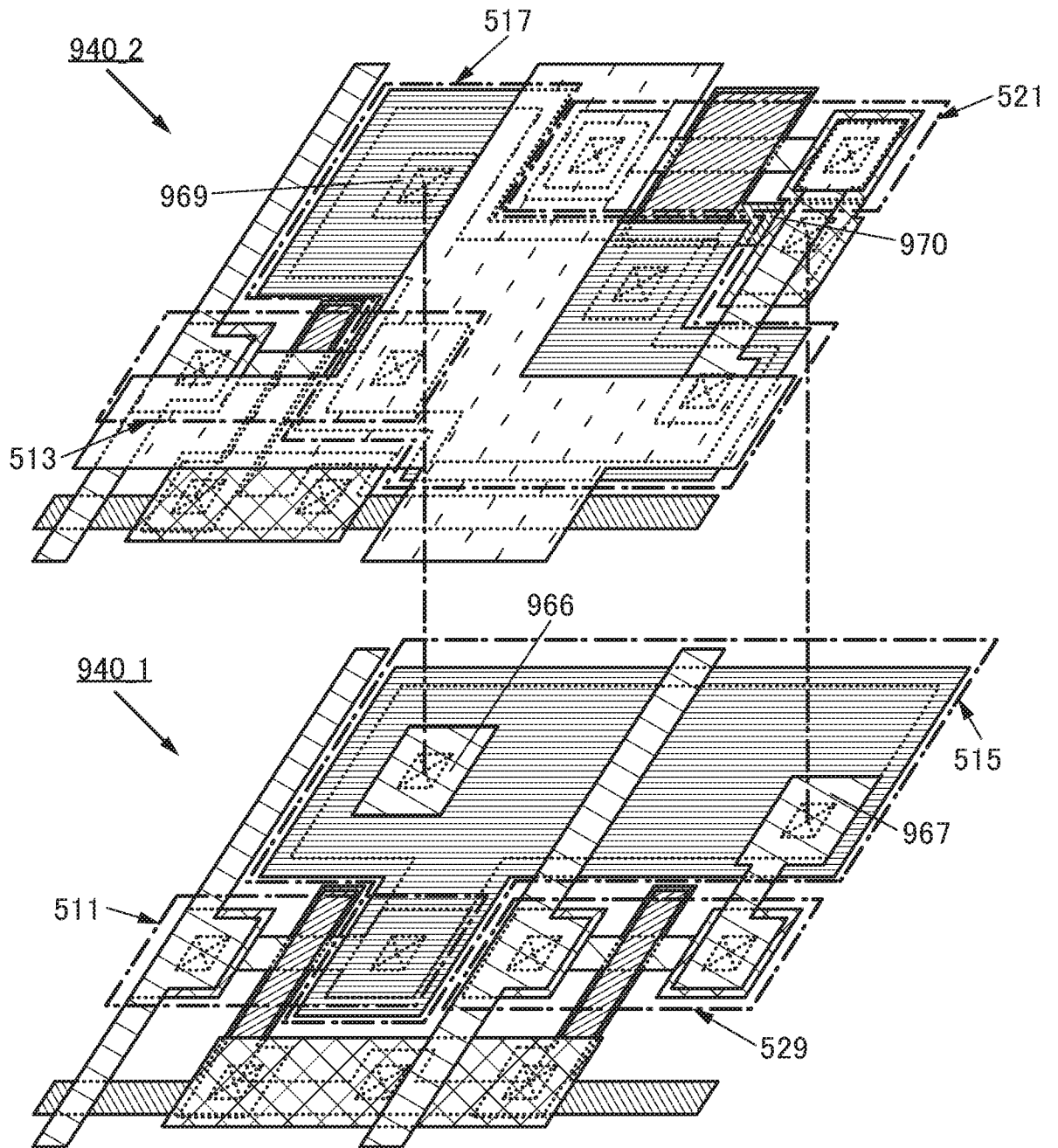


43B



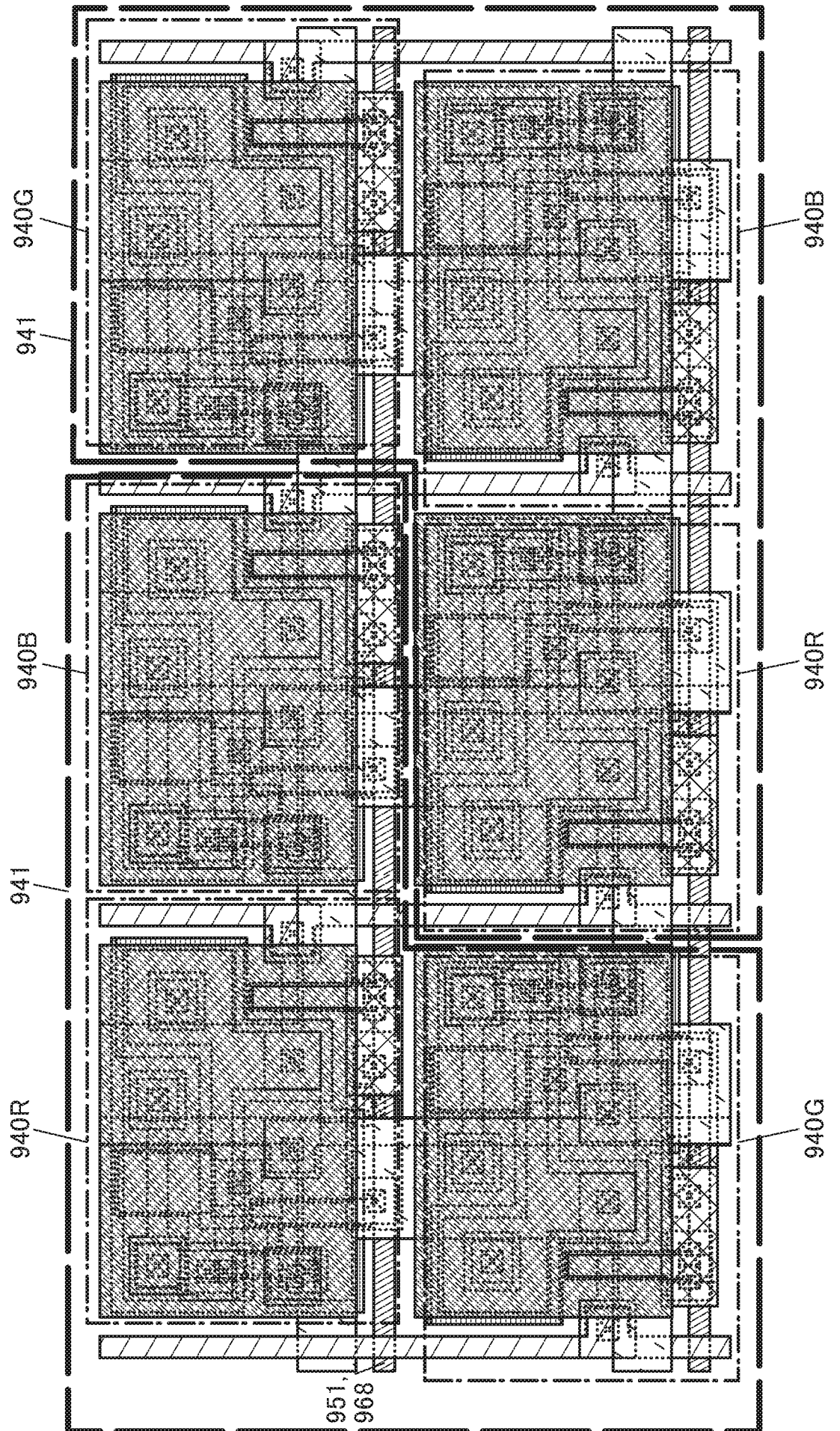
44

44/54

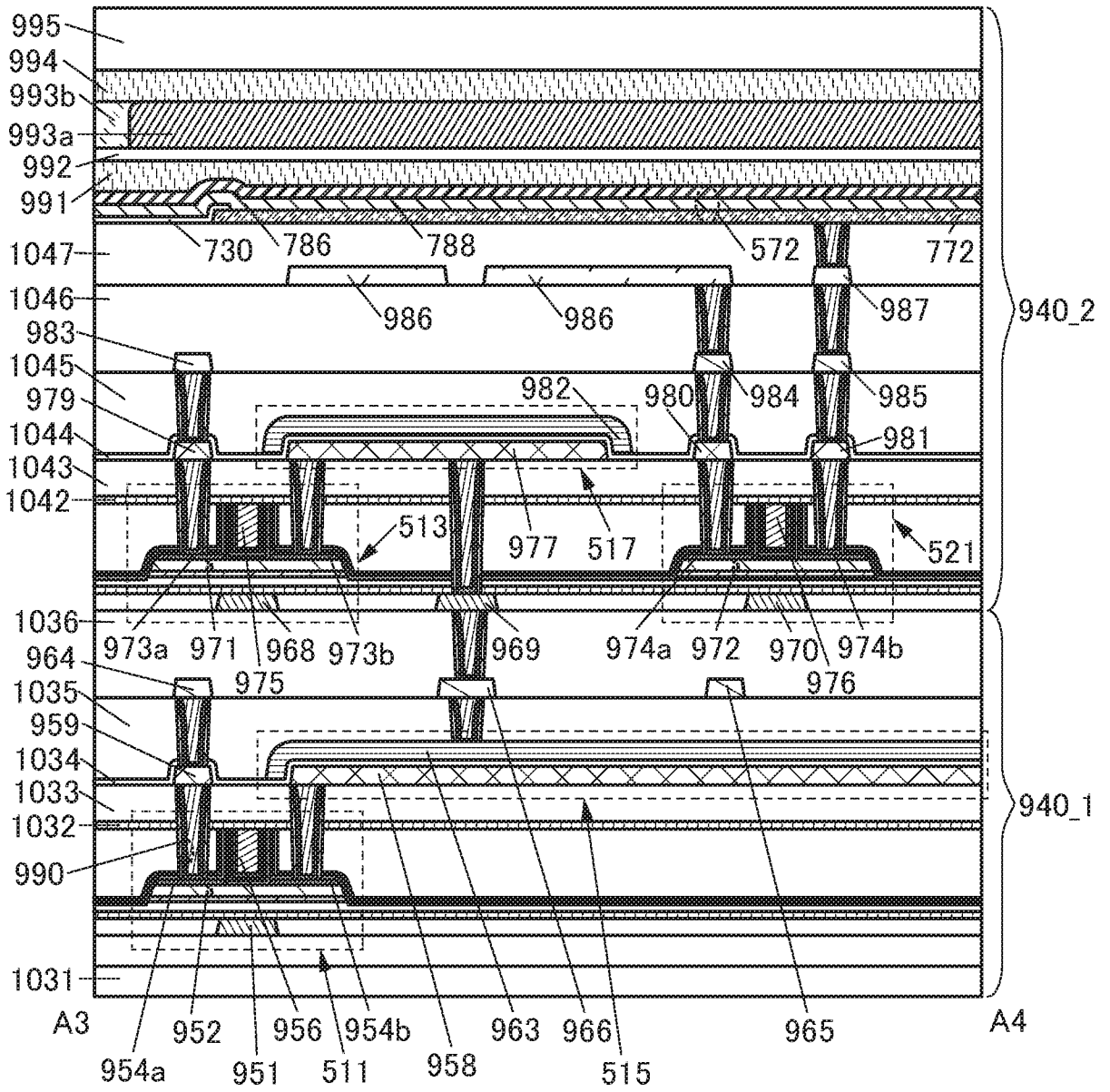


45/54

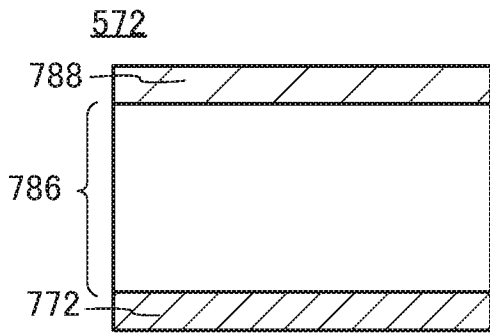
图45



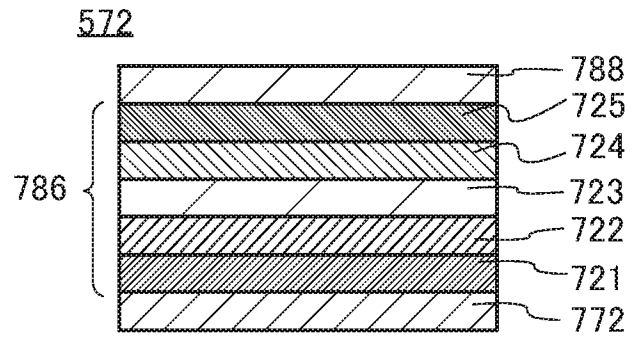
46



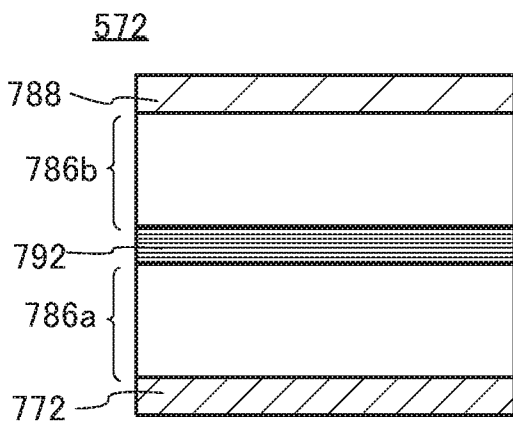
47A



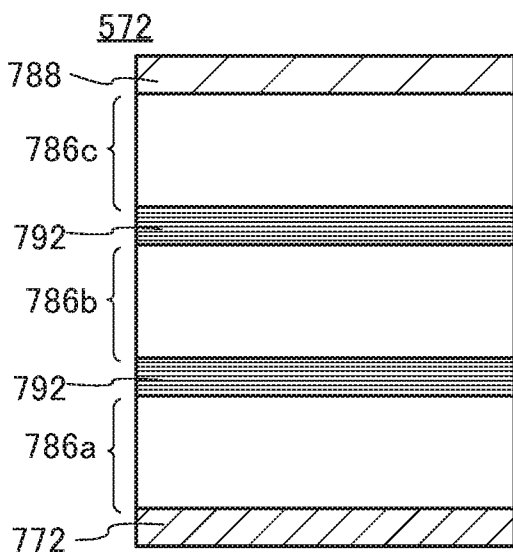
47B



47C



47D



47E

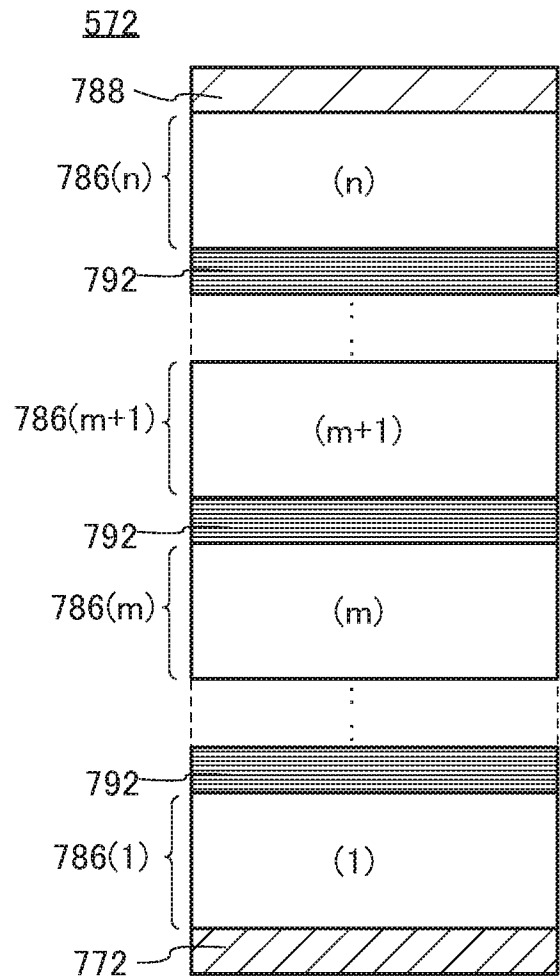


図48A

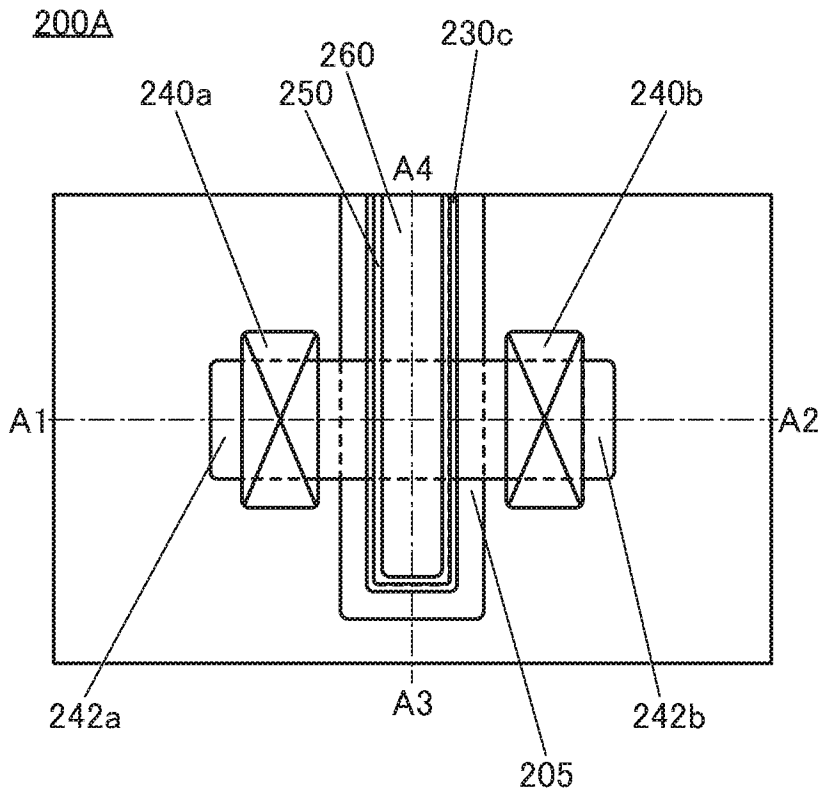


図48C

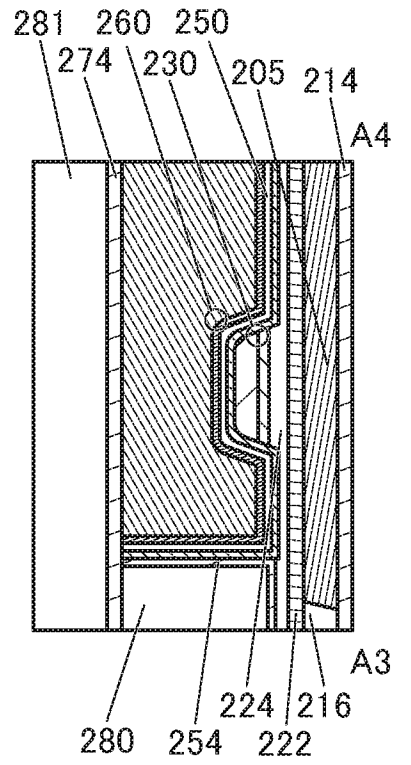
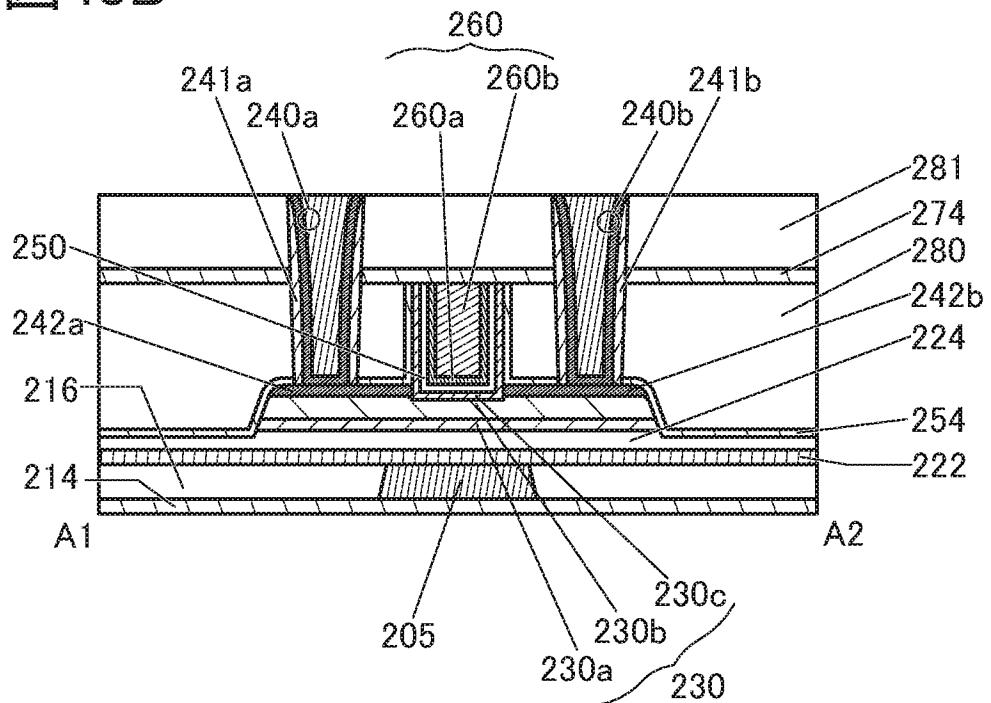
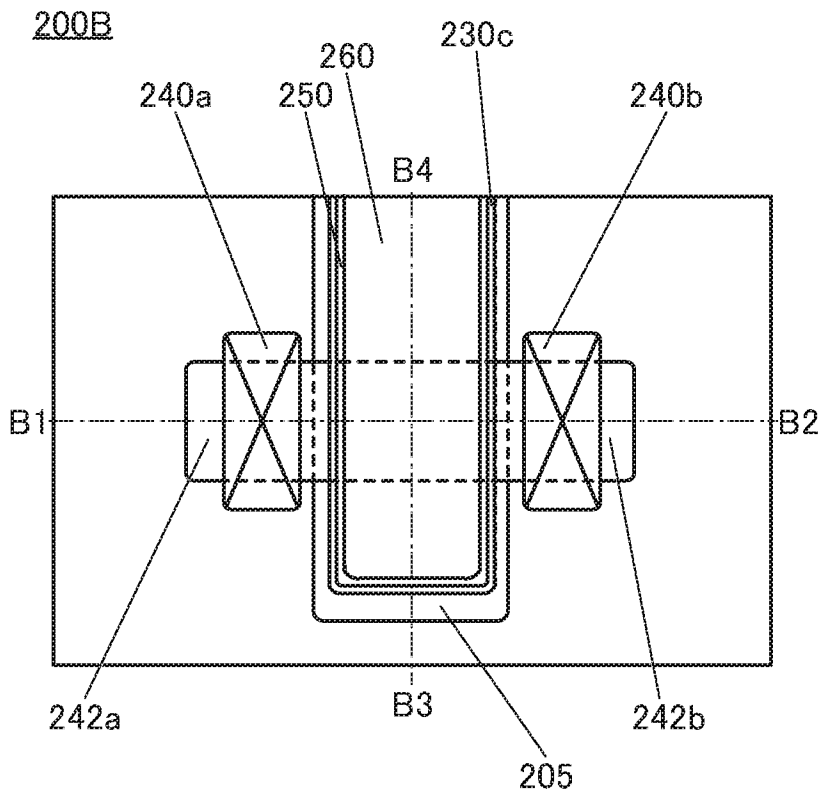


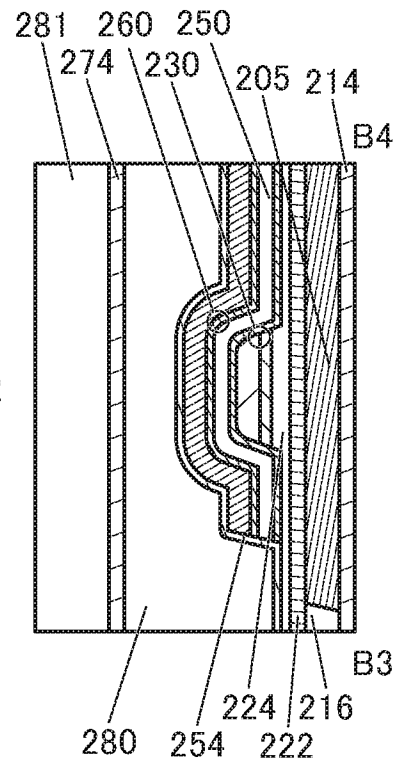
図48B



49A



49C



49B

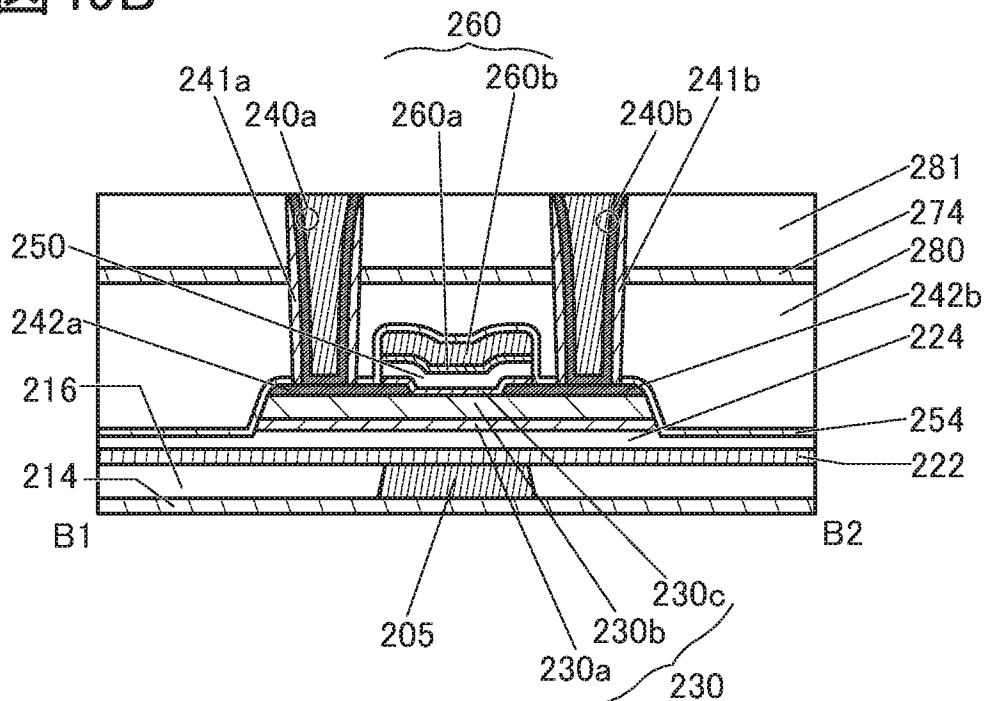


図50A

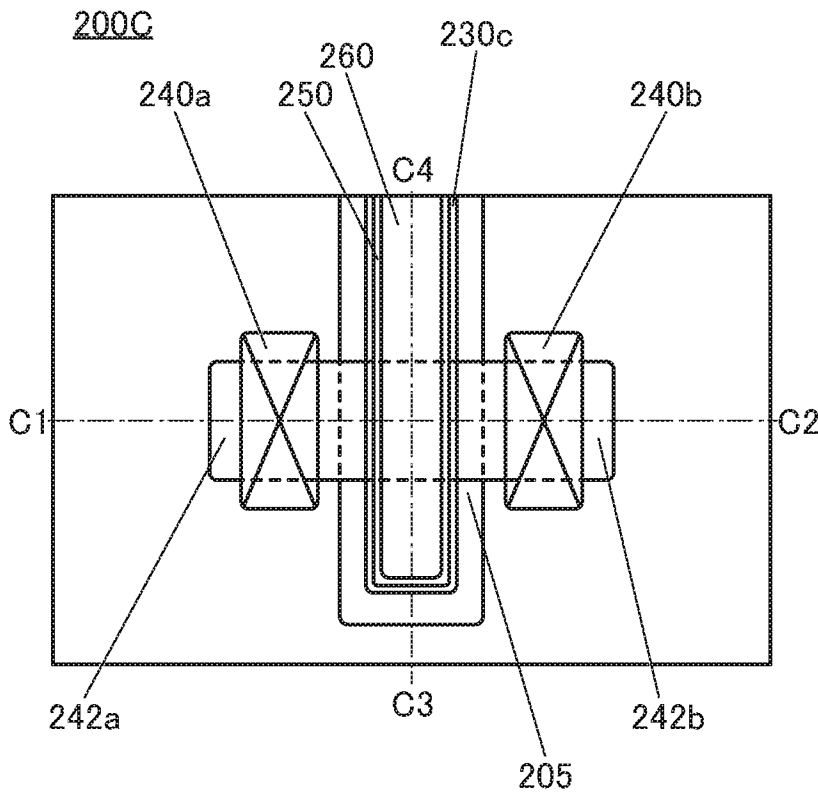


図50C

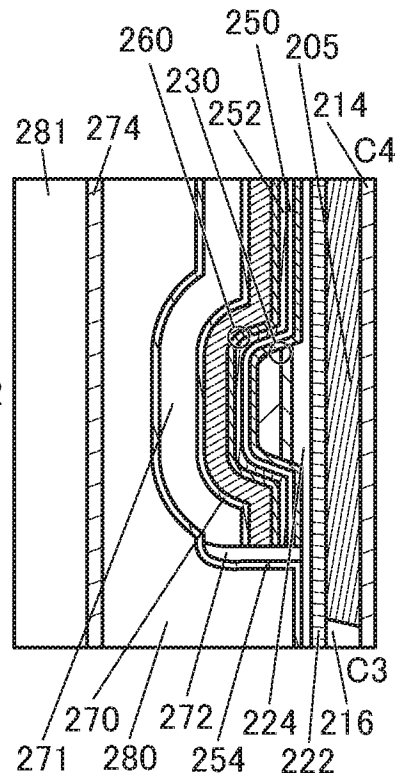


図50B

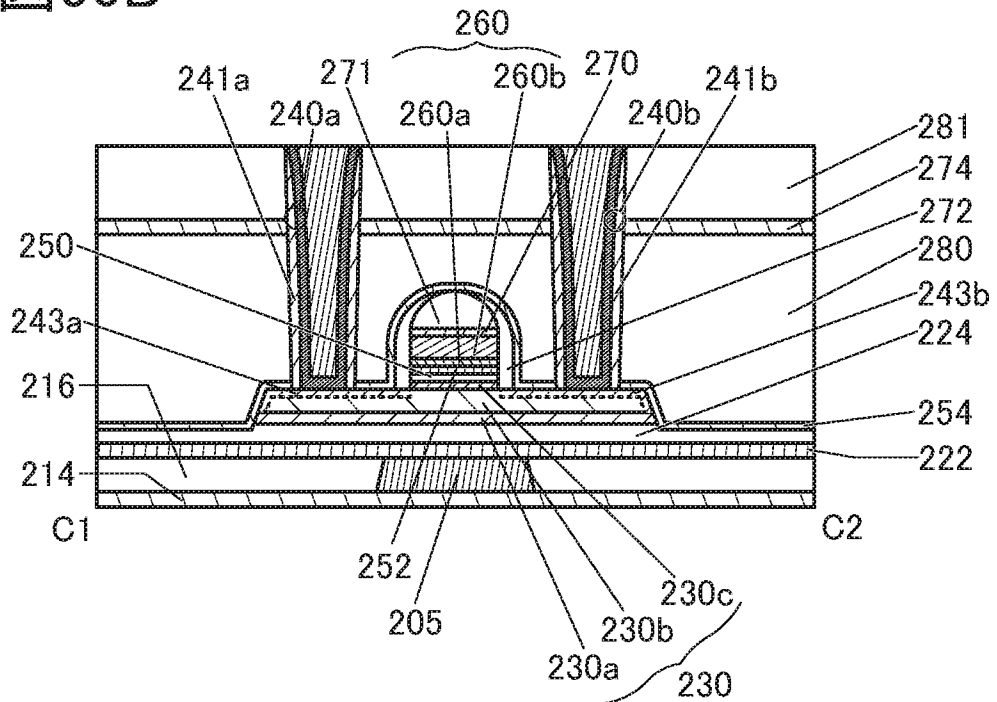


図51A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
<ul style="list-style-type: none"> • completely amorphous 	<ul style="list-style-type: none"> • CAAC • nc • CAC <p>excluding single crystal and poly crystal</p>	<ul style="list-style-type: none"> • single crystal • poly crystal

図51B

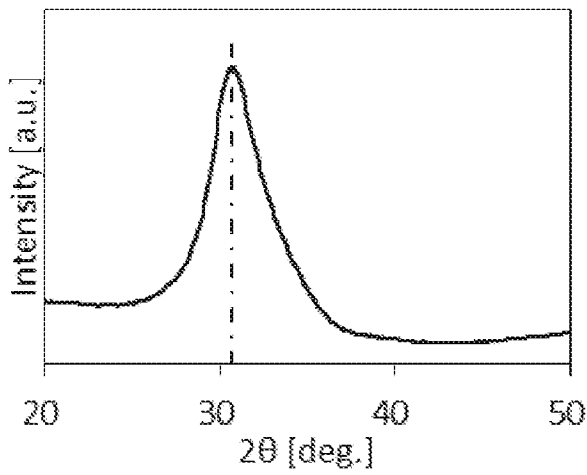


図51C

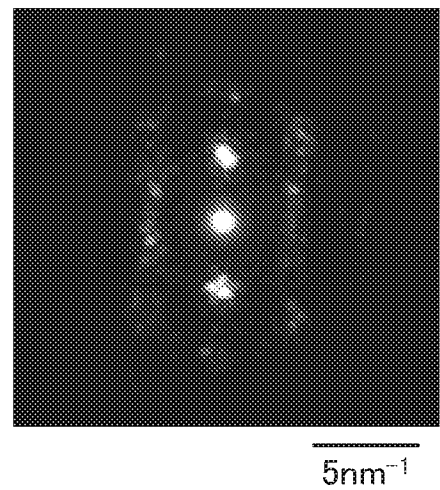


图 52A

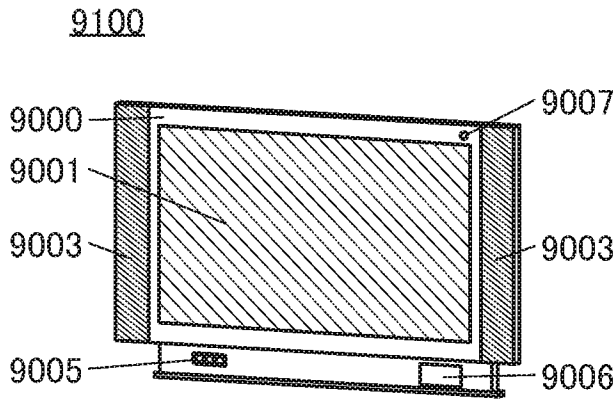


图 52D

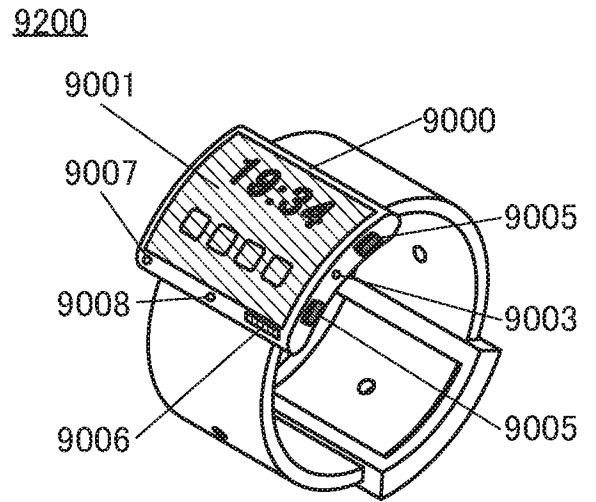


图 52B

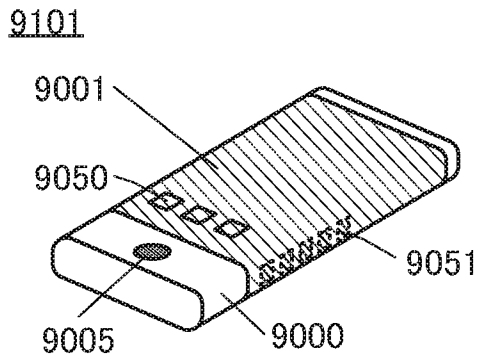


图 52E

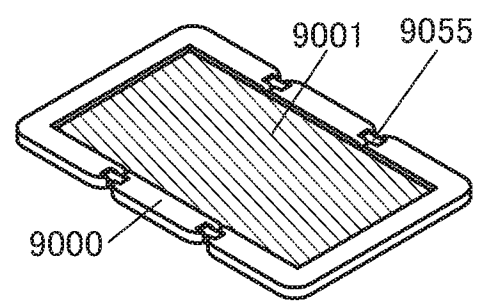


图 52C

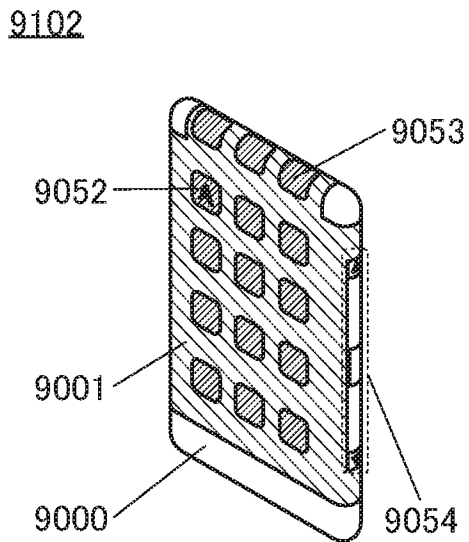


图 52F

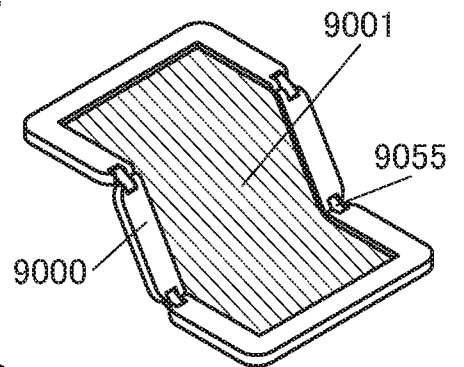
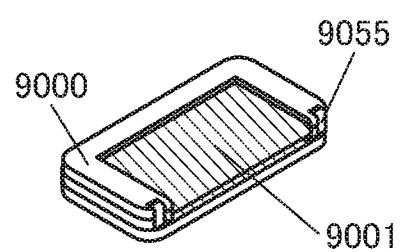
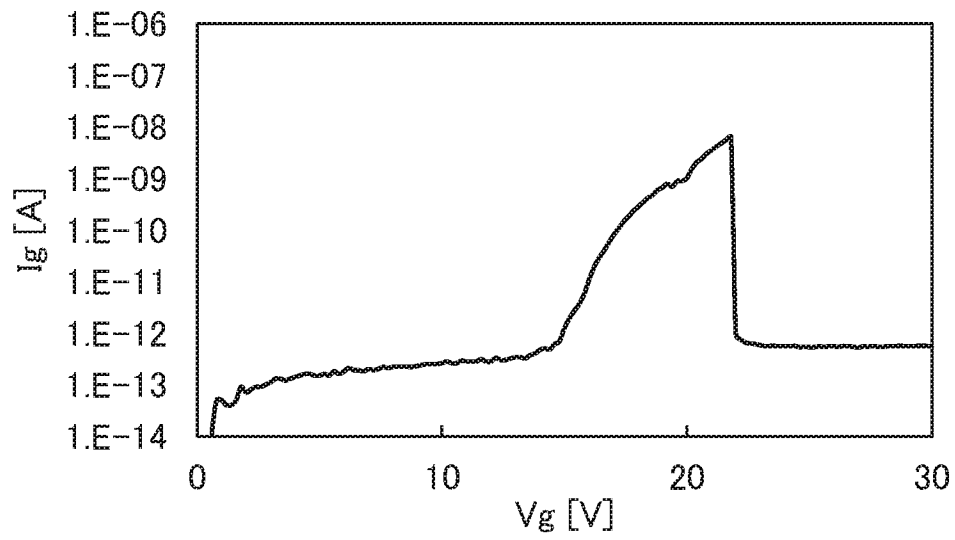


图 52G

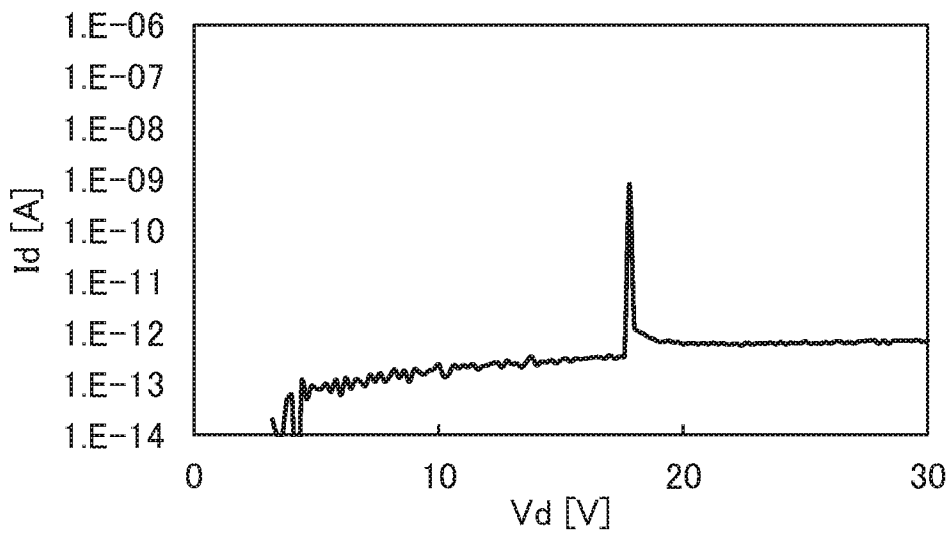


53/54

53A



53B



53C

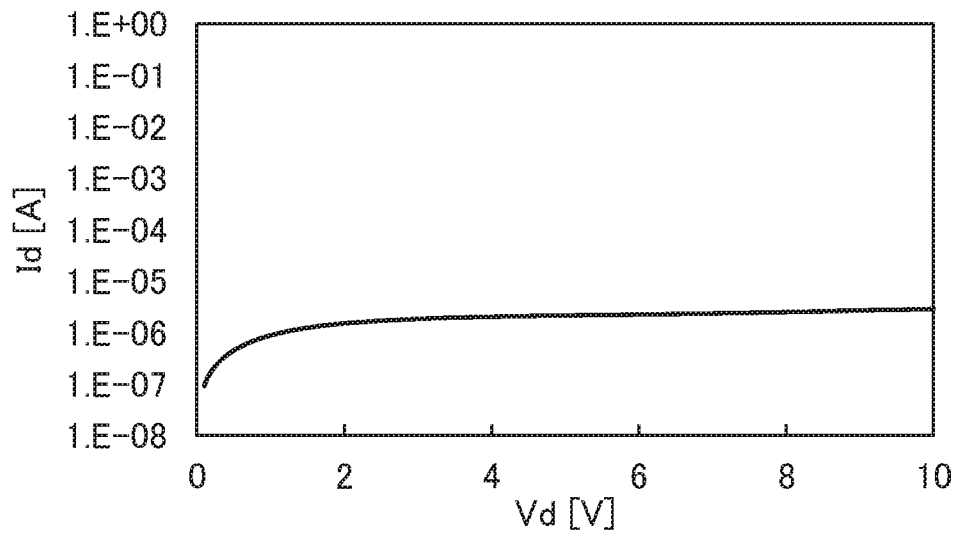


図54A

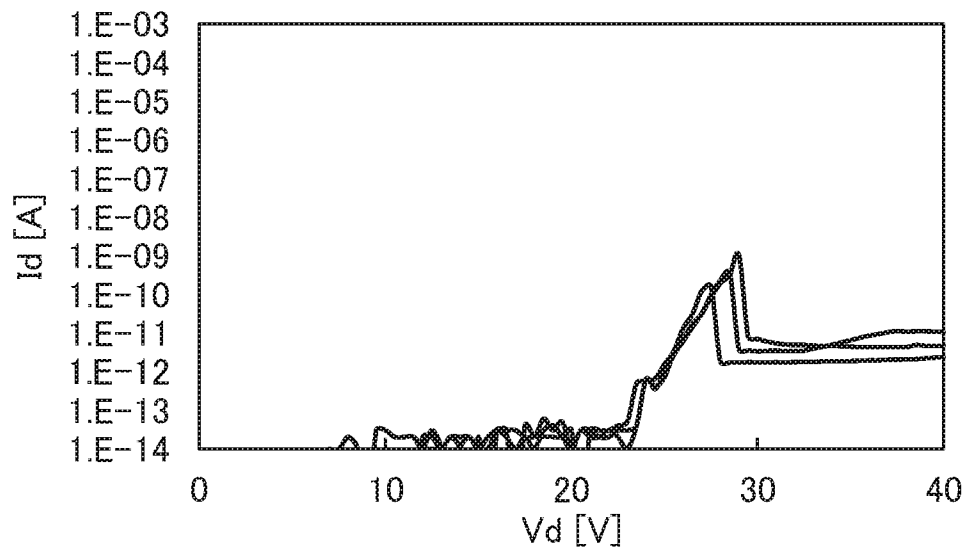
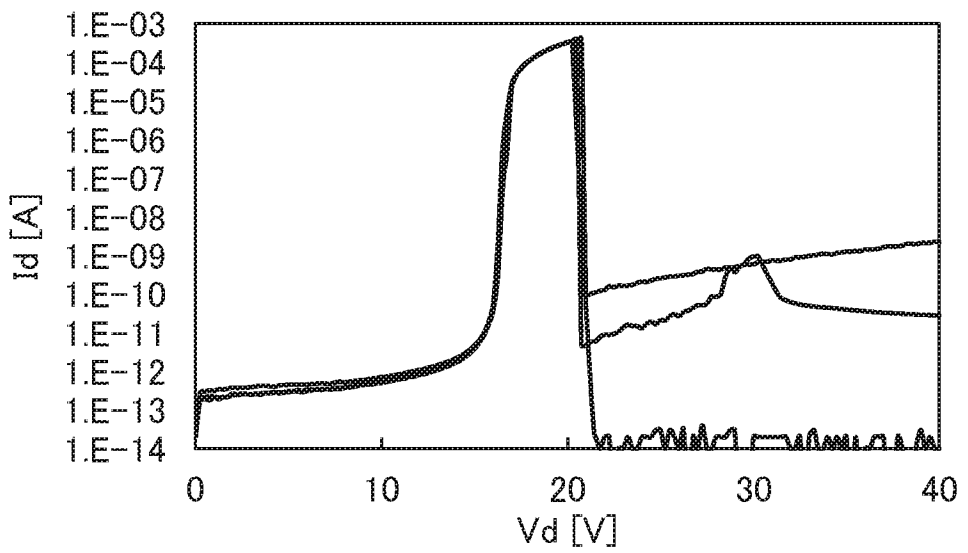


図54B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/057090

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/20(2006.01)i; G09G 3/30(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/36(2006.01)i; G09F 9/00(2006.01)i; H01L 27/32(2006.01)i; G02F 1/13(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1362(2006.01)i; H05B 33/10(2006.01)i; H01L 51/50(2006.01)i		
FI: G09G3/20 670B; G09G3/20 680A; G09G3/36; G09G3/3233; G09G3/20 642P; G09G3/20 680F; G09G3/20 641P; G09F9/00 352; G02F1/133 580; G02F1/13 101; G02F1/1362; H01L27/32; H05B33/14 A; G09G3/20 632F; G09G3/20 680G; G09G3/20 691D; G09G3/30 J; G09G3/20 624B; G09G3/20 624D; G02F1/133 550; H05B33/10		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/20; G09G3/30; G09G3/3233; G09G3/36; G09F9/00; H01L27/32; G02F1/13; G02F1/133; G02F1/1362; H05B33/10; H01L51/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan		1922-1996
Published unexamined utility model applications of Japan		1971-2020
Registered utility model specifications of Japan		1996-2020
Published registered utility model applications of Japan		1994-2020
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-41852 A (FUJITSU KIDEN LTD.) 16 February 2001 (2001-02-16) paragraphs [0012]-[0048], fig. 1-9	1-8
Y	JP 6-43415 A (PHOTON DYNAMICS, INC.) 18 February 1994 (1994-02-18) paragraphs [0014]-[0047], fig. 1-9	1-8
Y	JP 2002-340739 A (FOTONIKUSU KK) 27 November 2002 (2002-11-27) paragraphs [0018]-[0036], fig. 1-2	1-8
Y	JP 2018-136537 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 August 2018 (2018-08-30) paragraphs [0019], [0060]-[0061]	5-6, 8
A	JP 2006-200927 A (SHIMADZU CORPORATION) 03 August 2006 (2006-08-03) paragraphs [0026]-[0083]. fig. 1-12	1-8
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 21 October 2020 (21.10.2020)	Date of mailing of the international search report 02 November 2020 (02.11.2020)	
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/057090

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-68284 A (LASERTEC CORPORATION) 27 March 2008 (2008-03-27) paragraphs [0036]-[0039], fig. 4-6	1-8
A	JP 2009-63298 A (TOPPAN PRINTING CO., LTD.) 26 March 2009 (2009-03-26) paragraphs [0019]-[0020], fig. 5	1-8
A	US 2019/0237013 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 01 August 2019 (2019-08-01) paragraphs [0002]-[0125], fig. 1-12	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/057090

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2001-41852 A	16 Feb. 2001	(Family: none)	
JP 6-43415 A	18 Feb. 1994	US 5285150 A column 3, line 64 to column 10, line 31, fig. 1-9 US 5363037 A WO 1992/009900 A1 KR 10-1992-0010309 A	
JP 2002-340739 A	27 Nov. 2002	(Family: none)	
JP 2018-136537 A	30 Aug. 2018	US 2019/0371226 A1 paragraphs [0038], [0079]-[0080] WO 2018/150291 A1	
JP 2006-200927 A	03 Aug. 2006	(Family: none)	
JP 2008-68284 A	27 Mar. 2008	(Family: none)	
JP 2009-63298 A	26 Mar. 2009	(Family: none)	
US 2019/0237013 A1	01 Aug. 2019	CN 108281102 A paragraphs [0001]- [0161], fig. 1-12	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G09G 3/20(2006.01)i; G09G 3/30(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/36(2006.01)i; G09F 9/00(2006.01)i; H01L 27/32(2006.01)i; G02F 1/13(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1362(2006.01)i; H05B 33/10(2006.01)i; H01L 51/50(2006.01)i FI: G09G3/20 670B; G09G3/20 680A; G09G3/36; G09G3/3233; G09G3/20 642P; G09G3/20 680F; G09G3/20 641P; G09F9/00 352; G02F1/133 580; G02F1/13 101; G02F1/1362; H01L27/32; H05B33/14 A; G09G3/20 632F; G09G3/20 680G; G09G3/20 691D; G09G3/30 J; G09G3/20 624B; G09G3/20 624D; G02F1/133 550; H05B33/10</p>																																
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>G09G3/20; G09G3/30; G09G3/3233; G09G3/36; G09F9/00; H01L27/32; G02F1/13; G02F1/133; G02F1/1362; H05B33/10; H01L51/50</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年																						
日本国実用新案公報	1922 - 1996年																															
日本国公開実用新案公報	1971 - 2020年																															
日本国実用新案登録公報	1996 - 2020年																															
日本国登録実用新案公報	1994 - 2020年																															
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2001-41852 A（富士通機電株式会社）16.02.2001（2001 - 02 - 16） [0012]-[0048], 図1-図9</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>JP 6-43415 A（フォトン・ダイナミクス・インコーポレーテッド）18.02.1994 （1994 - 02 - 18） [0014]-[0047], 図1-図9</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>JP 2002-340739 A（株式会社フォトニクス）27.11.2002（2002 - 11 - 27） [0018]-[0036], 図1-図2</td> <td>1-8</td> </tr> <tr> <td>Y</td> <td>JP 2018-136537 A（株式会社半導体エネルギー研究所）30.08.2018（2018 - 08 - 30） [0019], [0060]-[0061]</td> <td>5-6, 8</td> </tr> <tr> <td>A</td> <td>JP 2006-200927 A（株式会社島津製作所）03.08.2006（2006 - 08 - 03） [0026]-[0083], 図1-図12</td> <td>1-8</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2001-41852 A（富士通機電株式会社）16.02.2001（2001 - 02 - 16） [0012]-[0048], 図1-図9	1-8	Y	JP 6-43415 A（フォトン・ダイナミクス・インコーポレーテッド）18.02.1994 （1994 - 02 - 18） [0014]-[0047], 図1-図9	1-8	Y	JP 2002-340739 A（株式会社フォトニクス）27.11.2002（2002 - 11 - 27） [0018]-[0036], 図1-図2	1-8	Y	JP 2018-136537 A（株式会社半導体エネルギー研究所）30.08.2018（2018 - 08 - 30） [0019], [0060]-[0061]	5-6, 8	A	JP 2006-200927 A（株式会社島津製作所）03.08.2006（2006 - 08 - 03） [0026]-[0083], 図1-図12	1-8	* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																														
Y	JP 2001-41852 A（富士通機電株式会社）16.02.2001（2001 - 02 - 16） [0012]-[0048], 図1-図9	1-8																														
Y	JP 6-43415 A（フォトン・ダイナミクス・インコーポレーテッド）18.02.1994 （1994 - 02 - 18） [0014]-[0047], 図1-図9	1-8																														
Y	JP 2002-340739 A（株式会社フォトニクス）27.11.2002（2002 - 11 - 27） [0018]-[0036], 図1-図2	1-8																														
Y	JP 2018-136537 A（株式会社半導体エネルギー研究所）30.08.2018（2018 - 08 - 30） [0019], [0060]-[0061]	5-6, 8																														
A	JP 2006-200927 A（株式会社島津製作所）03.08.2006（2006 - 08 - 03） [0026]-[0083], 図1-図12	1-8																														
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																															
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																															
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																															
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																															
“O” 口頭による開示、使用、展示等に言及する文献																																
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																																
国際調査を完了した日	21.10.2020	国際調査報告の発送日	02.11.2020																													
名称及びあて先	日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	越川 康弘 21 9605 電話番号 03-3581-1101 内線 3273																													

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-68284 A (レーザーテック株式会社) 27.03.2008 (2008 - 03 - 27) [0036]-[0039], 図4-図6	1-8
A	JP 2009-63298 A (凸版印刷株式会社) 26.03.2009 (2009 - 03 - 26) [0019]-[0020], 図5	1-8
A	US 2019/0237013 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 01.08.2019 (2019 - 08 - 01) [0002]-[0125], 図1-図12	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/057090

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-41852 A	16.02.2001	(ファミリーなし)	
JP 6-43415 A	18.02.1994	US 5285150 A 第3欄第64行-第10欄第31行, 図1-図9 US 5363037 A WO 1992/009900 A1 KR 10-1992-0010309 A	
JP 2002-340739 A	27.11.2002	(ファミリーなし)	
JP 2018-136537 A	30.08.2018	US 2019/0371226 A1 [0038],[0079]-[0080] WO 2018/150291 A1	
JP 2006-200927 A	03.08.2006	(ファミリーなし)	
JP 2008-68284 A	27.03.2008	(ファミリーなし)	
JP 2009-63298 A	26.03.2009	(ファミリーなし)	
US 2019/0237013 A1	01.08.2019	CN 108281102 A [0001]-[0161], 図1-図12	