

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4401566号  
(P4401566)

(45) 発行日 平成22年1月20日(2010.1.20)

(24) 登録日 平成21年11月6日(2009.11.6)

(51) Int.Cl.

F 1

**H04N 5/335 (2006.01)**  
**G06T 1/00 (2006.01)**  
**H01L 27/146 (2006.01)**

H04N 5/335 Q  
H04N 5/335 E  
G06T 1/00 430B  
H01L 27/14 A

請求項の数 12 (全 12 頁)

(21) 出願番号

特願2000-387510 (P2000-387510)

(22) 出願日

平成12年12月20日 (2000.12.20)

(65) 公開番号

特開2002-190986 (P2002-190986A)

(43) 公開日

平成14年7月5日 (2002.7.5)

審査請求日

平成19年12月14日 (2007.12.14)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100090273

弁理士 國分 孝悦

(72) 発明者 沖田 彰

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(72) 発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

審査官 吉川 潤

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびシステム

## (57) 【特許請求の範囲】

## 【請求項 1】

行列状に配された、光電変換素子を含む画素と、  
複数の前記画素からの信号が読み出される信号線と、

画素行ごとに、前記光電変換素子の信号をリセットするリセット動作と、前記光電変換素  
子の信号を前記出力線へ読み出す読み出し動作と、を選択して行う走査回路と、

前記リセット動作のためのリセットパルスを生成する第1生成手段と、

前記読み出し動作のための読み出しパルスを生成する第2生成手段と、を有し、

前記走査回路は、

シフトレジスタと、

前記第1、第2生成手段によって生成された各信号のいずれかを選択して出力する選択  
手段と、を備えた固体撮像装置において、

前記シフトレジスタにスタートパルスを供給する制御部を有し、

前記選択手段は、前記制御部から前記シフトレジスタに入力されるスタートパルスの入  
力数に応じて、同一画素行における、前記第1生成手段によって生成されたリセットパル  
スを出力してから、第2生成手段によって生成された読み出しパルスを出力するまでの時  
間を変化させることを特徴とする固体撮像装置。

## 【請求項 2】

前記選択手段は、前記スタートパルスの入力数に応じて2値信号を出力するカウンタを  
備えることを特徴とする請求項1記載の固体撮像装置。

**【請求項 3】**

前記カウンタから出力される2値信号に基づく信号と前記スタートパルスとの論理積を算出する第1論理積回路と、前記第1論理積回路の出力信号と第1，第2生成手段によって生成された各信号との論理積を算出する第2，第3論理積回路とを備えることを特徴とする請求項2記載の固体撮像装置。

**【請求項 4】**

さらに、前記画素は前記光電変換素子によって生成された光電荷が転送される転送領域を有し、前記光電変換素子の電荷を前記転送領域に転送する転送パルスを生成する第3生成手段を備え、  
前記選択手段は、前記第1，第2，第3生成手段で生成された各パルスのいずれかを選択して出力することを特徴とする請求項1から3のいずれか1項記載の固体撮像装置。

**【請求項 5】**

前記第1論理積回路の出力信号と第3生成手段によって生成されたパルスとの論理積を算出する第4論理積回路を備えることを特徴とする請求項4記載の固体撮像装置。

**【請求項 6】**

行列状に配された、光電変換素子を含む画素と、  
複数の前記画素からの信号が読み出される信号線と、  
画素行ごとに、前記光電変換素子の信号をリセットするリセット動作と、前記光電変換素子の信号を前記出力線へ読み出す読み出し動作と、を選択して行う走査回路と、  
前記リセット動作のためのリセットパルスを生成する第1生成手段と、  
前記読み出し動作のための読み出しパルスを生成する第2生成手段と、を有し、  
前記走査回路は、  
シフトレジスタと、  
前記第1，第2生成手段によって生成された各信号のいずれかを選択して出力する選択手段と、を備えた固体撮像装置において、  
前記シフトレジスタにスタートパルスを供給する制御部を有し、  
前記選択手段は、第1スタートパルスが入力されてから第2スタートパルスが入力されるまでの間に応じて、同一画素行における、前記第1生成手段によって生成されたリセットパルスを出力してから、第2生成手段によって生成された読み出しパルスを出力するまでの時間を変化させることを特徴とする固体撮像装置。

**【請求項 7】**

前記選択手段は、前記スタートパルスに応じて2値信号を出力するカウンタを備えることとを特徴とする請求項6記載の固体撮像装置。

**【請求項 8】**

前記カウンタから出力される2値信号に基づく信号と前記スタートパルスとの論理積を算出する第1論理積回路と、前記第1論理積回路の出力信号と第1，第2生成手段によって生成された各信号との論理積を算出する第2，第3論理積回路とを備えることを特徴とする請求項7記載の固体撮像装置。

**【請求項 9】**

さらに、前記画素は前記光電変換素子によって生成された光電荷が転送される転送領域を有し、前記光電変換素子の電荷を前記転送領域に転送する転送パルスを生成する第3生成手段を備え、  
前記選択手段は、前記第1，第2，第3生成手段で生成された各パルスのいずれかを選択して出力することを特徴とする請求項6から8のいずれか1項記載の固体撮像装置。

**【請求項 10】**

前記第1論理積回路の出力信号と第3生成手段によって生成されたパルスとの論理積を算出する第4論理積回路を備えることを特徴とする請求項9記載の固体撮像装置。

**【請求項 11】**

前記画素は、MOS型撮像素子を備えていることを特徴とする請求項1から10のいずれか1項記載の固体撮像装置。

10

20

30

40

50

**【請求項 12】**

請求項 1 から 1\_1 のいずれか 1 項記載の固体撮像装置と、  
前記固体撮像装置へ光を結像する光学系と、  
前記固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする  
固体撮像システム。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、固体撮像装置およびシステムに関し、特に、デジタルカメラ、ビデオカメラ  
、複写機、ファクシミリなどの固体撮像装置およびシステムに関する。 10

**【0002】****【従来の技術】**

従来、光電変換素子を含む固体撮像素子を、1次元または2次元に配列したイメージセンサを搭載したデジタルカメラ、ビデオカメラ、複写機、ファクシミリなどの固体撮像装置がある。

**【0003】**

固体撮像素子には、たとえばCCD撮像素子やMOS型撮像素子がある。MOS型撮像素子は、入射光に基づく信号を増幅する型のものがあり、その中でもMOS (Metal oxide semiconductor)トランジスタを作成する工程との整合性が良いプロセスを用いて作ることができC MOS (complimentary MOS)型センサがある。 20

**【0004】**

また、固体撮像素子の光蓄積時間を制御する方法の一つにいわゆる電子シャッタ機能がある。この機能は、撮像部の電荷蓄積時間をその駆動によって調整し、物理的な絞り機能の代わりに、電子的に露光時間を制御するものである。デジタルカメラに機械的なシャッタおよび絞りがないものを実現し低コスト化するためには、強い光の下でも撮影できるような高速の電子シャッタ機構 (~ 1 / 1 0 0 0 0 秒) が必要である。

**【0005】**

具体的には、各固体撮像素子に蓄積された信号電荷を、画素信号読み出しとは異なる所定のタイミングでリセットすることによって、電子シャッタ機能は実現される。すなわち、固体撮像装置において電子シャッタ機能を実現するためには、撮像部に対して、画素信号読み出しのためのアクセスとは別のタイミングでリセットのためのアクセスができるよう、周辺回路部を構成する必要がある。 30

**【0006】****(従来技術 1)**

このため、従来の固体撮像装置では、たとえば特開平5 - 227489号公報あるいは特開平9 - 93498号公報に記載されているように、画像信号読み出しのための行選択用シフトレジスタとは別に、電子シャッタ機能のための行選択用シフトレジスタを別途設けて、これにより撮像部をリセットするためのアクセスを行うことによって、電子シャッタ機能を実現していた。

**【0007】****(従来技術 2)**

また、画像信号読み出し用と、電子シャッタ機能用との双方を実現するシフトレジスタを用いた固体撮像装置が特開平11 - 220663号公報に記載されている。この公報に記載されている方法は、撮像部のリセット時と読み出し時とを選択する選択回路を設けている。選択回路は、撮像部のリセット時と読み出し時とで、シフトレジスタに対してパルス幅の異なるスタートパルスを供給することで、シフトレジスタから異なるタイミングでアクセスできるようにしている。

**【0008】**

具体的には、スタートパルスを1列分入力した場合と、2列分入力した場合とを、シフトレジスタ内の実際に選択している行に係るレジスタの前後に係るレジスタの出力を抽出し 50

て、それを 3 入力の N O R 回路などの論理回路で判断している。

**【0009】**

**【発明が解決しようとする課題】**

しかし、従来技術 1 は、固体撮像装置内に画像信号読み出し用と、電子シャッタ機能用とのシフトレジスタをそれぞれ設けているため、チップ面積が増大したり、各シフトレジスタを駆動するために低消費電力化が図りにくいという問題がある。

**【0010】**

また、従来技術 2 は、それぞれの入力パルス間に L O W レベルの信号を挿入し判別する必要がある。従って電子シャッタ動作を最短時間で行おうとした場合 2 つのパルス間に必ず 1 列分スタートパルスの入力されない行が必要となる。そのため可能となる電子シャッタスピードは 2 水平行走査期間以上の時間が必要となり高速の電子シャッタが実現しにくいという問題がある。

10

**【0011】**

すなわち、従来技術 1 と従来技術 2 とは、互いのメリットがデメリット、デメリットがメリットとなる関係にある。

**【0012】**

そこで、本発明は、低消費電力を図り、かつ、高速の電子シャッタを実現することを課題とする。

**【0013】**

**【課題を解決するための手段】**

20

上記課題を解決するために、本発明は、行列状に配された、光電変換素子を含む画素と、複数の前記画素からの信号が読み出される信号線と、画素行ごとに、前記光電変換素子の信号をリセットするリセット動作と、前記光電変換素子の信号を前記出力線へ読み出す読み出し動作と、を選択して行う走査回路と、前記リセット動作のためのリセットパルスを生成する第 1 生成手段と、前記読み出し動作のための読み出しパルスを生成する第 2 生成手段と、を有し、前記走査回路は、シフトレジスタと、前記第 1、第 2 生成手段によって生成された各信号のいずれかを選択して出力する選択手段と、を備えた固体撮像装置において、前記シフトレジスタにスタートパルスを供給する制御部を有し、前記選択手段は、前記制御部から前記シフトレジスタに入力されるスタートパルスの入力数に応じて、同一画素行における、前記第 1 生成手段によって生成されたリセットパルスを出力してから、第 2 生成手段によって生成された読み出しパルスを出力するまでの時間を変化させることを特徴とする。

30

**【0014】**

また、本発明は、行列状に配された、光電変換素子を含む画素と、複数の前記画素からの信号が読み出される信号線と、画素行ごとに、前記光電変換素子の信号をリセットするリセット動作と、前記光電変換素子の信号を前記出力線へ読み出す読み出し動作と、を選択して行う走査回路と、前記リセット動作のためのリセットパルスを生成する第 1 生成手段と、前記読み出し動作のための読み出しパルスを生成する第 2 生成手段と、を有し、前記走査回路は、シフトレジスタと、前記第 1、第 2 生成手段によって生成された各信号のいずれかを選択して出力する選択手段と、を備えた固体撮像装置において、前記シフトレジスタにスタートパルスを供給する制御部を有し、前記選択手段は、第 1 スタートパルスが入力されてから第 2 スタート信号が入力されるまでの時間に応じて、同一画素行における、前記第 1 生成手段によって生成されたリセットパルスを出力してから、第 2 生成手段によって生成された読み出しパルスを出力するまでの時間を変化させることを特徴とする。

40

**【0015】**

さらに、本発明の固体撮像システムは、上記の固体撮像装置と、前記固体撮像装置へ光を結像する光学系と、前記固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする。

**【0016】**

50

### 【発明の実施の形態】

以下、本発明の実施形態について図面を用いて説明する。

#### 【0017】

(実施形態1)

「構成の説明」

図1は、本発明の実施形態1の固体撮像装置の概略構成を示すブロック図である。図1において、101はMOS型固体撮像素子を備えた画素102がたとえば3行×3列の2次元的に並列されてなる撮像領域、103は撮像領域101内の画素行選択のための垂直走査回路、105は垂直走査回路103に対してスタートパルスを順次供給する制御部、112は垂直走査回路103に対して供給する各種信号を生成する第1～第3生成手段である生成部、111は垂直走査回路103から各画素行に対して供給される信号を伝送する供給線、108は撮像領域101内の画素列選択のための水平走査回路、109は水平走査回路108によって選択された画素列から読み出された画像信号を順次電圧変換する電圧変換回路、110は電圧変換された画像信号を増幅するアンプである。

10

#### 【0018】

また、垂直走査回路103は、複数のレジスタ104を有するシフトレジスタと、各レジスタ104の出力に応じて2値の「0」と「1」との状態を維持するカウンタ106と、各カウンタ106の出力に基づいて各画素102に対して読み出し動作またはリセット動作を行う選択行駆動部107とを備えている。ちなみに、垂直走査回路103と水平走査回路108とによって選択手段を構成している。

20

#### 【0019】

なお、図1及び以下説明する図2、図3において各配線に添えてカッコ書きで付している数字は、後に用いる図4、図5のタイミング図における各信号を識別するものである。

#### 【0020】

図2は、図1の選択行駆動部107及びその周辺の模式的な回路構成図である。選択行駆動部107は、カウンタ106の出力信号と、リセットパルスと転送パルスとを識別するためのパルス信号Prtとを論理合成するイクスクルーシブ・ノア(Exclusive NOR：以下、「EXNOR」と称する。)回路301と、レジスタ104の出力信号とEXNOR回路104の出力信号との論理積を算出する第1論理積回路である論理積(以下、「AND」と称する。)回路302と、AND回路302の出力信号と生成部112で生成されたリセットパルスとの論理積を算出する第2論理積回路であるAND回路303と、AND回路302の出力信号と生成部112で生成された転送パルスとの論理積を算出する第4論理積回路であるAND回路304と、AND回路302の出力信号と生成部112で生成された選択パルスとの論理積を算出する第3論理積回路であるAND回路305とを備えている。

30

#### 【0021】

なお、AND回路303～305からの各出力信号の出力線206～208は、図1の供給線111に相当する。

#### 【0022】

図3は、図1の画素102の模式的な回路構成図である。図2において、201は光電荷を生成するための光電変換素子であるところのフォトダイオード部、202は出力線207を通じて伝送される転送パルスに従ってフォトダイオード部201で生成された光電荷の転送を制御する光電荷転送用MOSトランジスタ、210は転送用MOSトランジスタ202の制御に応じて光電荷が転送される転送領域、203は転送された光電荷に従って増幅してなる画像信号を生成するための増幅用MOSトランジスタ、204は出力線206を通じて伝送されるリセットパルスに従ってフォトダイオード部201及び転送領域210の各電位をリセットするリセット用MOSトランジスタ、205は出力線208を通じて伝送される選択パルスに従って画像信号の読み出しが制御される選択用MOSトランジスタ、209は画像信号が読み出される信号線である。

40

#### 【0023】

50

### 「動作の説明」

図4, 図5は、図1～図3の動作を説明するタイミング図であり、共に任意の画素行に配置されている画素102の電位をリセットし、その後、光電荷を読み出す動作を行う際に各信号線を伝送する信号を図示しているが、図4には光電荷の蓄積時間を短くする場合のタイミング図であり、図5には光電荷の蓄積時間を長くする場合のタイミング図である。

#### 【0024】

最初に、図4における動作について説明する。まず、制御部105からパルス幅の広い1つのスタートパルスVST及び駆動パルスPVが垂直走査回路103側へ出力される(図4(1), (2))。垂直走査回路103側では、これらのパルスが、順次レジスタ104に入力される。すると、レジスタ104は、スタートパルスVSTがハイレベルの間に、駆動パルスPVに同期した信号を出力する(図4(3))。

#### 【0025】

なお、上記の一連の動作時には、カウンタ106は、「0」を出力しており(図4(4))、また、生成部112ではハイレベル/ローレベルを切り替えたパルス信号Prt、リセットパルスRES、転送パルスTX、選択パルスSELを垂直走査回路103側へそれぞれ出力している(図4(8)～(10))。

#### 【0026】

ちなみに、図4(5), (8)に示すように、パルス信号Prtは、リセットパルスRESの立ち上がりに同期した信号であり、リセットパルスと転送パルスとを識別するための信号である。

#### 【0027】

つぎに、カウンタ106は、レジスタ104からの出力信号を入力し、その信号の立ち上がりに従って、「0/1」を切り替えた信号を選択行駆動部107側に対して出力する(図4(4))。ここでは、カウンタ106は、「0」を「1」に切り替える。選択行駆動部107側では、この信号が、EXNOR回路301に入力される。また、EXNOR回路301には、カウンタ106からの出力信号の他に、パルス信号Prt(図4(5))が入力され、これらの信号に基づいて算出した信号がAND回路302に対して出力される(図4(6))。

#### 【0028】

AND回路302は、EXNOR回路301からの出力信号(図4(6))とレジスタ104からの出力信号(図4(3))とを入力し、これらの信号に基づいて算出した論理積をAND回路303～305に対して出力する。AND回路303～305は、生成部112で生成されたリセットパルスRES、転送パルスTX、選択パルスSEL(図4(8)～(10))とAND回路302からの出力信号とを入力し、これらの信号に基づいて算出した論理積を出力線206～208を通じて画素領域101側へ出力する(図4(11)～(13))。

#### 【0029】

すなわち、図2に示すように構成した垂直走査回路103に、制御部105から図4(1)に示すようなスタートパルスVSTを供給すると、画素領域101には、まず、リセットパルスと転送パルスとが同期してハイレベルで出力され、つづいて転送パルスと選択パルスとが同期してハイレベルで出力される(図4(11)～(13))。

#### 【0030】

この際、図3に示す画素102では、まずフォトダイオード部201及び転送領域210がリセット電位V<sub>DD</sub>にリセットされ、つづいて、ほぼ1クロック分の光電荷の蓄積後に、フォトダイオード部201で生成された光電荷に基づく画像信号が読み出し線209に読み出される。

#### 【0031】

次に、図5における動作についての説明であるが、図1～図3に示した固体撮像装置の構成が変わるものではないので、図5における動作は、基本的に図4と同様である。但し、以下説明するように、制御部105からは、パルス幅の狭い2つのスタートパルスVST

10

20

30

40

50

が出力され、これに応じて結果的に光電荷の蓄積時間が変わる。

#### 【0032】

具体的には、まずスタートパルスVSTがハイレベルの間に、駆動パルスPVに同期した信号を出力するので、レジスタ104の出力信号の波形が異なる（図4（3）、図5（3））。レジスタ104の出力信号の波形が異なると、係る信号とパルス信号Prtとに基づく信号を算出するEXNOR回路301から出力される信号の波形が異なり（図4（6）、図5（6））、したがって、EXNOR回路301から出力される信号の波形に出力波形が依存するAND回路302の出力信号の波形が異なる（図4（7）、図5（7））。

#### 【0033】

AND回路302の出力信号の波形が異なると、この信号波形に依存するAND回路206～208の出力波形が異なり（図4（11）～（13）、図5（11）～（13））、結局、光電荷の蓄積時間を長短が変化する。なお、図5には、水平走査期間の2倍の時間が光電荷の蓄積時間となるようにしているが、たとえば図5（1）、（2）でいうところの駆動パルスPVの3番目のハイレベル時にスタートパルスVSTをハイレベルしているのに代えて、駆動パルスPVの4番目のハイレベル時にスタートパルスVSTをハイレベルにすれば、水平走査期間の3倍の時間が光電荷の蓄積時間となるようにすることができる、光電荷の蓄積時間は、必要に応じてスタートパルスVSTのハイレベルへの立ち上げ時期を変えることによって制御すればよい。

#### 【0034】

##### （実施形態2）

図6は、本発明の実施形態2の固体撮像装置の動作を説明するタイミング図であり、図4と同じ光電荷の蓄積時間を実現する際の各種信号のタイミングを示している。また、図6と図5とを比較すると、スタートパルスVSTに関しては、2つのハイレベル期間のローレベルの時間が異なる。

#### 【0035】

すなわち、図6では、連続してスタートパルスVSTを連続してハイレベルにしているのに対して、図4ではスタートパルスVSTを一度ハイレベルにした後に、少し間隔を置いてからスタートパルスVSTをもう一度ハイレベルにしている。本実施形態では、1つ目のスタートパルスVSTと2つ目のスタートパルスVSTとの時間を変えることによって、光電荷の蓄積時間を変えている。

#### 【0036】

##### （実施形態3）

図7は、実施形態1, 2において説明した固体撮像装置を用いた固体撮像システムの構成図である。図7において、1はレンズのプロテクトとメインスイッチを兼ねるバリア、2は被写体の光学像を固体撮像素子4に結像させるレンズ、3はレンズを通った光量を可変するための絞り、4はレンズ2で結像された被写体を画像信号として取り込むための固体撮像素子（上記の各実施形態で説明した固体撮像装置に相当する）、5は固体撮像素子4から出力される画像信号に各種の補正、クランプ等の処理を行う撮像信号処理回路、6は固体撮像素子4より出力される画像信号のアナログ-ディジタル変換を行うA/D変換器、7はA/D変換器6より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、8は固体撮像素子4、撮像信号処理回路5、A/D変換器6、信号処理部7に各種タイミング信号を出力するタイミング発生部、9は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、10は画像データを一時的に記憶するためのメモリ部、11は記録媒体に記録又は読み出しを行うための記録媒体制御インターフェース部、12は画像データの記録又は読み出しを行うための半導体メモリ等の着脱可能な記録媒体、13は外部コンピュータ等と通信するための外部インターフェース（I/F）部である。

#### 【0037】

次に、図7の動作について説明する。バリア1がオープンされるとメイン電源がオンされ

10

20

30

40

50

、次にコントロール系の電源がオンし、さらに、A / D 変換器 6 などの撮像系回路の電源がオンされる。それから、露光量を制御するために、全体制御・演算部 9 は絞り 3 を開放にし、固体撮像素子 4 から出力された信号は、撮像信号処理回路 5 をスルーして A / D 変換器 6 へ出力される。A / D 変換器 6 は、その信号を A / D 変換して、信号処理部 7 に出力する。信号処理部 7 は、そのデータを基に露出の演算を全体制御・演算部 9 で行う。

#### 【0038】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部 9 は絞りを制御する。次に、固体撮像素子 4 から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部 9 で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズを駆動し測距を行う。

10

#### 【0039】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子 4 から出力された画像信号は、撮像信号処理回路 5 において補正等がされ、さらに A / D 変換器 6 で A / D 変換され、信号処理部 7 を通り全体制御・演算 9 によりメモリ部 10 に蓄積される。その後、メモリ部 10 に蓄積されたデータは、全体制御・演算部 9 の制御により記録媒体制御 I / F 部を通り半導体メモリ等の着脱可能な記録媒体 12 に記録される。また外部 I / F 部 13 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

#### 【0040】

#### 【発明の効果】

以上説明したように、本発明によると、スタート信号の入力数やたとえば 2 つのスタート信号を入力する間の時間を変えることによって、画素のリセットから読み出しまでの時間を変えることができるので、低消費電力を図り、かつ、高速の電子シャッタを実現することができる。

20

#### 【図面の簡単な説明】

【図 1】本発明の実施形態 1 の固体撮像装置の概略構成を示すブロック図である。

【図 2】図 1 の選択行駆動部及びその周辺の模式的な回路構成図である。

【図 3】図 1 の画素の模式的な回路構成図である。

【図 4】図 1 ~ 図 3 の動作を説明するタイミング図である。

【図 5】図 1 ~ 図 3 の動作を説明するタイミング図である。

【図 6】図 1 ~ 図 3 の動作を説明するタイミング図である。

30

【図 7】実施形態 1, 2 において説明した固体撮像装置を用いた固体撮像システムの構成図である。

#### 【符号の説明】

1 バリア

2 レンズ

3 絞り

4 固体撮像素子

5 撮像信号処理回路

6 A / D 変換器

7 信号処理部

40

8 タイミング発生部

9 全体制御・演算部

10 メモリ部

11 記録媒体制御インターフェース (I / F) 部

12 記録媒体

13 外部インターフェース (I / F) 部

101 撮像領域

102 画素

103 垂直走査回路

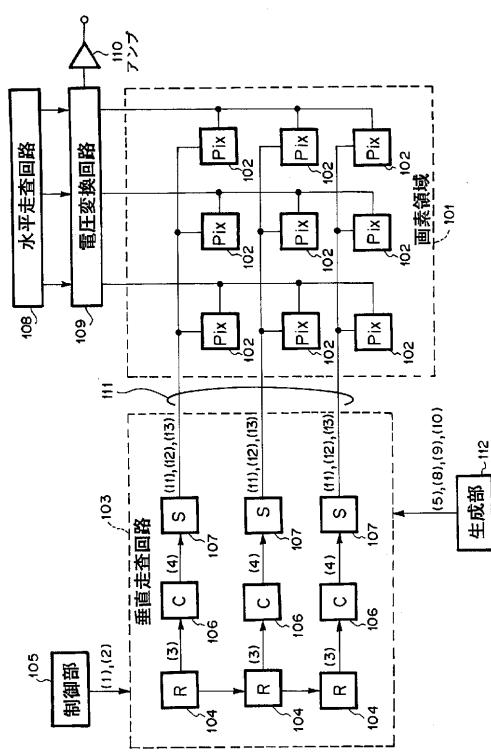
104 レジスタ

50

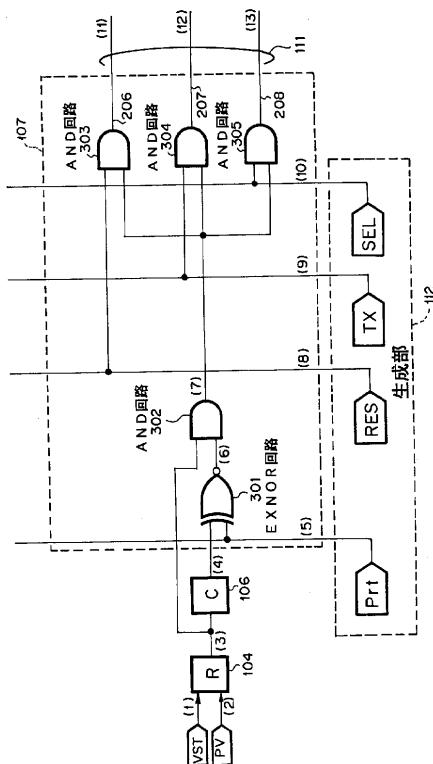
- 1 0 5 制御部  
 1 0 6 カウンタ  
 1 0 7 選択行駆動部  
 1 0 8 水平走査回路  
 1 0 9 電圧変換回路  
 1 1 0 アンプ  
 1 1 1 共通線  
 1 1 2 生成部  
 2 0 1 フォトダイオード部  
 2 0 2 転送用MOSトランジスタ  
 2 0 3 増幅用MOSトランジスタ  
 2 0 4 リセット用MOSトランジスタ  
 2 0 5 選択用MOSトランジスタ  
 2 0 6 ~ 2 0 8 出力線  
 2 0 9 読み出し線  
 3 0 1 EX-NOR回路  
 3 0 2 ~ 3 0 5 AND回路

10

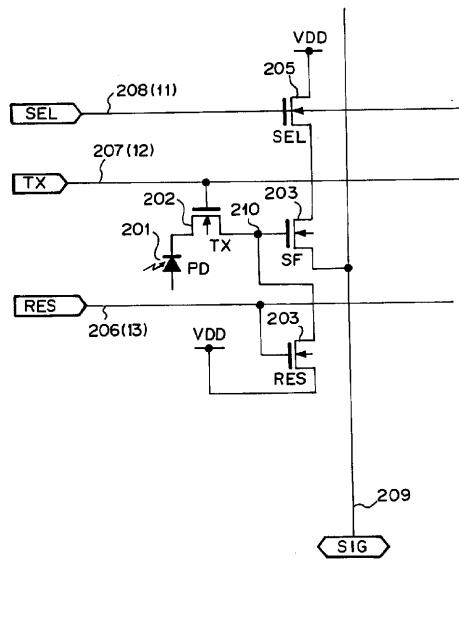
【図1】



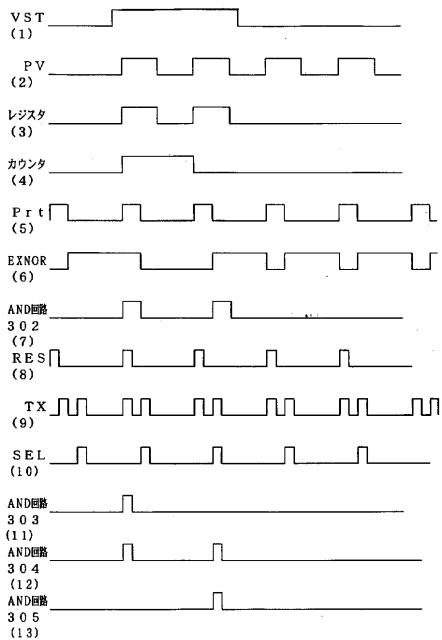
【図2】



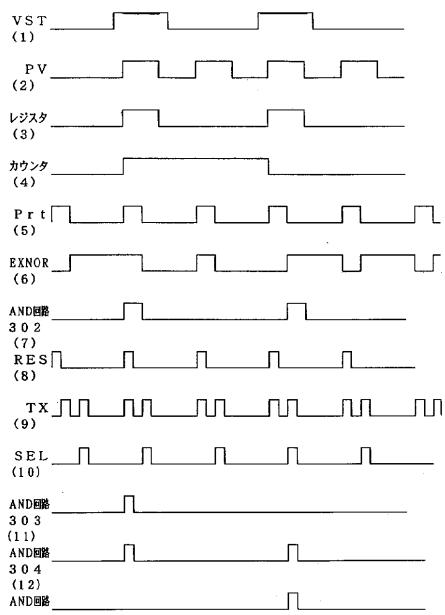
【図3】



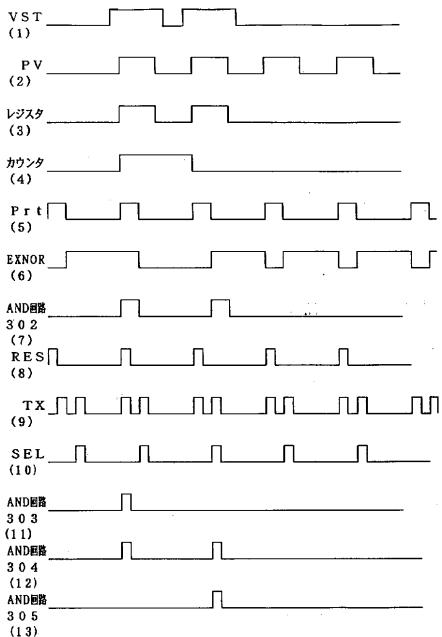
【図4】



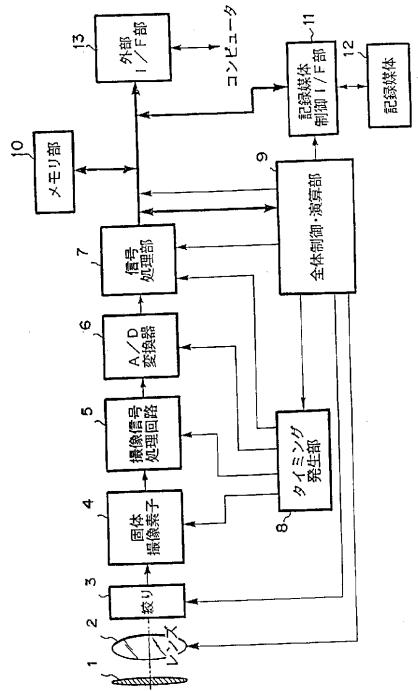
【図5】



【図6】



【図7】



---

フロントページの続き

(56)参考文献 特開昭63-93283(JP,A)  
特開平9-93498(JP,A)  
特開平4-223679(JP,A)  
特開2000-253314(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/146

G06T 1/00