

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6082753号
(P6082753)

(45) 発行日 平成29年2月15日(2017.2.15)

(24) 登録日 平成29年1月27日(2017.1.27)

(51) Int.Cl. F I
G O 6 F 7/04 (2006.01) G O 6 F 7/04

請求項の数 23 (全 28 頁)

(21) 出願番号	特願2014-547290 (P2014-547290)	(73) 特許権者	595168543
(86) (22) 出願日	平成24年12月5日(2012.12.5)		マイクロン テクノロジー, インク.
(65) 公表番号	特表2015-507255 (P2015-507255A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成27年3月5日(2015.3.5)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2012/067999		ラル ウェイ 8000
(87) 国際公開番号	W02013/090094	(74) 代理人	100074099
(87) 国際公開日	平成25年6月20日(2013.6.20)		弁理士 大菅 義之
審査請求日	平成27年9月3日(2015.9.3)	(74) 代理人	100106851
(31) 優先権主張番号	13/327, 591		弁理士 野村 泰久
(32) 優先日	平成23年12月15日(2011.12.15)	(72) 発明者	ブラウン, デイビッド アール.
(33) 優先権主張国	米国 (US)		アメリカ合衆国, テキサス州 75002
			, ルーカス, マーチモント ドライブ 1
			806

最終頁に続く

(54) 【発明の名称】 ステートマシンにおけるデータ解析用の方法およびシステム

(57) 【特許請求の範囲】

【請求項1】

第一の結果を受信するように構成された第一のデータ入力であって、前記第一の結果は、データストリームにおけるパターンを検索するために、ステートマシンの素子によって前記データストリームの少なくとも一部上で実施される解析によって生成されたマッチであり、前記ステートマシンの前記素子は、各々が対応する複数の第一のメモリセルに接続された複数の第一の検出セルであって、第一のマルチプレクサに共通に接続される複数の第一の検出セルを含む、第一のデータ入力と、

第二の結果を受信するように構成された第二のデータ入力であって、前記第二の結果は、前記データストリームにおける前記パターンを検索するために、前記ステートマシンの別の素子によって前記データストリームの少なくとも一部上で実施される解析によって生成された第二のマッチであり、前記ステートマシンの前記別の素子は、各々が対応する複数の第二のメモリセルに接続された複数の第二の検出セルであって、第二のマルチプレクサに共通に接続される複数の第二の検出セルを含む、第二のデータ入力と、

前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された出力と、を含むマッチ素子を含む、ことを特徴とするデバイス。

【請求項2】

前記マッチ素子は、

第一の制御信号を受信するように構成された第一の制御入力と、

第二の制御信号を受信するように構成された第二の制御入力と、
を含む、
ことを特徴とする請求項 1 に記載のデバイス。

【請求項 3】

前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力は、前記第一および第二の制御信号に基づいて、前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力を含む、
ことを特徴とする請求項 2 に記載のデバイス。

【請求項 4】

前記マッチ素子は、出力イネーブル信号を受信するように構成された第三の制御入力を含む、
ことを特徴とする請求項 3 に記載のデバイス。

【請求項 5】

前記第一および第二の制御信号に基づいて、前記第一の結果もしくは前記第二の結果を提供するように構成された前記出力は、前記第一および第二の制御信号と前記出力イネーブル信号とに基づいて、前記第一の結果もしくは前記第二の結果を提供するように構成された前記マッチ素子を含む、
ことを特徴とする請求項 4 に記載のデバイス。

【請求項 6】

前記マッチ素子は、前記第一のデータ入力、前記第二のデータ入力、前記第一の制御入力、前記第二の制御入力、前記第三の制御入力、前記出力に結合された 2 : 1 マルチプレクサを含む、
ことを特徴とする請求項 4 に記載のデバイス。

【請求項 7】

前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力は、出力を提供しないか、前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力を含む、
ことを特徴とする請求項 1 に記載のデバイス。

【請求項 8】

前記マッチ素子は、
第三の結果を受信するように構成された第三のデータ入力であって、前記第三の結果は、前記ステートマシンの第三の素子によって前記データストリームの少なくとも一部上で実施された解析の結果である、第三のデータ入力と、

第四の結果を受信するように構成された第四のデータ入力であって、前記第四の結果は、前記ステートマシンの専用素子によって検出された複数の結果の組み合わせを含む、第四のデータ入力と、

前記第三の結果もしくは前記第四の結果を選択的に提供するように構成された第二の出力と、
を含む、

ことを特徴とする請求項 2 に記載のデバイス。

【請求項 9】

前記マッチ素子は、

第三の制御信号を受信するように構成された第三の制御入力と、

第四の制御信号を受信するように構成された第四の制御入力と、

を含む、

ことを特徴とする請求項 8 に記載のデバイス。

【請求項 10】

前記第三の結果もしくは前記第四の結果を選択的に提供するように構成された前記第二の出力は、前記第三および第四の制御信号に基づいて、前記第三の結果もしくは前記第四の結果を選択的に提供するように構成された前記第二の出力を含む、

10

20

30

40

50

ことを特徴とする請求項 9 に記載のデバイス。

【請求項 11】

前記マッチ素子は、出力イネーブル信号を受信するように構成された第五の制御入力を含む、

ことを特徴とする請求項 10 に記載のデバイス。

【請求項 12】

前記第三および第四の制御信号に基づいて、前記第三の結果もしくは前記第四の結果を提供するように構成された前記マッチ素子は、前記第三および第四の制御信号ならびに前記出力イネーブル信号に基づいて、前記第三の結果もしくは前記第四の結果を提供するように構成された前記マッチ素子を含む、

10

ことを特徴とする請求項 11 に記載のデバイス。

【請求項 13】

前記マッチ素子は、前記第三のデータ入力、前記第四のデータ入力、前記第三の制御入力、前記第四の制御入力、前記第五の制御入力、前記第二の出力に結合された 2 : 1 マルチプレクサを含む、

ことを特徴とする請求項 11 に記載のデバイス。

【請求項 14】

データストリームにおけるパターンを検索するために、前記データストリームの少なくとも一部上で実施される解析によって生成されたマッチを含む第一の結果を提供するように構成された第一の素子であって、第一の素子は、各々が対応する複数の第一のメモリセルに接続された複数の第一の検出セルであって、第一のマルチプレクサに共通に接続される複数の第一の検出セルを含む、第一の素子と、

20

前記データストリームにおける前記パターンを検索するために、前記データストリームの少なくとも一部上で実施される解析によって生成された第二のマッチを含む第二の結果を提供するように構成された第二の素子であって、第二の素子は、各々が対応する複数の第二のメモリセルに接続された複数の第二の検出セルであって、第二のマルチプレクサに共通に接続される複数の第二の検出セルを含む、第二の素子と、

マッチ素子であって、

前記第一の結果を受信するように構成された第一の入力と、

前記第二の結果を受信するように構成された第二の入力と、

前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された出力と

30

を含むマッチ素子と、

を各々含む複数の行、

を各々含む複数のブロック、

を含むステートマシン、

を含む、

ことを特徴とするデバイス。

【請求項 15】

前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力は、出力を提供しないか、前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された前記出力を含む、

40

ことを特徴とする請求項 14 に記載のデバイス。

【請求項 16】

前記複数の行の各々は、前記第一の素子および前記第二の素子に選択的に結合されるように構成された複数の行ルーティングラインを含む、

ことを特徴とする請求項 14 に記載のデバイス。

【請求項 17】

前記複数の行の各々は、前記第一の素子および前記第二の素子の各々に、選択された複数の行ルーティングラインを選択的に結合するように構成された複数の接合点を含む、

50

ことを特徴とする請求項 16 に記載のデバイス。

【請求項 18】

前記複数の接合点のうちの少なくとも一つは、前記マッチ素子へ、前記行ルーティングラインのうちの少なくとも一つを選択的に結合するように構成される、
ことを特徴とする請求項 17 に記載のデバイス。

【請求項 19】

前記複数の行の各々は、特定の結果を提供するように構成された専用素子を含み、前記特定の結果は、前記データストリームの少なくとも一部上で実施された解析からの複数の結果の組み合わせに基づく、
ことを特徴とする請求項 14 に記載のデバイス。

10

【請求項 20】

前記複数の行の各々は、前記データストリームの少なくとも一部上で実施された解析の第三の結果を提供するように構成された第三の素子を含む、
ことを特徴とする請求項 19 に記載のデバイス。

【請求項 21】

前記マッチ素子は、
前記第三の結果を受信するように構成された第三の入力と、
前記特定の結果を受信するように構成された第四の入力と、
前記第三の結果もしくは前記特定の結果を選択的に提供するように構成された第二の出力と、
をさらに含む、
ことを特徴とする請求項 20 に記載のデバイス。

20

【請求項 22】

1 つ以上のグループであって各々が複数のステートマシン素子を含むグループにおいて検出されたデータストリームにおけるパターンを検索するために、前記データストリームの解析によって生成された複数のマッチを含む複数の指示を受信するように構成された複数のデータ入力を含むマッチ素子を含み、前記 1 つ以上のグループの前記複数のステートマシン素子のそれぞれが、各々が対応する複数のメモリセルに接続された複数の検出セルであって、マルチプレクサに共通に接続される複数の検出セルを含む、マッチ素子を含む、
物理チップを含む、
ことを特徴とするデバイス。

30

【請求項 23】

データストリームにおけるパターンを検索するために、前記データストリームの少なくとも一部上で実施される解析によって生成されたマッチを含む第一の結果を提供するように構成された第一の素子と、
前記データストリームにおける前記パターンを検索するために、前記データストリームの少なくとも一部上で実施される解析によって生成された第二のマッチを含む第二の結果を提供するように構成された第二の素子と、
マッチ素子であって、
前記第一の結果を受信するように構成された第一の入力と、
前記第二の結果を受信するように構成された第二の入力と、
前記第一の結果もしくは前記第二の結果を選択的に提供するように構成された出力と、

40

を含むマッチ素子と、
を各々含む複数の行、
を各々含む複数のブロック、
を含むステートマシン、
を含み、

前記複数の行の各々は、特定の結果を提供するように構成された専用素子を含み、前記

50

特定の結果は、前記データストリームの少なくとも一部上で実施された解析からの複数の結果の組み合わせに基づき、

前記複数の行の各々は、前記データストリームの少なくとも一部上で実施された解析の第三の結果を提供するように構成された第三の素子を含み、

前記マッチ素子は、

前記第三の結果を受信するように構成された第三の入力と、

前記特定の結果を受信するように構成された第四の入力と、

前記第三の結果もしくは前記特定の結果を選択的に提供するように構成された第二の出力と、

をさらに含む、

ことを特徴とするデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、概して電子デバイスに関し、より詳細には、ある実施形態においては、パターン認識用のパラレル有限ステートマシンを有する電子デバイスに関する。

【背景技術】

【0002】

複雑なパターン認識は、従来のフォンノイマンベースコンピュータ上で実施するために非効率的である可能性がある。しかしながら、生物学的脳、特に人の脳は、パターン認識の実施に熟達している。現在の研究は、人の脳は、新皮質においてヒエラルキー的に組織化された一連のニューロン（神経細胞）層を利用して、パターン認識を実施することを示唆している。ヒエラルキーのより下層におけるニューロンは、例えば、感覚器官からの“生信号”を解析し、より上層におけるニューロンは、より低いレベルのニューロンからの信号出力を解析する。新皮質におけるこのヒエラルキーシステムは、ことによると脳の他の領域と組み合わせて、空間推論、意識的思考、複雑な言語などの高レベル機能を人が実施することを可能にする複雑なパターン認識を達成する。

【0003】

コンピューティングの分野においては、パターン認識タスクはますますやりがいのあるものになっている。コンピュータ間でますます大量のデータが伝送され、ユーザが検出を望むパターン数は増加している。例えば、スパムもしくはマルウェアはしばしば、データストリーム内でパターン（例えば、特定の句もしくはコードの一部）を検索することによって検出される。新規パターンが新規変形を検索するために実装されるにつれて、パターン数は、スパムおよびマルウェアの多様性ととも増加する。これらのパターンの各々に対してデータストリームを検索することは、コンピューティングボトルネックを形成する可能性がある。しばしば、データストリームが受信されると、一度に一つずつ各パターンに対してそれが検索される。システムがデータストリームの次の部分を検索するために準備するまでの遅延は、パターン数とともに増加する。したがって、パターン認識は、データの受信を遅延させる可能性がある。

【0004】

ハードウェアは、パターン用のデータストリームを検索するために設計されてきたが、このハードウェアは、しばしば、与えられた期間において十分なデータ量进行处理することができない。データストリームを検索するように構成された幾つかのデバイスは、複数の回路間でデータを分散することによって、十分なデータ量进行处理する。回路は、データストリームがパターンの一部にマッチするか否かを各々判定する。しばしば、多数の回路が平行に動作して、各々がほぼ同時にデータストリームを検索する。しかしながら、生物学的脳以上に効率的にパターン認識を実施することが可能なシステムは存在しなかった。そのようなシステムの開発が望ましい。

【図面の簡単な説明】

【0005】

10

20

30

40

50

【図 1】本発明の種々の実施形態に従うステートマシンエンジンを有するシステムの一実施例を示す。

【図 2】本発明の種々の実施形態に従う、図 1 のステートマシンエンジンの F S M ラチスの一実施例を示す。

【図 3】本発明の種々の実施形態に従う、図 2 の F S M ラチスのブロックの一実施例を示す。

【図 4】本発明の種々の実施形態に従う、図 3 のブロックの行の一実施例を示す。

【図 5】本発明の種々の実施形態に従う、図 4 の行のうちの 2 のグループの一実施例を示す。

【図 6】本発明の種々の実施形態に従う、有限ステートマシングラフの一実施例を示す。

【図 7】本発明の種々の実施形態に従う、F S M ラチスで実現された 2 レベルヒエラルキーの一実施例を示す。

【図 8】本発明の種々の実施形態に従う、コンパイラが図 2 の F S M ラチスのプログラミング用のバイナリファイルへとソースコードを変換するための方法の一実施例を示す。

【図 9】本発明の種々の実施形態に従う、ステートマシンエンジンを示す。

【図 10】本発明の種々の実施形態に従う、図 3 のブロックの行の第二の実施例を示す。

【図 11】本発明の種々の実施形態に従う、図 10 のマッチ素子の一実施例を示す。

【図 12】本発明の種々の実施形態に従う、図 11 のマルチプレクサに対応する真理値表を示す。

【発明を実施するための形態】

【0006】

続いて図面に関連して、図 1 は、参照番号 10 によって概して示されるプロセッサベースシステムの一実施形態を示す。システム 10 は、デスクトップコンピュータ、ラップトップコンピュータ、ページャ、携帯電話、パーソナルオーガナイザ、ポータブル音声プレイヤー、制御回路、カメラなどの種々のタイプのうちの任意のものであってもよい。システム 10 は、ルータ、サーバ、クライアントなどのネットワークノード（例えば、前述されたタイプのコンピュータのうちの一つ）であってよい。システム 10 は、コピー機、スキャナ、プリンタ、ゲーム機、テレビ、セットトップビデオ配信もしくは録画システム、ケーブルボックス、パーソナルデジタルメディアプレイヤー、工場オートメーションシステム、乗用車コンピュータシステム、医療デバイスなどの、幾つかの他の種類の電子デバイスであってよい。（本明細書で使用される他の用語のうちの多くと同様に、これらの種々のシステムの実施例を記述するために使用される用語は、幾つかの指示物を共有し、それゆえ、記載された他の品目があるからという理由で狭小に解釈されるべきではない。）

【0007】

システム 10 などの典型的なプロセッサベースデバイスにおいては、マイクロプロセッサなどのプロセッサ 12 は、システム 10 におけるシステム機能および要求の処理を制御する。さらには、プロセッサ 12 は、システム制御を共有する複数のプロセッサを含んでもよい。プロセッサ 12 がシステム 10 内に格納されうるか、システム 10 の外部に格納されうる命令を実行することによってシステム 10 を制御するように、プロセッサ 12 は、システム 10 における構成要素のうちの各々に直接もしくは間接的に結合されてもよい。

【0008】

本明細書で記述された実施形態に従い、システム 10 は、ステートマシンエンジン 14 を含み、ステートマシンエンジン 14 はプロセッサ 12 の制御下で動作してもよい。ステートマシンエンジン 14 は、Meal y アーキテクチャ、Mo o r e アーキテクチャ、有限ステートマシン (F S M)、決定論的 F S M (D F S M)、ビット・パラレルステートマシン (B P S M) などを含むがそのいずれにも限定はされない多数のステートマシンアーキテクチャのうちの任意のアーキテクチャを使用してもよい。議論する目的用に種々のアーキテクチャが使用されてもよいが、アプリケーションは F S M に言及する。しかしな

10

20

30

40

50

から、記述された技術は、種々のステートマシンアーキテクチャのうちの任意のアーキテクチャを利用して使用されることが当業者には理解されるであろう。

【0009】

以下にさらに議論されるように、ステートマシンエンジン14は、多数（例えば一つ以上）の有限ステートマシン（FSM）ラチスを含んでもよい。各FSMラチスは、各々が同一のデータをパラレルに受信して解析する複数のFSMを含んでもよい。さらには、FSMラチスのクラスタが同一の入力データをパラレルに解析しうるようにFSMラチスは、グループ（例えばクラスタ）で配列されてもよい。さらには、ステートマシンエンジン14のFSMラチスのクラスタはヒエラルキー構造に配列され、ヒエラルキー構造のより低レベルにおけるステートマシンラチスからの出力は、より高レベルにおけるステートマシンラチスに対する入力として使用されてもよい。ヒエラルキー構造を通して直列にステートマシンエンジン14のパラレルFSMラチスのクラスタをカスケード接続することによって、より多くの複雑なパターンが解析される（例えば、評価され、検索されるなど）可能性がある。

10

【0010】

さらには、ステートマシンエンジン14のヒエラルキーパラレル構造に基づいて、ステートマシンエンジン14は、高い処理速度を利用するシステムにおいてパターン認識用を使用することができる。例えば、本明細書で記述される実施形態は、1Gバイト/秒の処理速度を有するシステムで組み込まれてもよい。したがって、ステートマシンエンジン14を利用して、高速メモリデバイスもしくは他の外部デバイスからのデータは、種々のパターンに対して迅速に解析される可能性がある。ステートマシンエンジン14は、幾つかの基準および其々の検索語に従ってデータストリームを、ほぼ同時に（例えば、単一のデバイスサイクル間に）解析してもよい。ステートマシンエンジン14のレベル上のFSMのクラスタ内の各FSMラチスは、ほぼ同時にデータストリームから同一の検索語を各々受信して、各パラレルFSMラチスは、当該用語が処理基準における次の状態へとステートマシンエンジン14を進めるか否かを判定してもよい。ステートマシンエンジン14は、比較的多数の基準（例えば、100以上、110以上もしくは10000以上）に従って用語を解析してもよい。それらはパラレルに動作するため、データストリームを遅くすることなく、比較的高いバンド幅を有するデータストリーム（例えば、1Gバイト/秒以上のデータストリーム）に対して基準を適用してもよい。

20

30

【0011】

一実施形態においては、ステートマシンエンジン14は、データストリームにおける多数のパターンを認識する（例えば検出する）ように構成されてもよい。例えば、ステートマシンエンジン14は、ユーザもしくは他のエンティティが解析を望む種々のタイプのデータストリームのうちの一つ以上におけるパターンを検出するために使用されてもよい。例えば、ステートマシンエンジン14は、インターネット上で受信されたパケット、携帯電話ネットワーク上で受信された音声もしくはデータなどのネットワーク上で受信されたデータストリームを解析するように構成されてもよい。一実施例においては、ステートマシンエンジン14は、スパムもしくはマルウェア用のデータストリームを解析するように構成されてもよい。データストリームは、シリアルデータストリームとして受信され、データは、時間的、単語的、意味的に重要な順序など、意味のある順序で受信される。あるいは、データストリームは、パラレルもしくは順序に関係なく受信され、その後、例えば、インターネット上で受信されたパケットを再配列することによってシリアルデータストリームに変換されてもよい。幾つかの実施形態においては、データストリームはシリアルに用語を提示するが、各用語を表すビットはパラレルに受信されてもよい。データストリームはシステム10へと外部ソースから受信されるか、メモリ16などのメモリデバイスからデータを得て、メモリ16内に格納されたデータからデータストリームを形成することによって形成されてもよい。他の実施例においては、ステートマシンエンジン14は、ある単語を綴る文字シーケンス、遺伝子を特定する遺伝子塩基対のシーケンス、画像の一部を形成する画像もしくはビデオファイルにおけるビットのシーケンス、プログラムの一

40

50

部を形成する実行可能なファイルにおけるビットのシーケンス、または、歌もしくは発話フレーズの一部を形成する音声ファイルにおけるビットのシーケンスを認識するように構成されてもよい。解析されるべきデータストリームは、例えば、ベーステン、ASCIIなどのバイナリフォーマットもしくは他のフォーマットにおける複数ビットのデータを含んでもよい。ストリームは、例えば幾つかのバイナリデジットなどの単一デジットもしくは複数デジットを有するデータをエンコードしてもよい。

【0012】

理解されるように、システム10はメモリ16を含んでもよい。メモリ16は、ダイナミックランダムアクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SRAM)、同期式DRAM(SDRAM)、ダブルデータレートDRAM(DDR DRAM)、DDR2 SDRAM、DDR3 SDRAMなどの揮発性メモリを含んでもよい。メモリ16は、揮発性メモリと組み合わせて使用するための、リードオンリーメモリ(ROM)、PC-RAM、シリコン・酸化物・窒化物・酸化物・シリコン(SONOS)メモリ、金属・酸化物・窒化物・酸化物・シリコン(MONOS)メモリ、ポリシリコン浮遊ゲートベースメモリおよび/もしくは種々のアーキテクチャの他のタイプのフラッシュメモリ(例えば、NANDメモリ、NORメモリなど)などの不揮発性メモリをも含んでもよい。メモリ16は、ステートマシンエンジン14によって解析されるデータを提供しうるDRAMデバイスなどの一つ以上のメモリデバイスを含んでもよい。当該デバイスは、ソリッドステートドライブ(SSD's)、マルチメディアメディアカード(MMC's)、セキュアデジタル(SD)カード、コンパクトフラッシュ(登録商標)(CF)カード、もしくは任意の他の適切なデバイスと称されるか、またはそれらを含んでもよい。さらには、当該デバイスはユニバーサルシリアルバス(USB)、ペリフェラルコンポーネントインターコネクト(PCI)、PCIエクスプレス(PCI-E)、スモールコンピュータシステムインターフェイス(SCSI)、IEEE1394(ファイアワイヤ)もしくは任意の他の適切なインターフェイスなどの任意の適切なインターフェイスを介してシステム10へと結合しうることを理解されるべきである。フラッシュメモリデバイスなどのメモリ16の動作を容易にするために、システム10は、(図示されていない)メモリコントローラを含んでもよい。理解されるように、メモリコントローラは、独立したデバイスであるか、プロセッサ12と一体であってもよい。さらには、システム10は、磁気記憶デバイスなどの外部ストレージ18を含んでもよい。外部ストレージもまた、ステートマシンエンジン14に入力データを提供してもよい。

【0013】

システム10は、多数のさらなる構成要素を含んでもよい。例えば、コンパイラ20は、図8に関連してより詳細に記述されるように、ステートマシンエンジン14をプログラムするために使用されてもよい。入力デバイス22は、ユーザがシステム10にデータを入力することを可能にするために、プロセッサ12に結合されてもよい。例えば、入力デバイス22は、ステートマシンエンジン14によるその後の解析用にメモリ16へとデータを入力するために使用されてもよい。入力デバイス22は、ボタン、スイッチング素子、キーボード、ライトペン、スタイラス、マウスおよび/もしくは音声認識システムを例えば含んでもよい。ディスプレイなどの出力デバイス24も、プロセッサ12に結合されてもよい。ディスプレイ24は、例えば、LCD、CRT、LEDおよび/もしくは音声ディスプレイを含んでもよい。システムは、インターネットなどのネットワークとインターフェイスを介して接続するために、ネットワークインターフェイスカード(NIC)などのネットワークインターフェイスデバイス26を含んでもよい。理解されるように、システム10は、システム10の用途に依存して、多くの他のコンポーネントを含んでもよい。

【0014】

図2 - 図5は、FSMラチス30の一実施例を示す。一実施例においては、FSMラチス30は、ブロック32のアレイを含む。記述されるように、各ブロック32は、FSMにおける複数の状態に対応する複数の選択的に結合可能なハードウェア素子(例えば、ブ

10

20

30

40

50

プログラマブル素子および/もしくは専用素子)を含んでもよい。FSMにおける状態に類似して、ハードウェア素子は、入力ストリームを解析して、入力ストリームに基づいて下流(ダウストリーム)ハードウェア素子をアクティブ化することができる。

【0015】

プログラマブル素子は、多くの異なる機能を実施するためにプログラムすることができる。例えば、プログラマブル素子は、行38(図3および図4に示される)とブロック32(図2および図3に示される)へとヒエラルキー的に組織化されたステートマシン素子(SME)34、36(図5に示される)を含んでもよい。ヒエラルキー的に組織化されたSME34、36の間で信号をルーティングするために、ブロック間スイッチング素子40(図2および図3に示される)、ブロック内スイッチング素子42(図3および図4に示される)、行内スイッチング素子44(図4に示される)を含むプログラマブルスイッチング素子のヒエラルキーが使用される可能性がある。

10

【0016】

以下に記述されるように、スイッチング素子は、ルーティング構造およびバッファを含んでもよい。SME34、36は、FSMラチス30によって実現されるFSMの状態に対応する可能性がある。SME34、36は、以下に記述されるようなプログラマブルスイッチング素子を利用することによってともに結合することができる。したがって、FSMは、状態の機能に対応するために、SME34、36をプログラムすることによって、かつ、FSMにおける状態間の遷移に対応するためにSME34、36をともに選択的に結合することによって、FSMラチス30上で実現することができる。

20

【0017】

図2は、FSMラチス30の一実施例の全体図を示す。FSMラチス30は、プログラマブルブロック間スイッチング素子40とともに選択的に結合することができる複数のブロック32を含む。ブロック間スイッチング素子40は、導体46(例えば、ワイヤ、トレースなど)およびバッファ48、50を含んでもよい。一実施例においては、バッファ48および50は、ブロック間スイッチング素子40とやり取りする信号の接続およびタイミングを制御するために含まれる。以下にさらに記述されるように、バッファ48は、ブロック32間で送信されるデータをバッファするために提供され、バッファ50は、ブロック間スイッチング素子40間で送信されるデータをバッファするために提供されてもよい。さらには、ブロック32は、信号(例えばデータ)を受信し、ブロック32へとデータを提供するために入力ブロック52(例えばデータ入力ポート)へと選択的に結合することができる。ブロック32は、外部デバイス(例えば、別のFSMラチス30)へとブロック32からの信号を提供するために、出力ブロック54(例えば、出力ポート)へも選択的に結合することができる。FSMラチス30は、FSMラチス30上のプログラム(例えば、画像)をロードするためにプログラミングインターフェイス56を含んでもよい。画像は、SME34、36の状態をプログラム(例えば設定)することができる。即ち、画像は、入力ブロック52において与えられた入力にある方法で反応するようにSME34、36を構成することができる。例えば、SME34、36は、文字'a'が入力ブロック52で受信されるとき、ハイ信号を出力するように設定することができる。

30

【0018】

一実施例においては、入力ブロック52、出力ブロック54および/もしくはプログラミングインターフェイス56は、レジスタとして実現され、レジスタへの書き込みもしくはレジスタからの読み出しは、其々の素子へのデータもしくは其々の素子からのデータを提供する。したがって、プログラミングインターフェイス56に対応するレジスタに格納された画像からのビットは、SME34、36上でロードすることができる。図2は、ブロック32、入力ブロック52、出力ブロック54、ブロック間スイッチング素子40間で、ある数の導体(例えば、ワイヤ、トレース)を示しているが、他の実施例においては、より少ないかより多い数の導体が使用されてもよいことを理解されたい。

40

【0019】

図3は、ブロック32の一実施例を示す。ブロック32は、プログラマブルブロック内

50

スイッチング素子 4 2 と選択的に結合することができる複数の行 3 8 を含む可能性がある。さらには、行 3 8 は、ブロック間スイッチング素子 4 0 で、別のブロック 3 2 内の別の行 3 8 へと選択的に結合することができる。行 3 8 は、本明細書においては、2 のグループ (GOT) 6 0 と称される素子の対へと組織化された複数の SME 3 4、3 6 を含む。一実施例においては、ブロック 3 2 は、1 6 個の行 3 8 を含む。

【 0 0 2 0 】

図 4 は、行 3 8 の一実施例を示す。GOT 6 0 は、プログラマブル行内スイッチング素子 4 4 によって、行 3 8 内の任意の他の素子 (例えば、専用素子 5 8) および他の GOT 6 0 へと選択的に結合することができる。GOT 6 0 は、ブロック内スイッチング素子 4 2 によって他の行 3 8 における他の GOT 6 0 へと、または、ブロック間スイッチング素子 4 0 によって他のブロック 3 2 における他の GOT 6 0 へと結合することができる。一実施例においては、GOT 6 0 は、第一の入力 6 2、第二の入力 6 4、出力 6 6 を有する。図 5 に関連してさらに示されるように、第一の入力 6 2 は、GOT 6 0 の第一の SME 3 4 へと結合され、第二の入力 6 4 は、GOT 6 0 の第二の SME 3 4 へと結合される。

【 0 0 2 1 】

一実施例においては、行 3 8 は、第一および第二の複数の行相互接続導体 6 8、7 0 を含む。一実施例においては、GOT 6 0 の入力 6 2、6 4 は、一つ以上の行相互接続導体 6 8、7 0 へと結合され、出力 6 6 は、一つの行相互接続導体 6 8、7 0 へと結合される可能性がある。一実施例においては、第一の複数の行相互接続導体 6 8 は、行 3 8 内の各 GOT 6 0 の各 SME 3 4、3 6 へと結合することができる。第二の複数の行相互接続導体 7 0 は、行 3 8 内の各 GOT 6 0 のうちの唯一つの SME 3 4、3 6 へと結合することができるが、GOT 6 0 の他方の SME 3 4、3 6 へは結合することができない。一実施例においては、図 5 に関連してより明瞭に示されるように、第二の複数の行相互接続導体 7 0 のうちの前半 (第一の半分) は、行 3 8 内の SME 3 4、3 6 のうちの前半 (各 GOT 6 0 からの一つの SME 3 4) に結合することができ、第二の複数の行相互接続導体 7 0 のうちの後半 (第二の半分) は、行 3 8 内の SME 3 4、3 6 のうちの後半 (各 GOT 6 0 の他の SME 3 4、3 6) に結合することができる。第二の複数の行相互接続導体 7 0 と SME 3 4、3 6 との間の限定された接続は、本明細書においては、“パリティ”と称される。一実施例においては、行 3 8 は、カウンタ、プログラマブルブール型論理素子、ルックアップテーブル、RAM、フィールドプログラマブルゲートアレイ (FPGA)、特定用途向け集積回路 (ASIC)、プログラマブルプロセッサ (例えば、マイクロプロセッサ) もしくは専用機能を実施するための他の素子などの専用素子 5 8 を含む可能性がある。

【 0 0 2 2 】

一実施例においては、専用素子 5 8 は、カウンタ (本明細書においては、カウンタ 5 8 と称される) を含む。一実施例においては、カウンタ 5 8 は 1 2 ビットプログラマブルダウンカウンタを含む。1 2 ビットプログラマブルカウンタ 5 8 は、カウンティング入力、リセット入力、ゼロカウント出力を有する。カウンティング入力は、アサートされると、1 ずつカウンタ 5 8 の値をデクリメントする。リセット入力は、アサートされると、関連するレジスタからの初期値をカウンタ 5 8 にロードさせる。1 2 ビットカウンタ 5 8 に対して、1 2 ビットの数までが初期値としてロードすることができる。カウンタ 5 8 の値がゼロ (0) までデクリメントされると、ゼロカウント出力がアサートされる。カウンタ 5 8 は、少なくとも二つのモードであるパルスおよびホールドをも有する。カウンタ 5 8 がパルスモードに設定されると、カウンタ 5 8 がゼロへデクリメントするとき、クロックサイクル中にゼロカウント出力がアサートされ、次のクロックサイクルにおいて、ゼロカウント出力はもはやアサートされない。カウンタ 5 8 がホールドモードに設定されると、カウンタ 5 8 がゼロへデクリメントするとき、クロックサイクル中にゼロカウント出力がアサートされ、アサートされたリセット入力によってカウンタ 5 8 がリセットされるまでアサートされたままである。

【 0 0 2 3 】

別の実施例においては、専用素子58は、ブール型論理を含む。幾つかの実施例においては、このブール型論理は、FSMラチス30における(本明細書でこの後議論されるようなFSMの端末ノードに対応する)端末状態SMEからの情報を抽出するために使用することができる。抽出された情報は、他のFSMラチス30に状態情報を伝送するために、および/もしくはFSMラチス30を再プログラムするか別のFSMラチス30を再プログラムするために使用されるプログラミング情報を伝送するために、使用することができる。

【0024】

図5は、GOT60の一実施例を示す。GOT60は、入力62、64を有し、ORゲート76および3:1マルチプレクサ78に結合された出力72、74を有する第一のSME34、第二のSME36を含む。3:1マルチプレクサ78は、第一のSME34、第二のSME36、もしくはORゲート76のいずれかへとGOT60の出力66を結合するように設定することができる。ORゲート76は、GOT60の共通出力66を形成するために双方の出力72、74を結合するために使用することができる。一実施例においては、第一および第二のSME34、36は、上述されたようなパリティを示し、第一のSME34の入力62は行相互接続導体68の幾つかに結合され、第二のSME36の入力64は、他の行相互接続導体70へと結合される可能性がある。一実施例においては、GOT60内の二つのSME34、36はカスケード接続されるか、および/もしくはスイッチング素子79のいずれかもしくは双方を設定することによってそれ自身にループバックされる可能性がある。SME34、36は、SME34、36の出力72、74を他のSME34、36の入力62、64へと結合することによってカスケード接続することができる。SME34、36は、出力72、74をそれら自身の入力62、64へと接続することによって、自身へとループバックすることができる。したがって、第一のSME34の出力72は、第一のSME34の入力62および第二のSME36の入力64のうちの一つもしくはその双方に結合されるか、何れにも結合されない可能性がある。

【0025】

一実施例においては、ステートマシン素子34、36は、検出ライン82へと平行に結合されたダイナミックランダムアクセスメモリ(DRAM)でしばしば利用されるような複数のメモリセル80を含む。当該メモリセル80のうちの一つは、ハイもしくはロウの値(例えば、1もしくは0)のいずれかに対応するような、データ状態に設定することができるメモリセルを含む。メモリセル80の出力は、検出ライン82に結合され、メモリセル80の入力は、データストリームライン84上のデータに基づいて信号を受信する。一実施例においては、データストリームライン84上の入力は、メモリセル80のうちの選択された一つへとデコードされる。選択されたメモリセル80は、検出ライン82上の出力としてその格納されたデータ状態を提供する。例えば、入力ブロック52で受信されたデータは、(図示されていない)デコーダへと提供され、デコーダは、データストリームライン84のうちの一つを選択することができる。一実施例においては、デコーダは、256本のデータストリームライン84のうちに対応する1本へと、8ビットASCII文字を変換することができる。

【0026】

メモリセル80は、したがって、メモリセル80がハイ値に設定されると検出ライン82へとハイ信号を出力して、データストリームライン84上のデータはメモリセル80に対応する。データストリームライン84上のデータがメモリセル80に対応し、メモリセル80がロウ値へと設定されるとき、メモリセル80は検出ライン82へとロウ信号を出力する。検出ライン82上のメモリセル80からの出力は、検出セル86によって検知される。

【0027】

一実施例においては、入力ライン62、64上の信号は、アクティブもしくは非アクティブ状態のいずれかに其々の検出セル86を設定する。非アクティブ状態に設定されると、検出セル86は、其々の検出ライン82上の信号に関わらず、其々の出力72、74上

10

20

30

40

50

にロウ信号を出力する。アクティブ状態に設定されると、検出セル 86 は、ハイ信号が其々の S M E 34、36 のメモリセル 82 のうちの一つから検出されると、其々の出力ライン 72、74 上にハイ信号を出力する。アクティブ状態においては、其々の S M E 34、36 のメモリセル 82 の全てからの信号がロウであるとき、検出セル 86 は、其々の出力ライン 72、74 上にロウ信号を出力する。

【0028】

一実施例においては、S M E 34、36 は、256 個のメモリセル 80 を含み、各メモリセル 80 は、異なるデータストリームライン 84 に結合される。したがって、S M E 34、36 は、データストリームライン 84 の選択された一つ以上がその上にハイ信号を有するときにハイ信号を出力するようにプログラムすることができる。例えば、S M E 34 は、ハイに設定された第一のメモリセル 80 (例えばビット 0) と、ロウに設定された他の全てのメモリセル 80 (例えば、ビット 1 - 255) を有する可能性がある。其々の検出セル 86 がアクティブ状態にあるとき、ビット 0 に対応するデータストリームライン 84 がその上にハイ信号を有すると、S M E 34 は出力 72 上にハイ信号を出力する。他の実施例においては、複数のデータストリームライン 84 のうちの 하나가、適切なメモリセル 80 をハイ値に設定することによってハイ信号をその上に有すると、S M E 34 は、ハイ信号を出力するように設定することができる。

【0029】

一実施例においては、メモリセル 80 は関連するレジスタからのビットを読み出すことによって、ハイもしくはロウ値へと設定することができる。したがって、S M E 34 は、レジスタへとコンパイラ 20 によって生成された画像を格納して、関連するメモリセル 80 へとレジスタ内のビットをロードすることによってプログラムすることができる。一実施例においては、コンパイラ 20 によって生成された画像は、ハイおよびロウ (例えば、1 および 0) ビットのバイナリ画像を含む。画像は、S M E 34、36 をカスケード接続することによって、F S M として動作させるために、F S M ラチス 30 をプログラムすることができる。例えば、第一の S M E 34 は、検出セル 86 をアクティブ状態に設定することによって、アクティブ状態に設定することができる。第一の S M E 34 は、ビット 0 に対応するデータストリームライン 84 がその上にハイ信号を有するとき、ハイ信号を出力するように設定することができる。第二の S M E 36 は、最初に非アクティブ状態に設定されるが、ビット 1 に対応するデータストリームライン 84 がその上にハイ信号を有するとき、アクティブになり、ハイ信号を出力するように設定することができる。第一の S M E 34 および第二の S M E 36 は、第一の S M E 34 の出力 72 を第二の S M E 36 の入力 64 へと結合するように設定することによって、カスケード接続することができる。したがって、ハイ信号が、ビット 0 に対応するデータストリームライン 84 上に検知されると、第一の S M E 34 は、出力 72 上にハイ信号を出力して、第二の S M E 36 の検出セル 86 をアクティブ状態に設定する。ビット 1 に対応するデータストリームライン 84 上にハイ信号が検知されると、第二の S M E 36 は、別の S M E 36 をアクティブ化するため、もしくは F S M ラチス 30 からの出力用に出力 74 上にハイ信号を出力する。

【0030】

一実施例においては、単一の F S M ラチス 30 は、単一の物理デバイス上に実現されるが、他の実施例においては、二つ以上の F S M ラチス 30 が単一の物理デバイス (例えば物理チップ) 上に実現される可能性がある。一実施例においては、各 F S M ラチス 30 は、別個のデータ入力ブロック 52、別個の出力ブロック 54、別個のプログラミングインターフェイス 56、別個のプログラミング素子の組を含む可能性がある。さらには、プログラマブル素子の各組は、その対応するデータ入力ブロック 52 におけるデータに対して反応する (例えば、ハイもしくはロウ信号を出力する) ことができる。例えば、第一の F S M ラチス 30 に対応する第一組のプログラマブル素子は、第一の F S M ラチス 30 に対応する第一のデータ入力ブロック 52 におけるデータに対して反応することができる。第二の F S M ラチス 30 に対応する第二組のプログラマブル素子は、第二の F S M ラチス 30 に対応する第二のデータ入力ブロック 52 に対して反応することができる。したがって

10

20

30

40

50

、各 F S M ラチス 3 0 は、一組のプログラマブル素子を含み、異なる組のプログラマブル素子は、異なる入力データに反応することができる。同様に、各 F S M ラチス 3 0 および各対応する組のプログラマブル素子は、個別出力を提供することができる。幾つかの実施例においては、第一の F S M ラチス 3 0 からの出力ブロック 5 4 は、第二の F S M ラチス 3 0 の入力ブロック 5 2 に結合することができ、第二の F S M ラチス 3 0 用の入力データは、一連の F S M ラチス 3 0 のヒエラルキー配列における第一の F S M ラチス 3 0 からの出力データを含むことができる。

【 0 0 3 1 】

一実施例においては、F S M ラチス 3 0 にロードするための画像は、F S M ラチス 3 0 内のプログラマブル素子、プログラマブルスイッチング素子、専用素子を構成するための複数ビットの情報を含む。一実施例においては、画像は、ある入力に基づいて、所望の出力を提供するために、F S M ラチス 3 0 をプログラムするために、F S M ラチス 3 0 上にロードすることができる。出力ブロック 5 4 は、データ入力ブロック 5 2 におけるデータに対して、プログラマブル素子の反応に基づいて、F S M ラチス 3 0 からの出力を提供することができる。出力ブロック 5 4 からの出力は、任意のパターンのマッチを示す単一ビット、複数のパターンのマッチ（一致）および不一致を示す複数ビットを含む語、任意の瞬間における全てもしくはあるプログラマブル素子の状態に対応する状態ベクトルを含む可能性がある。記述されるように、多数の F S M ラチス 3 0 は、ステートマシンエンジン 1 4 などのステートマシンエンジンに含まれ、パターン認識（例えば、音声認識、画像認識など）、信号処理、画像処理、コンピュータビジョン、クリプトグラフィーなどのデータ解析を実施する。

【 0 0 3 2 】

図 6 は、F S M ラチス 3 0 によって実現できる有限ステートマシン（F S M）の例示的な一モデルを示す。F S M ラチス 3 0 は、F S M の物理的実装として構成される（例えばプログラムされる）可能性がある。F S M は、一つ以上のルートノード 9 2 を含む図形 9 0（例えば、有向グラフ、無向グラフ、擬グラフ）として表すことができる。ルートノード 9 2 に加えて、F S M は、幾つかの標準ノード 9 4 と、一つ以上の辺 9 8 を通してルートノード 9 2 および他の標準ノード 9 4 に接続される端末ノード 9 6 とで形成される可能性がある。ノード 9 2、9 4、9 6 は F S M における状態に対応する。辺 9 8 は、状態間の遷移に対応する。

【 0 0 3 3 】

各ノード 9 2、9 4、9 6 は、アクティブもしくは非アクティブ状態のいずれかにある可能性がある。非アクティブ状態にあるとき、ノード 9 2、9 4、9 6 は入力データに対して反応（例えば応答）しない。アクティブ状態にあるとき、ノード 9 2、9 4、9 6 は入力データに対して反応できる。上流ノード 9 2、9 4 は、上流ノード 9 2、9 4 と下流ノード 9 4、9 6 の間の辺 9 8 によって特定される基準に入力データがマッチするときに、ノードから下流にあるノード 9 4、9 6 をアクティブ化することによって入力データに対して反応できる。例えば、第一のノード 9 4 がアクティブであり、かつ文字 ‘ b ’ が入力データとして受信されるとき、文字 ‘ b ’ を特定する第一のノード 9 4 は、辺 9 8 によって第一のノード 9 4 へと接続された第二のノード 9 4 をアクティブ化する。本明細書で使用されるような“上流”は、一つ以上のノード間の関係を称し、一つ以上の他のノードの上流（ループもしくはフィードバック構成の場合にはそれ自身の上流）である第一のノードとは、第一のノードが他の一つ以上のノードをアクティブ化できる（もしくはループの場合にはそれ自身をアクティブ化できる）状況のことを称する。同様に、“下流”とは、他の一つ以上のノードの下流（ループの場合にはそれ自身の下流）にある第一のノードが一つ以上の他のノードによってアクティブ化されうる（ループの場合にはそれ自身によってアクティブ化されうる）関係を称する。したがって、“上流”および“下流”という用語は、本明細書においては、一つ以上のノード間の関係を称するために使用されるが、これらの用語は、ノード間のループもしくは他の非線形経路の利用を排除することはない。

10

20

30

40

50

【 0 0 3 4 】

図形 90 においては、ルートノード 92 は最初にアクティブ化され、入力データがルートノード 92 からの辺 98 とマッチするとき、下流ノード 94 をアクティブ化することができる。ノード 94 は、ノード 94 からの辺 98 に入力データがマッチするとき、ノード 96 をアクティブ化することができる。図形 90 中のノード 94、96 は、入力データが受信されると、この方法でアクティブ化することができる。端末ノード 96 は、入力データによる興味あるシーケンスのマッチに対応する。したがって、端末ノード 96 のアクティブ化は、入力データとして、興味あるシーケンスが受信されたことを示す。パターン認識機能を実現する F S M ラチス 30 の状況においては、端末ノード 96 への到着は興味ある特定のパターンが入力データにおいて検出されたことを示す可能性がある。

10

【 0 0 3 5 】

一実施例においては、各ルートノード 92、標準ノード 94、端末ノード 96 は、F S M ラチス 30 におけるプログラマブル素子に対応する可能性がある。各辺 98 は、プログラマブル素子間の接続に対応する可能性がある。したがって、別の標準ノード 94 もしくは端末ノード 96 に遷移する（例えば、別の標準ノード 94 もしくは端末ノード 96 に接続する辺 98 を有する）標準ノード 94 は、別のプログラマブル素子へと遷移する（例えば、別のプログラマブル素子へと出力を提供する）プログラマブル素子に対応する。幾つかの実施例においては、ルートノード 92 は、対応するプログラマブル素子を有しない。

【 0 0 3 6 】

F S M ラチス 30 がプログラムされると、各プログラマブル素子は、アクティブか非アクティブ状態のいずれかにある可能性がある。任意のプログラマブル素子は、非アクティブなとき、対応するデータ入力ブロック 52 において入力データに反応しない。アクティブなプログラマブル素子は、データ入力ブロック 52 において入力データに反応し、入力データがプログラマブル素子の設定にマッチするとき、下流プログラマブル素子をアクティブ化することができる。プログラマブル素子が端末ノード 96 に対応するとき、プログラマブル素子は、外部デバイスへマッチの指示を提供するために、出力ブロック 54 に結合される可能性がある。

20

【 0 0 3 7 】

プログラミングインターフェイス 56 を介して F S M ラチス 30 上にロードされた画像は、プログラマブル素子と専用素子との間の接続と同様、プログラマブル素子と専用素子を構成し、所望の F S M はデータ入力ブロック 52 におけるデータに対する反応に基づいて、連続的なノードのアクティブ化を通して実現される。一実施例においては、プログラマブル素子は、単一のデータサイクル（例えば、単一の文字、一組の文字、単一のクロックサイクル）中にアクティブなままであり、その後、上流プログラマブル素子によって再アクティブ化されるまでは非アクティブとなる。

30

【 0 0 3 8 】

端末ノード 96 は、過去のイベントの圧縮されたヒストリを格納すると考えられる可能性がある。例えば、端末ノード 96 に到達することを必要とされる一つ以上のパターンの入力データは、端末ノード 96 のアクティブ化によって表すことができる。一実施例においては、端末ノード 96 によって提供される出力はバイナリであって、即ち、出力は、興味あるパターンがマッチしたか否かを示す。図形 90 における標準ノード 94 に対する端末ノード 96 の割合は、非常に小さい可能性がある。換言すると、F S M には高い複雑性が存在することがあるが、F S M の出力は、比較的小さくなりうる。

40

【 0 0 3 9 】

一実施例においては、F S M ラチス 30 の出力は、状態ベクトルを含む可能性がある。状態ベクトルは、F S M ラチス 30 のプログラマブル素子の状態（例えば、アクティブ化されているか否か）を含む。一実施例においては、状態ベクトルは、端末ノード 96 に対応するプログラマブル素子の状態を含む。したがって、出力は、図形 90 の全端末ノード 96 によって提供される指示の集合を含む可能性がある。状態ベクトルは、単語として表され、各端末ノード 96 によって提供されるバイナリ指示は 1 ビットの単語を含む。端末

50

ノード96のこのエンコードは、FSMラチス30に対する検出状態の有効な指示（例えば、興味あるシーケンスが検出されたか否か、興味あるシーケンスは何か）を提供することができる。別の実施例においては、プログラマブル素子が端末ノード96に対応するかどうかに関わらず、状態ベクトルは、プログラマブル素子の全てもしくはサブセットの状態を含むことができる。

【0040】

上述されたように、FSMラチス30は、パターン認識機能を実現するためにプログラムすることができる。例えば、FSMラチス30は入力データにおける一つ以上のデータシーケンス（例えば、署名、パターン）を認識するように構成することができる。興味あるデータシーケンスがFSMラチス30によって認識されると、当該認識の指示を出力ブロック54において提供することができる。一実施例においては、パターン認識は、シンボルのストリング（例えば、ASCII文字）を、例えば、ネットワークデータにおけるマルウェアもしくは他の情報を識別するために認識することができる。

10

【0041】

図7は、ヒエラルキー構造100の一実施例を示し、ここでは、FSMラチス30の二レベルが直列に結合され、データを解析するために使用される。つまり、示された実施形態においては、ヒエラルキー構造100は、直列に配列された第一のFSMラチス30Aと第二のFSMラチス30Bを含む。各FSMラチス30は、データ入力を受信するための其々のデータ入力ブロック52と、プログラミング信号を受信するためのプログラミングインターフェイスブロック56と、出力ブロック54とを含む。

20

【0042】

第一のFSMラチス30Aは、データ入力ブロックにおいて、入力データ（例えば、生データ）を受信するように構成される。第一のFSMラチス30Aは、上述されたように入力データに対して反応して、出力ブロックにおいて出力を提供する。第一のFSMラチス30Aからの出力は、第二のFSMラチス30Bのデータ入力ブロックへと送信される。第二のFSMラチス30Bは、その後、第一のFSMラチス30Aによって提供された出力に基づいて反応して、ヒエラルキー構造100の対応する出力信号102を提供することができる。直列の二つのFSMラチス30Aおよび30Bのこのヒエラルキー結合は、第一のFSMラチス30Aから第二のFSMラチス30Bへの圧縮された単語における過去のイベントに関する情報を伝送するための手段を提供する。伝送された情報は、事実上、第一のFSMラチス30Aによって記録された複雑なイベント（例えば、興味あるシーケンス）の要約である可能性がある。

30

【0043】

図7に示されたFSMラチス30A、30Bの2レベルヒエラルキー100は、二つの独立したプログラムが同一のデータストリームに基づいて動作することを可能にする。二段階ヒエラルキーは、異なる領域としてモデル化された生物学的脳における視認に類似する可能性がある。このモデルの下で、領域は、有効に異なるパターン認識エンジンであり、各々が類似する計算機能（パターンマッチング）を実施するが、異なるプログラム（署名）を利用する。複数のFSMラチス30A、30Bを接続することによって、データストリーム入力についてのより多い知識が得られることがある。

40

【0044】

ヒエラルキーの第一レベル（第一のFSMラチス30Aによって実現される）は、例えば、生データストリームにおいて直接的に処理を実施することができる。即ち、生データストリームは、第一のFSMラチス30Aの入力ブロック52で受信されて、第一のFSMラチス30Aのプログラマブル素子は、生データストリームに反応することができる。ヒエラルキーの第二レベル（第二のFSMラチス30Bによって実現される）は、第一レベルからの出力を処理することができる。即ち、第二のFSMラチス30Bは、第二のFSMラチス30Bの入力ブロック52において、第一のFSMラチス30Aの出力ブロック54からの出力を受信して、第二のFSMラチス30Bのプログラマブル素子は、第一のFSMラチス30Aの出力に対して反応することができる。したがって、この実施例に

50

おいては、第二のFSMラチス30Bは、入力として生データストリームは受信しないが、その代わりに、第一のFSMラチス30Aによって判定された、生データストリームとマッチする興味あるパターンの指示を受信する。第二のFSMラチス30Bは、第一のFSMラチス30Aからの出力データストリームにおけるパターンを認識するFSMを実現することができる。

【0045】

図8は、コンパイラがFSMを実現するためのラチス30などのFSMラチスをプログラムするように構成された画像へとソースコードを変換するための方法110の一実施例を示す。方法110は、ソースコードをシンタックスツリーへと解析すること(ブロック112)と、シンタックスツリーをオートメーションに変換すること(ブロック114)と、オートメーションを最適化すること(ブロック116)と、オートメーションをネットリストへ変換すること(ブロック118)と、ハードウェア上にネットリストを配置すること(ブロック120)と、ネットリストをルーティングすること(ブロック122)と、結果として生じる画像を発行すること(ブロック124)と、を含む。

10

【0046】

一実施例においては、コンパイラ20は、FSMラチス30上のFSMを実現するための画像をソフトウェア開発者が生成することを可能にするアプリケーションプログラミングインターフェイス(API)を含む。コンパイラ20は、FSMラチス30をプログラムするように構成された画像へとソースコードにおける正規表現の入力セットを変換するための方法を提供する。コンパイラ20は、フォンノイマンアーキテクチャを有するコンピュータ用の命令によって実現することができる。これらの命令は、コンパイラ20の機能をコンピュータ上のプロセッサ12に実現させることができる。例えば、命令は、プロセッサ12によって実行されると、プロセッサ12に対してアクセス可能なソースコード上のブロック112、114、116、118、120、122、124に記述された動作をプロセッサ12に実施させることができる。

20

【0047】

一実施例においては、ソースコードは、シンボルのグループ内のシンボルのパターンを識別するための検索ストリングを記述する。検索ストリングを記述するために、ソースコードは複数の正規表現(regex)を含む可能性がある。Regexは、シンボル検索パターンを記述するためのストリングである可能性がある。Regexは、プログラミング言語、テキストエディタ、ネットワークセキュリティなど、種々のコンピュータドメインで広く使用されている。一実施例においては、コンパイラによってサポートされる正規表現は、非構造化データの解析用の基準を含む。非構造化データは、フリーフォームであるデータを含み、データ内の単語に対して適用される索引付けを有さない。単語は、データ内の印刷可能および印刷不能な任意の組み合わせのバイトを含む可能性がある。一実施例においては、コンパイラは、Perl、(例えば、Perl互換正規表現(PCRE))、PHP、Java(登録商標)、.NET言語を含むregexを実現するための異なる複数のソースコード言語をサポートすることができる。

30

【0048】

ブロック112において、コンパイラ20は、相関的に接続されたオペレータ(演算子)の配列を形成するためにソースコードを解析することができ、異なるタイプのオペレータはソースコードによって実現される異なる機能(例えば、ソースコード内のregexによって実現される異なる機能)に対応する。ソースコードを解析することは、ソースコードのジェネリック表現を生成できる。一実施例においては、ジェネリック表現は、シンタックスツリーとして知られるツリーグラフの形式のソースコードにおけるregexのエンコードされた表現を含む。本明細書で記述される実施例は、シンタックスツリー(“抽象シンタックスツリー”としても知られる)として配列を称するが、他の実施例においては、具象シンタックスツリーもしくは他の配列を使用することができる。

40

【0049】

上述されたように、コンパイラ20は複数のソースコード言語をサポートできるため、

50

言語に関わらず、解析することは、非言語の特定の表現（例えば、シンタックスツリー）へとソースコードを変換する。したがって、コンパイラ 20 によるさらなる処理（ブロック 114、116、118、120）は、ソースコードの言語に関わらず、共通の入力構造から動作することができる。

【0050】

上述されたように、シンタックスツリーは、相關的に接続された複数のオペレータを含む。シンタックスツリーは、複数の異なるタイプのオペレータを含むことができる。即ち、異なるオペレータは、ソースコードにおける `regex` によって実現される異なる機能に対応する可能性がある。

【0051】

ブロック 114 においては、シンタックスツリーはオートメーションへと変換される。オートメーションは、FSM のソフトウェアモデルを含み、したがって、決定論的もしくは非決定論的として分類することができる。決定論的オートメーションは、任意の時間における単一の実行経路を有し、非決定論的オートメーションは、複数の同時実行経路を有する。オートメーションは複数の状態を含む。シンタックスツリーをオートメーションに変換するために、シンタックスツリーにおけるオペレータおよびオペレータ間の関係は、状態間の遷移を伴う状態へと変換される。一実施例においては、オートメーションは、FSM ラチス 30 のハードウェアに部分的に基づいて変換することができる。

【0052】

一実施例においては、オートメーション用の入力シンボルは、アルファベット、0 - 9 の数字、および他の印刷可能な文字のシンボルを含む。一実施例においては、入力シンボルは、0 から 255 を含むバイト値によって表される。一実施例においては、オートメーションは、グラフのノードが状態の組に対応する、有向グラフとして表すことができる。一実施例においては、入力シンボル 上の状態 p から状態 q への遷移、即ち、 $(p,)$ は、ノード p からノード q への有向接続によって示される。一実施例においては、オートメーションの反転は、幾つかのシンボル における各遷移 $p \rightarrow q$ が、同一シンボルにおける $q \rightarrow p$ に反転される新規オートメーションを生成する。反転においては、開始状態は最終状態になり、最終状態は開始状態になる。一実施例においては、オートメーションによって認識される（例えば、マッチする）言語は、オートメーションへ順次入力されるとき最終状態に到達する全ての可能性のある文字ストリングの組である。オートメーションによって認識される言語における各ストリングは、開始状態から一つ以上の最終状態への経路を追跡する。

【0053】

ブロック 116 においては、オートメーションが構成された後、オートメーションがとりわけ、その複雑性およびサイズを減少させるために最適化される。オートメーションは、余分な状態を組み合わせることで最適化することができる。

【0054】

ブロック 118 においては、最適化されたオートメーションはネットリストへ変換される。オートメーションをネットリストへ変換することは、FSM ラチス 30 上のハードウェア素子（例えば、SME 34、36、他の素子）へのオートメーションの各状態をマップして、ハードウェア素子間の接続を判定する。

【0055】

ブロック 120 においては、ネットリストは、ネットリストの各ノードに対応するターゲットデバイス（例えば、SME 34、36、専用素子 58）の特定のハードウェア素子を選択するために配置される。一実施例においては、配置することは、FSM ラチス 30 の一般的入力および出力制約に基づいて、各特定のハードウェア素子を選択する。

【0056】

ブロック 122 においては、配置されたネットリストは、ネットリストによる接続の記述を達成するために、選択されたハードウェア素子を結合するために、プログラマブルスイッチング素子（例えば、ブロック間スイッチング素子 40、ブロック内スイッチング素

10

20

30

40

50

子42、行内スイッチング素子44)用の設定を判定するためにルーティングされる。一実施例においては、プログラマブルスイッチング素子の設定は、選択されたハードウェア素子を接続するために使用されるFSMラチス30の特定の導体、ならびに、プログラマブルスイッチング素子用の設定を判定することによって判定される。ルーティングは、ブロック120において配置されたハードウェア素子間の接続のより特定の制限を考慮することができる。したがって、ルーティングはFSMラチス30上の導体の実際的な制限がある場合でも適切な接続をするために、グローバル配置によって判定されたように、ハードウェア素子の幾つかの位置を調整してもよい。

【0057】

いったんネットリストが配置されルーティングされると、配置されてルーティングされたネットリストは、FSMラチス30のプログラミング用の複数のビットへと変換することができる。複数ビットは、本明細書においては画像とも称される。

【0058】

ブロック124においては、画像は、コンパイラ20によって発行される。画像は、FSMラチス30の特定のハードウェア素子のプログラミング用の複数ビットを含む。画像が複数ビット(例えば、0と1)を含む実施形態においては、画像はバイナリ画像と称される。プログラムされたFSMラチス30がソースコードによって記述された機能を有するFSMを実現するように、ビットは、SME34、36、専用素子58、プログラミングスイッチング素子の状態をプログラムするために、FSMラチス30上にロードすることができる。配置(ブロック120)およびルーティング(ブロック122)は、オートメーションにおける特定の状態へとFSMラチス30における特定の位置における特定のハードウェア素子をマップすることができる。したがって、画像におけるビットは、所望の(複数の)機能を実現するために、特定のハードウェア素子をプログラムすることができる。一実施例においては、画像は、コンピュータ可読媒体へとマシンコードを保存することによって発行することができる。別の実施例においては、画像は、ディスプレイデバイス上に画像を表示することによって発行することができる。さらに別の実施例においては、画像は、FSMラチス30上に画像をロードするためのプログラミングデバイスなどの別のデバイスへと画像を送信することによって発行することができる。さらに別の実施例においては、画像はFSMラチス(例えば、FSMラチス30)上に画像をロードすることによって発行することができる。

【0059】

一実施例においては、画像は、SME34、36および他のハードウェア素子へと画像からのビット値を直接ロードするか、一つ以上のレジスタに画像をロードして、その後SME34、36および他のハードウェア素子へとレジスタからのビット値を書き込むことにより、FSMラチス30上にロードすることができる。一実施例においては、プログラミングデバイスおよび/もしくはコンピュータが一つ以上のメモリアドレスへと画像を書き込むことにより、FSMラチス30上に画像をロードすることができるように、FSMラチス30のハードウェア素子(例えば、SME34、36、専用素子58、プログラマブルスイッチング素子40、42、44)は、マップされたメモリである。

【0060】

本明細書で記述される方法の実施例は、少なくとも部分的にマシンもしくはコンピュータで実現することができる。幾つかの実施例は、上記の実施例に記述された方法を実施するために電子デバイスを構成するように動作可能な命令をエンコードされたコンピュータ可読媒体もしくはマシン可読媒体を含む可能性がある。当該方法の実現は、マイクロコード、アセンブリ言語コード、より高いレベルの言語コードなどのコードを含む可能性がある。当該コードは、種々の方法を実施するためのコンピュータ可読命令を含む可能性がある。コードはコンピュータプログラム製品の一部を形成してもよい。さらには、実行中もしくは他の時間に、コードは、一つ以上の揮発性もしくは不揮発性コンピュータ可読媒体に具体的に格納されてもよい。これらのコンピュータ可読媒体は、ハードディスク、リムーバブル磁気ディスク、リムーバブル光ディスク(例えば、コンパクトディスクおよびデ

10

20

30

40

50

デジタルビデオディスク)、磁気カセット、メモリカードもしくはスティック、ランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)などを含むがそのいずれにも限定はされない。

【0061】

ここで、図9に関連して、ステートマシンエンジン14の一実施形態が示される。前述されたように、ステートマシンエンジン14は、データバスを介して、メモリ16などのソースからデータを受信するように構成される。示された実施形態においては、データは、DDR3バスインターフェイス130などのバスインターフェイスを通して、ステートマシンエンジン14に送信されてもよい。DDR3バスインターフェイス130は、1Gバイト/秒以上のレートでデータを交換可能であってもよい。理解されるように、解析されるべきデータのソースに依存して、バスインターフェイス130は、NANDフラッシュインターフェイス、PCIインターフェイスなどの、ステートマシンエンジン14とデータソースとでデータをやり取りするための任意の適切なバスインターフェイスであってもよい。前述されたように、ステートマシンエンジン14は、データを解析するように構成された一つ以上のFSMラチス30を含む。各FSMラチス30は、二つのハーフラチスへと分割されてもよい。示された実施形態においては、ラチス30が48K SMEを含むように、各ハーフラチスは、24K SME(例えば、SME34、36)を含んでもよい。ラチス30は、図2-図5に関連して前述されたように配列された任意の所望の数のSMEを含んでもよい。さらには、唯一つのFSMラチス30が示されているが、前述されたように、ステートマシンエンジン14は複数のFSMラチス30を含んでもよい。

【0062】

解析されるべきデータがバスインターフェイス130で受信され、多数のバッファおよびバッファインターフェイスを通してFSMラチス30へと伝送される。示された実施形態においては、データ経路は、データバッファ132、プロセスバッファ134、インターランク(IR)バスおよびプロセスバッファインターフェイス136を含む。データバッファ132は、解析されるべきデータを受信して一時的に格納するように構成される。一実施形態においては、二つのデータバッファ132(データバッファAおよびデータバッファB)が存在する。データは、二つのデータバッファ132のうちの一つに格納され、データは、FSMラチス30による解析用に他のデータバッファ132から除かれる。示された実施形態においては、データバッファ132は、各々32Kバイトであってもよい。IRバスおよびプロセスバッファインターフェイス136は、プロセスバッファ134へのデータ伝送を容易にしてもよい。IRバスおよびプロセスバッファ134は、データがFSMラチス30によって順番に処理されることを保証する。IRバスおよびプロセスバッファ134は、データが正確な順序で受信されて解析されるように、データの交換、タイミング情報、パッキング命令などを調整してもよい。概して、IRバスおよびプロセスバッファ134は、FSMラチス30の論理ランクを通したパラレルな複数データセットの解析を可能にする。

【0063】

示された実施形態においては、ステートマシンエンジン14は、ステートマシンエンジン14を通した大量のデータの伝送を援助するために、デコンプレッサ(圧縮解除プログラム)138およびコンプレッサ(圧縮プログラム)140をも含む。コンプレッサ140およびデコンプレッサ138は、データ伝送時間を最小限化するためにデータが圧縮されるように、組み合わせさせて動作する。解析されるべきデータを圧縮することによって、バス使用時間は最小限化される可能性がある。コンパイラ20によって提供される情報に基づいて、マスクは、ステートマシンエンジン14に提供され、どのステートマシンが使用されないかの情報を提供する。コンプレッサ140およびデコンプレッサ138は、バースト長の変化するデータを処理するように構成することもできる。圧縮されたデータを詰めて、各圧縮された領域がいつ終わるかについての指示を含むことによって、コンプレッサ140は、ステートマシンエンジン14を通した全体の処理速度を改善してもよい。コ

10

20

30

40

50

ンプレッサ 140 およびデコンプレッサ 138 は、FSM ラチス 30 による解析後のマッチ結果データを圧縮して、復元するために使用されてもよい。

【0064】

前述されたように、FSM ラチス 30 の出力は、状態ベクトルを含む可能性がある。状態ベクトルは、FSM ラチス 30 のプログラブル素子の状態（例えば、アクティブ化されているか否か）を含む。各状態ベクトルは、さらなるヒエラルキー処理および解析用に状態ベクトルキャッシュメモリ 142 に一時的に格納されてもよい。即ち、最終状態がさらなる解析において使用されるように、各ステートマシンの状態が格納され、新規データセットの再プログラミングおよび/もしくはさらなる解析用にステートマシンを解放してもよい。典型的なキャッシュと同様に、状態ベクトルキャッシュメモリは、例えば、こ

10

【0065】

いったん興味の結果が FSM ラチス 30 によって生成されると、マッチ結果は、マッチ結果メモリ 150 に格納されてもよい。即ち、マッチを示す“マッチベクトル”（例えば、興味あるパターンの検出）はマッチ結果メモリ 150 に格納されてもよい。マッチ結果は、その後、例えば、プロセッサ 12 にバスインターフェイス 130 を介した伝送用にマッチバッファ 152 へと送信される可能性がある。前述されたように、マッチ結果は圧縮されてもよい。

20

【0066】

さらなるレジスタおよびバッファが、同様にステートマシンエンジン 14 に提供されてもよい。例えば、ステートマシンエンジン 14 は、制御およびステータスレジスタ 154 を含んでもよい。さらには、復元およびプログラムバッファ 156 は、最初に FSM ラチス 30 をプログラミングするうえで使用するため、もしくは解析中に FSM ラチス 30 におけるマシンの状態を復元するために提供されてもよい。同様に、保存および修復マップバッファ 158 は、セットアップおよび使用のためにマップを保存および修復するための

30

【0067】

図 10 は、図 4 に関連して上述されたものと類似する行 38 の第二の実施例を示す。行 38 は、プログラブル行内スイッチング素子 44 と、行相互接続導体 68、70（以下に記述されるように“行ルーティングライン”とも称される）を含んでもよい。

【0068】

図 10 の行 38 は、8 個の GOT 60、専用素子 58、入力 62、入力 64、出力 66、マッチ素子 160、複数の行ルーティングライン 162、164、166、168、170、172、174、176、178、180、182、184、186、188、190、192（以降、“行ルーティングライン 162 - 192”と集合的に称される）、専用素子ルーティングライン 194、複数の接合点 196 を含んでもよい。

40

【0069】

さらには、図 5 に示された SME 34、36 に結合されるのに加えて、ローカルルーティングマトリクス 172 は、特定の行 38 における GOT 60 に対する SME 34、36 の全ての対に結合されてもよい。したがって、ローカルルーティングマトリクス 172 は、プログラブル行内スイッチング素子 44 と行相互接続導体 68、70（以下に記述されるように“行ルーティングライン”とも称される）を含んでもよい。

【0070】

図 10 に示された GOT 60 および専用素子 58 は、図 4 に関連して前述された GOT 60 と専用素子 58 に実質的に類似する。従って、各 GOT 60 は、SME 34 の検出セ

50

ル 8 6 に対してイネーブル信号として動作するための統一型イネーブル入力でありうる入力 6 2 を受信する。同様に、各 GOT 6 0 は、SME 3 6 の検出セル 8 6 に対するイネーブル信号として動作するための統一型イネーブル入力でもある入力 6 4 を受信もする。これらの統一型イネーブル入力 6 2、6 4 は、例えば、データストリーム内のパターンを検索するために、他の SME 3 4、3 6 からの結果と組み合わせて利用されうる、其々の SME によって実施された解析の其々の結果（例えば、単一の SME 3 4 からの解析されたデータストリームにおけるマッチ）を出力するために、SME 3 4、3 6 の検出セル 8 6 をアクティブ化してもよい。例えば、統一型イネーブル入力 6 2 と統一型イネーブル入力 6 4 は、アクティブな SME 3 4、3 6 の各々によって生成された結果がデータストリームの全体のより広い解析の一部として利用されうるように、SME 3 4、3 6 の選択的アクティブ化を可能にする。

10

【 0 0 7 1 】

GOT 6 0 の SME 3 4、3 6 によって生成された結果は、出力 6 6 上に GOT から選択的に提供されてもよい。一実施形態においては、GOT 6 0 の可能性のある出力は、出力を含まないか、第一の SME 3 4 の出力（即ち、出力 7 2）と第二の SME 3 6 の出力（即ち出力 7 4）を含むか、第一の SME 3 4 の出力もしくは第二の SME 3 6 の出力（即ち、出力 7 2 もしくは出力 7 4）を含む。したがって、GOT 6 0 は、GOT 6 0 から選択された結果を出力するようにプログラムされてもよい。このプログラミングは、例えば、FSM ラチス 3 0 の最初のプログラミングステージ間に実施されるロードされた画像に基づいて達成されてもよい。GOT 6 0 からの結果は、任意のデータストリーム検索もしくはデータストリーム検索の一部用に行 3 8 から生成された選択された結果を出力するように動作しうる、マッチ素子 1 6 0 へと提供されてもよい。

20

【 0 0 7 2 】

さらに、行 3 8 は、行ルーティングライン 1 6 2 - 1 9 2（行相互接続導体とも称されうる）を含んでもよい。本実施形態においては、8 個の GOT 6 0 と専用素子 5 8 に選択的に結合可能な 1 6 本の行ライン 1 6 2 - 1 9 2 が存在する。しかしながら、より少ないかより多い行ルーティングラインが行 3 8 と組み合わせて利用されてもよいことを理解されたい。

【 0 0 7 3 】

行ルーティングライン 1 6 2 - 1 9 2 の各々は、入力 6 2、6 4 に沿って、一つ以上の GOT 6 0 の SME 3 4、3 6 の任意の SME に対してイネーブル信号を提供するために使用されてもよい。したがって、これらの行ルーティングライン 1 6 2 - 1 9 2 の使用を介して、任意の特定の SME（例えば SME 3 4）に対する任意の特定の検出セル 8 6 はアクティブ化されてもよい。これは、SME 3 4、3 6 の統一型イネーブル入力 6 2、6 4 に対して、行ルーティングライン 1 6 2 - 1 9 2 を（例えば、ロードされた画像に従って）選択的に結合することによって達成されてもよい。さらには、SME 3 4、3 6 にイネーブル信号を提供するうえでのさらなる柔軟性を提供するために、行ルーティングライン 1 6 2 - 1 9 2 は、任意の GOT 6 0 の二つの SME 3 4、3 6 の間で分割されてもよい。例えば、行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 は行 3 8 における SME 3 4、3 6 のうちの任意の SME をアクティブ化するために使用されてもよい。例えば、GOT 6 0 は、そこに結合された行ルーティングライン（例えば、行ルーティングライン 1 6 2）へと出力 6 6 を伝送してもよい。この信号は、例えば、行 3 8 におけるさらなる GOT 6 0 へと行ルーティングライン 1 6 4 上でルーティングされうる、ブロック内スイッチへと伝送されてもよい。さらには、行ルーティングライン 1 7 8、1 8 2、1 8 6、1 9 0 は、例えば、ブロック内スイッチ 4 2 からの信号を受信することによって、行 3 8 における SME 3 4 をアクティブ化し、行ルーティングライン 1 8 0、1 8 4、1 8 8、1 9 2 は、例えば、ブロック内スイッチ 4 2 から受信された信号を介して行 3 8 における SME 3 6 をアクティブ化してもよい。この方法においては、行ルーティングライン 1 6 2 - 1 9 2 の全体の数が減少するが、行 3 8 における SME 3 4、3 6 のうちの任意の SME の任意の検出セル 8 6 をアクティブ化するた

30

40

50

めの性能および全体の柔軟性を可能とする。

【 0 0 7 4 】

図 1 0 に示されるように、各行ルーティングライン 1 6 2 - 1 9 2 は、複数の接合点 1 9 6 を含む。これらの接合点 1 9 6 は、例えば、図 3 の行内スイッチング素子 4 4 を含んでもよい。なぜなら、任意の G O T 6 0 を任意の他の G O T 6 0 へと選択的に結合するためか、行 3 8 (もしくはその点において、別の行および/もしくは別のブロック)内の任意の他の素子(例えば、専用素子 5 8)へと任意の G O T 6 0 を選択的に結合するために接合点 1 9 6 が使用されることがあるためである。しかしながら、これらの接続は、利用可能な接合点 1 9 6 によって制限されてもよい。例えば、各行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 は、行 3 8 における S M E 3 4、3 6 のうちの任意の S M E をアクティブ化するために使用されてもよい。しかしながら、各行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 は、G O T 6 0 のうちの其々異なる一つの出力へと選択的に結合可能でもある。例えば、G O T 6 0 のうちの任意の一つからの出力は、そこに結合可能な行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 のうちのそれぞれ一つの上の G O T 6 0 から提供されるだけでもよい。したがって、一実施形態においては、行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 は、G O T 6 0 の出力 6 6 へと結合可能であるため、行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 は、ブロック内スイッチ 4 2 へと(例えば、駆動)信号を提供してもよい。対照的に、一実施形態においては、行ルーティングライン 1 7 8、1 8 0、1 8 2、1 8 4、1 8 6、1 8 8、1 9 0、1 9 2 は、例えば、他の行 3 8 もしくはブロック 3 2 から受信されることがあるブロック内スイッチ 4 2 からの信号を受信して(例えば、それによって駆動されて)もよい。

【 0 0 7 5 】

行ルーティングライン 1 6 2 - 1 9 2 に加えて、行 3 8 は、専用素子 5 8 に結合された専用素子ルーティングライン 1 9 4 を含んでもよい。行ルーティングライン 1 6 2、1 6 4、1 6 6、1 6 8、1 7 0、1 7 2、1 7 4、1 7 6 と類似して、専用素子ルーティングライン 1 9 4 は、ブロック内スイッチ 4 2 へと(例えば、駆動)信号を提供してもよい。一実施形態においては、専用素子ルーティングライン 1 9 4 は、マッチ素子 1 6 0 へと結合可能であってもよい。例えば、専用素子 5 8 がカウンタを含む場合、カウンタの出力は、専用素子ルーティングライン 1 9 4 に沿って提供されてもよい。同様に、専用素子 5 8 がプル型セルなどのプル論理素子を含む場合、プル論理素子の出力は、専用素子ルーティングライン 1 9 4 に沿って提供されてもよい。これらの専用素子の利用を通して、繰り返し型検索(例えば、1 0 回ある要素を見つける)もしくはカスケード型検索(例えば、要素 x、y、z をを見つける)は、ブロック内スイッチ 4 2 およびマッチ素子 1 6 0 のうちのいずれかまたはその双方へと、専用素子ルーティングライン 1 9 4 に沿って提供されうる単一の出力へと簡略化されてもよい。

【 0 0 7 6 】

マッチ素子 1 6 0 のより詳細な図が図 1 1 に表示される。示されるように、マッチ素子 1 6 0 は、4 つのデータ入力 1 9 8、2 0 0、2 0 2、2 0 4 と 2 つの出力と、6 つの制御入力 2 1 0、2 1 2、2 1 4、2 1 6、2 1 8、2 2 0 を含んでもよい。さらには、マッチ素子は、二つの 2 : 1 マルチプレクサ 2 2 2、2 2 4 を含んでもよい。2 : 1 マルチプレクサ 2 2 2、2 2 4 が示されているが、例えば、ルーティング/出力構成における柔軟性を可能とするため、もしくはシリコンスペースが許すときに、3 : 1 マルチプレクサ、4 : 1 マルチプレクサもしくは他の素子が所望の場合には、2 : 1 マルチプレクサ 2 2 2、2 2 4 の位置で使用されてもよいことに留意されたい。

【 0 0 7 7 】

一実施形態においては、マッチ素子 1 6 0 のデータ入力 1 9 8 は、行ルーティングライン 1 7 6 に結合され、データ入力 2 0 0 は行ルーティングライン 1 7 4 に結合され、データ入力 2 0 2 は、専用素子ルーティングライン 1 9 4 に結合され、データ入力 2 0 4 は行

10

20

30

40

50

ルーティングライン 168 に結合される。これらの特定のラインの選択は例示的なためだけのものであって、行 38 からの出力信号を受信するうえで柔軟性を説明するために選択される。マッチ素子 160 に接続するものとして、行ルーティングライン 168 および行ルーティングライン 176 を選択することによって、GOT60 間のパリティを確立することができる。例えば、全ての GOT60 のうちの前半 (GOT60 の 0 から 3) における一つの GOT60 によって、データストリームの少なくとも一部で実施される第一の解析の結果は、マッチ素子 160 へのルーティングライン 168 上で提供され、全ての GOT60 のうちの後半 (GOT60 の 4 から 7) における別の GOT60 によって、データストリームの少なくとも一部で実施される第二の解析の結果は、マッチ素子 160 へのルーティングライン 176 上で提供される可能性がある。入力 200、204 をこの方法で分割することによって、マッチ素子 160 へと結果を提供するための経路を減少させることを可能とすることができる。さらには、マッチ素子 160 において、専用素子ルーティングライン 194 に沿って専用素子 58 からの結果を受信することによって、カスケード型検索の結果は、マッチ素子 160 へと一度に提供されてもよい。最後に、行ルーティングライン 174 の選択は、行 38 の全体システムに対して柔軟性を追加する。しかしながら、記述されたように、これらの選択は単に例示的なものにすぎない。

10

【0078】

示されるように、マッチ素子 160 のデータ入力 198、200 は、2:1 マルチプレクサ 222 に提供され、マッチ素子 160 のデータ入力 202、204 は、2:1 マルチプレクサ 224 に提供されてもよい。2:1 マルチプレクサ 222、224 は、例えば、FSM ラチス 30 の最初のプログラミングステージ間に実施されるロードされた画像に基づいてプログラムされうる、制御入力 210、212、214、216、218、220 から制御信号を各々受信してもよい。一実施形態においては、2:1 マルチプレクサ 222 は、制御入力 210 から選択信号 S0 を、制御入力 212 から選択信号 S1 を、制御入力 214 から出力イネーブル信号を受信してもよい。同様に、2:1 マルチプレクサ 224 は、制御入力 216 から選択信号 S0 を、制御入力 218 から選択信号 S1 を、制御入力 220 から出力イネーブル信号を受信してもよい。選択信号 S0、S1 は、其々、例えば出力ブロック 54 へとデータ検索の結果を伝送するために、どのデータ入力が出力 206、208 へと提供されるべきかを選択するために使用されてもよい。さらには、選択信号 S0、S1 を搬送する複数の選択ラインの利用は、インバータなしで各 2:1 マルチプレクサ 222、224 を構築することを可能とし、それによって、2:1 マルチプレクサ 222、224 を実装するために必要とされる面積を縮小する。しかしながら、一実施形態においては、単一の選択信号、例えば S0 を搬送する単一の選択ラインが使用されてもよい。

20

30

【0079】

さらには、制御入力 214 からの出力イネーブル信号は、データ入力 198、200、202、204 上の信号がステープルであるときにのみ、出力 206、208 を提供することを可能とするクロック信号もしくは他のイネーブル信号であってもよい。図 12 は、制御入力 210 からの選択信号 S0、制御入力 212 からの選択信号 S1 が 2:1 マルチプレクサ 224 の出力 208 を如何にしてプログラマブルに選択するかの一実施例を説明する真理値表 226 を示す。

40

【0080】

図 12 に示されるように、マッチ素子 160 の出力 208 に対応する真理値表 226 が示される。真理値表 226 に表された出力 208 は、制御入力 2220 からの出力イネーブル信号が 2:1 マルチプレクサ 224 で受信されたことを仮定することに留意されたい。真理値表 226 に示されたように、制御入力 216 からの選択信号 S0 と制御入力 218 からの選択信号 S1 の双方がロウ (即ち 0) であるとき、2:1 マルチプレクサ 224 の出力 208 はロウである。例えば、マッチ素子 160 から提供される行 38 からの結果はない。制御入力 216 からの選択信号 S0 がハイ (即ち 1) であって、制御入力 218 からの選択信号 S1 がロウであるとき、2:1 マルチプレクサ 224 の出力 208 は、行

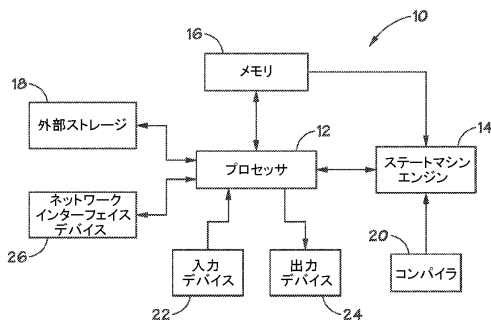
50

ルーティングライン 168 上の結果である。逆に、制御入力 216 からの選択信号 S0 がロウであって、制御入力 218 からの選択信号 S1 がハイであるとき、2:1 マルチプレクサ 224 の出力 208 は、専用素子ルーティングライン 194 上の結果である。最後に、制御入力 216 からの選択信号 S0 と制御入力 218 からの選択信号 S1 の双方がハイになることによる状態は禁じられる。したがって、当該状態は、マッチ素子 160 のプログラミング中に回避される。この方法においては、マッチ素子 160 は、出力を選択しないか、第一のデータ入力 204 からの出力（行ルーティングライン 168 上の結果）をプログラマブルに選択するか、第二のデータ入力 202 からの出力（専用素子ルーティングライン 194 上の結果）をプログラマブルに選択してもよい。さらには、マッチ素子は、図 12 に示された特定の実施形態に限定されることなく、他のプログラマブル構成で動作してもよいことに留意されたい。

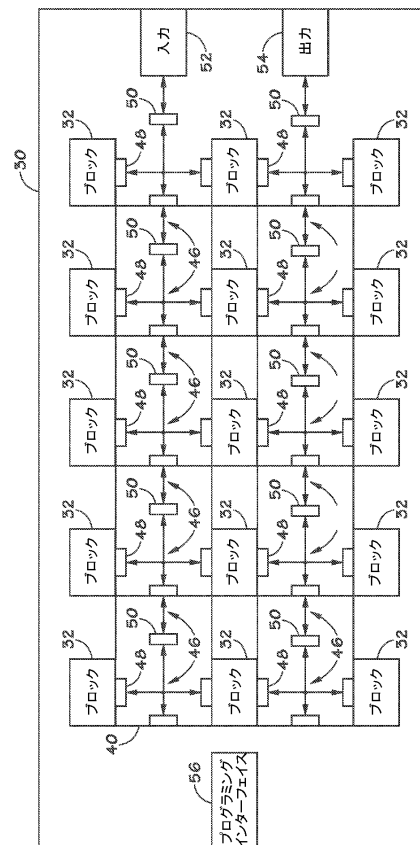
【0081】

本明細書においては、図面で例示する目的のために特定の実施形態が示され、詳細に記述されてきたが、本発明は種々の改変および置換形態が可能であってもよい。しかしながら、本発明は開示された特定の形態に限定されることを意図するものではないことを理解されるべきである。それよりもむしろ、本発明は、以下に添付された請求項によって定義される本発明の趣旨および範囲内にある全ての改変物、均等物、代替物を包含するものである。

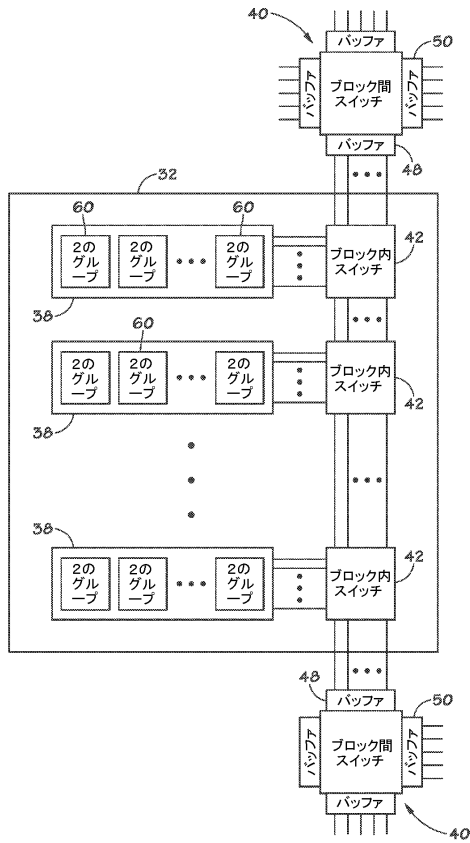
【図 1】



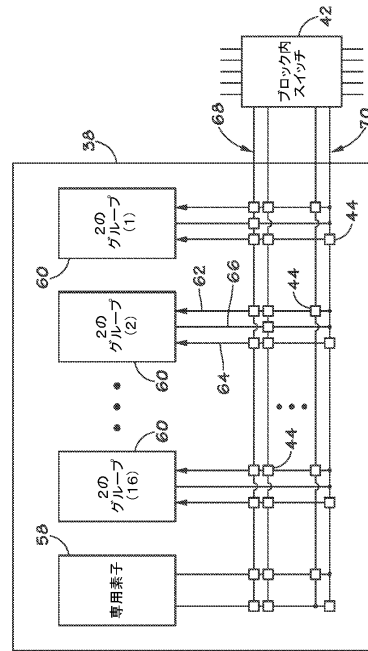
【図 2】



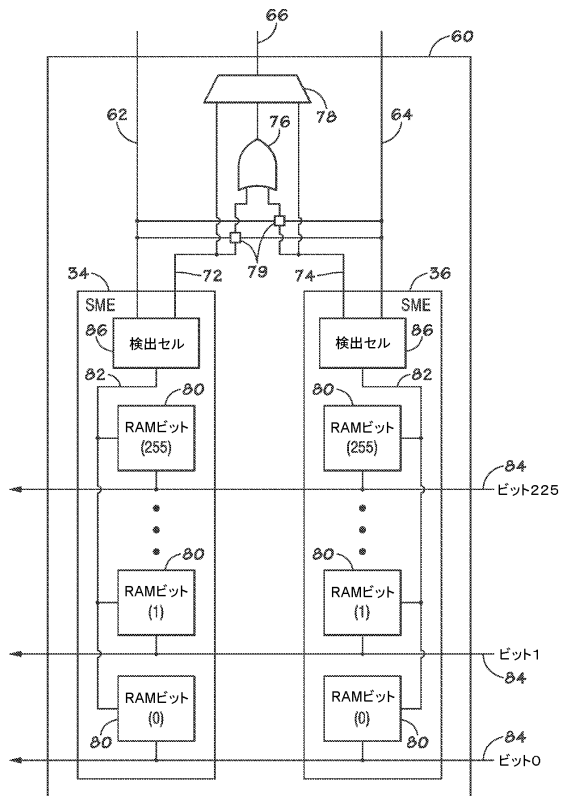
【図3】



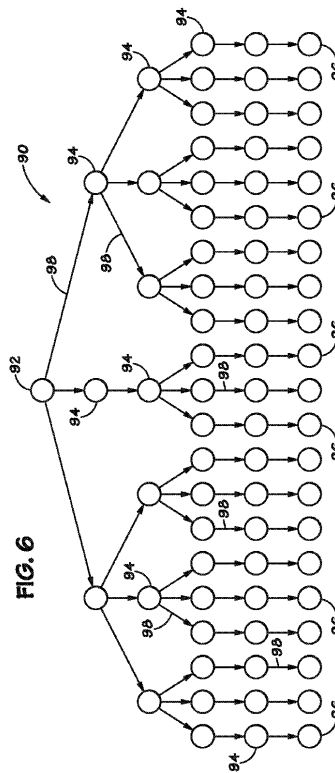
【図4】



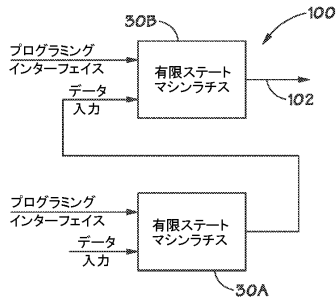
【図5】



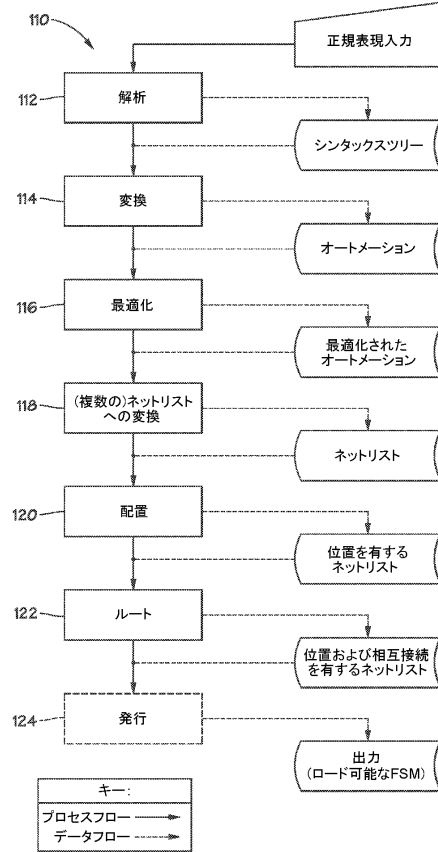
【図6】



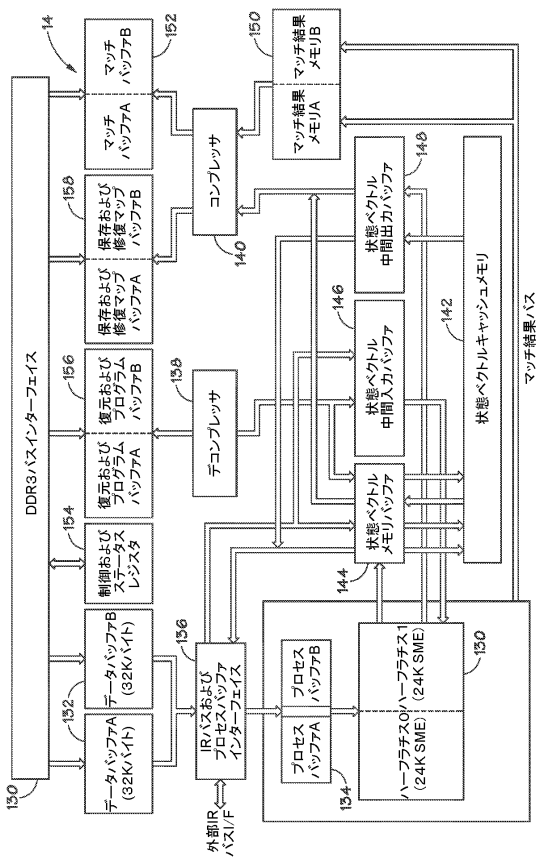
【図7】



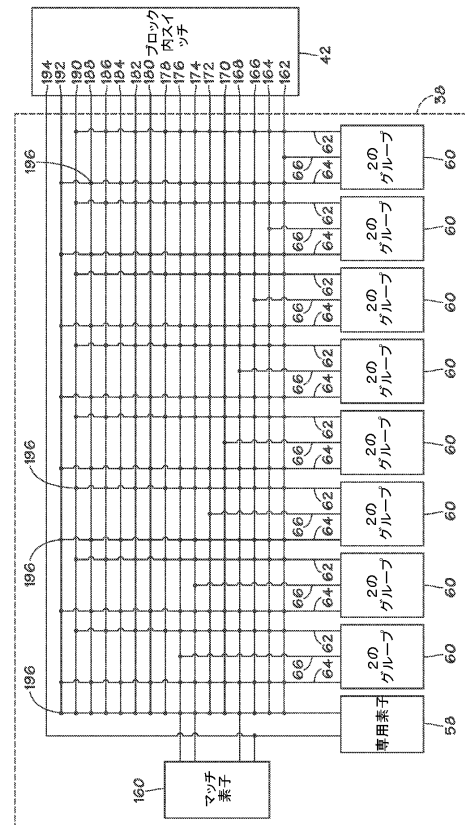
【図8】



【図9】



【図10】



【 図 1 1 】

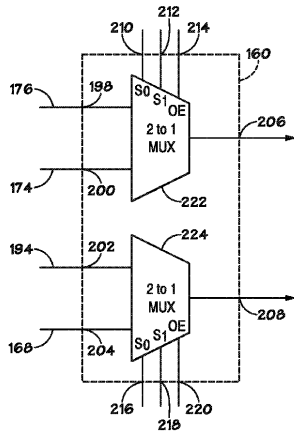


FIG. 11

【 図 1 2 】

S1	S0	出力
0	0	0
0	1	RR3
1	0	S.E.
1	1	許可されない

フロントページの続き

(72)発明者 ノイズ, ハロルド ビー .
アメリカ合衆国, アイダホ州 83713, ボイズ, ウエスト アルバニー ストリート 108
36

審査官 田川 泰宏

(56)参考文献 特開平04 - 116475 (JP, A)
米国特許出願公開第2011 / 0145544 (US, A1)

(58)調査した分野(Int.Cl., DB名)
G06F 7/04