



(12) 发明专利申请

(10) 申请公布号 CN 106158647 A

(43) 申请公布日 2016. 11. 23

(21) 申请号 201510174038. 5

(22) 申请日 2015. 04. 13

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江高科技园区张江路 18 号

(72) 发明人 张海洋 王冬江

(74) 专利代理机构 上海申新律师事务所 31272
代理人 俞涤炯

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

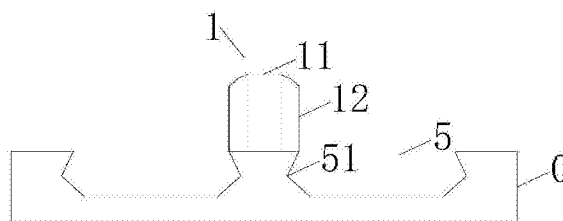
权利要求书2页 说明书5页 附图3页

(54) 发明名称

半导体器件的制备工艺

(57) 摘要

本发明提供一种半导体器件的制备工艺,通过采用化学下游刻蚀工艺在湿法刻蚀之前先对先前形成的沟槽进行表面进行平滑处理,从而使得在后续湿法刻蚀工艺中能够较好地控制沟槽的形貌,并且通过在湿法刻蚀之后对沟槽的参数进行测量,从而基于这些参进一步优化刻蚀工艺中的工艺条件,使得能够更为精确地控制刻蚀之后形成的源漏沟槽的形貌和尺寸。



1. 一种半导体器件的制备工艺,其特征在于,应用于 MOS 应力结构的制备工艺中,所述制备工艺包括:

步骤 S1、提供一半导体衬底,于所述半导体之上制备栅堆叠结构后,于所述半导体衬底临近所述栅堆叠结构的区域中形成轻掺杂区;

步骤 S2、干法刻蚀所述轻掺杂区,以于所述半导体衬底中形成沟槽;

步骤 S3、对所述沟槽的内部表面进行平滑处理后,刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷;

步骤 S4、于所述沟槽中外延生长应力层。

2. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,在步骤 S3 和步骤 S4 之间还包括:

检测临近所述栅堆叠结构一侧的所述尖状凹陷相对于所述栅堆叠结构之间的水平位置;

若所述水平位置不满足工艺要求则进行步骤 S3;

若所述水平位置满足工艺要求则进行步骤 S4。

3. 如权利要求 2 所述的半导体器件的制备工艺,其特征在于,所述栅堆叠结构包括栅极和覆盖栅极两侧侧壁的栅极侧墙。

4. 如权利要求 3 所述的半导体器件的制备工艺,其特征在于,当所述尖状凹陷不位于所述栅堆叠结构中栅极侧墙的正下方时,所述水平位置不满足工艺要求。

5. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,步骤 S3 中,采用化学下游刻蚀工艺进行所述平滑处理。

6. 如权利要求 5 所述的半导体器件的制备工艺,其特征在于,所述化学下游刻蚀工艺的具体工艺参数包括:

功率为 100 ~ 200W ;CH₄气体流量为 100 ~ 1000sccm ;温度为 0 ~ 200℃ ;时间为 10 ~ 600s。

7. 如权利要求 5 所述的半导体器件的制备工艺,其特征在于,步骤 S3 进一步包括:

步骤 S31、对所述沟槽的内部表面进行平滑处理后,所述沟槽内部表面形成一层氧化层;

步骤 S32、完全去除所述氧化层;

步骤 S33、刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷。

8. 如权利要求 7 所述的半导体器件的制备工艺,其特征在于,步骤 S32 中,通过湿法清洗去除所述氧化层。

9. 如权利要求 8 所述的半导体器件的制备工艺,其特征在于,采用 DHF 作为所述湿法清洗中的清洗液。

10. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,步骤 S3 中,采用湿法刻蚀刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷。

11. 如权利要求 10 所述的半导体器件的制备工艺,其特征在于,采用四甲基氢氧化铵溶液作为所述湿法刻蚀工艺中的刻蚀液。

12. 如权利要求 11 所述的半导体器件的制备工艺,其特征在于,所述沟槽的深度通过所述湿法刻蚀工艺的时间进行控制。

13. 如权利要求 2 所述的半导体器件的制备工艺,其特征在于,通过光学散射测量法检测所述尖状凹陷相对于所述栅堆叠结构之间的水平位置。

14. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,步骤 S2 中,所述沟槽的横截面呈 U 形。

15. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,步骤 S4 中,所述沟槽的横截面呈 Σ 形。

16. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,采用硅衬底作为所述半导体衬底。

17. 如权利要求 1 所述的半导体器件的制备工艺,其特征在于,所述半导体衬底为 N 型离子掺杂的硅衬底。

半导体器件的制备工艺

技术领域

[0001] 本发明涉及半导体器件制造领域,尤其涉及一种半导体器件的制备工艺。

背景技术

[0002] 随着半导体技术的发展,半导体器件的关键尺寸正在逐渐缩小,由此导致了工艺复杂度的上升。

[0003] 在 28nm 或更小的关键尺寸下,本领域的技术人员发现,锗硅的引入可以帮助提高 PMOS 器件的性能,这就需要采用嵌入式源漏工艺将材质为锗硅的源漏填充至硅衬底中的相应源漏位置,因此,嵌入式源漏工艺就成为了提高 PMOS 器件性能的重要组成部分。

[0004] 嵌入式源漏工艺通常是先形成 Σ 形的源漏沟槽,然后再在源漏沟槽中填充需要的材料,而在 Σ 形沟槽形成的过程中,沟槽的侧壁尖端与栅极之间的水平距离以及沟槽底部的深度往往都较难控制,从而导致最终的产品的电学性能不够理想。

发明内容

[0005] 鉴于上述问题,本发明提供一种半导体器件的制备工艺。

[0006] 本发明解决技术问题所采用的技术方案为:

[0007] 一种半导体器件的制备工艺,应用于 MOS 应力结构的制备工艺中,其中,包括:

[0008] 步骤 S1、提供一半导体衬底,于所述半导体之上制备栅堆叠结构后,于所述半导体衬底临近所述栅堆叠结构的区域中形成轻掺杂区;

[0009] 步骤 S2、干法刻蚀所述轻掺杂区,以于所述半导体衬底中形成沟槽;

[0010] 步骤 S3、对所述沟槽的内部表面进行平滑处理后,刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷;

[0011] 步骤 S4、于所述沟槽中外延生长应力层。

[0012] 所述的半导体器件的制备工艺,其中,在步骤 S3 和步骤 S4 之间还包括:

[0013] 检测临近所述栅堆叠结构一侧的所述尖状凹陷相对于所述栅堆叠结构之间的水平位置;

[0014] 若所述水平位置不满足工艺要求则进行步骤 S3;

[0015] 若所述水平位置满足工艺要求则进行步骤 S4。

[0016] 所述的半导体器件的制备工艺,其中,所述栅堆叠结构包括栅极和覆盖栅极两侧侧壁的栅极侧墙。

[0017] 所述的半导体器件的制备工艺,其中,当所述尖状凹陷不位于所述栅堆叠结构中栅极侧墙的正下方时,所述水平位置不满足工艺要求。

[0018] 所述的半导体器件的制备工艺,其中,步骤 S3 中,采用化学下游刻蚀工艺进行所述平滑处理。

[0019] 所述的半导体器件的制备工艺,其中,所述化学下游刻蚀工艺的具体工艺参数包括:

- [0020] 功率为 100 ~ 200W ;CH₄气体流量为 100 ~ 1000sccm ;温度为 0 ~ 200℃ ;时间为 10 ~ 600s。
- [0021] 所述的半导体器件的制备工艺,其中,步骤 S3 进一步包括:
- [0022] 步骤 S31、对所述沟槽的内部表面进行平滑处理后,所述沟槽内部表面形成一层氧化层;
- [0023] 步骤 S32、完全去除所述氧化层;
- [0024] 步骤 S33、刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷。
- [0025] 所述的半导体器件的制备工艺,其中,步骤 S32 中,通过湿法清洗去除所述氧化层。
- [0026] 所述的半导体器件的制备工艺,其中,采用 DHF 作为所述湿法清洗中的清洗液。
- [0027] 所述的半导体器件的制备工艺,其中,步骤 S3 中,采用湿法刻蚀刻蚀所述沟槽的内部表面,以于所述沟槽的侧壁中形成尖状凹陷。
- [0028] 所述的半导体器件的制备工艺,其中,采用四甲基氢氧化铵溶液作为所述湿法刻蚀工艺中的刻蚀液。
- [0029] 所述的半导体器件的制备工艺,其中,所述沟槽的深度通过所述湿法刻蚀工艺的时间进行控制。
- [0030] 所述的半导体器件的制备工艺,其中,通过光学散射测量法检测所述尖状凹陷相对于所述栅堆叠结构之间的水平位置。
- [0031] 所述的半导体器件的制备工艺,其中,步骤 S2 中,所述沟槽的横截面呈 U 形。
- [0032] 所述的半导体器件的制备工艺,其中,步骤 S4 中,所述沟槽的横截面呈 Σ 形。
- [0033] 所述的半导体器件的制备工艺,其中,采用硅衬底作为所述半导体衬底。
- [0034] 所述的半导体器件的制备工艺,其中,所述半导体衬底为 N 型离子掺杂的硅衬底。
- [0035] 上述技术方案具有如下优点或有益效果:
- [0036] 本发明通过采用化学下游刻蚀工艺在湿法刻蚀之前先对先前形成的沟槽进行表面进行平滑处理,从而使得在后续湿法刻蚀工艺中能够较好地控制沟槽的形貌,并且通过在湿法刻蚀之后对沟槽的参数进行测量,从而基于这些参进一步优化刻蚀工艺中的工艺条件,使得能够更为精确地控制刻蚀之后形成的源漏沟槽的形貌和尺寸。

附图说明

- [0037] 参考所附附图,以更加充分的描述本发明的实施例。然而,所附附图仅用于说明和阐述,并不构成对本发明范围的限制。
- [0038] 图 1 是本发明方法实施例中进行步骤 S1 后的器件结构示意图;
- [0039] 图 2 是本发明方法实施例中进行步骤 S2 后的器件结构示意图;
- [0040] 图 3A ~ 3E 是本发明方法实施例中的 CDE 工艺步骤的原理示意图;
- [0041] 图 4 是本发明方法实施例中进行步骤 S31 后的器件结构示意图;
- [0042] 图 5 是本发明方法实施例中进行步骤 S32 后的器件结构示意图;
- [0043] 图 6 是本发明方法实施例中进行步骤 S33 后的器件结构示意图;
- [0044] 图 7 是本发明方法实施例中进行步骤 S4 后的器件结构示意图。

具体实施方式

[0045] 本发明提供了一种半导体器件的制备工艺,主要在干法刻蚀形成 U 形沟槽以及进一步湿法刻蚀形成 Σ 形沟槽之间增加对 U 形沟槽表面进行平滑处理的工艺步骤,从而使得 U 形沟槽表面的粗糙程度得以改善,利于后续湿法刻蚀过程中对沟槽形貌进行精确控制。

[0046] 本发明的半导体器件的制备工艺主要包括以下步骤:

[0047] 步骤 S1、提供一半导体衬底,于半导体之上制备栅堆叠结构后,于半导体衬底临近栅堆叠结构的区域中形成轻掺杂区;

[0048] 步骤 S2、干法刻蚀轻掺杂区,以于半导体衬底中形成沟槽;

[0049] 步骤 S3、对沟槽的内部表面进行平滑处理后,刻蚀沟槽的内部表面,以于沟槽的侧壁中形成尖状凹陷;

[0050] 步骤 S4、于沟槽中外延生长应力层。

[0051] 下面结合附图和具体实施例对比本发明方法进行详细说明。

[0052] 如图 1 所示,首先进行步骤 S1:提供一半导体衬底 0,在该半导体上制备栅堆叠结构 1 后,于半导体衬底 0 临近该栅堆叠结构的区域中形成轻掺杂区。作为该步骤的一个优选实施例,该半导体衬底 0 的材质为硅,该栅堆叠结构 1 包括栅极 11 和覆盖栅极两侧侧壁上的栅极侧墙 12,其中,栅极 11 的材质可以为多晶硅。

[0053] 然后进行步骤 S2:干法刻蚀上述的轻掺杂区,以在该半导体衬底中 0 形成沟槽 2。具体的,该步骤 S2 可以按照以下方式进行实施,以栅堆叠结构 1 为阻挡对半导体衬底 0 进行干法刻蚀,从而在该半导体衬底中形成沟槽。在一个实施例中,该沟槽是横截面呈 U 形的沟槽 2,分别位于栅堆叠结构 1 两侧的半导体衬底 0 中。当半导体衬底 0 中的栅堆叠结构 1 为多个时,上述的沟槽形成于两相邻栅堆叠结构之间的半导体衬底中。上述的 U 形的沟槽的深度可根据具体工艺需求进行控制。上述的刻蚀可采用干法刻蚀工艺进行。

[0054] 由于在经过上述步骤 S2 的刻蚀工艺之后所形成的沟槽的内壁表面较为粗糙,不利于后续工艺中对产品关键尺寸的控制,因此,在本发明中需要引入步骤 S3 对上述结构进行处理。所以进行步骤 S3:对沟槽的内部表面进行平滑处理后,刻蚀沟槽的内部表面,以在沟槽的侧壁中形成尖状凹陷。

[0055] 在一个具体的实施例中,上述的步骤 S3 可以进一步包括步骤 S31:对沟槽的内部表面进行平滑处理后,沟槽内部表面形成一层氧化层,其中,平滑处理可以采用化学下游刻蚀 (Chemical Downstream Etch, CDE) 工艺进行,其工艺参数可以包括:功率为 100 ~ 200W(如 100W、150W、200W 等); CH_4 气体流量为 100 ~ 1000sccm(如 100sccm、200sccm、500sccm、1000sccm 等);温度为 0 ~ 200°C(0°C、100°C、200°C 等);时间为 10 ~ 600s(10s、100s、200s、600s 等)。本领域的技术人员应该理解,上述的工艺参数的数值可以根据实际工艺需求在合理的范围内进行取值,并不局限于上述所列出的数值。如图 3A ~ 3E 所示,经过放大后的沟槽的表面的剖面呈现出若干个相互连接的连续凹槽,CDE 工艺是一种对刻蚀物体表面进行边刻蚀边沉积的一种刻蚀工艺,在对沟槽进行刻蚀的过程中同时对沟槽进行氧化物 3 的沉积,使得沟槽边缘与沟槽底部的高度差得以缩小,经过一定时间的 CDE 工艺之后,沟槽底部与沟槽边缘的高度差可以被控制在一个能够满足工艺需要的范围内,最终形成几乎平整的表面。经过该步骤 S3 后所形成的光滑的表面对于精确控制后续需要形成的 Σ 形的源漏沟槽的尖状凹陷的位置具有十分重要的作用。

[0056] 如图 4 所示,当平滑处理之后,所形成的沟槽 4 的内壁的光滑程度得以改善,但是在该改善后的表面上会形成一定厚度的氧化物 3,此时需要对该氧化物进行去除,以使得沟槽在后续的刻蚀过程中不会因受到氧化物的影响而产生难以预计的不利的后果,所以在步骤 S3 中还包括 S32:完全去除位于沟槽内部表面的氧化物的步骤。在该步骤中,一般可采用湿法清洗工艺去除所述氧化物,作为本发明一个优选的实施例,可优选采用稀氢氟酸(Dilute Hydrofluoric Acid,DHF)溶液作为湿法清洗中的清洗液,由于该 DHF 溶液是本领域较为常见的清洗液,故在此处不再对其成分进行详细说明。

[0057] 如图 5 所示,通过上述步骤已经将覆盖于沟槽内部的氧化物去除。接下来需要对沟槽再进行进一步刻蚀,使之在两侧侧壁中形成尖状凹陷。因此,需要进行步骤 S33:刻蚀沟槽的内部表面,以于沟槽的侧壁中形成尖状凹陷,在该步骤中,可采用湿法刻蚀工艺对沟槽进行进一步刻蚀,以形成侧壁具有尖状凹陷的沟槽,并使得该沟槽临近栅堆叠结构一侧的尖状凹陷位于该栅堆叠结构中栅极侧墙的正下方。如图 6 所示,图中绘示了经过湿法刻蚀之后所形成的两侧壁具有尖状凹陷的沟槽 5,其横截面呈 Σ 形,所谓的 Σ 形是指沟槽的一侧的侧壁与半导体衬底的表面所形成的图形如“ Σ ”的中上部的形状,即在沟槽的左右两个侧壁上均具有一个向半导体衬底内部延伸的尖状凹陷 51 (tip),该尖状凹陷 51 的位置需要在刻蚀过程中进行精确地控制,使得临近栅堆叠一侧的尖状凹陷 51 位于栅堆叠中的栅极侧墙的下方,即保证尖状凹陷 51 不延伸至栅极 11 的下方。由于经过了上述步骤 S31 和步骤 S32,从而使得在该步骤 S33 中对沟槽的进一步刻蚀的形貌能够得到较好的控制。作为本发明的一个实施例,该步骤中的湿法刻蚀可采用四甲基氢氧化铵(TMAH)溶液作为刻蚀液。

[0058] 经过上述步骤后,可以较为精确地得到符合要求的沟槽,对于横截面形状为 Σ 形的沟槽而言,其一侧壁尖状凹陷的横向位置位于栅极侧墙的下方,其纵向位置位于衬底内一定深度处,该一定深度的取值根据具体工艺需求而定。另外,沟槽的总体深度也可以通过步骤 S33 中的湿法刻蚀来控制得到。

[0059] 最后,进行步骤 S4:在沟槽中外延生长应力层 6,如图 7 所示。从而形成 MOS 器件中的应力结构。

[0060] 作为一个优选的实施方式,为了更进一步精确刻蚀过程中对于沟槽深度和临近度(即沟槽侧壁与栅极结构之间的水平距离)的控制,在上述的步骤 S3 和步骤 S4 之间还可以包括:检测临近栅堆叠结构一侧的尖状凹陷相对于栅堆叠结构之间的水平位置;若该水平位置不满足工艺要求则进行步骤 S3,若该水平位置满足工艺要求则进行步骤 S4。在一个实施方式中,该工艺要求一般可以是要求该尖状凹陷需要位于其栅堆叠中栅极侧墙的正下方,即该尖状凹陷中没有任何部分超出栅极侧墙而进入到栅极的下方。在该步骤中,可优选采用光学散射测量法(OCD)检查沟槽的侧壁尖状凹陷与栅堆叠结构之间的水平距离。而对平滑处理时间进行调整时可通过刻蚀机台中的自动程序控制模式进行调整。通过该步骤能够检验所形成的漏沟槽的形貌尤其是其侧壁是否处于合理的位置,若该侧壁的实际位置不位于合理的位置时,可以反过来控制先前步骤中的工艺参数来达到调整最后沟槽形貌的目的。

[0061] 经过上述步骤后所形成的沟槽即为嵌入式源漏工艺中的源漏沟槽,在一个实施例中,该源漏沟槽位于材质为硅的半导体衬底中,且该半导体衬底为 N 型离子掺杂的半导体衬底,通过外延生长等工艺在上述的源漏沟槽中制备锗硅,并使锗硅填满整个源漏沟槽,从

而形成 PMOS 的应力源漏区。

[0062] 综上所述,本发明的实施例通过在刻蚀形成源漏沟槽的过程中增加一步对沟槽内壁表面平滑处理的工艺步骤,从而使得平滑处理后的源漏沟槽能够在后续的刻蚀湿法刻蚀过程中较为精确地控制沟槽的边缘形貌,从而对最终的器件性能起到改善的作用,避免了沟槽的负载效应。

[0063] 对于本领域的技术人员而言,阅读上述说明后,各种变化和修正无疑将显而易见。因此,所附的权利要求书应看作是涵盖本发明的真实意图和范围的全部变化和修正。在权利要求书范围内任何和所有等价的范围与内容,都应认为仍属本发明的意图和范围内。

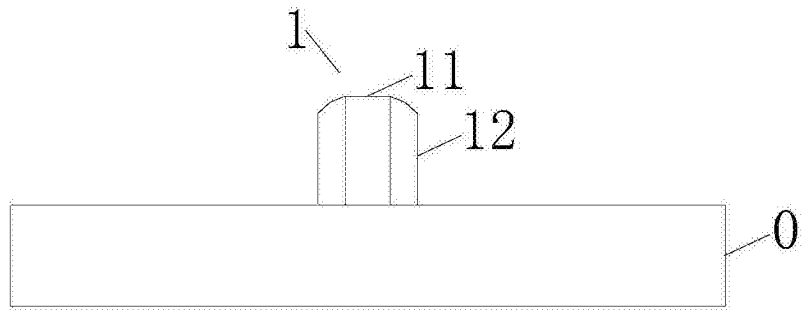


图 1

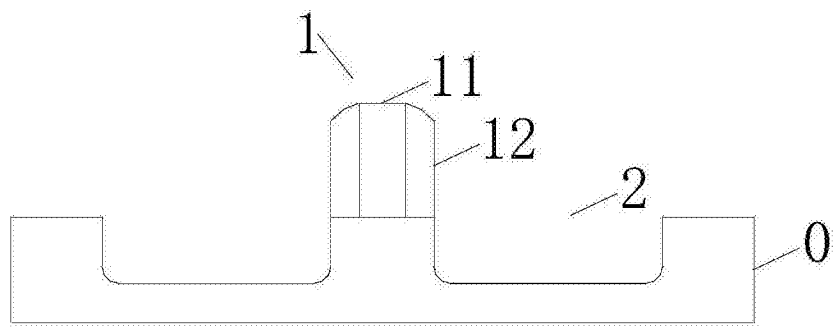


图 2

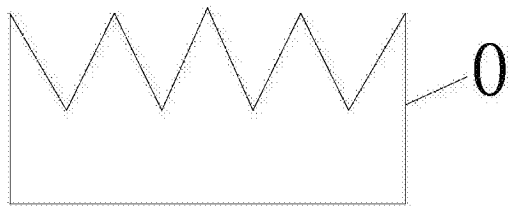


图 3A

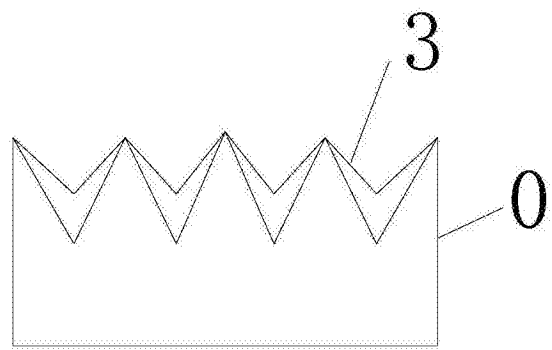


图 3B

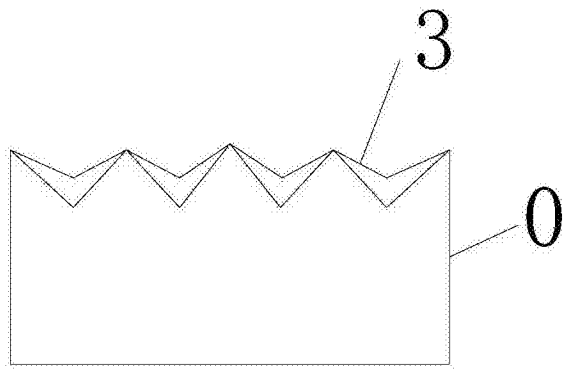


图 3C

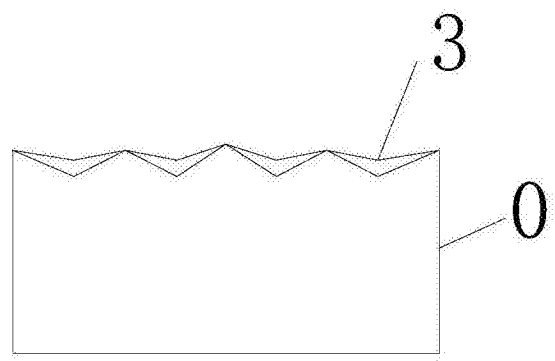


图 3D



图 3E

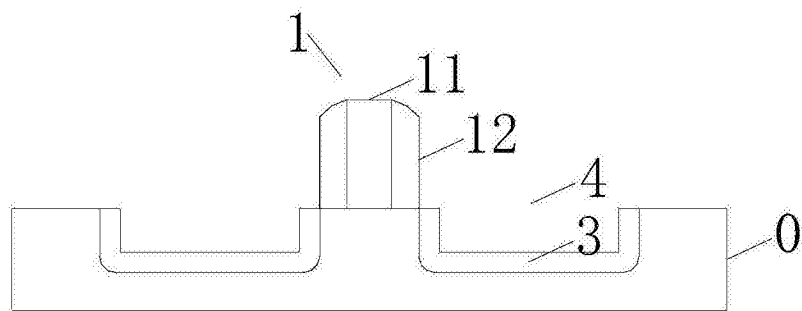


图 4

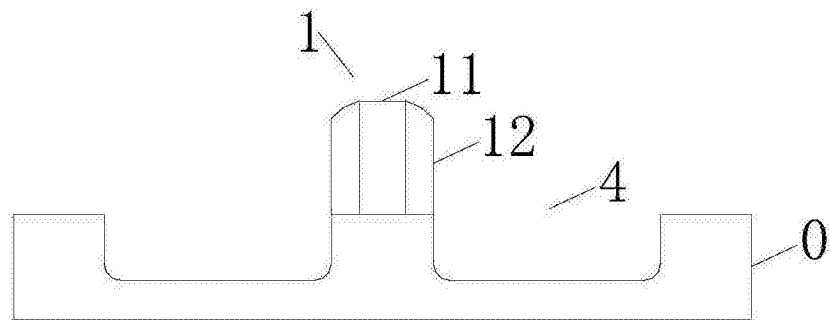


图 5

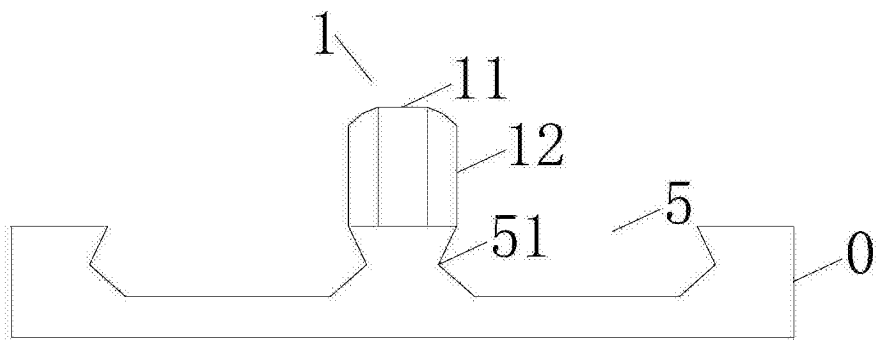


图 6

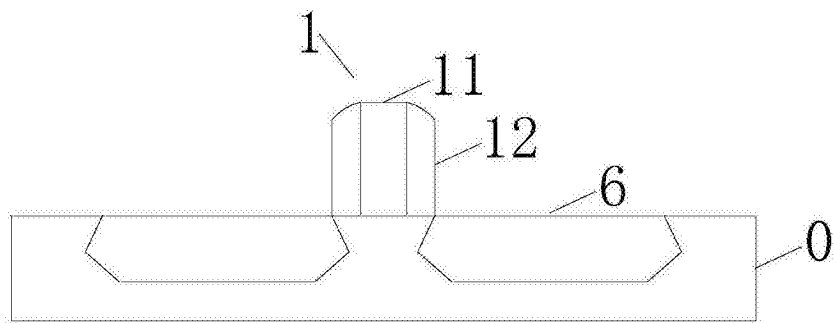


图 7