



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

232 570

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 02 03 81
(21) (PV 1486-81)

(51) Int. Cl.³ G 06 F 15/16

(40) Zveřejněno 17 07 84

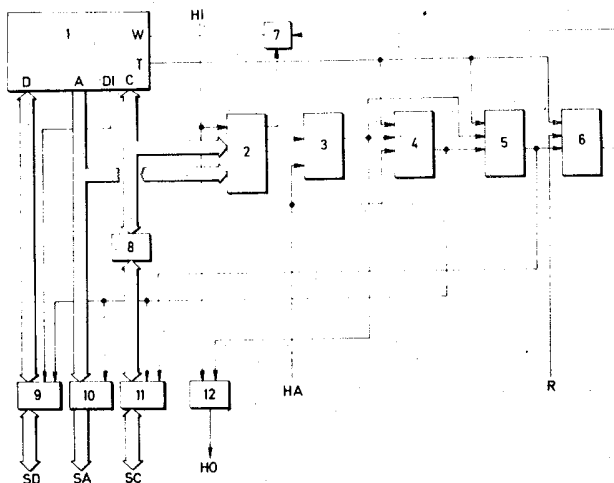
(45) Vydáno 01 01 87

(75)

Autor vynálezu Zapojení řadiče pro víceprocesorové systémy

(54)

Vynález se týká zapojení řidiče pro připojení několika přidavných mikroprocesorových systémů k nadřazenému výpočetnímu nebo řídicímu systému. Zapojení zprostředkovává vzájemný styk procesorů v režimu přímého přístupu do paměti a k periferiím. Hlavní výhody zapojení spočívají v možnosti spojování mikroprocesorových systémů s různou organizací sběrnice, řazení několika systémů do prioritního řetězce a dále ve zrychlení styku a usnadnění obsluhy těchto systémů hlavním procesorem. Zapojení řidiče podle vynálezu najde uplatnění při budování víceprocesorových výpočetních a řídicích systémů.



1007

Opravy ve vytištěných popisech vynálezů

V popise vynálezu k autorskému osvědčení č. 232 570 (PV 1486-81),
nebyl vytištěn autor vynálezu.

Správně KRAUS JIŘÍ ing., PRAHA

TISK

5/87 *hys*

Vynález se týká zapojení řadiče pro víceprocesorové systémy, to jest pro připojení několika přídavných mikroprocesorových systémů k nadřazenému výpočetnímu nebo řídicímu systému.

Při výstavbě víceprocesorových systémů vznikají často problémy se vzájemným přizpůsobením jednotlivých systémů a jejich společným provozem, zvláště mají-li odlišnou organizaci sběrnic. Některé systémy používají pro připojení podřízených procesorů interfejsové obvody, což je způsob poměrně pomalý a navíc možnosti podřízených procesorů jsou značně omezené.

Výše uvedené nedostatky odstraňuje zapojení řadiče pro víceprocesorové systémy podle vynálezu, jehož podstatou je, že datová sběrnice mikroprocesorového systému je připojena k oddělovacímu obvodu dat, adresní sběrnice mikroprocesorového systému je připojena k dekodéru a k oddělovacímu obvodu adres, řídicí sběrnice mikroprocesorového systému je připojena k dekodéru a přes převodník k oddělovacímu obvodu řídicích signálů, výstup pro řídicí signál mikroprocesorového systému je připojen na jeden vstup oddělovacího obvodu dat, přičemž další vstup dekodéru, spojený s jedním vstupem slučovacího obvodu, je určen pro vstupní signál požadavku přístupu k paměti, přičemž výstup slučovacího obvodu je určen pro výstupní signál požadavku přístupu k paměti, dále jeden výstup dekodéru je připojen na jeden vstup součinového hradla, jehož výstup je připojen na blokovací vstup

mikroprocesorového systému a druhý výstup dekodéru je připojen na nastavovací vstup prvního klopného obvodu, jehož blokovací vstup je určen pro vnější uvolňovací signál a je též připojen na datový vstup druhého klopného obvodu, přičemž výstup prvního klopného obvodu je propojen na blokující vstupy druhého a třetího klopného obvodu a dále na druhý vstup slučovacího obvodu, přičemž výstup druhého klopného obvodu je připojen na ovládací vstupy oddělovacích obvodů a na datový vstup třetího klopného obvodu, jehož výstup je připojen na druhý ovládací vstup oddělovacího obvodu řídicích signálů a na datový vstup čtvrtého klopného obvodu, jehož blokovací vstup je určen pro vnější signál připravenosti dat a jehož výstup je připojen na druhý vstup součinnového hradla, časovací výstup mikroprocesorového systému je připojen na hodinové vstupy druhého, třetího a čtvrtého klopného obvodu.

Zapojení podle vynálezu sprostředkovává vzájemný styk procesorů v režimu přímého přístupu do paměti a k perifériím. Hlavní výhody zapojení spočívají v možnosti spojování mikroprocesorových systémů s různou organizací sběrnic, řazení několika systémů do prioritního řetězce a dále ve zrychlení styku a usnadnění obsluhy těchto systémů hlavním procesorem.

Vynález je v dalším podrobněji popsán s odkazem na připojené výkresy, kde obr.1 představuje blokové schéma zapojení řadiče a obr.2 značí řazení jednotlivých mikroprocesorových systémů do prioritního řetězce.

Datová sběrnice mikroprocesorového systému 1 je připojena k oddělovacímu obvodu 9 dat, adresní sběrnice mikroprocesorového systému 1 je připojena k dekodéru 2 a k oddělovacímu obvodu 10 adres, řídicí sběrnice mikroprocesorového systému 1 je připojena

k dekodéru 2 a přes převodník 8 k oddělovacímu obvodu 11 řídicích signálů, výstup DI pro řídicí signál mikroprocesorového systému 1 je připojen na jeden vstup oddělovacího obvodu 9 dat, přičemž další vstup dekodéru 2, spojený s jedním vstupem slučovacího obvodu 12, je určen pro vstupní signál HI požadavku přístupu k paměti, přičemž výstup HO slučovacího obvodu 12 je určen pro výstupní signál požadavku přístupu k paměti, dále jeden výstup dekodéru 2 je připojen na jeden vstup součinného hradla 7, jehož výstup je připojen na blokovací vstup W mikroprocesorového systému 1 a druhý výstup dekodéru 2 je připojen na nastavovací vstup prvního klopného obvodu 3, jehož blokovací vstup je určen pro vnější uvolňovací signál HA a je též připojen na datový vstup druhého klopného obvodu 4, přičemž výstup prvního klopného obvodu 3 je připojen na blokuující vstupy druhého a třetího klopného obvodu 4, 5 a dále na druhý vstup slučovacího obvodu 12, přičemž výstup druhého klopného obvodu 4 je připojen na ovládací vstupy oddělovacích obvodů 9, 10, 11 a na datový vstup třetího klopného obvodu 5, jehož výstup je připojen na druhý ovládací vstup oddělovacího obvodu 11 řídicích signálů a na datový vstup čtvrtého klopného obvodu 6, jehož blokovací vstup je určen pro vnější signál R připravenosti dat a jehož výstup je připojen na druhý vstup součinného hradla 7, časovací výstup T mikroprocesorového systému 1 je připojen na hodinové vstupy druhého, třetího a čtvrtého klopného obvodu 4, 5, 6. /obr.1/.

Datová sběrnice D mikroprocesorového systému 1 je přes oddělovací obvod 9 dat připojena k datové sběrnici SD systému, adresní sběrnice A je přes oddělovací obvod 10 adres připojena k adresní sběrnici SA systému a řídicí sběrnice C mikroprocesorového systému 1 přes převodník 8, který ji přizpůsobuje organizaci

řídící sběrnice nadřazeného systému, a přes oddělovací obvod 11 řídících signálů k řídící sběrnici SC nadřazeného systému. Na jeden ovládací vstup oddělovacího obvodu 9 dat je přiveden řídící signál z výstupu DI, který určuje směr pohybu dat po datové sběrnici. Adresní a řídící sběrnice jsou dále připojeny k dekodéru 2, který vyhodnocuje, kdy mikroprocesorový systém 1 ^uvstupuje do hlavní sběrnice. Jeden výstup dekodéru 2 je přes součtové hradlo 7 připojen na blokovací vstup W mikroprocesorového systému 1, který uvede mikroprocesor do režimu čekání. Druhý výstup dekodéru 2 je připojen na nastavovací vstup prvního klopného obvodu 3, na jehož blokovací vstup je připojen vstupní signál HA, který potvrzuje přijetí požadavku na vstup do hlavní sběrnice a je připojen též na datový vstup druhého klopného obvodu 4. Výstup prvního klopného obvodu 3 je připojen na blokovací vstupy druhého a třetího klopného obvodu 4, 5 a dále na jeden vstup slučovacího obvodu 12, na jehož druhý vstup je přiveden vstupní signál HI žádosti o vstup do hlavní sběrnice od jiného mikroprocesorového systému. Tento signál je připojen též na blokovací vstup dekodéru 2. Výstup HO slučovacího obvodu 12 je vyveden k hlavnímu procesoru jako žádost o vstup do hlavní sběrnice. Výstup druhého klopného obvodu 4 je připojen na ovládací vstupy oddělovacích obvodů 9, 10, 11 a dále na datový vstup třetího klopného obvodu 5, jehož výstup je připojen na datový vstup čtvrtého klopného obvodu 6, a dále na druhý ovládací vstup oddělovacího obvodu 11 řídících signálů, takže adresní a datová sběrnice a jednotlivé řídící signály jsou uvolňovány v požadovaném pořadí. Na blokovací vstup čtvrtého klopného obvodu 6 je připojen vnější signál R připravenosti dat, který udává stav dat na hlavní sběrnici. Výstup čtvrtého klopného obvodu 6 je připojen

na druhý vstup součinného hradla 7. Vnitřní taktovací signál z časovacího výstupu T mikroprocesorového systému 1 je rozveden na hodinové vstupy druhého, třetího a čtvrtého klopného obvodu 4, 5 a 6.

Signály HI a HO mohou být použity k řazení jednotlivých mikroprocesorových systémů do prioritního řetězce, například podle obr.2. Výstup HO prvního systému 21 je spojen se vstupem HI druhého systému 22, jehož výstup HO je spojen se vstupem HI třetího systému 23, atd., až výstup HO n-tého systému N je spojen se vstupem HLD nadřazeného systému S, přičemž první systém 21 má nejvyšší prioritu. Signály HA a R, které generuje nadřazený systém, jsou rozvedeny paralelně ke všem mikroprocesorovým systémům.

Zapojení řadiče podle vynálezu najde uplatnění při budování víceprocesorových výpočetních a řídicích systémů.

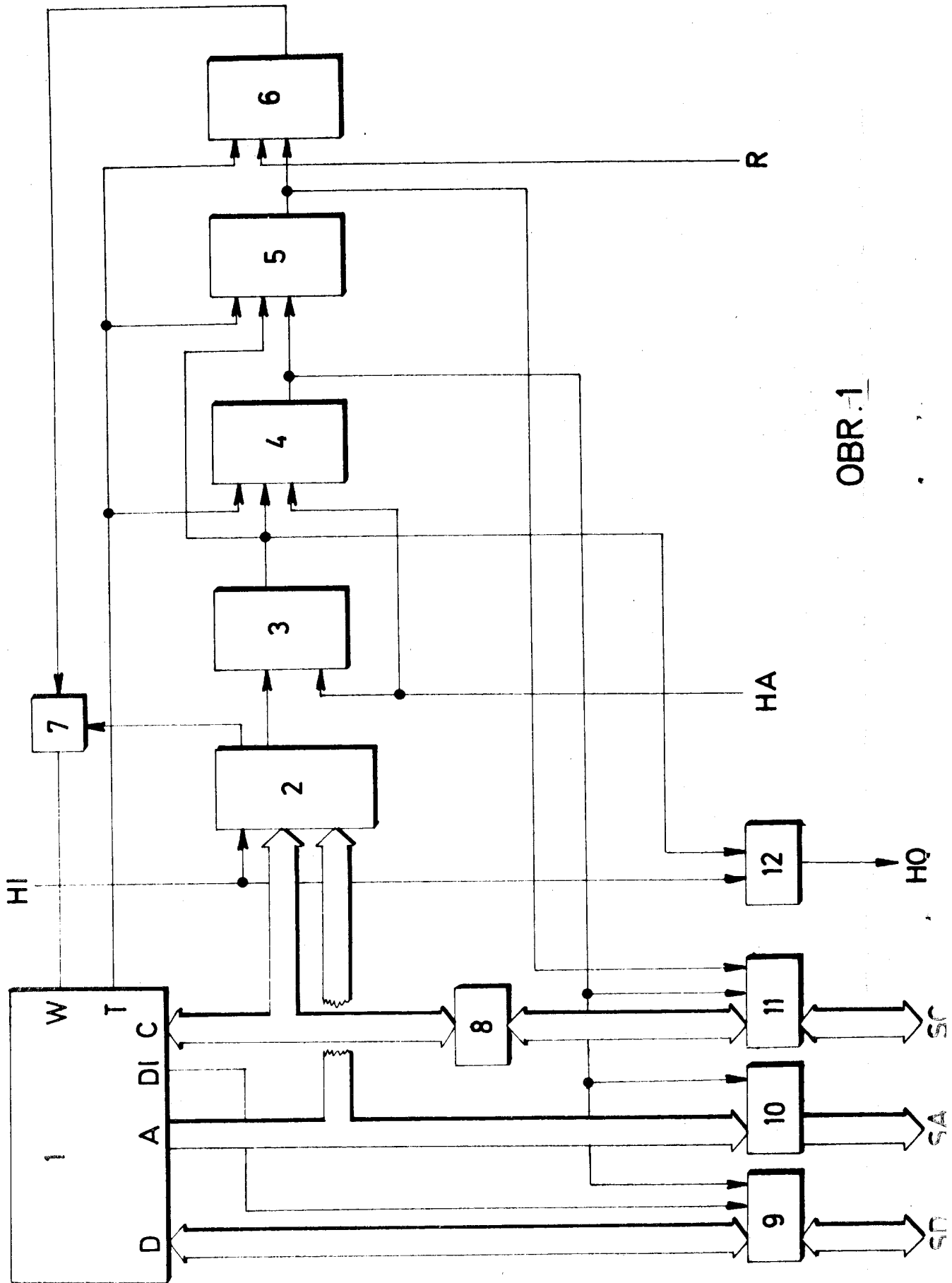
P Ř E D M Ě T V Y N Á L E Z U

232 570

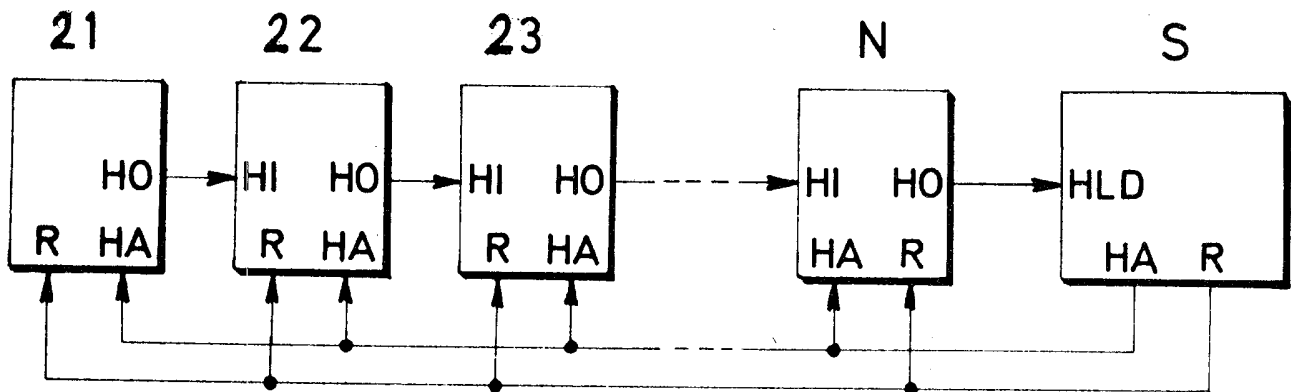
Zapojení řadiče pro víceprocesorové systémy vyznačující se tím, že datová sběrnice mikroprocesorového systému /1/ je připojena k oddělovacímu obvodu /9/ dat, adresní sběrnice mikroprocesorového systému /1/ je připojena k dekodéru /2/ a k oddělovacímu obvodu /10/ adres, řídicí sběrnice mikroprocesorového systému /1/ je připojena k dekodéru /2/ a přes převodník /8/ k oddělovacímu obvodu /11/ řídicích signálů, výstup /DI/ pro řídicí signál mikroprocesorového systému /1/ je připojen na jeden vstup oddělovacího obvodu /9/ dat, přičemž další vstup dekodéru /2/, spojený s jedním vstupem slučovacího obvodu /12/, je určen pro vstupní signál /HI/ požadavku přístupu k paměti, přičemž výstup /HO/ slučovacího obvodu /12/ je určen pro výstupní signál požadavku přístupu k paměti, dále jeden výstup dekodéru /2/ je připojen na jeden vstup součinnového hradla /7/, jehož výstup je připojen na blokovací vstup /W/ mikroprocesorového systému /1/ a druhý výstup dekodéru /2/ je připojen na nastavovací vstup prvního klopného obvodu /3/, jehož blokovací vstup je určen pro vnější uvolňovací signál /HA/ a je též připojen na datový vstup druhého klopného obvodu /4/, přičemž výstup prvního klopného obvodu /3/ je propojen na blokující vstupy druhého a třetího klopného obvodu /4, 5/ a dále na druhý vstup slučovacího obvodu /12/, přičemž výstup druhého klopného obvodu /4/ je připojen na ovládací vstupy oddělovacích obvodů /9, 10, 11/ a na datový vstup třetího klopného obvodu /5/, jehož výstup je připojen na druhý ovládací vstup oddělovacího obvodu /11/ řídicích signálů a na datový vstup čtvrtého klopného obvodu /6/, jehož blokovací vstup je určen pro vnější signál /R/ připravenosti dat a jehož výstup je připojen na druhý vstup součinnového

hradla /7/, časovací výstup /T/ mikroprocesorového systému /1/
je připojen na hodinové vstupy druhého, třetího a čtvrtého
klopného obvodu /4, 5, 6/.

2 výkresy



OBR. 1



OBR. 2