



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2005 020 132 A1** 2006.11.09

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2005 020 132.6**

(22) Anmeldetag: **29.04.2005**

(43) Offenlegungstag: **09.11.2006**

(51) Int Cl.⁸: **H01L 21/768** (2006.01)
H01L 21/283 (2006.01)

(71) Anmelder:

**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
 US**

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &
 Schwanhäusser, 80538 München**

(72) Erfinder:

**Frohberg, Kai, 01689 Niederau, DE; Lehr, Matthias,
 01099 Dresden, DE; Schuehrer, Holger, 01309
 Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

DE 103 18 299 A1

US 60 71 812 A

US 60 33 980 A

US 57 95 823 A

US 56 58 830 A

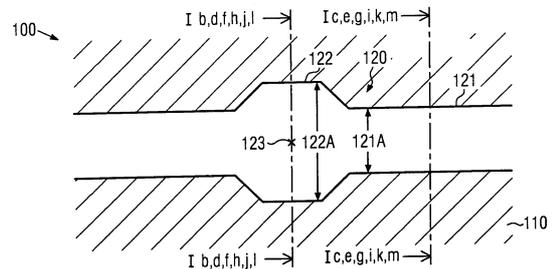
US 58 93 748

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Technik zur Herstellung selbstjustierter Durchführungen in einer Metallisierungsschicht**

(57) Zusammenfassung: Durch Gestalten von Gräben mit Bereichen mit erhöhter Breite können Kontaktlochstrukturen, die nach dem Grabenätzprozess gebildet werden, auf der Grundlage von Seitenwandabstandselementen in den Bereichen mit erhöhter Breite geätzt werden, wodurch ein weiterer Photolithographieprozess zum Definieren der Kontaktlochöffnungen unnötig ist. Somit kann eine hohe Justiergenauigkeit bei reduzierter Prozesskomplexität erreicht werden.



Beschreibung

GEBIET DER VORLIEGENDEN ERFINDUNG

[0001] Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung integrierter Schaltungen und betrifft insbesondere die Herstellung von Metallisierungsschichten einschließlich leitender Metalle, etwa Kupfer, das in ein dielektrisches Material gemäß der Damaszener-Technik eingebettet ist.

Stand der Technik

[0002] In einer integrierten Schaltung wird eine große Anzahl von Schaltungselementen, etwa Transistoren, Kondensatoren, Widerstände und dergleichen in oder auf einem geeigneten Substrat für gewöhnlich in einer im Wesentlichen planaren Konfiguration ausgebildet. Auf Grund der großen Anzahl von Schaltungselementen und der erforderlichen komplexen Anordnung der integrierten Schaltungen kann im Allgemeinen die elektrische Verbindung der einzelnen Schaltungselemente nicht in der gleichen Ebene durchgeführt werden, auf der die Schaltungselemente hergestellt sind, sondern es sind eine oder mehrere zusätzliche „Verdrahtungs-“ Ebenen erforderlich, die auch als Metallisierungsschichten bezeichnet werden. Diese Metallisierungsschichten beinhalten im Allgemeinen metallenthaltende Leitungen, die die elektrische Verbindung innerhalb der Ebene bereitstellen, und beinhalten ferner mehrere Verbindungen zwischen den Ebenen, die auch als Durchführungen bzw. Kontaktlöcher bezeichnet werden, die mit einem geeigneten Metall gefüllt sind und die elektrische Verbindung zwischen zwei benachbarten gestapelten Metallisierungsschichten bereitstellen, wobei die metallenthaltenden Leitungen und die Durchführungen auch gemeinsam als Verbindungsstruktur bezeichnet werden.

[0003] Auf Grund der ständigen Verringerung der Strukturgrößen von Schaltungselementen in modernen integrierten Schaltungen steigt auch die Anzahl der Schaltungselemente für eine gegebene Fläche an, d. h. die Packungsdichte wird größer, wodurch ein noch größerer Anstieg der Anzahl elektrischer Verbindungen erforderlich ist, um die gewünschte Schaltungsfunktionalität bereitzustellen. Daher steigt die Anzahl der gestapelten Metallisierungsschichten mit zunehmender Anzahl an Schaltungselementen pro Chipfläche an, und/oder die Größe der einzelnen Metalleitungen und Durchführungen wird reduziert. Die Herstellung mehrerer Metallisierungsschichten zieht äußerst herausfordernde Aufgaben nach sich, die es zu lösen gilt, etwa die mechanische, thermische und elektrische Zuverlässigkeit von bis zu 12 gestapelten Metallisierungsschichten, die in modernen aluminiumgestützten Mikroprozessoren verwendet werden können. Halbleiterhersteller ersetzen jedoch zunehmend das gut bekannte Metallisierungsmetall Alumi-

nium durch ein Metall, das höhere Stromdichten ermöglicht und damit eine Verkleinerung der Abmessungen der Verbindungsstrukturen und damit auch der Anzahl der gestapelten Metallisierungsschichten erlaubt. Beispielsweise sind Kupfer und Legierungen davon Metalle, die im Allgemeinen als geeignete Kandidaten für das Ersetzen von Aluminium betrachtet werden auf Grund ihrer besseren Eigenschaften im Hinblick auf die Widerstandsfähigkeit gegenüber Elektromigration und im Hinblick auf den deutlich kleineren elektrischen Widerstand im Vergleich zu Aluminium. Trotz dieser Vorteile zeigt Kupfer auch eine Reihe von Nachteilen hinsichtlich der Bearbeitung und der Handhabung von Kupfer in einer Halbleiterfabrik. Beispielsweise kann Kupfer nicht in effizienter Weise in großen Mengen auf ein Substrat durch gut etablierte Abscheideverfahren, etwa die chemische Dampfabcheidung (CVD) aufgebracht werden und Kupfer kann auch nicht in effizienter Weise durch die typischerweise eingesetzten anisotropen Ätzprozeduren strukturiert werden. Daher wird bei der Herstellung von Metallisierungsschichten mit Kupfer die sogenannte Damaszener-Technik (einzeln und dual) vorzugsweise angewendet, wobei eine dielektrische Schicht zunächst aufgebracht und dann strukturiert wird, um Gräben und Durchführungen zu erhalten, die nachfolgend mit Kupfer gefüllt werden.

[0004] Eine Vorgehensweise in der konventionellen Damaszener-Technik, die häufig in dem sogenannten Graben-zuerst-Durchführung-zuletzt-Ablauf angewendet wird, wobei ein dielektrisches Material – in modernen Halbleiterbauelementen ein dielektrisches Material mit reduzierter Permittivität – über Halbleiterbauelementen oder über einer darunterliegenden Metallisierungsschicht mit einer geeigneten Dicke aufgebracht wird. Danach werden Gräben in einem oberen Bereich der dielektrischen Schicht durch Photolithographie und anisotrope Ätztechniken gebildet, wobei die Grabenbreite ungefähr 100 nm und sogar weniger in sehr modernen Halbleiterbauelementen sein kann. Folglich ist ein anspruchsvoller Photolithographieprozess erforderlich, der deutlich zu den Herstellungskosten beiträgt. Nach der Ausbildung der Gräben wird ein weiterer anspruchsvoller Photolithographieprozess ausgeführt, um die Durchführungsöffnungen in den Gräben zu strukturieren, wobei sich die Durchführungsöffnungen durch die verbleibende Dicke des dielektrischen Materials erstrecken und damit für die Verbindung zu Kontaktgebieten von Metalleitungen von Schaltungselementen oder einer tieferliegenden Metallisierungsschicht sorgen. Während dieses zweiten anspruchsvollen Photolithographieprozesses ist eine hohe Präzision für das Ausrichten des Kontaktlochmusters zu den zuvor ausgebildeten Gräben erforderlich, da eine fehljustierte Kontaktlochstruktur zumindest eine Einbuße des Leistungsverhaltens oder gar einen elektrischen Ausfall zur Folge hat. Somit sind in dem konventionellen Ansatz mit Grabenzuerst-Kontaktlochöffnung-zu-

letz-Ablauf zwei anspruchsvolle und somit teure Lithographieschritte beteiligt, wobei der zweite Schritt eine hohe Genauigkeit für die korrekte Ausrichtung der Kontaktlochstruktur in Bezug auf die Gräben erfordert, wodurch die Gefahr für Zuverlässigkeitsprobleme oder sogar Verbindungsstrukturausfälle besteht.

[0005] In ähnlicher Weise sind für den Kontaktloch-zuerst-Graben-zuletzt-Ablauf, der ebenso häufig verwendet wird, zwei anspruchsvolle Photolithographieprozesse erforderlich. In einem ersten Schritt werden die Kontaktlöcher in dem dielektrischen Material gebildet und nachfolgend werden die Gräben mittels eines zweiten Photolithographieschrittes strukturiert, wobei ebenso eine hohe Präzision bei der Ausrichtung der Gräben in Bezug auf die Kontaktlochstrukturen erforderlich ist. Folglich sind auch in diesem konventionellen Ansatz die gleichen Probleme vorhanden, wie sie zuvor für den konventionellen Graben-zuerst-Kontaktloch-zuletzt-Ablauf erläutert sind.

Aufgabenstellung

[0006] Angesichts der oben erkannten Probleme besteht ein Bedarf für eine verbesserte Technik, die die Herstellung zuverlässiger Metallverbindungsstrukturen in äußerst großenreduzierten Halbleiterbauelementen ermöglicht.

ÜBERBLICK ÜBER DIE ERFINDUNG

[0007] Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik, die die Herstellung von Metallisierungsschichten in Halbleiterbauelementen mit deutlich reduzierter Komplexität ermöglicht, wobei dennoch ein hohes Maß an Genauigkeit bei der Justierung einer Kontaktlochstruktur in Bezug auf einen zuvor ausgebildeten Graben ermöglicht wird. Zu diesem Zwecke wird eine selbstjustierende Herstellungssequenz für die Kontaktlochstruktur bereitgestellt, wobei nach der Ausbildung der Grabenstruktur der anisotrope Ätzprozess zur Bildung der Kontaktlochstruktur auf Seitenwandabstandselementen anstelle eines weiteren Lithographieschrittes basiert, wodurch die Justiergenauigkeit deutlich verbessert wird.

[0008] Gemäß einer anschaulichen Ausführungsform der vorliegenden Erfindung umfasst ein Verfahren das Bilden eines Grabens in einer dielektrischen Schicht, wobei der Graben einen ersten Grabenbereich mit erhöhter Breite an einer Kontaktlochposition in dem Graben aufweist. Ferner werden Abstandselemente an Seitenwänden des Grabenbereichs mit erhöhter Breite ausgebildet und anschließend wird die dielektrische Schicht anisotrop geätzt, während die Abstandselemente als eine Ätzmaske verwendet werden, um ein Kontaktloch in dem Grabenbereich

mit erhöhter Breite zu bilden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0009] Weitere Vorteile, Aufgaben und Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezugnahme zu den begleitenden Zeichnungen studiert wird; es zeigen:

[0010] [Fig. 1a](#) schematisch eine Draufsicht eines Grabens einschließlich eines Bereichs mit erhöhter Breite an einer Position, an der ein Kontaktloch zu bilden ist, und mit einem Bereich nicht erhöhter Breite gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung;

[0011] [Fig. 1b](#), d, f, h, j und l schematisch Querschnittsansichten des Grabenbereichs mit erhöhter Breite aus [Fig. 1a](#) während diverser Herstellungsphasen gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung;

[0012] [Fig. 1d](#), e, g, i, k und m schematisch Querschnittsansichten des Grabenbereichs mit nicht erhöhter Breite aus [Fig. 1a](#) während diverser Herstellungsphasen, entsprechend den Querschnittsansichten der [Fig. 1b](#), d, f, h, j, l gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung; und

[0013] [Fig. 2a](#), [Fig. 2b](#) und [Fig. 2c](#) schematisch ein Halbleiterbauelement mit einem Metallisierungsgraben und einer Durchführung in einer Draufsicht und einer Querschnittsansicht, wobei eine Hartmaske zur Bildung der Gräben gemäß noch weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung verwendet wird.

DETAILLIERTE BESCHREIBUNG

[0014] Obwohl die vorliegende Erfindung mit Bezug zu den Ausführungsformen beschrieben ist, wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt sind, sollte es selbstverständlich sein, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, die vorliegende Erfindung auf die speziellen anschaulichen offenbarten Ausführungsformen einzuschränken, sondern die beschriebenen anschaulichen Ausführungsformen stellen vielmehr beispielhaft die diversen Aspekte der vorliegenden Erfindung dar, deren Schutzbereich durch die angefügten Patentansprüche definiert ist.

[0015] Generell wendet sich die vorliegende Erfindung an das Problem der Prozesskomplexität und Justierungsschwierigkeiten während der Ausbildung von Metallisierungsschichten von Halbleiterbauelementen, in denen die Herstellung von Metallgräben

und Metalleitungen in einer dielektrischen Schicht erforderlich ist. Wie zuvor erläutert ist, wird in modernsten Halbleiterbauelementen die sogenannte Damaszener-Technik für die Ausbildung von Metallisierungsschichten angewendet, in der die betrachtete dielektrische Schicht so strukturiert wird, um Gräben und Kontaktlöcher (duale Damaszener-Technik) zu empfangen, die dann nachfolgend mit einem geeigneten leitenden Material gefüllt werden. Da typischerweise zwei Photolithographieschritte erforderlich sind, um die Gräben und Kontaktlöcher vor dem Auffüllen mit dem leitenden Material zu erhalten, sind insbesondere in sehr modernen Halbleiterbauelementen mit Strukturgrößen von 100 nm und sogar darunter für die lateralen Abmessungen von Gräben und Durchführungen die entsprechenden Photolithographieprozesse äußerst komplex und daher äußerst kostenintensiv. Ferner kann die Erfordernis des äußerst präzisen Ausrichtens der Kontaktlöcher zu den Gräben deutlich zu Zuverlässigkeitsproblemen und Produktionsertragsverlusten beitragen, da selbst geringfügig fehljustierte Kontaktlöcher die Gesamtleitfähigkeit der Verbindungsstruktur reduzieren oder sogar einen Totalausfall des Halbleiterbauelements hervorrufen können. Erfindungsgemäß wird jedoch eine selbstjustierende Prozesstechnik angewendet, um die Kontaktlochstruktur in Bezug auf die Gräben auf der Grundlage von Prozessparametern zu justieren, die durch einen Abscheideprozess anstatt durch die Justiergenauigkeit eines Photolithographieprozesses definiert sind. Da ferner der Kontaktlochätzprozess auf der Grundlage von Seitenwandabstandselementen ausgeführt wird, die innerhalb speziell gestalteter Bereiche eines Grabens gebildet werden, ist das Vorsehen einer Ätzmaske, die durch Lithographie gebildet wird, nicht mehr notwendig und somit kann die gesamte Prozesskomplexität und damit die Produktionskosten deutlich reduziert werden.

[0016] Es sollte beachtet werden, dass die vorliegende Erfindung äußerst vorteilhaft für die Herstellung von Metallisierungsschichten moderner Halbleiterbauelemente ist, die dielektrische Materialien mit kleinem ϵ und äußerst leitfähige Metalle erfordern, etwa Kupfer und Kupferlegierungen, da hier die Strukturgrößen von Gräben und Durchführungen in der Größenordnung von 100 nm und sogar darunter sein können, so dass geringfügige Fehljustierungen deutlich die Bauteilleistung verringern oder zu ungewünschten Produktionsausbeuteverlusten führen können. Die Prinzipien der vorliegenden Erfindung können jedoch auch vorteilhaft während der Herstellung weniger anspruchsvoller Halbleiterbauelemente angewendet werden, wodurch ebenso zu einer Reduzierung der Produktionskosten und zu einer erhöhten Bauteilzuverlässigkeit und Leistung beigetragen wird. Mit Bezugnahme zu den begleitenden Zeichnungen werden nunmehr weitere anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben.

Ausführungsbeispiel

[0017] [Fig. 1a](#) zeigt schematisch eine Draufsicht eines Halbleiterbauelements **100** mit einer Metallisierungsschicht **110**, die einen Graben **120** aufweist. Das Halbleiterbauelement **100** kann ein beliebiges Halbleiterbauelement mit Schaltungselementen repräsentieren, die gemäß einer spezifizierten Schaltungsanordnung durch die Metallisierungsschicht **110** verbunden sind, wobei, wie zuvor beschrieben ist, mehrere Metallisierungsschichten **110** als ein Schichtstapel in dem Halbleiterbauelement **100** ausgebildet sein können. Der Einfachheit halber wird in der folgenden detaillierten Beschreibung nur auf eine einzelne Metallisierungsschicht Bezug genommen, die den Stromfluss mittels der Gräben **120** innerhalb der Ebene bereitstellt, während ein Stromfluss zwischen den Schichten, d. h. eine elektrische Verbindung zu einer benachbarten Metallisierungsschicht oder zu einem anderen Kontaktgebiet eines Schaltungselements durch eine Durchführung bzw. Kontaktierung (in [Fig. 1a](#) nicht gezeigt) bewerkstelligt wird, die in der in [Fig. 1a](#) gezeigten Ausführungsform an einer spezifizierten Kontaktlochposition **123** zu bilden ist. Des Weiteren kann die Metallisierungsschicht **110** zu diesem Herstellungszeitpunkt, in welchem tatsächlich noch kein Metall eingefüllt ist, aus einem beliebigen geeigneten dielektrischen Material hergestellt sein, etwa Siliziumdioxid, Siliziumnitrid, dielektrische Materialien mit kleinem ϵ zu denen geeignete Polymermaterialien, poröse Materialien und anorganische dielektrische Materialien mit kleinem ϵ , etwa eine Verbindung aus Silizium, Sauerstoff, Kohlenstoff und Wasserstoff (SiCOH), Siliziumkarbid, amorpher Kohlenstoff, stickstoffangereichertes Siliziumkarbid, Siliziumoxynitrid und dergleichen gehören. In anschaulichen Ausführungsformen kann die Metallisierungsschicht **110** ein dielektrisches Material mit kleinem ϵ aufweisen, das eine relative Permittivität von ungefähr 3,5 oder weniger aufweist.

[0018] Der Graben **120**, der in dieser Herstellungsphase noch nicht tatsächlich in der Metallisierungsschicht **110** ausgebildet ist, kann durch eine geeignete Ätzmaske repräsentiert sein, wie dies detaillierter mit Bezugnahme zu den [Fig. 1b](#) und [Fig. 1c](#) beschrieben ist, und diese kann einen ersten Grabenbereich **121** mit einer lateralen Abmessung oder Breite **121a** aufweisen, die einer Entwurfsbreite im Hinblick auf eine spezifizierte Stromdichte, wie sie während des Betriebs des Halbleiterbauelements **100** anzutreffen ist, entspricht. Im Weiteren wird der erste Bereich **121** mit der lateralen Abmessung **121a** auch als ein Grabenbereich mit nicht erhöhter Breite bezeichnet. Des Weiteren kann der Graben **120** einen zweiten Bereich **122** mit einer lateralen Abmessung oder Breite **122a** aufweisen, die im Vergleich zu der lateralen Abmessung **121a** erhöht ist. Folglich wird der zweite Bereiche **122** auch als ein Grabenbereich **122** mit erhöhter Breite bezeichnet. Die Position des

Bereichs **122** mit erhöhter Breite innerhalb des Grabens **120** ist durch die Kontaktlochposition **123** bestimmt, an der eine Kontaktlochöffnung zu einem darunter liegenden Kontaktgebiet oder Metallgebiet herzustellen ist. Es sollte beachtet werden, dass die spezielle geometrische Konfiguration des Bereichs **122** mit erhöhter Breite entsprechend den Bauteil- und Prozesserfordernissen ausgewählt werden kann und nicht auf die im Wesentlichen polygonale Form beschränkt ist, wie sie in [Fig. 1a](#) gezeigt ist. Beispielsweise kann der Bereich **122** mit erhöhter Breite eine im Wesentlichen kreisförmige Form aufweisen, oder der Bereich **122** kann eine asymmetrische Konfiguration in Bezug auf eine Längsachse und/oder eine laterale Achse des Grabens **120** besitzen. Folglich sollte der Bereich **122** mit erhöhter Breite nicht auf eine spezielle geometrische Konfiguration festgelegt werden, sofern dies nicht speziell in der Beschreibung und in den angefügten Patentansprüchen dargelegt ist.

[0019] Wie zuvor dargelegt ist, können die lateralen Abmessungen **121a**, **122a** in der Größenordnung von 100 nm und weniger sein für äußerst moderne Halbleiterbauelemente, die Transistorelemente mit einer Gatelänge von ungefähr 50 nm oder sogar weniger aufweisen. Es sollte beachtet werden, dass die Prinzipien der vorliegenden Erfindung nicht auf eine spezielle Größe der lateralen Abmessungen **121a**, **122a** beschränkt sind und dass diese auch auf weniger kritische Anwendungen und auch auf äußerst skalierte künftige Bauteilgenerationen angewendet werden können, die Metallleitungen mit Abmessungen deutlich kleiner als 100 nm erfordern.

[0020] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** in einer Querschnittsansicht entlang der Linie, die durch **l**, **d**, **f**, **h**, **j**, **l** in [Fig. 1a](#) bezeichnet ist. Dabei ist der Graben **120**, d. h. in [Fig. 1b](#) der Querschnitt des Bereichs **122** mit erhöhter Breite durch eine Lackmaske **130** definiert, die über einer ARC- (antireflektierende Beschichtung) Schicht **131** ausgebildet ist. Ferner umfasst das Halbleiterbauelement **100** ein Substrat **101**, das ein beliebiges geeignetes Substrat für die Herstellung von Mikrostrukturen einschließlich von Schaltungselementen und integrierten Schaltungen, etwa von Mikroprozessoren, Speicherchips, ASICs (anwendungsspezifische IC's) und dergleichen repräsentieren kann. Beispielsweise kann das Substrat **101** ein Siliziumvollsubstrat, ein SOI- (Silizium auf Isolator) Substrat oder ein anderes II-VI oder III-V Halbleitersubstrat repräsentieren. Das Substrat **101** kann darauf ausgebildet eine geeignete Halbleiterschicht aufweisen, die die Herstellung entsprechender Mikrostrukturelemente und Schaltungselemente erlaubt, wie es für die betrachtete Anwendung erforderlich ist. Das Substrat **101** kann darauf oder dann ausgebildet ein Kontakt- oder Metallgebiet **102** aufweisen, das ein beliebiges elektrisch leitendes Gebiet repräsentieren soll, das mit

der Metallisierungsschicht **110** entsprechend den bauteilspezifischen Erfordernissen zu verbinden ist. Beispielsweise kann das Gebiet **102** eine Metallleitung einer tieferliegenden Metallisierungsschicht repräsentieren, oder das Gebiet **102** kann einen Kontaktbereich eines Schaltungselements, etwa eines Transistors, eines Kondensators, und dergleichen repräsentieren. Über dem Substrat **101** ist die Metallisierungsschicht **110**, die in diesem Herstellungsstadium im Wesentlichen eine dielektrische Schicht ist, ausgebildet, wobei die Metallisierungsschicht **110** in einem frühen Herstellungsstadium gezeigt ist, da die metallgefüllten Gräben und Kontaktdurchführungen darin noch zu bilden sind. Wie zuvor erläutert ist, kann die Metallisierungsschicht **110** eine geeignete Zusammensetzung dielektrischer Materialien aufweisen, wie dies durch die Bauteilerfordernisse gefordert ist. In anschaulichen Ausführungsformen kann die Metallisierungsschicht **110** ein dielektrisches Material mit kleinem ϵ aufweisen, d. h. zumindest in einem oberen Bereich der Schicht **110**, in dem metallgefüllte Gräben herzustellen sind. Es sollte ferner beachtet werden, dass das dielektrische Material der Schicht **110**, das häufig als ein Zwischenschichtdielektrikum (ILD) bezeichnet wird, in Form eines geeignet gestalteten Schichtstapels vorgesehen sein kann, um damit prozess- und bauteilspezifische Vorgaben zu berücksichtigen. Beispielsweise kann typischerweise eine Ätzstoppschicht (nicht gezeigt) über dem Substrat **101** vorgesehen sein, um damit das Gebiet **102** abzudecken, um damit als eine Stoppschicht für das Steuern eines anisotropen Ätzprozesses zum Ätzen durch die Metallisierungsschicht **110** zu dienen. In ähnlicher Weise kann die Schicht **110** Zwischenschichten, etwa Ätzstoppschichten, Ätzindikatorschichten und dergleichen aufweisen, die die Strukturieren der Schicht **110** gemäß den Prozesserfordernissen vereinfachen können. Des Weiteren kann die Schicht **110** eine Deckschicht aufweisen, insbesondere wenn dielektrische Materialien mit kleinem ϵ verwendet werden, um die mechanische Stabilität und andere Eigenschaften des dielektrischen Materials mit kleinem ϵ zu verbessern.

[0021] Das Halbleiterbauelement **100**, wie es in [Fig. 1b](#) gezeigt ist, kann gemäß den folgenden Prozessen hergestellt werden. Nach der Ausbildung von etwaigen Schaltungselementen und/oder anderen Mikrostrukturelementen einschließlich des Gebiets **102** kann die Schicht **110** durch beliebige geeignete Herstellungstechniken, etwa plasmaunterstützte CVD (chemische Dampfabcheidung), Oxidationsprozesse, Aufschleuderverfahren, und dergleichen hergestellt werden. Danach wird die ARC-Schicht **131** beispielsweise auf der Grundlage von plasmaunterstützten CVD-Techniken, Aufschleuderverfahren und dergleichen gebildet, wobei die optischen Eigenschaften, etwa der Brechungsindex, der Extinktionskoeffizient und die Schichtdicke so eingestellt werden, um eine Rückreflektion von Strahlung für eine

spezifizierte Belichtungswellenlänge deutlich zu reduzieren. Beispielsweise kann die ARC-Schicht **131** aus einem dielektrischen Material aufgebaut sein, das eine effiziente Einstellung seiner optischen Eigenschaften ermöglicht. In anschaulichen Ausführungsformen können Materialien, etwa Siliziumoxynitrid, amorpher Kohlenstoff, stickstoffangereichertes Siliziumkarbid, organische ARC-Materialien, und dergleichen abgeschieden werden, wobei Prozessparameter so gesteuert werden, dass die erforderliche optische Dicke in Bezug auf die Belichtungswellenlänge erreicht wird. In anderen anschaulichen Ausführungsformen kann die ARC-Schicht **131** aus zwei oder mehr Schichten aufgebaut sein, um das gewünschte Verhalten der Schicht **131** sicherzustellen. Beispielsweise können in anspruchsvollen Anwendungen, in denen eine Belichtungswellenlänge von 193 nm und sogar kleiner erforderlich ist, die Lackmaterialien, die während der Lithographie zur Strukturierung der Lackmaske **130** verwendet werden, eine hohe Empfindlichkeit für Stickstoff und Stickstoffradikale aufweisen, wodurch ihr photochemisches Verhalten geändert wird, was zu Lackmaskenunregelmäßigkeiten führen kann, was häufig auch als Lackvergiftung bezeichnet wird. Daher kann ein im Wesentlichen stickstofffreies Material zumindest in der obersten Schicht der ARC-Schicht **131** vorgesehen werden, um einen direkten Kontakt von Stickstoff und dem Lackmaterial zu reduzieren. Nach der Herstellung der ARC-Schicht **131** wird eine entsprechende Lackschicht abgeschieden, beispielsweise durch gut etablierte Aufschleuderverfahren und nachfolgend wird die Lackschicht mit einer spezifizierten Belichtungswellenlänge auf der Grundlage einer Photomaske belichtet, die darin ein Grabenmuster entsprechend dem Graben **120** aufweist, d. h. die entsprechende Photomaske besitzt ein Grabenmuster mit Bereichen, die den Bereichen **121** mit nicht erhöhter Breite und den Bereichen **122** mit erhöhter Breite entsprechen. Nach dem Belichten der Lackmaske und etwaigen der Belichtung nachgeordneten Prozessen wird die Lackschicht entwickelt, um die Lackmaske **130** mit dem darin ausgebildeten Graben **120** zu bilden.

[0022] [Fig. 1c](#) zeigt schematisch das Halbleiterbauelement **100** in einer Querschnittsansicht gemäß dem Schnitt, der in [Fig. 1a](#) durch Ic, e, g, i, k, m gekennzeichnet ist, um daher den Bereich **121** mit nicht erhöhter Breite repräsentiert. Folglich umfasst das Bauelement **100** die Lackmaske **130**, die den Bereich **121** mit der Breite **121a** definiert.

[0023] [Fig. 1d](#) zeigt schematisch das Halbleiterbauelement **100**, wobei die Lackmaske **130** entfernt ist und wobei der Graben **122** in der ARC-Schicht **131** und in einem oberen Bereich **110u** der Schicht **110** gebildet ist. Der Grabenbereich **122** mit erhöhter Breite besitzt im Wesentlichen die Breite **122a**, wie sie durch die Lackmaske **130** definiert ist (siehe

[Fig. 1b](#)). Das Bauelement **100**, wie es in [Fig. 1d](#) gezeigt ist, kann mittels eines anisotropen Ätzprozesses auf der Grundlage gut etablierter Rezepte hergestellt werden, wobei die Lackmaske **130** als eine Ätzmaske dienen kann. Der anisotrope Ätzprozess kann so gesteuert werden, dass dieser bei einer gewünschten Tiefe innerhalb der Schicht **110** anhält, was beispielsweise auf der Grundlage einer Ätzstoppschicht (nicht gezeigt), einer Ätzindikatorschicht (nicht gezeigt) oder auf der Grundlage einer Ätzzeitsteuerung und Ätzratensteuerung bewerkstelligt werden kann.

[0024] [Fig. 1e](#) zeigt schematisch das Bauelement **100** nach der oben beschriebenen Prozesssequenz mit einem Querschnitt entlang der Linie aus [Fig. 1a](#) durch den zweiten Bereich **121**, der die nicht erhöhte Breite aufweist. Somit ist der Bereich **121** auch in dem oberen Bereich **110u** der Schicht **110** ausgebildet und weist im Wesentlichen die Breite **121a** auf, wie sie durch die Lackmaske **130** (siehe [Fig. 1c](#)) definiert ist.

[0025] [Fig. 1f](#) zeigt schematisch einen Querschnitt durch den Grabenbereich **122** mit erhöhter Breite, wenn das Halbleiterbauelement **100** sich in einem weiter fortgeschrittenen Fertigungszustand befindet. Eine Abstandsschicht **140** ist auf der ARC-Schicht **131** und dem Bereich **122** ausgebildet. Die Abstandsschicht **140** kann aus einem beliebigen geeigneten Material aufgebaut sein, das die Abscheidung in einer im Wesentlichen konformen Weise ermöglicht und das in einem späteren Herstellungszustand ohne übermäßigen Einfluss auf die Schicht **110** entfernt werden kann. Beispielsweise kann die Abstandsschicht **140** ein organisches Polymermaterial aufweisen, das durch chemische Dampfabscheidetechniken aufgebracht werden kann, wodurch ein hohes Maß an Konformität erreicht wird, wobei dennoch eine moderat hohe Ätzselektivität für eine Vielzahl dielektrischer Materialien und auch für dielektrische Materialien mit kleinem ϵ erzielt wird. In anderen anschaulichen Ausführungsformen kann die Abstandsschicht **140** ein dünnes Schichtmaterial, etwa eine Beschichtung **141** aufweisen, das durch moderne Abscheidetechniken, etwa plasmaunterstütztes CVD aufgebracht werden kann. In einer anschaulichen Ausführungsform kann die Beschichtung **141** aus einem Material hergestellt sein, das eine moderat hohe Ätzselektivität im Vergleich zu dem Material der Abstandsschicht **140** zeigt, wenn beispielsweise das Material der Schicht **140** nicht die gewünscht hohe Ätzselektivität in Bezug auf das dielektrische Material der Schicht **110** aufweist. Beispielsweise kann die Beschichtung **141** in Form einer dünnen Siliziumdioxidschicht mit einer Dicke von einigen Nanometern oder weniger vorgesehen werden. Unabhängig davon, ob die Beschichtung **141** vorgesehen ist, wird die Abstandsschicht **140** in äußerst konformer Weise hergestellt, wobei abhängig von strukturellen Eigen-

schaften und Abscheideprozessparametern eine Dicke **140a** auf exponierten horizontalen Bereichen von einer Dicke **140b** der Schicht **140** an Seitenwänden des Grabenbereichs **122** abweichen kann. Der Schichtbereich der Abstandsschicht **140** an den Seitenwänden des Grabenbereichs **122** kann als ein Abstandselement **142** betrachtet werden, das in Verbindung mit der erhöhten Breite **122a** die schließlich erhaltene laterale Abmessung eines innerhalb des Grabenbereichs **122** zu bildenden Kontaktloches definiert. Ferner kann, wie gezeigt ist, eine Dicke **140c** an der Unterseite des Grabenbereichs **122** sich von den entsprechenden Abmessungen **140a** und **140b** auf Grund spezieller kinematischer Bedingungen während des Abscheidens der Abstandsschicht **140** unterscheiden. Es sollte jedoch beachtet werden, dass die Abscheiderezepte für eine Fülle von Materialien gut bekannt sind und die entsprechenden Abmessungen **140a**, **140b** und **140c** können effizient auf der Grundlage experimenteller und/oder theoretischer Daten so eingestellt werden, dass insbesondere die Dicke **140b** des Abstandselements **142** mit hoher Genauigkeit vorhergesagt werden kann und ferner innerhalb enger Prozessgrenzen auf der Grundlage gut etablierter Rezepte gesteuert werden kann.

[0026] **Fig. 1g** zeigt schematisch das Halbleiterbauelement **100** nach der Herstellung der Abstandsschicht **140**, wobei der Bereich **121** mit nicht erhöhter Breite im Wesentlichen vollständig mit dem Material der Abstandsschicht **140** gefüllt ist, da die Breite **120a** deutlich kleiner als die Breite **122a** ist. Daher wird während des äußerst konformen Abscheideprozesses zur Bildung der Abstandsschicht **140** der Grabenbereich **121** im Wesentlichen gefüllt, während die erhöhte Breite **122a** die Ausbildung der Abstandselemente **142** mit der spezifizierten Breite **140b** sicherstellt. Es sollte beachtet werden, dass typischerweise die Breite **121a**, die die Breite einer in der Schicht **110** auszubildenden Metallleitung repräsentiert, im Wesentlichen durch Entwurfserfordernisse für das interessierende Halbleiterbauelement **100** bestimmt werden kann. Somit können die Dicke **140b** und damit die Breite der Abstandselemente **142** und damit auch die Dicken **140a** und **140c** – da diese Abmessungen im Wesentlichen durch die Abscheideparameter bestimmt sind – so ausgewählt werden, dass ein im Wesentlichen vollständiges Füllen des Grabenbereichs **121** ohne ungewünschte Hohlrumbildung darin ermöglicht wird. Beispielsweise kann die Breite **121a** mit ungefähr 100 nm auf der Grundlage von Entwurfsregeln für das Bauelement **100** vorgegeben werden, und somit kann die Dicke **140b**, die sich aus dem Abscheiden des Abstandsmaterials auf im Wesentlichen vertikalen Seitenwänden einer Grabenöffnung ergeben, so gewählt werden, dass diese ungefähr der Hälfte der Breite **121a** oder mehr entspricht, so dass damit ein im Wesentlichen nicht konformes Abscheideverhalten innerhalb des Grabenbereichs **121** sichergestellt wird. Da andererseits die Dicke

140b der Abstandselemente **142** in Kombination mit der Breite **122a** die laterale Abmessung des in dem Grabenbereich **122** zu bildenden Kontaktloches bestimmt, können die Breite **122a** und damit die geometrische Konfiguration des Grabenbereichs **122** so gewählt werden, dass eine ausreichend dimensionierte Dicke **140b** erreicht wird, die sowohl die Erfordernis für ein im Wesentlichen vollständiges Füllen des Grabenbereichs **121** und das Bereitstellen einer gewünschten Soll-dickenabmessung für die Kontaktlochöffnung füllt, die noch zu bilden ist. Für das obige Beispiel kann die Dicke **140b** beispielsweise zu 60 nm gewählt werden, wodurch das erforderliche Füllverhalten während des Abscheidens der Abstandsschicht **140** innerhalb des Grabenbereichs **121** gewährleistet wird. Wenn andererseits eine laterale Abmessung der Kontaktlochöffnung von beispielsweise 80 nm gewünscht ist, kann der Grabenbereich **122** so gestaltet werden, dass die Sollbreite **122a** 200 nm entspricht. Es sollte beachtet werden, dass das obige Beispiel lediglich anschaulicher Natur ist und andere Korrelationen ermittelt werden können, um die Dicke **140b** und die Breite **122a** für eine vorgegebene nicht erhöhte Breite **121a** anzupassen. Daher kann in einigen anschaulichen Ausführungsformen das Füllverhalten eines interessierenden Abscheideprozesses für ein spezielles betrachtetes Abstandsmaterial beispielsweise auf der Grundlage entsprechender Testläufe mit nachfolgender Querschnittsanalyse bestimmt werden, um damit z. B. eine minimale Dicke der Abstandsschicht **140** zu ermitteln, die für ein im Wesentlichen hohlraumfreies Füllen des Grabens **121** erforderlich ist. Sobald die entsprechende minimale erforderliche Dicke **140** ermittelt ist, kann eine spezielle Soll-dicke für die Abstandsschicht **140** in Verbindung mit einer erforderlichen Sollbreite **122a** sodann ausgewählt werden, um die erforderliche laterale Abmessung einer Kontaktlochöffnung zu erreichen.

[0027] Nach der Herstellung der Abstandsschicht **140**, die auch als eine „Kontaktlochmaskenbeschichtung“ bezeichnet werden kann, wird das Halbleiterbauelement **100** einem anisotropen Ätzprozess **150** unterzogen, um damit die Abstandsschicht **140** an der Unterseite des Grabenbereichs **122** zu öffnen, um damit das Material mit der Dicke **140c**, die deutlich kleiner als eine entsprechende Dicke **140d** der Abstandsschicht **140** ist, die in und über dem Grabenbereich **121** ausgebildet ist (siehe **Fig. 1g**), zu entfernen. Folglich ist während des anisotropen Ätzprozesses **150** der Grabenbereich **121** geschützt, während nach dem Öffnen der Unterseite des Grabenbereichs **122** und möglicherweise einer optionalen Ätzstoppschicht, etwa der Beschichtung **141**, das Material der Schicht **110** geätzt werden kann, während die Abstandselemente **142** als eine Ätzmaske dienen, die dadurch die laterale Abmessung der Kontaktlochöffnung definieren. In einigen anschaulichen Ausführungsformen kann der anisotrope Ätzprozess

150 zwei oder mehr einzelne anisotrope Ätzschritte aufweisen, um beispielsweise durch die Abstandsschicht **140** und um durch die Schicht **110** zu ätzen, wenn diese Materialien ein deutlich unterschiedliches Ätzverhalten in Bezug auf ein einzelnes Ätzrezept aufweisen. Beispielsweise kann ein anisotroper Ätzprozess angewendet werden, um rasch durch die Abstandsschicht **140** zu ätzen und es kann ein unterschiedliches Ätzrezept verwendet werden, wenn eine hohe Abtragsrate für die Schicht **110** nicht mit dem Rezept für den ersten anisotropen Ätzschritt erreicht werden kann. Wenn z. B. die Beschichtung **141** aus gut bekannten dielektrischen Materialien, etwa Siliziumdioxid, Siliziumnitrid aufgebaut ist, können gut etablierte anisotrope Ätzprozesse für Siliziumdioxid und Siliziumnitrid angewendet werden, vorausgesetzt, dass beide Schichten, d. h. die Beschichtung **141** und die Abstandsschicht **140**, wenn diese aus Siliziumdioxid bzw. Siliziumnitrid aufgebaut sind, bei ausreichend geringen Temperaturen abgeschieden werden können, um das Halbleiterbauelement **100** nicht in unzulässiger Weise zu beeinflussen. In anderen anschaulichen Ausführungsformen können geeignete organische Materialien für die Abstandsschicht **140** oder sogar metallenthaltende Schichten verwendet werden, etwa Titan, Titannitrid, Tantal, Tantalnitrid und dergleichen, die durch gut etablierte Sputter-Abscheidetechniken aufgebracht werden können, wie sie auch für die Herstellung von Barrierschichten in kupferbasierten Metallisierungsschichten eingesetzt werden.

[0028] [Fig. 1h](#) und [Fig. 1i](#) zeigen schematisch Querschnittsansichten des Halbleiterbauelements nach Abschluss des anisotropen Ätzprozesses **150**.

[0029] In [Fig. 1h](#) umfasst das Halbleiterbauelement **100** nunmehr eine Durchführung bzw. ein Kontaktloch **160** mit einer lateralen Abmessung **160a**, die im Wesentlichen der Differenz zwischen der Breite **122a** und zwei mal der Dicke **140b** entspricht, wie dies auch zuvor erläutert ist. Ferner kann abhängig von den spezifischen Gegebenheiten des anisotropen Ätzprozesses **150** die Abstandsschicht **140** zu einem gewissen Grade „aufgebraucht“ worden sein, wodurch eine reduzierte Abstandsschicht **140** bereitgestellt wird, wobei sogar ein deutlicher Verbrauch der Abstandsschicht **140** tolerierbar ist, solange die Unterseite des Grabenbereichs **121** (siehe [Fig. 1i](#)) während des anisotropen Ätzprozesses **150** bedeckt bleibt. In anderen Ausführungsformen kann die Beschichtung **141** vorgesehen sein und eine hohe Resistenz gegenüber einem Ätzangriff des anisotropen Ätzprozesses **150** aufweisen, so dass selbst ein exzessiver Materialabtrag des Materials der Abstandsschicht **140** während des anisotropen Ätzprozesses **150** nicht in unerwünschter Weise den Grabenbereich **121** und die entsprechenden Gebiete des Bereichs **122**, die anfänglich von den Abstandselementen **142** abgedeckt sind, nicht unnötig beeinflusst.

[0030] Unabhängig von der Ätzstrategie beruht der Prozess des Herstellens der Durchführung **160** auf Entwurfs- und Abscheidegegebenheiten, etwa der Breite **122a** und der Dicke **140b**, so dass die Durchführung **160** in Bezug auf den Graben **120** mit hoher Genauigkeit selbstjustiert ist, wobei ein einzelner Photolithographieprozess ausreichend ist, um den Graben **120** und die Durchführung **160**, die darin präzise ausgerichtet ist, herzustellen.

[0031] Nach der Ausbildung der Durchführung **160**, was auch das Öffnen einer eventuellen Ätzstopp-schicht beinhalten kann, die in dem Gebiet **102** ausgebildet ist, können die Reste der Abstandsschicht **140** und, falls diese vorgesehen ist, die Beschichtung **141** entfernt werden, wobei, wie zuvor erläutert ist, eine moderat hohe Ätzselektivität zwischen dem Material der Abstandsschicht **140** und dem Dielektrikum der Schicht **110** ausgenutzt werden kann, oder wobei der Rest der Abstandsschicht **140** durch einen isotropen Ätzprozess mit hoher Ätzselektivität zu der Beschichtung **141** entfernt werden kann. Danach kann die Beschichtung **141** durch einen weiteren Ätzprozess, beispielsweise einen isotropen Ätzprozess, entfernt werden. Wenn z. B. die Beschichtung **141** als eine dünne Siliziumdioxidschicht vorgesehen ist, kann das Abtragen auf der Grundlage wässriger Flußsäure (HF) durchgeführt werden, ohne nennenswert die Grabenbereiche **122** und **121** zu beeinflussen. Danach kann die ARC-Schicht **131** durch einen geeigneten Ätzprozess entsprechend gut etablierter Prozessrezepte entfernt werden.

[0032] Die [Fig. 1j](#) und [Fig. 1k](#) zeigen schematisch Querschnittsansichten der Grabenbereiche **122** bzw. **121** nach dem Abschluss der oben beschriebenen Prozesssequenz. Somit weist das Halbleiterbauelement **100** den Graben **122** auf, der im Wesentlichen die Breite **122a** besitzt und darin ausgebildet das Kontaktloch **160** aufweist, das die laterale Abmessung **160a** besitzt, während der Grabenbereich **121** im Wesentlichen die laterale Abmessung **121a** aufweist.

[0033] Danach kann der weitere Fertigungsprozess für das Halbleiterbauelement **100** gemäß den Bauteilerfordernissen fortgesetzt werden. Beispielsweise kann in modernen Halbleiterbauelementen **100** auf Kupferbasis der weitere Fertigungsprozess das Abscheiden einer geeigneten Barrierschicht beinhalten, woran sich eine Saatschicht anschließt, um damit das Halbleiterbauelement **100** für einen nachfolgenden elektrochemischen Abscheideprozess vorzubereiten, um damit den Hauptanteil eines äußerst leitfähigen Kupfer- oder Kupferlegierungsmetalls in die Grabenbereiche **122** und **121** und in die Durchführung **160** in einem einzelnen Abscheideprozess einzufüllen. Beispielsweise können sehr moderne und gut etablierte Elektroplattierungsrezepte angewendet werden, um die Durchführung **160** und den

Graben **120** im Wesentlichen von unten nach oben zu füllen, nachdem die Barrierenschicht und die Saatschicht hergestellt sind.

[0034] [Fig. 1l](#) und [Fig. 1m](#) zeigen schematisch Querschnittsansichten des Halbleiterbauelements **100** nach dem Ende der oben beschriebenen Prozesssequenz zum Auffüllen eines Metalls und dem Entfernen überschüssiger Materialien des Metalls und der Barrieren- und Saatschicht. Somit kann das Halbleiterbauelement **100** die Metallisierungsschicht **110** aufweisen, die in ihrem oberen Bereich **110u** den Graben **120** aufweist, der mit einem Metall gefüllt ist, etwa Kupfer oder einer Kupferlegierung, wobei eine Barrierenschicht **123** an Seitenwänden und an der Unterseite des Grabens **120** ausgebildet ist, mit Ausnahme eines Bereichs, an welchem die metallgefüllte Durchföhrung **160** mit dem Grabenbereich **122** verbunden ist.

[0035] Es gilt also: es können sehr zuverlässige selbstjustierte Durchföhrungs- bzw. Kontaktlochstrukturen mit einem einzelnen Photolithographieprozess hergestellt werden, wobei geeignet gestapelte Grabenbereiche mit erhöhter Breite an Positionen gebildet werden, an denen die Durchföhrung herzustellen ist. Auf Grund der reduzierten Prozesskomplexität und der hohen Justiergenauigkeit können die Gesamtkosten deutlich verringert werden, wobei die Zuverlässigkeit und die Ausbeute verbessert werden können.

[0036] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2c](#) werden nunmehr weitere anschauliche Ausführungsformen der vorliegenden Erfindung beschrieben, wobei eine noch höhere Genauigkeit des Grabenstrukturierungsprozesses erreicht werden kann, indem eine Hartmaske für die Strukturierung der Gräben anstatt einer Lackmaske, wie dies in den [Fig. 1b](#) und [Fig. 1c](#) gezeigt ist, verwendet wird.

[0037] [Fig. 2a](#) zeigt schematisch ein Halbleiterbauelement **200**, das im Wesentlichen die gleiche Konfiguration aufweisen kann, wie dies auch mit Bezugnahme zu [Fig. 1a](#) beschrieben ist. Somit kann das Halbleiterbauelement **200** eine Metallisierungsschicht **210** mit einem Graben **220** aufweisen, der darüber mittels einer Lackmaske definiert ist, ähnlich wie dies auch in den [Fig. 1b](#) und [Fig. 1c](#) gezeigt ist. Der Graben **220** umfasst einen Bereich **221** mit nicht erhöhter Breite und einen Bereich **222** mit erhöhter Breite, der an einer Position **223** angeordnet ist, an der eine Durchföhrung innerhalb des Grabens **220** zu bilden ist, wie dies durch die gestrichelten Linien angedeutet ist.

[0038] [Fig. 2b](#) zeigt schematisch eine Querschnittsansicht des Bauelements **200**, wobei der Einfachheit halber lediglich der Querschnitt entlang der Linie IIb entsprechend dem Bereich **222** mit erhöhter Breite

dargestellt ist. Das Bauelement **200** kann eine Lackmaske **230** und eine Hartmaskenschicht **270** mit dem darin ausgebildeten Graben **220** aufweisen. Des weiteren umfasst das Halbleiterbauelement **200** das Substrat **201**, das in ähnlicher Weise gestaltet sein kann, wie dies zuvor mit Bezug zu dem Substrat **101** beschrieben ist, wobei darin oder darauf ein Kontakt- oder Metallgebiet **202** gebildet ist, zu welchem eine elektrische Verbindung mittels einer Durchföhrung bzw. einem Kontaktloch herzustellen ist.

[0039] Typischerweise kann das Bauelement **200**, wie es in [Fig. 2b](#) gezeigt ist, auf der Grundlage gut etablierter Prozessrezepte hergestellt werden, wobei zusätzlich die Hartmaskenschicht **270** über der metallisierungsschicht **210** abgeschieden werden kann. Die Hartmaskenschicht **270** kann eine ausgeprägte Ätzselektivität in Bezug auf das dielektrische Material der Schicht **210** aufweisen, um damit als eine Ätzmaske während eines nachfolgenden anisotropen Grabenätzprozesses zu dienen. Beispielsweise kann die Hartmaskenschicht **270** aus einem metallischem oder nicht metallischem Material aufgebaut sein, das die erforderliche Ätzselektivität zu dem dielektrischen Material der Schicht **210** aufweist. Ferner kann in einigen Ausführungsformen die Hartmaskenschicht **270** aus mehreren Schichten oder Materialien aufgebaut sein, um die gewünschten Eigenschaften bereitzustellen. In einigen anschaulichen Ausführungsformen kann die Hartmaskenschicht gestaltet sein, um auch als eine ARC-Schicht während des Strukturierens der Lackmaske **230** zu dienen. Das Vorsehen der Hartmaskenschicht **270** ist vorteilhaft, da der Photolithographieprozess zum Strukturieren der Lackschicht **230** speziell so gestaltet sein kann, um die Abbildung der Photomaske in die Lackschicht zu verbessern, ohne dass ätzspezifische Kriterien der Lackmaske **230** zu berücksichtigen sind, da diese Maske lediglich zu Strukturierung der Hartmaskenschicht **270** dient. Beispielsweise kann in äußerst anspruchsvollen Anwendungen die Lackmaske **230** für Belichtungswellenlängen von 193 nm und sogar weniger verwendet werden, was eine moderat geringe Dicke der Lackmaske **230** erfordern kann, die in einigen Ausführungsformen, die mit Bezug zu den [Fig. 1a](#) bis [Fig. 1m](#) beschrieben sind, die Ätzspurtreue beim Übertragen des Grabens **220** in die Metallisierungsschicht **210** beeinträchtigen kann. Somit kann durch Anpassen der Lackschicht entsprechend den photolithographiespezifischen Vorgaben der Photolithographieprozess effizienter und präziser gestaltet werden, so dass die entsprechende Form und die Abmessungen des Grabens **220** zuverlässig in die Hartmaskenschicht **270** übertragen werden können. Danach kann die Lackmaske **230** entfernt und ein anisotroper Ätzprozess auf der Grundlage der strukturierten Hartmaskenschicht **270** ausgeföhrt werden.

[0040] [Fig. 2c](#) zeigt schematisch das Halbleiterbau-

element **200** nach Abschluss des anisotropen Ätzprozess auf der Grundlage der Hartmaskenschicht **270**. Folglich umfasst das Bauelement **200** den Graben **220**, der in einem oberen Bereich **210u** des dielektrischen Materials der Metallisierungsschicht **210** ausgebildet ist. Auf Grund der besseren Ätzbeständigkeit der Hartmaskenschicht **270** im Vergleich zu beispielsweise der Lackmaske **120** (siehe [Fig. 1b](#) und [Fig. 1c](#)) wird eine verbesserte Genauigkeit beim Übertragen des Grabens **220** in die Schicht **210** erreicht, wodurch eine weitere Bauteilgrößenreduzierung im Wesentlichen ohne Zuverlässigkeits- und Ertragsverlust möglich ist. Danach kann die weitere Bearbeitung des Bauelements **200** fortgesetzt werden, wie dies auch mit Bezug zu den [Fig. 1d](#) bis [Fig. 1m](#) beschrieben ist. Insbesondere der selbstjustierte Kontaktlochmaskenherstellungsprozess kann in der zuvor erläuterten Weise ausgeführt werden.

[0041] Es gilt also: Die vorliegende Erfindung stellt eine verbesserte Technik bereit, die das Herstellen von Gräben und Durchführungen mit einem einzelnen Lithographieprozess ermöglicht, da die Ausbildung der Kontaktlochstruktur in einer selbstjustierten Weise unter Anwendung einer entsprechend gestalteten Abstandsschicht oder einer Kontaktlochmaskenbeschichtung in Verbindung mit einer geeigneten Grabengestaltung ausgeführt werden kann. Auf Grund des Vorsehens von Grabenbereichen mit erhöhter Breite an Positionen, an denen Kontaktlöcher innerhalb des Grabens herzustellen sind, kann der Kontaktlochätzprozess auf der Grundlage von Abstandselementen ohne weitere Justier- oder Lithographieprozeduren ausgeführt werden.

[0042] Weitere Modifizierungen und Variationen der vorliegenden Erfindung werden für den Fachmann angesichts dieser Beschreibung offenkundig. Daher ist diese Beschreibung als lediglich anschaulich und für die Zwecke gedacht, dem Fachmann die allgemeine Art und Weise des Ausführens der vorliegenden Erfindung zu vermitteln. Selbstverständlich sind die hierin gezeigten und beschriebenen Formen der Erfindung als die gegenwärtig bevorzugten Ausführungsformen zu betrachten.

Patentansprüche

1. Verfahren mit:
Bilden eines Grabens in einer dielektrischen Schicht, wobei der Graben einen ersten Grabenbereich mit erhöhter Breite an einer Kontaktlochposition in dem Graben aufweist;
Bilden von Abstandselementen an Seitenwänden des ersten Grabenbereichs mit erhöhter Breite; und
anisotropes Ätzen der dielektrischen Schicht unter Verwendung der Abstandselemente als Ätzmaske, um ein Kontaktloch in dem ersten Grabenbereich mit erhöhter Breite zu bilden.

2. Verfahren nach Anspruch 1, wobei Bilden der Abstandselemente umfasst: konformes Abscheiden einer Abstandsschicht, um die Abstandselemente zu bilden und um im Wesentlichen vollständig zweite Grabenbereiche mit einer Breite, die kleiner als die erhöhte Breite des ersten Grabenbereichs ist, zu füllen.

3. Verfahren nach Anspruch 2, das ferner umfasst: Einstellen einer lateralen Größe des ersten Grabenbereichs mit erhöhter Breite und einer Dicke der Abstandsschicht, so dass diese einer lateralen Sollabmessung des Kontaktlochs entsprechen.

4. Verfahren nach Anspruch 3, das ferner umfasst: Einstellen der lateralen Größe des ersten Grabenbereichs mit erhöhter Breite und eine Dicke der Abstandsschicht auf der Grundlage einer Sollbreite der zweiten Grabenbereiche, um die zweiten Grabenbereiche im Wesentlichen vollständig zu füllen.

5. Verfahren nach Anspruch 1, wobei Bilden eines Grabens in der dielektrischen Schicht umfasst: Bilden einer Ätzmaske über der dielektrischen Schicht, wobei die Ätzmaske eine Maske für den ersten Grabenbereich und eine Maske für die zweiten Grabenbereiche aufweist, und anisotropes Ätzen in die dielektrische Schicht auf der Grundlage der Ätzmaske.

6. Verfahren nach Anspruch 5, wobei die Ätzmaske eine Lackmaske ist.

7. Verfahren nach Anspruch 5, wobei Bilden der Ätzmaske umfasst: Bilden einer Hartmaskenschicht über der dielektrischen Schicht, Bilden einer Lackmaske über der Hartmaskenschicht und Strukturieren der Hartmaskenschicht mittels der Lackmaske, um die Ätzmaske zu bilden.

8. Verfahren nach Anspruch 1, das ferner Entfernen der Abstandselemente nach dem Bilden des Kontaktlochs umfasst.

9. Verfahren nach Anspruch 2, das ferner Bilden einer Ätzstoppschicht vor dem Abscheiden der Abstandsschicht umfasst.

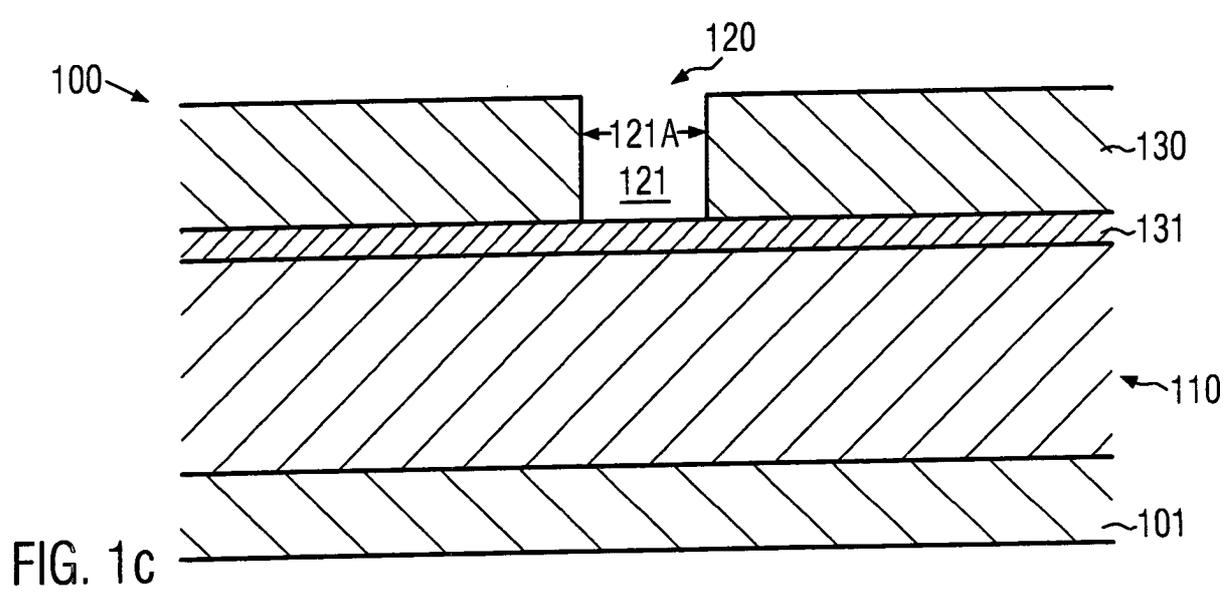
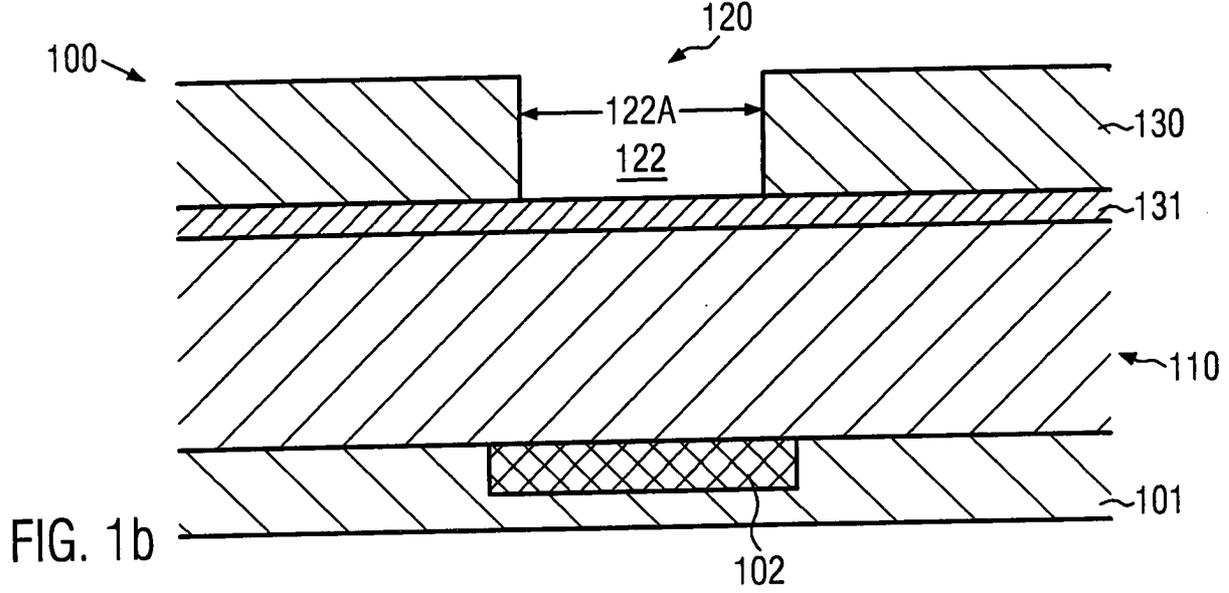
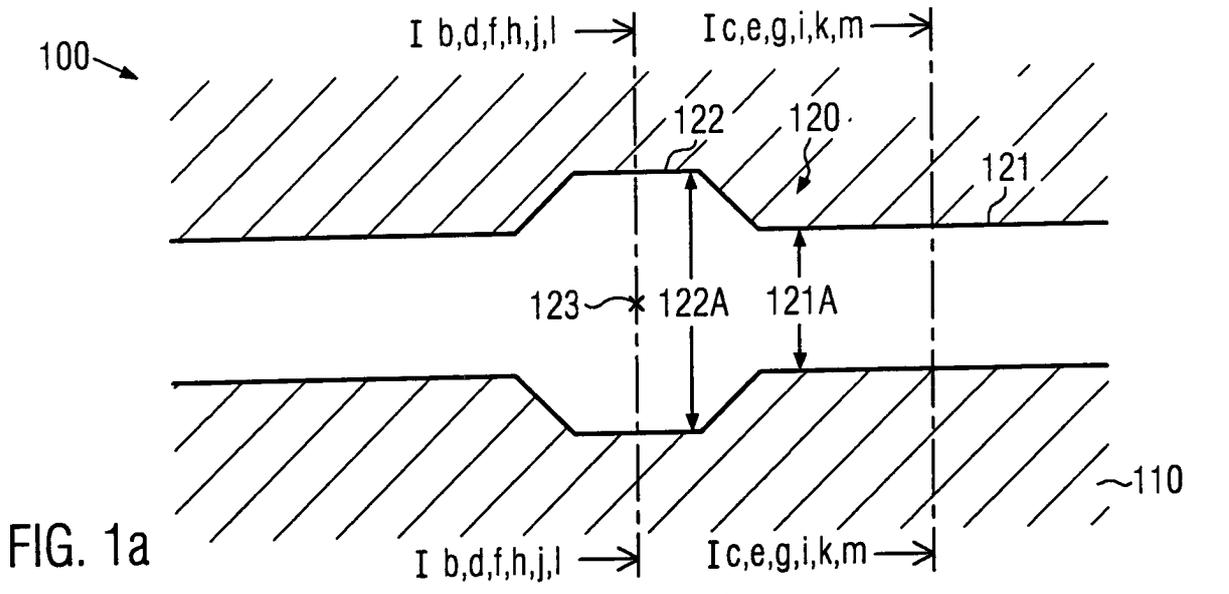
10. Verfahren nach Anspruch 2, wobei die zweiten Bereiche des Grabens eine laterale Abmessung von ungefähr 100 nm oder weniger aufweisen.

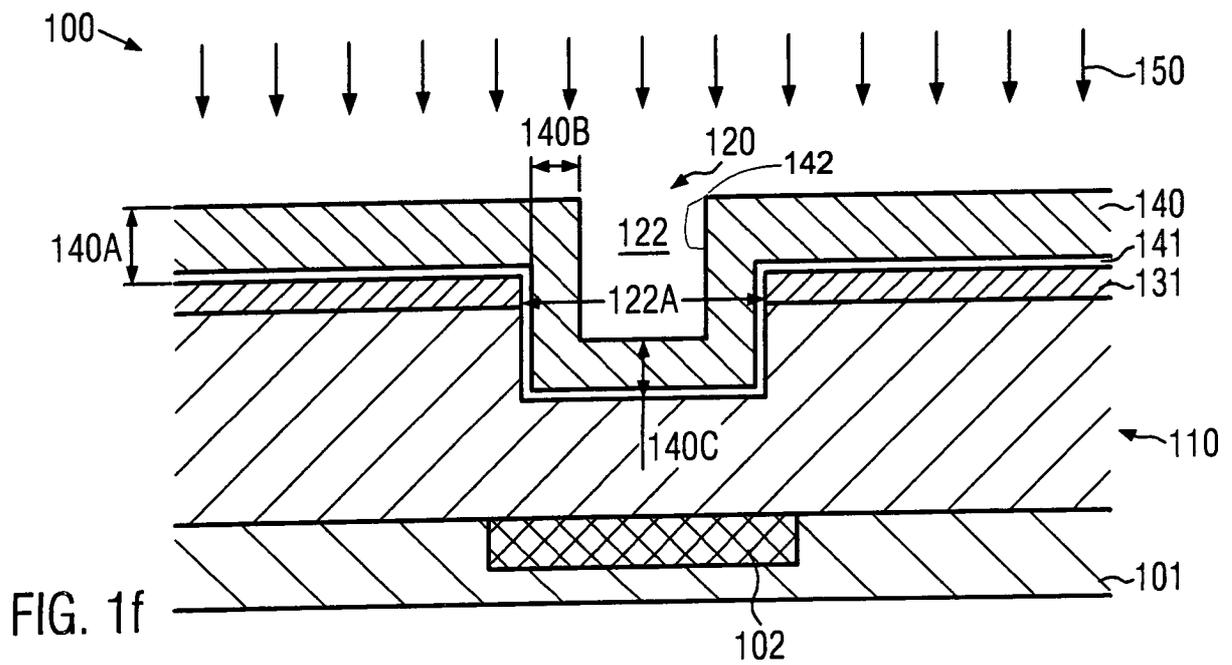
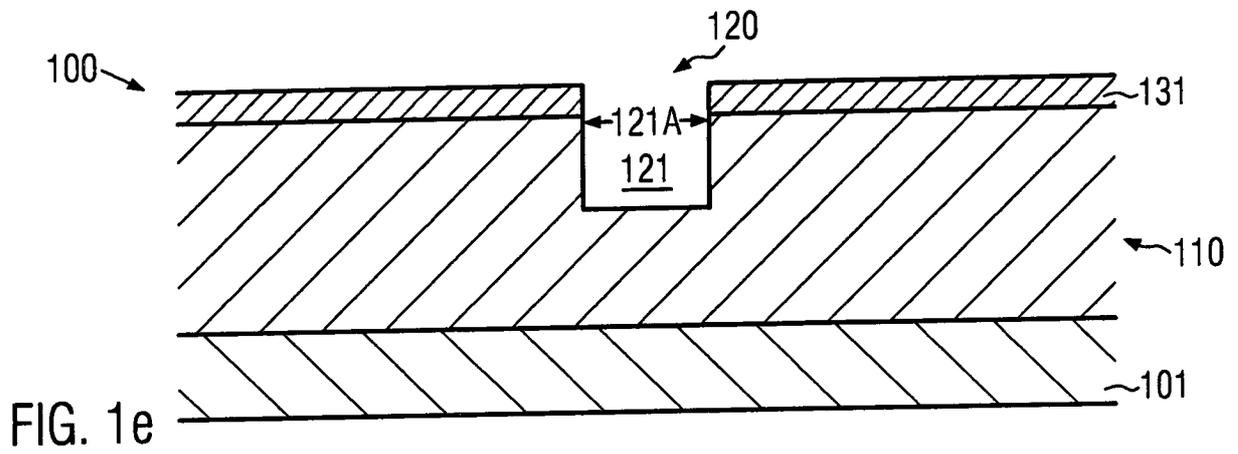
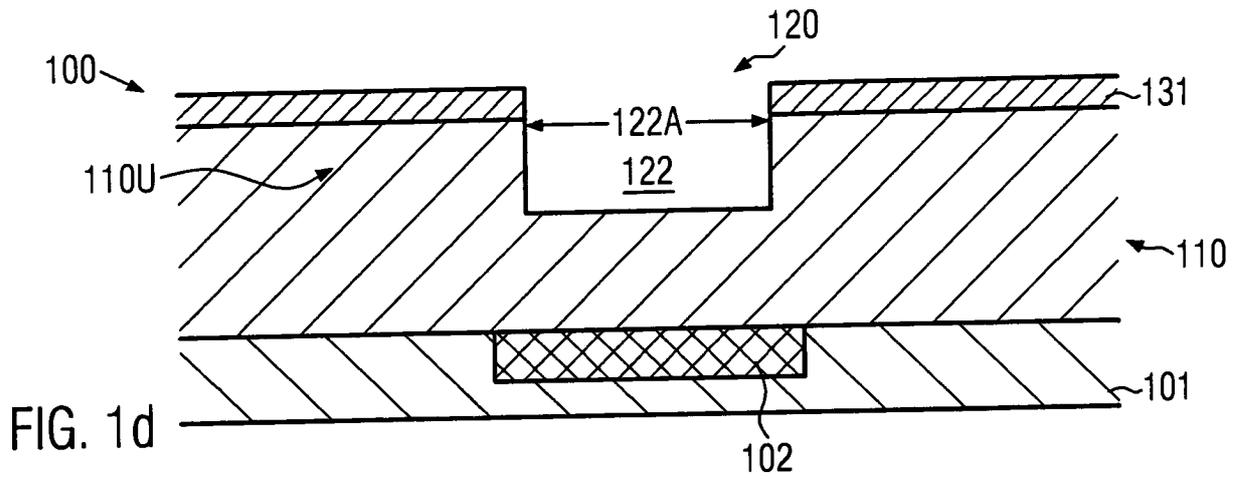
11. Verfahren nach Anspruch 1, das ferner Füllen eines Metalls in den Graben und das Kontaktloch in einem gemeinsamen Abscheideprozess umfasst.

12. Verfahren nach Anspruch 11, wobei das Metall Kupfer umfasst.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen





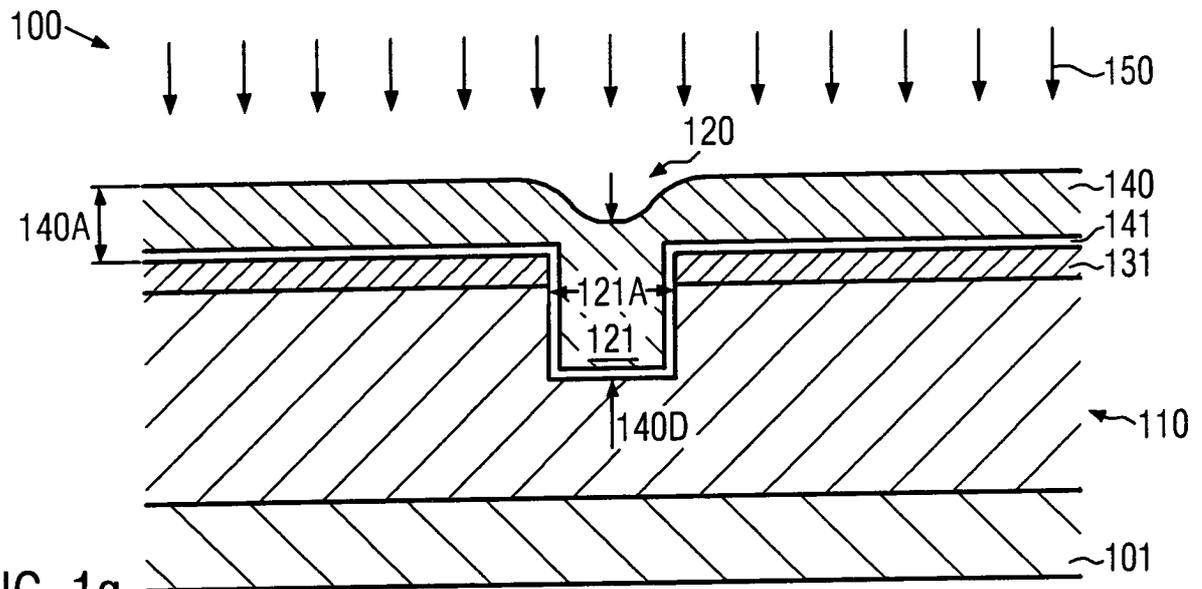


FIG. 1g

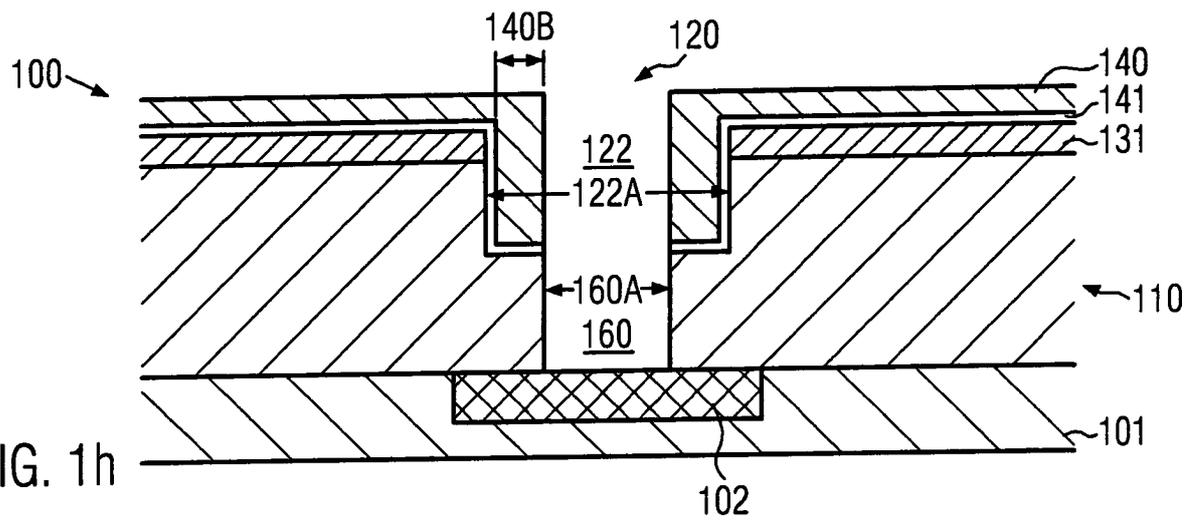


FIG. 1h

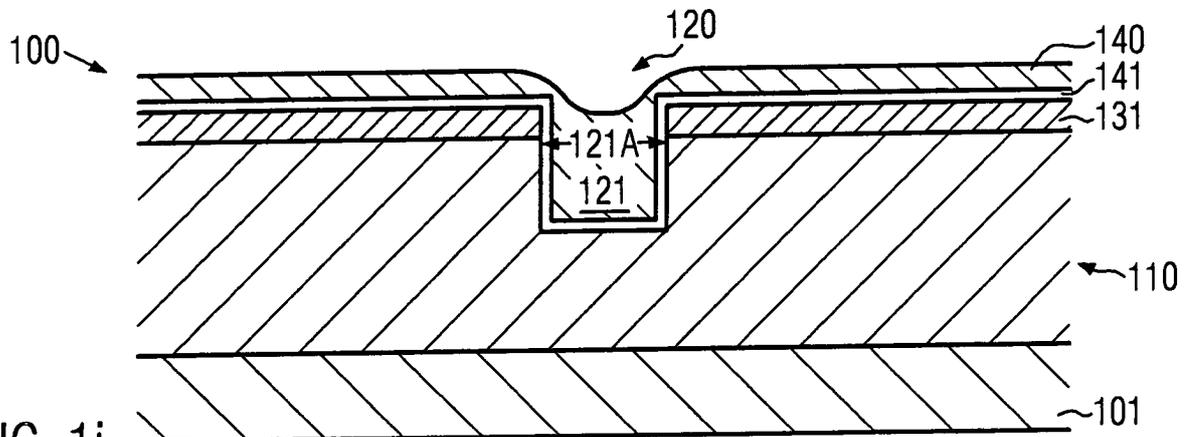


FIG. 1i

