(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4032443号
(P4032443)
(45)発行日　平成20年1月16日(2008.1.16)　(24)登録日　平成19年11月2日(2007.11.2)

(51)Int.Cl.　F I
H01L 29/786 (2006.01)　H01L 29/78　617K
G02F 1/1368 (2006.01)　H01L 29/78　612B
H01L 29/78　613A
H01L 29/78　616T
G02F 1/1368

請求項の数 4　(全 17 頁)

(21)出願番号　特願平8-268288
(22)出願日　平成8年10月9日(1996.10.9)
(65)公開番号　特開平10-116990
(43)公開日　平成10年5月6日(1998.5.6)
審査請求日　平成14年9月5日(2002.9.5)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　井上　聡
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　湯田坂　一夫
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　棚田　一也

最終頁に続く

(54)【発明の名称】薄膜トランジスタ、回路、アクティブマトリクス基板、液晶表示装置

(57)【特許請求の範囲】

【請求項１】

ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、を含む薄膜トランジスタであって、

前記薄膜トランジスタは、前記ゲート電極によって形成されている拡張部分を含み、

前記拡張部分は、前記チャネル領域のチャネル長方向に沿って張り出しており、

前記拡張部分は、前記チャネル領域のチャネル幅よりも狭く、かつ、前記チャネル領域の幅方向の略中央部分に重畳して形成されていること、

を特徴とする薄膜トランジスタ。

【請求項２】

ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、を含む薄膜トランジスタであって、

前記薄膜トランジスタは、前記半導体膜によって形成されている拡張部分を含み、

前記拡張部分は、前記ゲート電極の延設方向に張り出しており、

前記拡張部分は、前記ゲート電極の幅よりも狭く、かつ、前記ゲート電極の幅方向の略中央部分に重畳して形成されていること、

を特徴とする薄膜トランジスタ。

【請求項３】

請求項１乃至２のいずれかに記載の薄膜トランジスタを複数含むアクティブマトリクス基板。
【請求項４】
請求項３に記載のアクティブマトリクス基板を備えた液晶表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、薄膜トランジスタ（以下、ＴＦＴという。）及びそれを用いて回路構成した駆動回路を備えるアクティブマトリクス基板を用いた液晶表示装置に関するものである。さらに詳しくは、ＴＦＴからの放熱効率を高めるための構造技術に関するものである。
【０００２】
【従来の技術】
液晶表示装置用のアクティブマトリクス基板などに広く用いられているＴＦＴおよびＴＦＴ回路は、従来、図１４及び図１５に示すように、ゲート電極１５Ｑ、ソース・ドレイン領域１２Ｑ、およびチャネル領域１７Ｑはいずれも側方へ張り出すことなく、略長方形の平面形状をもつように形成されている。また、図１５の各ＴＦＴ１Ｑにおいて、ソース・ドレイン領域１２Ｑおよびチャネル領域１７Ｑを構成するシリコン膜は、ＴＦＴ毎に独立した島状にパターニングされた状態にある。ここで、ＴＦＴから各種のＴＦＴ回路を構成する際には等幅に形成された配線層８０１Ｑを用いてＴＦＴ同士を配線接続している。
【０００３】
【発明が解決しようとする課題】
しかし、従来構造のＴＦＴ回路において、その特性・性能の向上のためにＴＦＴ１Ｑに流れる電流をアップすると、ＴＦＴ１Ｑの自己発熱によるチャネル領域１７Ｑの温度上昇が大きくなるため、特性の劣化や信頼性の低下が生じるという問題点がある。
【０００４】
そこで、ＴＦＴ１Ｑを構成する各層間に熱伝導性の高い層を付加し、それを放熱層として利用してＴＦＴの温度上昇を抑える方法が考えられる。しかし、この方法によると、アクティブマトリクス基板などを製造する際に、放熱層として用いる膜を形成する工程と、それをパターニングする工程とが増えてしまうという問題点がある。このような製造工程の増加は、アクティブマトリクス基板などの製造コストを高めることになるので好ましくない。
【０００５】
尚、従来技術である第１４図及び図１５において、コンタクトホール１９は等幅に形成されたソースまたはドレインまたはゲートの各領域内に形成されているが、コンタクトホールほ一辺が等幅のソースまたはドレインまたはゲート領域より大きい場合にはコンタクトホールの周辺だけ前記各領域を等幅部分より大きくすることがあったが、放熱特性を考慮したものではなく、従って、放熱特性を向上できるものではなかった。
【０００６】
以上の問題点に鑑みて、本発明の課題は、製造工程数を増やすことなく放熱効率を高めた構造とし、ＴＦＴに流す電流をアップしても特性劣化や信頼性低下のないＴＦＴ回路、およびそれを駆動回路に用いたアクティブマトリクス基板を備える液晶表示装置を提供することにある。
【０００７】
【課題を解決するための手段】
上記課題を解決するために、本発明のひとつの薄膜トランジスタは、ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、を含む薄膜トランジスタであって、前記薄膜トランジスタは、前記ゲート電極によって形成されている拡張部分を含み、前記拡張部分は、前記チャネル領域のチャネル長方向に沿って張り出しており、前記拡張部分は、前記チャネル領域のチャネル幅よりも狭く、かつ、前記チャネル領域の幅方向の略中央部分に重畳し

て形成されていること、を特徴とする。
また、本発明のひとつの薄膜トランジスタは、ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、を含む薄膜トランジスタであって、前記薄膜トランジスタは、前記半導体膜によって形成されている拡張部分を含み、前記拡張部分は、前記ゲート電極の延設方向に張り出しており、前記拡張部分は、前記ゲート電極の幅よりも狭く、かつ、前記ゲート電極の幅方向の略中央部分に重畳して形成されていること、を特徴とする。
上記課題を解決するために、本発明の薄膜トランジスタは、ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、前記ゲート電極または前記半導体膜によって形成されている拡張部分を含む薄膜トランジスタであって、前記ゲート電極は、前記チャネル領域のチャネル長方向に沿って張り出す拡張部分を有し、前記拡張部分は、前記チャネル領域のチャネル幅よりも狭く、かつ、前記チャネル領域の幅方向の略中央部分に重畳して形成されていることを特徴とする。
また、本発明の薄膜トランジスタは、ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜と、前記ゲート電極または前記半導体膜によって形成されている拡張部分を含む薄膜トランジスタであって、前記半導体膜は、前記ゲート電極の延設方向に張り出す拡張部分を有し、前記拡張部分は、前記ゲート電極の幅よりも狭く、かつ、前記ゲート電極の幅方向の略中央部分に重畳して形成されていることを特徴とする。
本発明の回路は、ゲート電極に対してゲート絶縁膜を介して対峙する、チャネル領域と該チャネル領域に接続するソース及びドレイン領域とを有する半導体膜を含む薄膜トランジスタを複数備えた回路であって、前記薄膜トランジスタの間の電気的接続のために設けられた配線層は、前記配線層の延設方向から張り出して形成された拡張部分を有することを特徴とする。
上記の回路において、前記回路はＰ型の薄膜トランジスタとＮ型のトランジスタとを含むＣＭＯＳインバータ回路であってもよい。
上記の薄膜トランジスタを複数個設けることによりアクティブマトリクス基板を構成することができる。
上記の回路を設けることによりアクティブマトリクス基板とすることもできる。
本発明の液晶表示装置は、上記のアクティブマトリクス基板を備えている。
本発明では、基板の表面側においてゲート電極に対してゲート絶縁膜を介して対峙するチャネル領域、および該チャネル領域に接続するソース・ドレイン領域を備えるＴＦＴと、前記ソース・ドレイン領域に電気的接続するソース・ドレイン配線層と、前記ゲート電極に電気的接続するゲート配線層とを有するＴＦＴにおいて、該ＴＦＴの各構成部分のうち、導電膜または半導体膜から構成された少なくとも１つの構成部分には、該構成部分自身から拡張されて該構成部分からの放熱効率を高めるための放熱用拡張部が形成されていることを特徴とする。
【０００８】
すなわち、ＴＦＴに新たな層を追加するのではなく、ＴＦＴの各構成部分を部分的に拡張することによって、ＴＦＴからの放熱効率を高めることを特徴とする。
【０００９】
本発明では、ＴＦＴの各構成部分のうち、導電膜または半導体膜から構成された少なくとも１つの構成部分には放熱用拡張部が形成されているので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分を設けたので、その側面部分の面積も拡張されたことになる。すなわち、構成部分の表面積を拡大した分、そこからの放熱効率が高い。しかも、放熱用に拡張した部分は、導電膜や半導体膜といった絶縁膜からみて熱伝導性の高い膜で構成されているので、拡張部分から効率よく放熱することができる。さらに、放熱用の拡張部分は、あくまでＴＦＴを従来から構成していた部分を拡張した部分である。従って、放熱用の拡張部分を設けるといっても、製造工程数が増えない。それ故、Ｔ

ＦＴの製造コストは上昇しない。

【００１０】

本発明において、前記放熱用拡張部は前記ゲート電極から側方への拡張部分として構成することがある。

【００１１】

たとえば、前記ゲート電極の拡張部分は、該ゲート電極の少なくとも一方の端部に形成されていることがある。この場合には、前記ゲート電極の拡張部分には、複数のコンタクトホールを介してゲート配線層が電気的接続していることが好ましい。このように構成すると、ゲート電極からゲート配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

【００１２】

また、前記ゲート電極の拡張部分は、前記チャネル領域に重畳する領域内に形成されていることがある。このように構成すると、ゲート電極の拡張部分はＴＦＴの形成領域からはみ出ないので、ＴＦＴの高集積化を妨げない。この場合に、前記ゲート電極の拡張部分は、前記チャネル領域の幅方向における略中央領域に相当する位置に形成されていることが好ましい。このように構成すると、チャネル領域の幅方向において発熱が最も顕著である部分での放熱効率を高めることになるので、その効果が高い。

【００１３】

本発明において、前記放熱用拡張部は、前記チャネル領域から側方への拡張部分として構成することもある。この場合には、前記チャネル領域の拡張部分は、前記ゲート電極に重畳する領域内に形成されていることが好ましい。このように構成すると、チャネル領域からの拡張部分はＴＦＴの形成領域からはみ出ないので、ＴＦＴの高集積化を妨げない。

【００１４】

本発明において、前記放熱用拡張部は、前記ソース・ドレイン領域から側方への拡張部分として構成することもできる。この場合に、前記ソース・ドレイン領域の拡張部分には複数のコンタクトホールを介してソース・ドレイン配線層が電気的接続していることが好ましい。このように構成すると、ソース・ドレイン領域からソース・ドレイン配線層に効率よく熱伝達を行うことができるので、放熱効果が高い。

【００１５】

本発明において、前記放熱用拡張部は、逆導電型の前記ＴＦＴによって構成されたＣＭＯＳインバータ回路において各ＣＭＯＳ回路間で前記ＴＦＴのソース・ドレイン領域同士を接続するように前記ソース・ドレイン領域から側方に拡張された拡張部分として構成してもよい。この場合には、前記放熱用拡張部は、該拡張部自身が接続するソース・ドレイン領域と同一の不純物により導電化されていることが好ましい。このように構成すると、放熱用拡張部自身が冗長配線としての機能を発揮することになる。また、前記放熱用拡張部は、各ＣＭＯＳ回路間で前記ＴＦＴのソース・ドレイン領域同士を接続する前記ソース・ドレイン配線層と重畳する領域内に形成されていることが好ましい。このように構成すると、放熱用拡張部は、ソース・ドレイン配線層からはみ出ないので、ＣＭＯＳインバータ回路の高集積化を妨げない。

【００１６】

本発明において、前記放熱用拡張部は、前記ソース・ドレイン配線層および前記ゲート配線層のうちの少なくとも一方の配線層から側方への拡張部分として構成することもある。

【００１７】

このようにして放熱効率を高めたＴＦＴについては、それを液晶表示装置用のアクティブマトリクス基板上において駆動回路を構成するのに適している。

【００１８】

【発明の実施の形態】

図面を参照して本発明の実施の形態を説明する。なお、以下の説明では、説明の重複を避けるために、共通する機能を有する部分には同一の符号を付してある。

【００１９】

［実施の形態１］
図１は、実施の形態１に係るＴＦＴ回路に用いたＴＦＴの平面構造を拡大して示す説明図である。この図に示すＴＦＴ１では、ゲート電極１５に対してゲート絶縁膜（図示せず。）を介して対峙するチャネル領域１７、およびこのチャネル領域１７に接続するソース・ドレイン領域１２のうち、ゲート電極１５にはその両端部分からチャネル長方向に沿って側方に張り出す拡張部分１５１（放熱用拡張部）を設けてある。１９は、ソース・ドレイン領域１２およびゲート電極１５にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【００２０】
このように構成したＴＦＴ１では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなるゲート電極１５に拡張部分１５１を設けてあるので、平面的にみると放熱可能な面積が拡張されている。また、ゲート電極１５に拡張部分１５１を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極１５の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。それ故、ＴＦＴ１に流す電流をアップしても、チャネル領域１７の温度上昇を抑えることができる。しかも、このようにＴＦＴ１の構造を改良するにあたっては、たとえば図１３（Ｂ）、（Ｃ）を参照して後述する工程においてレジストマスク９２のパターンを変更するだけでよいので、製造工程数は増えない。

【００２１】
［実施の形態２］
図２は、実施の形態２に係るＴＦＴ回路に用いたＴＦＴの平面構造を拡大して示す説明図である。この図に示すＴＦＴ１では、ゲート電極１５、チャネル領域１７、およびソース・ドレイン領域１２のうち、ゲート電極１５にはその中央部分からチャネル長方向に沿って側方に張り出す拡張部分１５２（放熱用拡張部）を設けてある。ここで、拡張部分１５２Ｂは、チャネル幅よりも狭く、かつ、チャネル領域１７の幅方向における略中央部分に位置する。１９は、ソース・ドレイン領域１２およびゲート電極１５にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【００２２】
このように構成したＴＦＴ１でも、実施の形態１と同様、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜（アルミニウム層／導電膜）からなるゲート電極１５に拡張部分１５２を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ゲート電極１５に拡張部分１５２を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ゲート電極１５の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。それ故、ＴＦＴ１に流す電流をアップしても、チャネル領域１７の温度上昇を抑えることができる。しかも、このようにＴＦＴ１の構造を改良するにあたっても、たとえば図１３（Ｂ）、（Ｃ）を参照して後述する工程においてレジストマスク９２のパターンを変更するだけでよいので、製造工程数は増えない。

【００２３】
さらに、ゲート電極１５からチャネル領域１７の幅方向における中央部分で張り出すように、チャネル幅よりも狭い拡張部分１５２を設けてあるので、チャネル幅方向において発熱が最も顕著である中央部分での放熱効率を高めることになる。それ故、ＴＦＴ１の温度上昇を抑える効果が高い。

【００２４】
また、拡張部分１５２はあくまでＴＦＴ１の形成領域からはみ出していないので、ＴＦＴ１の高集積化を妨げることがない。

【００２５】
［実施の形態３］
図３は、実施の形態３に係るＴＦＴ回路に用いたＴＦＴの平面構造を拡大して示す説明図である。この図に示すＴＦＴ１では、ゲート電極１５、チャネル領域１７、およびソース

・ドレイン領域１２のうち、チャネル領域１７にはその中央部分からゲート電極１５の延設方向（チャネル幅方向）に沿って側方に張り出す拡張部分１７１（放熱用拡張部）を設けてある。ここで、拡張部分１７１は、ゲート電極１５の幅よりも狭く、かつ、ゲート電極１５の幅方向における略中央部分に位置する。１９は、ソース・ドレイン領域１２およびゲート電極１５にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【００２６】

このように構成したＴＦＴ１では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜（半導体膜）からなるチャネル領域１７に拡張部分１７１を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、チャネル領域１７に拡張部分１７１を設けたので、その側面部分の面積も拡張されたことになる。すなわち、チャネル領域１７に相当するシリコン膜の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。それ故、ＴＦＴ１に流す電流をアップしても、チャネル領域１７の温度上昇を抑えることができる。しかも、このようにＴＦＴ１の構造を改良するにあたっては、たとえば図１２（Ａ）、（Ｂ）を参照して後述する工程においてシリコン膜２００からシリコン膜２０Ａ、２０Ｂを形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

【００２７】

また、拡張部分１７１はあくまでＴＦＴ１の形成領域からはみ出していないので、ＴＦＴ１の高集積化を妨げることがない。

【００２８】

［実施の形態４］

図４は、実施の形態４に係るＴＦＴ回路に用いたＴＦＴの平面構造を拡大して示す説明図である。この図に示すＴＦＴ１では、ゲート電極１５、チャネル領域１７、およびソース・ドレイン領域１２のうち、ソース・ドレイン領域１２にはその両端部分からゲート電極１５の延設方向に沿って側方に張り出す拡張部分１２３（放熱用拡張部）を設けてある。１９は、ソース・ドレイン領域１２およびゲート電極１５にソース・ドレイン配線層やゲート配線層などの配線層（図示せず。）が導電接続するためのコンタクトホールである。

【００２９】

このように構成したＴＦＴ１では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域１２に拡張部分１２３を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域１２に拡張部分１２３を設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域１２の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。それ故、ＴＦＴ１に流す電流をアップしても、チャネル領域１７の温度上昇を抑えることができる。しかも、このようにＴＦＴ１の構造を改良するにあたっては、たとえば図１２（Ａ）、（Ｂ）を参照して後述する工程において、シリコン膜２００からシリコン膜２０Ａ、２０Ｂを形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

【００３０】

［実施の形態５］

図５は、実施の形態５に係るＴＦＴ回路に用いたＴＦＴの平面構造を拡大して示す説明図である。この図に示すＴＦＴ１では、ゲート電極１５、チャネル領域１７、およびソース・ドレイン領域１２のうち、ゲート電極１５については、実施の形態１と同様、その両端部分から側方に張り出す拡張部分１５１（放熱用拡張部）を設けてある。従って、ＴＦＴ１では、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜からなるゲート電極１５に拡張部分１５１を設けてあるので、ゲート電極１５の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。

【００３１】

また、本形態では、ゲート電極１５の拡張部分１５１に対し、その表面側の層間絶縁膜（図示せず。）に形成した３つのコンタクトホール１９を介して配線層（ゲート配線層／図示せず。）が電気的接続する構造になっている。ここで、ＴＦＴ１の下層側は熱伝導度の

低いガラス基板が存在しているので、ＴＦＴ１から下層側への放熱効率が低いのに対して、配線層は、層間絶縁膜５１の上層側にあって、しかも金属層から構成されているので、熱伝導効率および放熱効率が高い。従って、本形態では、ゲート電極１５と配線層との接触面積が広い分、ゲート電極１５から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、ＴＦＴ１の温度上昇を防止することができる。

【００３２】

一方、ソース・ドレイン領域１２については、実施の形態４と同様、その両端部分からゲート電極１５の延設方向に沿って側方に張り出す拡張部分１２３（放熱用拡張部）を設けてある。従って、ＴＦＴ１では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域１２に拡張部分１２３を設けてあるので、ソース・ドレイン領域１２の表面積が拡大された分、ＴＦＴ１の放熱効率が高い。

【００３３】

さらにまた、本形態では、ソース・ドレイン領域１２の拡張部分１２３に対し、その表面側の層間絶縁膜（図示せず。）に形成した３つのコンタクトホール１９を介して配線層（ソース・ドレイン配線層／図示せず。）が電気的接続する構造になっている。ここで、ＴＦＴ１の下層側は熱伝導度の低いガラス基板が存在しているので、ＴＦＴ１から下層側への放熱効率が低いのに対して、配線層は、層間絶縁膜の上層側にあって、しかも金属層から構成されているので、熱伝導効率および放熱効率が高い。従って、本形態では、ソース・ドレイン領域１２と配線層との接触面積が広い分、ソース・ドレイン領域１２から配線層へ効率よく熱伝達され、かつ、配線層から効率よく放熱されるので、ＴＦＴ１の温度上昇を防止することができる。

【００３４】

なお、図５では、ソース・ドレイン領域の拡張部分及びゲート電極の拡張部分にそれぞれ３つのコンタクトホールを設けているがコンタクトホールの数に制限はなく、また複数のコンタクトホールをつなげて１つの大きなコンタクトホールとしてもよい。

【００３５】

［実施の形態６］

図６は、実施の形態６に係るＣＭＯＳインバータ回路の平面構造を拡大して示す説明図である。この図に示すＣＭＯＳインバータ回路８０（ＴＦＴ回路）では、各段においてＣＭＯＳ回路８１を構成するいずれのＰ型のＴＦＴ１Ｂにおいても、ドレイン領域１２Ｂは、電圧Ｖddが供給されるアルミニウム層からなる配線層８０１（ソース・ドレイン配線層）にコンタクトホール１９を介して電気的接続し、いずれのＮ型のＴＦＴ１Ａにおいても、ソース領域１２Ａは、電圧Ｖssが供給されるアルミニウム層からなる配線層８０２（ソース・ドレイン配線層）にコンタクトホール１９を介して電気的接続している。

【００３６】

また、各段のＮ型およびＰ型のＴＦＴ１Ａ、１Ｂのアルミニウム層からなるゲート電極１５Ａ、１５Ｂは、コンタクトホール１９を介して入出力用の配線層８０３（ゲート配線層）に電気的接続し、この配線層８０３は、前段でＣＭＯＳ回路８１を構成するＮ型およびＰ型のＴＦＴ１Ａ、１ＢにおいてＮ型ＴＦＴ１Ａのソース領域１２ＡとＰ型ＴＦＴ１Ｂのドレイン領域１２Ｂにコンタクトホール１９を介して電気的接続している。

【００３７】

本形態において、ソース・ドレイン領域１２Ａ、１２Ｂおよびチャネル領域１７Ａ、１７Ｂを構成するシリコン膜はＴＦＴ毎に独立した島状ではなく、同じ導電型のＴＦＴ１Ａのソース・ドレイン領域１２Ａ同士は、ソース・ドレイン領域１２Ａから拡張された拡張部分１２５Ａによって連結され、同じ導電型のＴＦＴ１Ｂのソース・ドレイン領域１２Ｂ同士は、ソース・ドレイン領域１２Ｂから拡張された拡張部分１２５Ｂによって連結された構造になっている。ここで、拡張部分１２５Ａ、１２５Ｂは、ソース・ドレイン領域１２Ａ、１２Ｂと一体に形成されたシリコン膜がソース・ドレイン領域１２Ａ、１２Ｂと一体に導電化されたものであるため、ソース・ドレイン領域１２Ａ同士およびソース・ドレイン領域１２Ｂ同士は、形状的にも電気的にも接続している状態にある。従って、拡張部分

１２５Ａ、１２５Ｂは、配線層８０１、８０２に対する冗長配線としての機能、および配線抵抗を低減するという機能も有している。

【００３８】

このように構成したＣＭＯＳインバータ回路８０では、シリコン酸化膜と比較して熱伝導性の高いシリコン膜からなるソース・ドレイン領域１２Ａ、１２Ｂに拡張部分１２５Ａ、１２５Ｂを設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、ソース・ドレイン領域１２Ａ、１２Ｂに拡張部分１２５Ａ、１２５Ｂを設けたので、その側面部分の面積も拡張されたことになる。すなわち、ソース・ドレイン領域１２Ａ、１２Ｂの表面積が拡大された分、ＴＦＴ１Ａ、１Ｂの放熱効率が高い。しかも、このようにＣＭＯＳインバータ回路８０を改良するにあたっては、たとえば図１２（Ａ）、（Ｂ）を参照して後述する工程において、シリコン膜２００からシリコン膜２０Ａ、２０Ｂをパターニング形成するときのマスクパターンを変更するだけでよいので、製造工程数は増えない。

【００３９】

また、図６では拡張部分１２５Ａ、１２５Ｂの存在をわかりやすいように、拡張部分１２５Ａ、１２５Ｂと配線層８０１、８０２とをずらして表してあるが、それらを完全に重畳させておけば拡張部分１２５Ａ、１２５Ｂを形成しても、ＣＭＯＳインバータ回路８０の高集積化を妨げないという利点がある。

【００４０】

［実施の形態７］

図７（Ａ）は、実施の形態７に係るＣＭＯＳインバータ回路の平面構造を拡大して示す説明図である。この図に示すＣＭＯＳインバータ回路８０では、Ｐ型のＴＦＴ１Ｂのソース・ドレイン領域１２Ｂ同士を電気的接続する配線層８０１（ソース・ドレイン配線層）、およびＮ型のＴＦＴ１Ａのソース・ドレイン領域１２Ａ同士を電気的接続する配線層８０２（ソース・ドレイン配線層）のいずれにも、両側に張り出す拡張部分８８１、８８２（放熱用拡張部）が形成されている。

【００４１】

このように構成したＴＦＴ１Ａ、１Ｂでは、シリコン酸化膜やシリコン膜と比較して熱伝導性の高い金属膜からなる配線層８０１、８０２に両側に向けて拡がる拡張部分８８１、８８２を設けてあるので、平面的にみると、放熱可能な面積が拡張されたことになる。また、拡張部分８８１、８８２を設けたので、その側面部分の面積も拡張されたことになる。すなわち、配線層８０１、８０２の表面積が拡大された分、そこからの放熱効率が高い。従って、ＴＦＴ１Ａ、１Ｂからの熱は、ソース・ドレイン領域１２Ａ、１２Ｂを介して配線層８０１、８０２に伝達されると、そこから効率よく放熱される。このため、ＴＦＴ１Ａ、１Ｂの温度上昇を防ぐことができる。しかも、このようにＣＭＯＳインバータ回路８０を改良するにあたっては、たとえば図１１を参照して後述する工程において、各配線層８０１、８０２をパターニング形成する際のマスクパターンを変更するだけでよいので、製造工程数は増えない。

【００４２】

本形態では、配線層８０１、８０２に拡張部分８８１、８８２を形成した場合を例に説明したが、Ｎ型およびＰ型のＴＦＴ１Ａ、１Ｂのゲート電極１５Ａ、１５Ｂに電気的接続する配線層８０３（ゲート配線層）に対して同様な放熱用の拡張部分を形成してもよい。

【００４３】

また、これらの配線層８０１、８０２、８０３に限らず、図７（Ｂ）に示すように、その他の配線層８０４についても、放熱用の拡張部分８８４を形成してもよいことは勿論であり、放熱効率を高めることができれば拡張部分の位置や形状について限定はない。

【００４４】

［その他の実施の形態］

なお、上記形態１～７については、特徴部分を個々に備えたものを例に説明したが、上記の形態１ないし７を任意に組み合わせてもよい。たとえば、実施の形態６に係るＣＭＯＳ

インバータ回路８０において、実施の形態７に係る配線層８０１、８０２を用いた場合でも、製造工程数を増やすことなく、ＴＦＴからの放熱効率を高めることができる。また、実施の形態６、７、あるいはそれらを組み合わせた構造のＣＭＯＳインバータ回路８０において、実施の形態１ないし５に係る構造のＴＦＴ１を用いた場合にも、製造工程数を増やすことなく、ＴＦＴ回路での放熱効率を高めることができる。

【００４５】

［アクティブマトリクス基板への適用例］

図面を参照して、本発明を液晶表示装置用のアクティブマトリクス基板に適用した場合を説明する。

【００４６】

（アクティブマトリクス基板の全体構成）

図８は、液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

【００４７】

図８に示すように、液晶表示装置用のアクティブマトリクス基板では、ガラス製などの透明基板上に、アルミニウムなどの金属膜からなる信号線９０および走査線９１で区画形成された画素領域が構成され、そこには、画素用のＴＦＴ１Ｃを介して画像信号が入力される液晶容量９４（液晶セル）が存在する。信号線９０に対しては、シフトレジスタ８４、レベルシフタ８５、ビデオライン８７、アナログスイッチ８６を備えるデータ側駆動回路８２（ＴＦＴ回路）が構成されている。走査線９１に対しては、シフトレジスタ８８およびレベルシフタ８９を備える走査側駆動回路８３（ＴＦＴ回路）が構成されている。なお、画素領域には、前段の走査線９１との間に保持容量４が形成され、この保持容量４は、液晶容量９４での電荷の保持特性を高める機能を有している。

【００４８】

（ＣＭＯＳインバータ回路の基本構成）

データ側および走査側の駆動回路では、図９（Ａ）にたとえば２段のＣＭＯＳインバータ回路８０を示すように、Ｎ型のＴＦＴ１ＡとＰ型のＴＦＴ１ＢによってＣＭＯＳ回路８１が構成されている。このようなＣＭＯＳ回路８１は、１段あるいは２段以上でインバータ回路を構成する。

【００４９】

図９（Ｂ）にデータ側および走査側の駆動回路を構成するＣＭＯＳインバータ回路８０の基本的な平面構造の一例を示してある。この図に、各段のＣＭＯＳ回路８１を構成するいずれのＰ型のＴＦＴ１Ｂにおいても、ソース・ドレイン領域１２Ａ、１２Ｂは、電圧Ｖddが供給されるアルミニウム層からなる配線層８０１（ソース・ドレイン配線層）にコンタクトホール１９を介して電気的接続し、いずれのＮ型のＴＦＴ１Ａにおいても、ソース・ドレイン領域１２Ａ、１２Ｂは、電圧Ｖssが供給されるアルミニウム層からなる配線層８０２（ソース・ドレイン配線層）にコンタクトホール１９を介して電気的接続している。

【００５０】

また、各段のＮ型およびＰ型のＴＦＴ１Ａ、１Ｂのアルミニウム層からなるゲート電極１５Ａ、１５Ｂは、コンタクトホール１９を介して入出力用の配線層８０３（ゲート配線層）に電気的接続し、この配線層８０３は、前段でＣＭＯＳ回路８１を構成するＰ型およびＮ型のＴＦＴにおいてＮ型ＴＦＴ１Ａのソース・ドレイン領域１２Ａ、１２ＢとＰ型ＴＦＴ１Ｂのドレイン領域１２Ｂにコンタクトホール１９を介して電気的接続している。

【００５１】

この図９（Ｂ）では、各ＴＦＴの構造や配線構造などについては一般的な構造で表してあるが、このように構成したＴＦＴ回路に対して、実施の形態６または７で説明した配線構造のＣＭＯＳインバータ回路を用いることができる。また、ＴＦＴ単体としてみれば、実施の形態１ないし５で説明した構造のＴＦＴを用いることができる。

【００５２】

（画素領域の基本構成）

図１０に示すように、画素領域では、画素用のＴＦＴ１Ｃのソース・ドレイン領域１２Ｃに対して、データ線９０（配線層）、およびＩＴＯ膜からなる透明な画素電極４４がコンタクトホール１９を介してそれぞれ電気的接続している。また、画素領域において、保持容量４は、画素用ＴＦＴ１Ｃを形成するための半導体膜（シリコン膜）と同時形成された半導体膜を導電化したものを下層側電極４１とし、この下層側電極４１に対して、ゲート電極１５と同時形成された前段の走査線９１から張り出した上層側電極４２が重なった状態にある。なお、保持容量４は、走査線９１と同時形成される専用の容量線との間に構成することもある。

【００５３】

（各ＴＦＴおよび保持容量の断面構造）

このように液晶表示装置に用いられるアクティブマトリクス基板では、それぞれの領域にＴＦＴが構成されるが、いずれのＴＦＴも共通の製造工程の中で作り込めるように、図１１に示すように、駆動回路用のＰ型のＴＦＴ１Ｂ、駆動回路用のＮ型のＴＦＴ１Ａ、および画素用のＴＦＴ１Ｃは、基本的な断面構造が同一である。すなわち、いずれのＴＦＴ１Ａ、１Ｂ、１Ｃも、ガラス基板１０上において、ゲート電極１５Ａ、１５Ｂ、１５Ｃに対してシリコン酸化膜からなるゲート絶縁膜１３を介して対峙するチャネル領域１７Ａ、１７Ｂ、１７Ｃと、このチャネル領域１７Ａ、１７Ｂ、１７Ｃに接続するソース・ドレイン領域１２Ａ、１２Ｂ、１２Ｃとを備えている。

【００５４】

これらのＴＦＴ１Ａ、１Ｂ、１Ｃのうち、駆動回路用のＮ型のＴＦＴ１Ａでは、シリコン酸化膜からなる層間絶縁膜５１の上層側に位置する配線層８０２がコンタクトホール１９を介してソース・ドレイン領域１２Ａに電気的接続している構造になっている。Ｐ型のＴＦＴ１Ｂでは、層間絶縁膜５１の上層側に位置する配線層８０１がコンタクトホール１９を介してソース・ドレイン領域１２Ｂに電気的接続している構造になっている。Ｎ型のＴＦＴ１ＡとＰ型のＴＦＴ１Ｂとの間では、層間絶縁膜５１の上層側に位置する配線層８０３がコンタクトホール１９を介してＮ型ＴＦＴ１Ａのドレイン領域１２２ＡとＰ型ＴＦＴ１Ｂのドレイン領域１２２Ｂの双方に電気的接続している構造になっている。

【００５５】

また、画素用のＴＦＴ１Ｃでは、層間絶縁膜５１の上層側に位置するデータ線９０および画素電極４４がコンタクトホール１９を介してソース・ドレイン領域１２Ｃにそれぞれ電気的接続している構造になっている。なお、ガラス基板１０の表面側には、シリコン酸化膜からなる下地保護膜１１が形成されている。

【００５６】

このように構成したアクティブマトリクス基板では、駆動回路用のＮ型およびＰ型のＴＦＴ１Ａ、１Ｂと、画素用のＴＦＴ１Ｃと、保持容量４とは、いずれも同じガラス基板１０上に形成されるだけでなく、各素子を形成するための各工程を互いに援用していくことになる。その際に、いずれのＴＦＴ１Ａ、１Ｂ、１ＣもＬＤＤ構造またはオフセットゲート構造として形成することが好ましい。駆動回路用のＴＦＴ１Ａ、１ＢをＬＤＤ構造またはオフセットゲート構造として形成すると、その耐電圧が向上する分、信頼性を向上することができる。画素用のＴＦＴ１ＣをＬＤＤ構造またはオフセットゲート構造として形成すると、そのオフリーク電流が低減する分、画像表示の品位が向上する。このようないずれの構造であっても本発明を適用することは可能である。

【００５７】

（アクティブマトリクス基板の製造方法）

前述したいずれの形態においても、製造工程数を増やすことなく駆動回路（ＴＦＴ）からの放熱効率を高めることを可能にしているので、アクティブマトリクス基板の各ＴＦＴ１Ａ、１Ｂ、１Ｃの製造方法の一例を、図１２、図１３を参照して説明する。

【００５８】

まず図１２（Ａ）に示すようにガラス製の基板１０に対してＴＥＯＳ（テトラエトキシシラン）と酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約２０００オング

ストロームのシリコン酸化膜からなる下地保護膜１１を形成する。次に基板１０の温度を３００℃に設定して、下地保護膜１１の表面にプラズマＣＶＤ法により厚さが約６００オングストロームのアモルファスのシリコン膜からなる半導体膜２００を形成する。次にアモルファスのシリコン膜からなる半導体膜２００に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜２００をポリシリコン膜にまで結晶化しておく。

【００５９】

レーザアニール法では、たとえば、エキシマレーザのビーム長が４００ｍｍのラインビームを用い、その出力強度はたとえば２００ｍＪ／ｃｍ^2 である。ラインビームについてはその幅方向におけるレーザ強度のピーク値の９０％に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【００６０】

次に図１２（Ｂ）に示すように、ポリシリコン膜となった半導体膜２００をフォトリソグラフィ技術を用いてパターニングし、半導体膜２０Ａ、２０Ｂ、２０Ｃ、４０を形成する。半導体膜２０Ａ、２０Ｂ、２０Ｃ、４０は、それぞれ駆動回路用のＮ型のＴＦＴ１Ａ、駆動回路用のＰ型のＴＦＴ１Ｂ、画素用のＴＦＴ１Ｃ、保持容量４を形成するための半導体膜である。これまでの工程を行う間に、ＴＦＴのしきい値を調整することを目的に低濃度の不純物を導入しておくことがある（チャネルドープ工程）。

【００６１】

次に図１２（Ｃ）に示すように、半導体膜２０Ａ、２０Ｂ、２０Ｃ、４０の表面に対して、ＴＥＯＳ（テトラエトキシシラン）と酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約１０００オングストロームのシリコン酸化膜からなるゲート絶縁膜１３を形成する（ゲート絶縁膜形成工程）。

【００６２】

次に図１２（Ｄ）に示すように、駆動回路用のＮ型のＴＦＴ１Ａの形成予定領域全体を覆うとともに、駆動回路用のＰ型のＴＦＴ１Ｂおよび画素用のＴＦＴ１Ｃのゲート電極形成予定領域をやや広めに覆うレジストマスク９１Ａを形成し、この状態で半導体膜２０Ａ、２０Ｃ、４０に対してリンイオン（Ｎ型不純物）を約２×１０^{15}ｃｍ$^{-2}$のドーズ量で導入する（高濃度Ｎ型不純物導入工程）。その結果、半導体膜２０Ａ、２０Ｃのうちリンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域１２２Ａ、１２２Ｃとなる。また、半導体膜４０は保持容量４の下層側電極４１となる。

【００６３】

次に図１２（Ｅ）に示すように、駆動回路用のＮ型のＴＦＴ１Ａ、画素用のＴＦＴ１Ｃ、および保持容量４の形成予定領域全体を覆うとともに、駆動回路用のＰ型のＴＦＴ１Ｂのゲート電極形成予定領域をやや広めに覆うレジストマスク９１Ｂを形成し、この状態で半導体膜２０Ｂに対してボロンイオン（Ｐ型不純物）を約２×１０^{15}ｃｍ$^{-2}$のドーズ量で導入する（高濃度Ｐ型不純物導入工程）。その結果、半導体膜２０Ｂのうちボロンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域１２２Ｂとなる。

【００６４】

次に図１２（Ｆ）に示すように、半導体膜２０Ａ、２０Ｂ、２０Ｃ、４０にアークランプを用いた急速加熱処理またはレーザーアニール処理を行い、半導体膜２０Ａ、２０Ｂ、２０Ｃ、４０に導入した不純物を活性化する（急速加熱処理工程）。

【００６５】

このようにして急速加熱処理工程を終えた後は、図１３（Ａ）に示すように、アルミニウムなどの金属膜からなる導電膜７３をスパッタ法により形成する（導電膜形成工程）。

【００６６】

次に図１３（Ｂ）に示すように、導電膜７３の表面にレジストマスク９２を形成した後、図１３（Ｃ）に示すように導電膜７３をパターニングし、各ＴＦＴのゲート電極１５Ａ、１５Ｂ、１５Ｃ、および保持容量４の上層側電極４２を形成する（ゲート電極形成工程）。

【００６７】

次に図１３（Ｄ）に示すように、駆動回路用のＰ型のＴＦＴ１Ｂの形成予定領域全体を覆うレジストマスク９３Ａを形成した後、水素ガスで希釈されたホスフィン（PH_3）などを用いて低濃度のリンイオン（Ｎ型不純物）を約$1\times10^{13}cm^{-2}$のドーズ量で導入する（低濃度Ｎ型不純物導入工程）。半導体膜２０Ａ、２０Ｃには水素イオンも約$2\times10^{13}cm^{-2}$のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域１７Ａ、１７Ｃとなる。その結果、同一の基板１０上に駆動回路用のＮ型のＴＦＴ１Ａ、および画素用のＮ型のＴＦＴ１Ｃとが構成され、これらのＴＦＴは、ソース・ドレイン領域１２Ａ、１２Ｃのうちゲート電極１５Ａ、１５Ｃの端部に対峙する部分に低濃度ソース・ドレイン領域１２１Ａ、１２１Ｃを備えるＬＤＤ構造となる。このような低濃度Ｎ型不純物の導入工程を省略すれば、ＴＦＴ１Ａ、１Ｃはオフセットゲート構造となる。

【００６８】

次に図１３（Ｅ）に示すように、駆動回路用のＮ型のＴＦＴ１Ａ、画素用のＴＦＴ１Ｃ、および保持容量４を覆うレジストマスク９３Ｂを形成した後、水素ガスで希釈されたジボラン（B_2H_6）などを用いて低濃度のボロンイオン（Ｐ型不純物）を約$1\times10^{13}cm^{-2}$のドーズ量で導入する（低濃度Ｐ型不純物導入工程）。半導体膜２０Ｂには水素イオンも約$2\times10^{13}cm^{-2}$のドーズ量で導入される。不純物が導入されなかった部分がチャネル領域１７Ｂとなる。その結果、基板１０上に駆動回路用のＰ型のＴＦＴ１Ｂが構成され、このＴＦＴは、ソース・ドレイン領域１２Ｂのうちゲート電極１５Ｂの端部に対峙する部分に低濃度ソース・ドレイン領域１２１Ｂを備えるＬＤＤ構造となる。このような低濃度Ｐ型不純物の導入工程を省略すれば、ＴＦＴ１Ｂはオフセットゲート構造を有することになる。

【００６９】

次にフォーミングガス中で熱処理を行い、低濃度ソース・ドレイン領域１２１Ａ、１２１Ｂ、１２１Ｃに導入した低濃度の不純物を活性化した後、図１３（Ｆ）に示すように、ＴＥＯＳ（テトラエトキシシラン）と酸素ガスなどを原料ガスとしてプラズマＣＶＤ法により厚さが約５０００オングストロームのシリコン酸化膜からなる層間絶縁膜５１を形成する。それ以降、図１１に示すように、層間絶縁膜５１にコンタクトホール１９を形成し、しかる後に各配線層８０１、８０２、８０３および画素電極４４を順次形成する。

【００７０】

【発明の効果】

以上説明したように、本発明に係るＴＦＴ及びＴＦＴ回路では、導電膜または半導体膜から構成された構成部分には放熱用拡張部が形成されていることに特徴を有する。従って、本発明によれば、放熱用拡張部が形成されている分だけ、当該構成部分の表面積が拡大したことになるので、そこからの放熱効率が高い。よって、ＴＦＴ回路においてその特性や性能向上のためにＴＦＴに流れる電流をアップしても、放熱効率が高い分、ＴＦＴの自己発熱による温度上昇が小さいので、特性劣化や信頼性の低下が生じない。しかも、放熱用の拡張部分は、ＴＦＴ回路をそれまで構成していた部分を拡張した部分である。従って、製造工程が増えないので、ＴＦＴ回路の製造コストは上昇しない。

【図面の簡単な説明】

【図１】本発明の実施の形態１に係るＴＦＴ回路に構成したＴＦＴの平面図である。

【図２】本発明の実施の形態２に係るＴＦＴ回路に構成したＴＦＴの平面図である。

【図３】本発明の実施の形態３に係るＴＦＴ回路に構成したＴＦＴの平面図である。

【図４】本発明の実施の形態４に係るＴＦＴ回路に構成したＴＦＴの平面図である。

【図５】本発明の実施の形態５に係るＴＦＴ回路に構成したＴＦＴの平面図である。

【図６】本発明の実施の形態６に係るＣＭＯＳインバータ回路の平面図である。

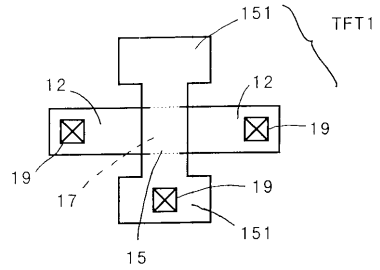
【図７】（Ａ）は、本発明の実施の形態７に係るＣＭＯＳインバータ回路の平面図、（Ｂ）は、その他の配線において放熱効率を高めるときの説明図である。

【図８】液晶表示装置のアクティブマトリクス基板の構成を模式的に示すブロック図である。

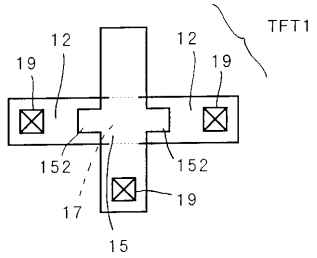
【図９】（Ａ）は、図８に示すアクティブマトリクス基板において、そのデータ側駆動回

路または走査側駆動回路に構成されているＣＭＯＳインバータ回路の回路図、（Ｂ）は、このＣＭＯＳインバータ回路を構成するＴＦＴおよび配線層を示す平面図である。
【図１０】図８に示すアクティブマトリクス基板に区画された画素領域の１つを拡大して示す平面図である。
【図１１】図８に示すアクティブマトリクス基板に構成される３種類のＴＦＴおよび保持容量の断面図である。
【図１２】図１１に示すアクティブマトリクス基板の製造方法の一例を示す工程断面図である。
【図１３】図１１に示すアクティブマトリクス基板の製造方法の一例において、図１２に示す工程に続いて行う各工程を示す工程断面図である。
【図１４】従来のＴＦＴの平面図である。
【図１５】従来のＴＦＴ回路に構成したＴＦＴの平面図である。
【符号の説明】
１Ａ　駆動回路用のＮ型のＴＦＴ
１Ｂ　駆動回路用のＰ型のＴＦＴ
１Ｃ　画素用のＮ型のＴＦＴ
４　保持容量
１０　基板
１２、１２Ａ、１２Ｂ、１２Ｃ　ソース・ドレイン領域
１７、１７Ａ、１７Ｂ、１７Ｃ　チャネル領域
１３・・・ゲート絶縁膜
１５、１５Ａ、１５Ｂ、１５Ｃ　ゲート電極
１９　コンタクトホール
２０Ａ、２０Ｂ、２０Ｃ、４０、２００・・・半導体膜
５１　層間絶縁膜
７２、７３・・・導電膜
８０　ＣＭＯＳインバータ回路（ＴＦＴ回路）
８１　ＣＭＯＳ回路（ＴＦＴ回路）
１５１　ゲート電極の放熱用拡張部分
１２３　ソース・ドレイン領域の放熱用拡張部分
１２５　ソース・ドレイン領域の放熱用拡張部分
１７１　チャネル領域の放熱用拡張部分
８０１、８０２　配線層（ソース・ドレイン配線層）
８０３　配線層（ゲート配線層）
８０４　配線層
８８１、８８２、８８３、８８４　配線層の放熱用拡張部分

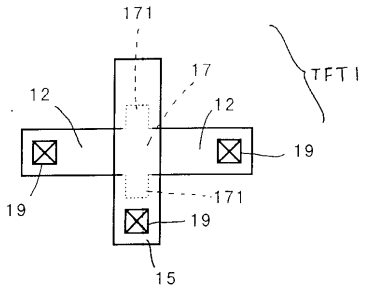
【図１】



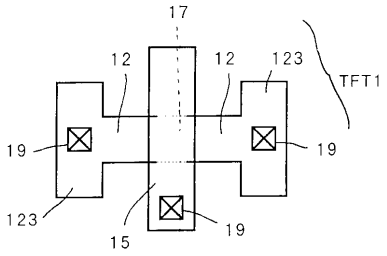
【図２】



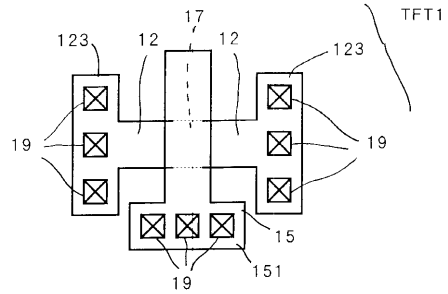
【図３】



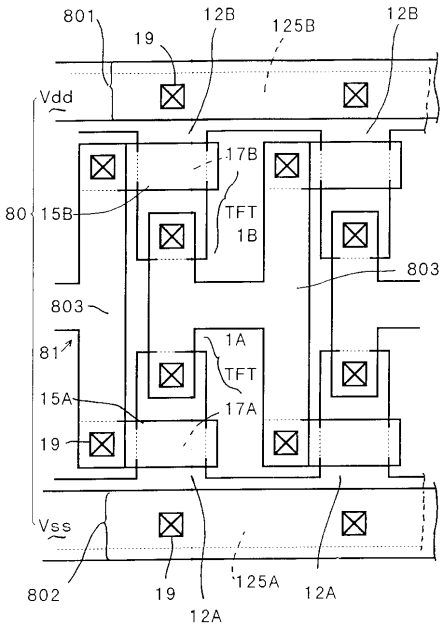
【図４】



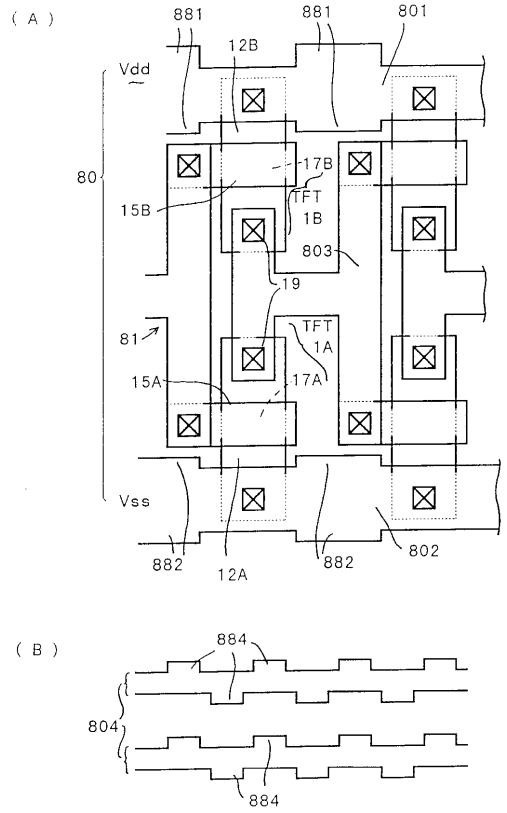
【図５】



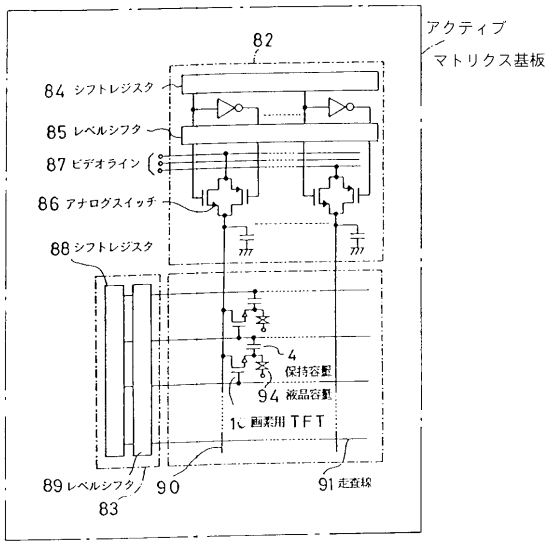
【図６】



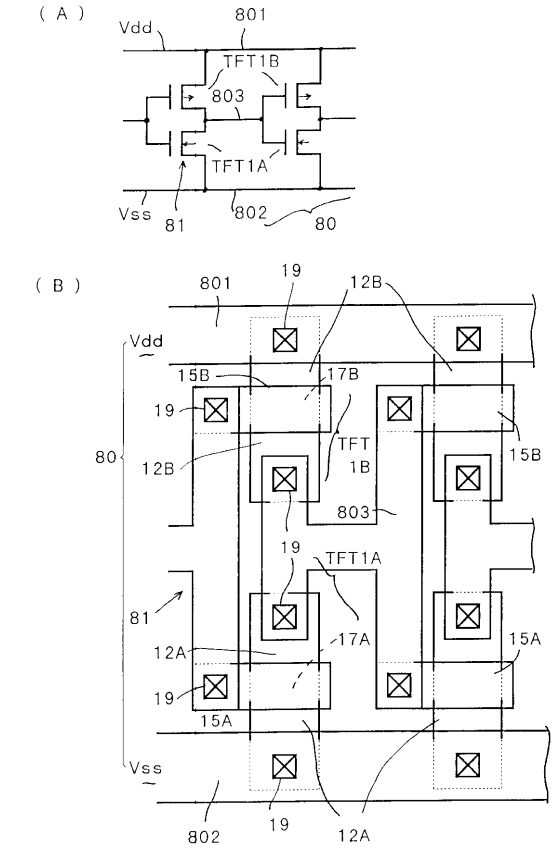
【図７】



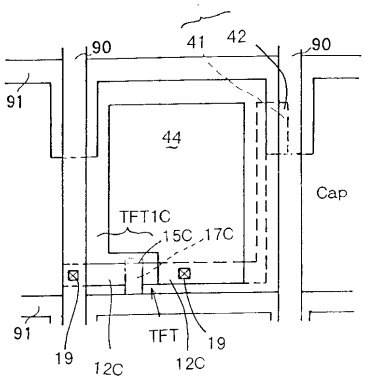
【図８】



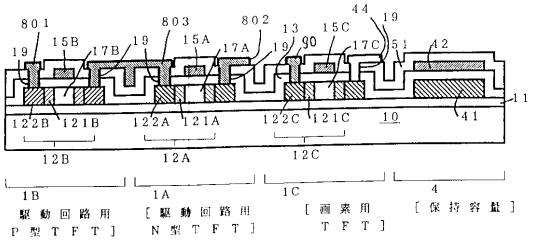
【図９】



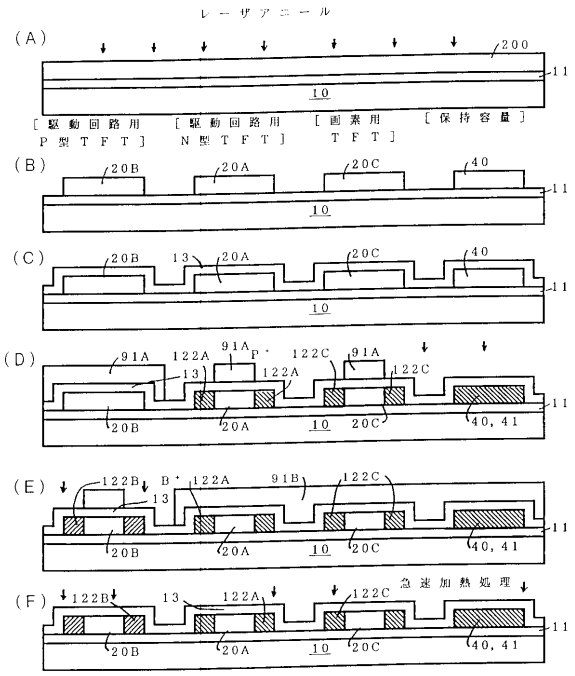
【図１０】



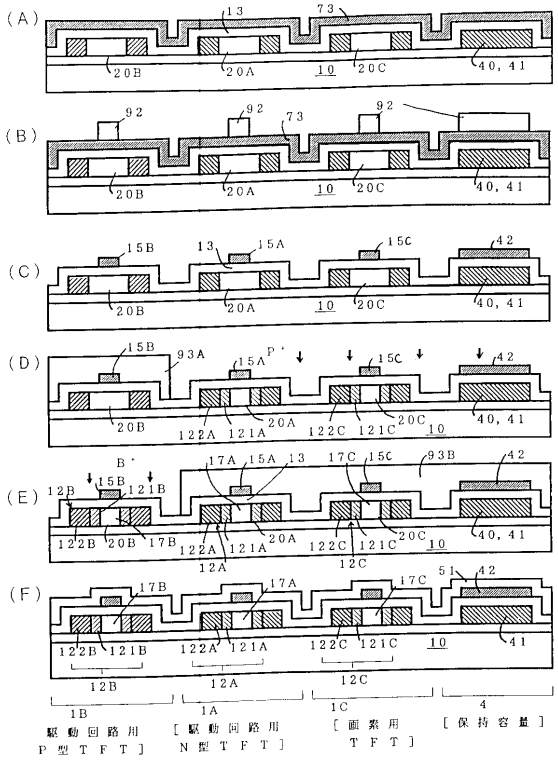
【図１１】



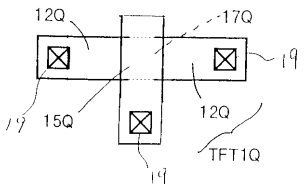
【図１２】



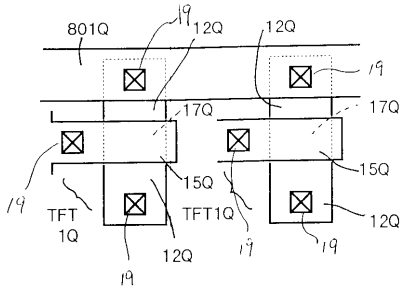
【図１３】



【図１４】



【図１５】



フロントページの続き

(56)参考文献 特開平０６－２６０６４３（ＪＰ，Ａ）
特開昭６４－０１９７５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/786
G02F 1/1368