

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 11 月 3 日(03.11.2011)

PCT

(10) 国際公開番号
WO 2011/136016 A1

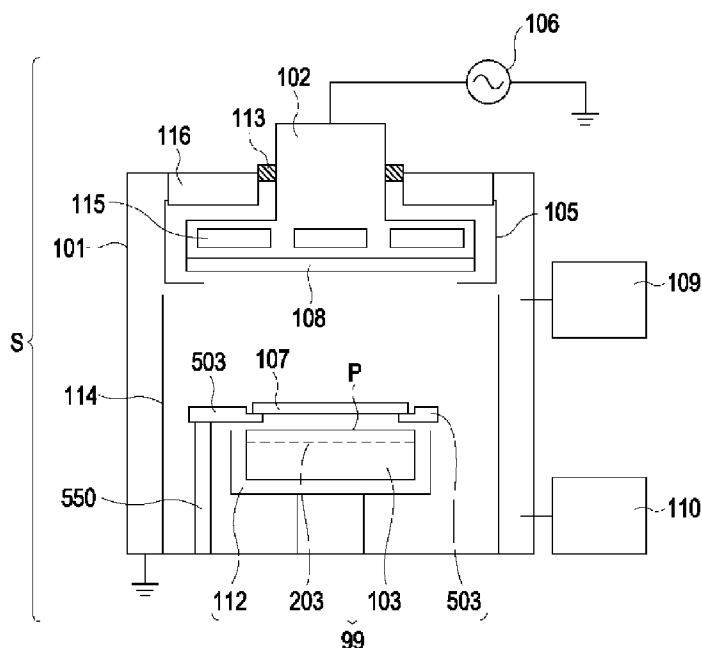
- (51) 国際特許分類:
C30B 29/38 (2006.01) H01L 21/203 (2006.01)
C23C 14/06 (2006.01) H01L 21/683 (2006.01)
C23C 14/34 (2006.01) H01L 33/32 (2010.01)
- (21) 国際出願番号: PCT/JP2011/059070
- (22) 国際出願日: 2011 年 4 月 12 日(12.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-105101 2010 年 4 月 30 日(30.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): キヤノンアネルバ株式会社 (CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 醍醐 佳明 (DAIGO Yoshiaki) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP). 石橋 啓次 (ISHIBASHI Keiji) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP).
- (74) 代理人: 岡部 譲, 外(OKABE Yuzuru et al.); 〒1000005 東京都千代田区丸の内 3-2-3 富士ビル 602号室 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

[続葉有]

(54) Title: EPITAXIAL FILM FORMATION METHOD, VACUUM TREATMENT DEVICE, METHOD FOR PRODUCING SEMICONDUCTOR LIGHT-EMITTING ELEMENT, SEMICONDUCTOR LIGHT-EMITTING ELEMENT, LIGHTING DEVICE

(54) 発明の名称: エピタキシャル膜形成方法、真空処理装置、半導体発光素子の製造方法、半導体発光素子、照明装置

[図1]



(57) Abstract: Provided is an epitaxial film formation method with which it is possible to produce an epitaxial film formed from a group III nitride semiconductor of +c polarity by means of the sputtering method, and also provided is a vacuum treatment device appropriate for this epitaxial film formation method. For instance, the sputtering method is used for epitaxial growth of a group III nitride semiconductor thin film on an α - Al_2O_3 substrate (107) that has been heated to an arbitrary temperature using a heater (103). First, the α - Al_2O_3 substrate (107) is disposed on a substrate holder (99), which comprises the heater (103), in such a way that the α - Al_2O_3 substrate (107) is disposed at a predetermined distance (d2) from the heater (103). Next, with the α - Al_2O_3 substrate (107) disposed at a predetermined distance (d2) from the heater (103), an epitaxial film for a group III nitride semiconductor thin film is formed on the α - Al_2O_3 substrate (107).

(57) 要約:

[続葉有]



— 補正された請求の範囲（条約第 19 条(1)）

本発明は、 $+c$ 極性の III 族窒化物半導体からなるエピタキシャル膜をスパッタリング法により作製することが可能なエピタキシャル膜形成方法、及びこのエピタキシャル膜形成方法に適した真空処理装置を提供する。本発明の一実施形態は、ヒーター（103）を用いて任意の温度に加熱された α -Al₂O₃ 基板（107）に対して、スパッタリング法によって III 族窒化物半導体薄膜をエピタキシャル成長させる。まずは、 α -Al₂O₃ 基板（107）がヒーター（103）と所定の距離 d_2 だけ離れて配置されるように、 α -Al₂O₃ 基板（107）を、ヒーター（103）を有する基板ホルダー（99）に配置する。次いで、 α -Al₂O₃ 基板（107）を、ヒーター（103）と所定の距離 d_2 だけ離れて配置した状態で、 α -Al₂O₃ 基板（107）上に III 族窒化物半導体薄膜のエピタキシャル膜を形成する。

明 細 書

発明の名称：

エピタキシャル膜形成方法、真空処理装置、半導体発光素子の製造方法、半導体発光素子、照明装置

技術分野

[0001] 本発明は、エピタキシャル膜形成方法、真空処理装置、半導体発光素子の製造方法、半導体発光素子、照明装置に係り、特に、高品質なエピタキシャル膜を形成可能なエピタキシャル膜形成方法、および真空処理装置、ならびにこのようなエピタキシャル膜を用いた半導体発光素子の製造方法、半導体発光素子、および照明装置に関する。

背景技術

[0002] I I I 族窒化物半導体は、I I I B 族元素（以下、単に I I I 元素）であるアルミニウム（A l）原子、ガリウム（G a）原子、インジウム（I n）原子と、V B 族元素（以下、単に V 族元素）である窒素（N）原子との化合物、すなわち、窒化アルミニウム（A l N）、窒化ガリウム（G a N）、窒化インジウム（I n N）、およびそれらの混晶（A l G a N、I n G a N、I n A l N、I n G a A l N）として得られる化合物半導体材料である。このような I I I 族窒化物半導体は、遠紫外・可視・近赤外域にかけての幅広い波長領域をカバーする発光ダイオード（LED： L i g h t E m i t t i n g D i o d e）、レーザダイオード（LD： L a s e r D i o d e）、太陽電池（PVSC： P h o t o v o l t a i c S o l a r C e l l）、フォトダイオード（PD： P h o t o D i o d e）等の光素子や、高周波・高出力用途の高電子移動度トランジスタ（HEMT： H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r）、金属酸化物半導体型電界効果トランジスタ（MOSFET： M e t a l - O x i d e - S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r）等の電子素子への応用が期待されている材料である。

- [0003] 通常、上記の様な応用を実現するためには、Ⅲ族窒化物半導体薄膜を単結晶基板上にエピタキシャル成長させ、結晶欠陥の少ない高品質な単結晶膜（エピタキシャル膜）を得ることが必要である。このようなエピタキシャル膜を得るうえでは、エピタキシャル膜と同一の材料からなる基板を用いてホモエピタキシャル成長を行うことが最も望ましい。
- [0004] しかしながら、Ⅲ族窒化物半導体からなる単結晶基板は極めて高価であるため、一部の応用を除いて利用されておらず、主にサファイア（ α - Al_2O_3 ）や炭化珪素（ SiC ）などの異種基板上へのヘテロエピタキシャル成長により単結晶膜が得られている。特に、 α - Al_2O_3 基板は安価であり、且つ、大面積で高品質のものが得られるようになっていることから、市場に出回っているⅢ族窒化物半導体薄膜を用いたLEDでは、ほぼ全てが α - Al_2O_3 基板を利用している。
- [0005] ところで、このようなⅢ族窒化物半導体薄膜のエピタキシャル成長には、高い生産性と高品質なエピタキシャル膜が得られる有機金属化合物化学気相成長（MOCVD）法が用いられている。しかしMOCVD法は、生産コストが高いことやパーティクルを発生しやすく高い歩留まりを得ることが難しいことなどの問題がある。
- [0006] 一方、スパッタリング法は、生産コストを低く抑えることが可能で、パーティクルの発生確率も低いという特徴がある。従って、Ⅲ族窒化物半導体薄膜の成膜プロセスの少なくとも一部をスパッタリング法に置き換えることができれば、上記の問題の少なくとも一部を解決できる可能性がある。
- [0007] しかしながら、スパッタリング法により作製したⅢ族窒化物半導体薄膜は、MOCVD法で作製したものに比べて結晶品質が悪くなりやすいという問題がある。例えば、スパッタリング法を用いて作製したⅢ族窒化物半導体薄膜の結晶性については非特許文献1に開示されている。非特許文献1では、 α - Al_2O_3 （0001）基板上に高周波マグネトロンスパッタリング法を用いてc軸配向のGaN膜をエピタキシャル成長させており、GaN（0002）面のX線ロックングカーブ（XRC）測定において、その半

値全幅（FWHM）が 35.1 arcmin (2106 arcsec) であることが記載されている。この値は、現在、市場に出回っている $\alpha\text{-Al}_2\text{O}_3$ 基板上的 GaN 膜に比べて極めて大きな値であり、後述するチルトのモザイク広がりが大きく、結晶品質が劣っていることを示している。

[0008] すなわち、スパッタリング法を III 族窒化物半導体薄膜の成膜プロセスとして採用するためには、 III 族窒化物半導体からなるエピタキシャル膜のモザイク広がりを小さくし、高い結晶品質を得ることが必要である。

[0009] なお、 III 族窒化物半導体からなるエピタキシャル膜の結晶品質を表す指標として、チルトのモザイク広がり（基板垂直方向の結晶方位のバラつき）と、ツイストのモザイク広がり（面内方向の結晶方位のバラつき）とがある。図 10A～図 10D は、 $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板の上に c 軸配向でエピタキシャル成長した III 族窒化物半導体からなる結晶の模式図である。図 10A～図 10D において、符号 901 は $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板、符号 902～911 は III 族窒化物半導体からなる結晶、符号 c_f は III 族窒化物半導体からなる結晶の c 軸の向き、 c_s は $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板の c 軸の向き、 a_f は III 族窒化物半導体からなる結晶の a 軸の向き、 a_s は $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板の a 軸の向き、である。

[0010] ここで図 10A は、 III 族窒化物半導体からなる結晶が、チルトのモザイク広がりを有して形成されている様子を鳥瞰図により現したものであり、図 10B は、その一部の断面構造を示している。これら図から分かるように、 III 族窒化物半導体からなる結晶 902、903、904 の c 軸の向き c_f は、基板の c 軸の向き c_s と概ね平行で、全体に対して支配的な基板垂直方向の結晶方位となっているのに対し、 III 族窒化物半導体からなる結晶 905、906 の c 軸の向き c_f は、上記の支配的な基板垂直方向の結晶方位から僅かにずれて形成されている。また図 10C は、 III 族窒化物半導体からなる結晶が、ツイストのモザイク広がりを有して形成されている様子を鳥瞰図により現したものであり、図 10D はその上面図を示している。これら図から分かるように、 III 族窒化物半導体からなる結晶 907、908

、909のa軸の向き a_f は、 α -Al₂O₃（0001）基板のa軸の向き a_s との成す角が概ね30°で、全体に対して支配的な面内方向の結晶方位となっているのに対し、III族窒化物半導体からなる結晶910、911のa軸の向き a_f は、上記の支配的な面内方向の結晶方位から僅かにずれて形成されている。

[0011] このような、全体に対して支配的な結晶方位からのバラつきをモザイク広がりと呼び、特に、基板垂直方向の結晶方位のバラつきをチルトのモザイク広がり、面内方向の結晶方位のバラつきをツイストのモザイク広がりと言う。チルトやツイストのモザイク広がり、III族窒化物半導体薄膜の内部に形成された螺旋転位や刃状転位などの欠陥の密度との間に相関があることが知られており、チルトやツイストのモザイク広がりを小さくすることで、上記の欠陥の密度が低減され、高品質なIII族窒化物半導体薄膜が得られやすい。

なお、チルトやツイストのモザイク広がり、III族窒化物半導体薄膜の内部に形成された特定の格子面（対称面）や、基板表面に垂直に形成された特定の格子面に対してXRC測定を行い、得られた回折ピークのFWHMを調べることで評価することができる。

[0012] なお、図10A～図10Dや上記の説明は、チルトやツイストのモザイク広がりを、概念的にわかりやすく説明するもので、何ら厳密性を保証するものではない。例えば、上記の全体に対して支配的な基板垂直方向の結晶方位や、全体に対して支配的な面内方向の結晶方位は、必ずしも α -Al₂O₃（0001）基板のc軸やa軸の向きと完全に一致しない場合がある。更に、図10Dに示すような結晶と結晶の間隙間は、必ずしも形成されない場合がある。重要なことは、モザイク広がりとは、支配的な結晶方位からのバラつきの度合いを示しているということである。

[0013] また一般に、III族窒化物半導体薄膜には、図11に示すような+c極性と-c極性の成長様式があり、-c極性の成長に比べて+c極性の成長の方が良質なエピタキシャル膜が得られやすいことが知られている。従って、

スパッタリング法をⅢⅢⅢ族窒化物半導体薄膜の成膜プロセスとして採用するうえで、 $+c$ 極性のエピタキシャル膜が得られることが望ましい。

[0014] なお、本明細書中では、「 $+c$ 極性」とはAlN、GaN、InNに関し、それぞれAl極性、Ga極性、In極性を意味する用語とする。また、「 $-c$ 極性」とはN極性を意味する用語とする。

[0015] 一方、従来より、良質なⅢⅢⅢ族窒化物半導体薄膜を得るための数多くの試みがなされている（特許文献1，2参照）。

[0016] 特許文献1には、スパッタリング法を用いてⅢⅢⅢ族窒化物半導体薄膜（特許文献1では、AlN）を α -Al₂O₃基板上に成膜する前に、基板に対するプラズマ処理を行うことで、ⅢⅢⅢ族窒化物半導体薄膜の高品質化を実現する方法、とりわけ、チルトのモザイク広がり極めて小さなⅢⅢⅢ族窒化物半導体薄膜を得る方法が開示されている。

[0017] また、特許文献2には、基板上にⅢⅢⅢ族窒化物半導体（特許文献2においては、ⅢⅢⅢ族窒化物化合物）からなる緩衝層（特許文献2においては中間層）をスパッタリング法により形成し、このⅢⅢⅢ族窒化物半導体からなる緩衝層上に下地膜を備えるn型半導体層、発光層、p型半導体層を順次積層するⅢⅢⅢ族窒化物半導体（特許文献2においては、ⅢⅢⅢ族窒化物化合物半導体）発光素子の製造方法が開示されている。

[0018] 特許文献2において、ⅢⅢⅢ族窒化物半導体からなる緩衝層を形成する手順としては、基板に対してプラズマ処理を施す前処理工程と、前処理工程に次いでスパッタリング法によりⅢⅢⅢ族窒化物半導体からなる緩衝層を成膜する工程とを備えていることが記載されている。また、特許文献2において、基板およびⅢⅢⅢ族窒化物半導体からなる緩衝層の好ましい形態として、 α -Al₂O₃基板およびAlNが用いられており、下地膜を備えるn型半導体層、発光層、p型半導体層の成膜方法としては、MOCVD法が好ましく用いられている。

先行技術文献

特許文献

[0019] 特許文献1：国際公開第WO2009/096270号

特許文献2：特開2008-109084号公報

非特許文献

[0020] 非特許文献1：Y. Daigo, N. Mutsukura, 「Synthesis of epitaxial GaN single-crystalline film by ultra high vacuum r. f. magnetron sputtering method」、Thin Solid Films 483 (2005) p38-43

発明の概要

[0021] 以上から明らかなように、特許文献1に記載された技術は、チルトのモザイク広がり低減を低減することができ、有力な技術であるが、スパッタリング法を用いてさらに高品質なエピタキシャル膜を形成するためにはまだ改善すべき課題が残されている。特に、前述のように+c極性の成長ができれば良質のエピタキシャル膜を形成することができるので、基板全面において、+c極性のIII族窒化物半導体薄膜を形成することが望まれるが、特許文献1には、所望の極性を得るための具体的手段は述べられていない。本発明者らが特許文献1に開示された技術の確認実験を行なった結果、得られたIII族窒化物半導体薄膜は、モザイク広がり少ないエピタキシャル膜として得られているものの、+c極性と-c極性が混在していた。従って、特許文献1に開示された技術だけでは+c極性のIII族窒化物半導体薄膜を得られないことは明らかである。

[0022] また、特許文献2に記載された技術は、以下の観点で必ずしも十分なものではないと言わざるを得ない。

すなわち、特許文献2には、スパッタリング法を用いて成膜したIII族窒化物半導体からなる緩衝層について、極性の制御方法が記載されていない。本発明者らが、特許文献2に開示された技術の確認実験を行なった結果においても、得られた発光素子では良好な発光特性を得ることができなかった

。

[0023] 本発明者らは、上記特許文献2における確認実験で得られた発光素子について更に調査したところ、スパッタリング法を用いて成膜したⅢⅢⅢ族窒化物半導体からなる緩衝層が、 $+c$ 極性と $-c$ 極性とが混在したエピタキシャル膜となっていることがわかった。より詳しくは、下地膜を備える n 型半導体層、発光層、 p 型半導体層をMOCVD法により順次積層しても、ⅢⅢⅢ族窒化物半導体からなる緩衝層における極性の混在に起因した反位境界などの欠陥が素子内部に多く形成され、発光特性を低下させていた。すなわち、特許文献2に開示された技術だけでは、 $+c$ 極性のⅢⅢⅢ族窒化物半導体薄膜を得られず、良好な発光特性の発光素子を得られないことが明らかである。

。

[0024] このように、特許文献1、2に開示されている従来技術だけでは、ⅢⅢⅢ族窒化物半導体薄膜の極性の制御、すなわち、 $+c$ 極性のエピタキシャル膜を得ることが難しく、より良好な発光素子を得ることは困難であった。

[0025] さらに、本発明者らは、上記の特許文献1、2の確認実験の結果から、スパッタリング法を用いて作製したⅢⅢⅢ族窒化物半導体薄膜が極性の混在したエピタキシャル膜であるときには、素子内部に形成された反位境界などの欠陥による素子特性の低下は避けられないとの結論を得た。

[0026] 本発明の目的は、上記問題点に鑑み、 $+c$ 極性のエピタキシャル膜をスパッタリング法により作製することが可能なエピタキシャル膜形成方法、及びこのエピタキシャル膜形成方法に適した真空処理装置を提供すること、さらに、このエピタキシャル膜を用いた半導体発光素子の製造方法、ならびにこの製造方法により製造した半導体発光素子および照明装置を提供することにある。

[0027] 本発明者らは、鋭意研究の結果、後述するように、エピタキシャル膜の極性が基板ホルダーへの基板の載置方法に左右されるという新しい知見を得て、本発明を完成させた。

[0028] 上記目的を達成するために、本発明は、ヒーターを用いて任意の温度に加

熱された α - Al_2O_3 基板に対して、スパッタリング法によってIII族窒化物半導体薄膜をエピタキシャル成長させるエピタキシャル膜形成方法であって、前記 α - Al_2O_3 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持する工程と、前記所定距離だけ離間して保持された状態で、前記 α - Al_2O_3 基板上にIII族窒化物半導体薄膜のエピタキシャル膜を形成する工程とを有することを特徴とする。

[0029] また、本発明は、真空排気可能な真空容器と、 α - Al_2O_3 基板を支持する基板保持手段と、前記基板保持手段に保持された前記 α - Al_2O_3 基板を任意の温度に加熱できるヒーターとを備えた真空処理装置を用いて、前記 α - Al_2O_3 基板上にスパッタリング法によりIII族窒化物半導体薄膜のエピタキシャル膜を形成するエピタキシャル膜形成方法であって、前記基板保持手段に保持された前記 α - Al_2O_3 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持した状態で、前記 α - Al_2O_3 基板上にIII族窒化物半導体薄膜のエピタキシャル膜を形成することを特徴とする。

[0030] さらに、本発明は、真空処理装置であって、真空排気可能な真空容器と、基板を支持するための基板保持手段と、前記基板保持手段に保持された前記基板を任意の温度に加熱できるヒーターと、前記真空容器内に設けられ、ターゲットを取り付けることが可能なターゲット電極とを備え、前記基板保持手段は、前記真空容器内において、前記ターゲット電極の重力方向下側に設けられ、前記基板を前記ヒーターの基板対向面と所定距離だけ離間して保持することを特徴とする。

[0031] 本発明によれば、チルトやツイストのモザイク広がりが少なく、且つ、+c極性のIII族窒化物半導体のエピタキシャル膜を α - Al_2O_3 基板上にスパッタリング法を用いて作製することが可能となる。また、このスパッタリング法により作製したIII族窒化物半導体エピタキシャル膜を用いることにより、LED、LDなどの発光素子の発光特性を向上させることができる。

図面の簡単な説明

[0032] [図1] 本発明の一実施形態に係る高周波スパッタリング装置の断面概略図である。

[図2] 本発明の一実施形態に係るヒーターの断面概略図である。

[図3] 本発明の一実施形態に係るヒーターの他の断面概略図である。

[図4A] 本発明の一実施形態に係るヒーター電極の構成例を示す上面図である。

[図4B] 本発明の一実施形態に係るヒーター電極の構成例を示す上面図である。

[図5] 本発明の一実施形態に係るヒーターと基板保持装置の断面図である。

[図6] 本発明の一実施形態に係る基板保持装置の第二の構成例を示す断面図である。

[図7] 本発明の一実施形態に係る基板保持装置の第三の構成例を示す断面図である。

[図8] 本発明の一実施形態に係るホルダー支持部の構成例を示す図である。

[図9] 本発明の一実施形態に係るエピタキシャル膜形成方法により形成されたエピタキシャル膜を用いて作製されるLED構造の一例を示す断面図である。

[図10A] III族窒化物半導体からなる結晶のチルトおよびツイストのモザイク広がりを示す模式図である。

[図10B] III族窒化物半導体からなる結晶のチルトおよびツイストのモザイク広がりを示す模式図である。

[図10C] III族窒化物半導体からなる結晶のチルトおよびツイストのモザイク広がりを示す模式図である。

[図10D] III族窒化物半導体からなる結晶のチルトおよびツイストのモザイク広がりを示す模式図である。

[図11] III族窒化物半導体薄膜における+c極性と-c極性を示す模式図である。

[図12] 本発明の一実施形態に係る、III族窒化物半導体薄膜の、CAIC

I S S測定による測定結果を示す図である。

発明を実施するための形態

[0033] 以下、図面を参照して本発明の実施形態を詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[0034] (実施形態)

本発明に関する主な特徴は、 α - Al_2O_3 基板上に、例えば高周波スパッタリング法といったスパッタリング法によりIII族窒化物半導体薄膜をエピタキシャル成長させる際に、ヒーターにより加熱された α - Al_2O_3 基板をヒーターの基板対向面から所定距離だけ離間して保持しながら、III族窒化物半導体の成膜を行うことにある。以下、図面を参照して本発明を説明する。なお、以下に説明する部材、配置等は発明を具体化した一例であって本発明を限定するものではなく、本発明の趣旨に沿って各種改変できることは勿論である。

[0035] 図1乃至図9は本発明の一実施形態に係る真空処理装置（高周波スパッタリング装置）若しくは成膜されたエピタキシャル膜を用いて作製されるLED構造についての図である。図1は高周波スパッタリング装置の断面概略図、図2はヒーターの断面概略図、図3は他のヒーターの断面概略図、図4A、4Bはヒーター電極の上面図の構成例、図5はヒーターと基板保持装置の断面図、図6は基板保持装置の第二の構成例、図7は基板保持装置の第三の構成例、図8は基板保持装置の支持部の拡大図、図9は成膜されたエピタキシャル膜を用いて作製されるLED構造の断面図の一例である。なお、図面の煩雑化を防ぐため一部を除いて省略している。

[0036] 図1は、本発明に係るIII族窒化物半導体薄膜の成膜に用いたスパッタリング装置の一例の概略構成図である。スパッタリング装置Sを示した図1において、符号101は真空容器、符号102はターゲット電極、符号99は基板ホルダー、符号103はヒーター、符号503は基板保持装置、符号105はターゲットシールド、符号106は高周波電源、符号107は基板

、符号１０８はターゲット、符号１０９はガス導入機構、符号１１０は排気機構、符号１１２はリフレクタ、符号１１３は絶縁材、符号１１４はチャンバーシールド、符号１１５は磁石ユニット、符号１１６はターゲットシールド保持機構、符号２０３はヒーター電極をそれぞれ示している。また、符号５５０は基板保持装置５０３を支持するホルダー支持部である。

[0037] 真空容器１０１はステンレスやアルミニウム合金などの金属部材を用いて構成され、電氣的に接地されている。また、真空容器１０１は不図示の冷却機構により壁面の温度上昇を防止ないしは低減している。さらに、真空容器１０１は、不図示のマスフローコントローラを介してガス導入機構１０９と接続され、不図示のバリアブルコンダクタンスバルブを介して排気機構１１０と接続されている。

[0038] ターゲットシールド１０５はターゲットシールド保持機構１１６を介して真空容器１０１に取り付けられている。ターゲットシールド保持機構１１６およびターゲットシールド１０５は、ステンレスやアルミニウム合金などの金属部材とすることができ、真空容器１０１と直流的に同電位になっている。

[0039] ターゲット電極１０２は、絶縁材１１３を介して真空容器１０１に取り付けられている。また、ターゲット１０８はターゲット電極１０２に取り付けられ、ターゲット電極１０２は不図示のマッチングボックスを介し高周波電源１０６に接続されている。ターゲット１０８は、ターゲット電極１０２に直接取り付けてもよく、また銅（Cu）などの金属部材からなる不図示のボンディングプレートを介してターゲット電極１０２に取り付けてもよい。

[0040] また、ターゲット１０８は、Al、Ga、Inの少なくとも一つを含む金属ターゲット、若しくは、上記III族元素の少なくとも一つを含む窒化物ターゲットであってもよい。ターゲット電極１０２には、ターゲット１０８の温度上昇を防止するための不図示の冷却機構が備えられている。また、ターゲット電極１０２には、磁石ユニット１１５が内蔵されている。高周波電源１０６としては13.56MHzのものが工業的に利用しやすいが、他の

周波数を用いることや、高周波に直流を重畳すること、あるいはそれらをパルスで用いることも可能である。

[0041] チャンバーシールド 114 は、真空容器 101 に取り付けられ、成膜時の真空容器 101 への膜の付着を防止している。

[0042] 基板ホルダー 99 は、ヒーター 103、基板保持装置 503、リフレクタ 112 を主要な構成要素として有している。ヒーター 103 はヒーター電極 203 を内蔵している。基板保持装置 503 は、基板に接する部分が少なくとも絶縁部材であり、リフレクタ 112 若しくはシャフト（不図示）などによって固定されている。基板 107 を基板保持装置 503 に保持することで、ヒーター 103 の基板対向面 P から所定の隙間を有して配置することができる。なお、基板保持装置 503 の詳細な例については後述する。

[0043] 本実施形態においては、図 1 に示すように、真空容器 101 内において、重力方向上側にターゲットを配置可能なターゲット電極 102 を配置し、該ターゲット電極 102 よりも重力方向下側に基板ホルダー 99 を配置している。従って、重力を利用して基板 107 を基板保持装置 503 に保持させることができるので、基板保持装置 503 の基板支持部（後述する符号 503a など）に基板 107 を載置するだけで、基板 107 の全面をターゲット 108 側に晒すことができ、基板 107 全面にエピタキシャル膜形成を行うことができる。

[0044] なお、本実施形態では、真空容器 101 の重力方向上側にターゲット電極 102 を配置し、該ターゲット電極 102 よりも重力方向下側に基板ホルダー 99 を配置した例について示したが、真空容器 101 の重力方向上側に基板ホルダー 99 を設置し、該基板ホルダー 99 よりも重力方向下側にターゲット電極 102 を配置するようにしても良い。

[0045] 図 2 または図 3 は、ヒーター 103 の構造例を示している。図 2 において、符号 201 はベース、符号 202 はベースコート、符号 203 はヒーター電極、符号 204 はバックサイドコート、符号 205 はオーバーコートである。なお、符号 P は後述する基板保持装置 503 に保持された状態の基板に

対向するヒーター１０３の上面（基板対向面）である。

[0046] ベース２０１はグラファイトであり、ヒーター電極２０３、バックサイドコート２０４はパイロリティックグラファイト（PG: Pyrolytic Graphite）であり、ベースコート２０２、オーバーコート２０５はパイロリティックボロンナイトライド（PBN: Pyrolytic Boron Nitride）である。なお、PBNからなるベースコート２０２とオーバーコート２０５は高抵抗材料である。

[0047] このような構成により、ヒーター１０３は所定の波長帯域の赤外線を放出することができ、基板を任意の温度に加熱することができる。

[0048] 図３は、ヒーターの他の構成例であり、符号３０１はベース、符号３０２はヒーター電極、符号３０３はバックサイドコート、符号３０４はオーバーコートである。ベース３０１はボロンナイトライド（BN: Boron Nitride）であり、ヒーター電極３０２、バックサイドコート３０３はPGであり、オーバーコート３０４はPBNである。なお、BNからなるベース３０１とPBNからなるオーバーコート３０４は高抵抗材料である。

[0049] なお、上記のヒーターを構成する材料は、従来の赤外線ランプに比べて α -Al₂O₃基板を加熱する効率が高いため好ましく用いられているが、 α -Al₂O₃基板を所定の温度に加熱することができれば、これに限定されるものではない。

[0050] 図４Ａ、４Ｂにヒーター電極２０３（または３０２）の構成例（上面図）を示す。

ヒーター１０３に内蔵されたヒーター電極２０３（または３０２）は図４Ａ、４Ｂのような電極パターンを有している。この電極パターンに電源（不図示）を接続し、直流または交流の電圧を印加することで、ヒーター電極２０３（または３０２）に電流が流れ、発生したジュール熱によりヒーター１０３が加熱される。基板はヒーター１０３から放射される赤外線により加熱される。

[0051] なお、電極パターンは、図４Ａ、４Ｂに限定されない。図４Ａ、４Ｂのよ

うな電極パターンを用いることにより、基板 107 の全面に均一に熱を付与することができるので、基板全面になるべく均一に熱が作用するような電極パターンを用いることは望ましい。しかしながら、本発明では、基板に対して均一に熱を作用させるような電極パターンを用いても、+c 極性のエピタキシャル膜を成膜できることが重要であり、電極パターンそのものをどのような形状にするかは本質ではない。従って、本実施形態では、図 4 A、4 B に示す電極パターンに限定されることなく、いずれの電極パターンも本実施形態に適用できることは言うまでも無い。

[0052] 上記図 2 および図 3 に示したヒーター 103 の構造例において、図 4 A、4 B に示すようなパターンのヒーター電極 203 または 302 を形成した側の面を、符号 P を付してヒーター 103 の基板対向面としたが、ヒーター 103 は、図 2 または図 3 に示したヒーター 103 を裏返しにした構造、すなわち図 2 および図 3 に符号 P で示した面と反対の面を基板対向面としてもよい。この場合、バックサイドコート 204 または 303 を介して基板を加熱することになるため、基板加熱の電力効率が低下するものの、バックサイドコート 204 または 303 が均熱の役割を果たし、基板に対して均一に熱を作用させる効果がある。

[0053] 図 5 は、ヒーターと基板保持装置（第一の構成例）の断面図である。図 5 において、符号 103 はヒーター、符号 203 はヒーター電極、符号 503 は基板保持装置、符号 504 は基板である（ホルダー支持部 550 は不図示）。基板保持装置 503 は同一断面を有する略リング状の部材であり、基板の外縁部分を下方（重力方向下側、すなわち、ヒーター 103 側）から支持するための絶縁部材からなる基板支持部 503 a を備えている。基板支持部 503 a はヒーター 103 の基板対向面 P との間に d1 の隙間を空けて設置されている。また、基板 504 とヒーター 103 の基板対向面 P との間には d2 の隙間が設けられている。このように、基板 504 が基板支持部 503 a に支持された際に、基板 504 がヒーター 103 の基板対向面 P から所定の隙間（例えば、d2）を有して配置されるように、基板支持部 503 a は

設けられている。d 1 の隙間としては、0.4 mm以上が望ましく、d 2 の隙間としては、0.5 mm以上が望ましく用いられる。

[0054] 隙間 d 1 が 0.4 mm未満の場合は、外周部に極性の混在した I I I 族窒化物半導体薄膜が形成されやすく、隙間 d 2 が 0.5 mm未満の場合は、基板全面に極性の混在した I I I 族窒化物半導体薄膜が形成されやすくなるため好ましくない。

[0055] このように、基板保持装置 5 0 3 の下側面とヒーター 1 0 3 の基板対向面 P との間には、0.4 mm以上の隙間 d 1 が設けられている。同様に、基板 5 0 4 とヒーター 1 0 3 の基板対向面 P との間には、0.5 mm以上の隙間 d 2 が設けられている。

[0056] なお、上記 d 1 および d 2 は、広くするとヒーター 1 0 3 による基板 5 0 4 の加熱効率が低下するため、広げすぎるのは好ましくない。また、d 1 および d 2、特に d 2 は、広げ過ぎるとヒーター 1 0 3 と基板 5 0 4 の間の空間にプラズマが発生してしまい、本発明の効果が失われてしまうことがあるため、5 mm以下にすることが望ましく、より好ましくは 2 mm以下にすることが望ましい。

[0057] 図 6 と図 7 に、基板保持装置の他の構成例について説明する。

図 6 は、基板保持装置の第二の構成例を示している。図 6 において、符号 5 0 4 は基板、符号 6 0 3 は基板保持装置である（ホルダー支持部 5 5 0 は不図示）。基板保持装置 6 0 3 は、同一断面を有する略リング状の部材であり、下方から基板 5 0 4 を保持するための絶縁部材からなる基板支持部 6 0 3 a と、基板支持部 6 0 3 a の外周に一体に構成された載置部 6 0 3 b とを備えている。載置部 6 0 3 b がヒーター 1 0 3 の基板対向面 P に載置された状態では、基板支持部 6 0 3 a の裏側（ヒーター 1 0 3 と対向する側）とヒーター 1 0 3 の基板対向面 P との間には隙間 d 1 が、基板 5 0 4 とヒーター 1 0 3 の基板対向面 P との間には隙間 d 2 がそれぞれ設けられる。隙間 d 1 としては、0.4 mm以上が望ましく、隙間 d 2 としては、0.5 mm以上が望ましい。

[0058] 図7は、基板保持装置の第三の構成例を示している。図7において、符号504は基板、符号703は基板保持装置である。基板保持装置703は、同一断面を有する略リング状の部材であり、第一の基板保持装置704及び第二の基板保持装置705を有している。第二の基板保持装置705は導電性のリングで構成され、不図示のマッチングボックスを介して不図示の高周波電源に接続されている。このため、 N_2 や希ガスなどのガスを含有した雰囲気において、第二の基板保持装置705に高周波電力を供給することで、基板近傍にプラズマを発生させ、基板の表面処理を行うことが可能である。

[0059] また、第一の基板保持装置704は、下方から基板504を支持するための絶縁部材からなる基板支持部704aを備えている。基板支持部704aの裏側とヒーター103の基板対向面Pとの間には隙間d1が、基板504とヒーター103の基板対向面Pとの間には隙間d2がそれぞれ設けられている。d1の隙間としては、0.4mm以上が望ましく、d2の隙間としては、0.5mm以上が望ましく用いられる。

[0060] なお、図7中、ホルダー支持部750は不図示であるが、その拡大図を図8に図示する。

図8は基板保持装置703の支持部（ホルダー支持部750）の拡大図である。ホルダー支持部750は、第二の基板保持装置705を支持する構造であり、導電材751、絶縁材753、およびステンレスパイプ755を主要な構成要素としている。導電材751は、真空容器101の外側に設けられた高周波電源757および第二の基板保持装置705に電氣的に接続されている。よって、第二の基板保持装置705には導電材751を介して高周波電源757から高周波電力が供給される。導電材751は絶縁材753とステンレスパイプ755とで覆われている。また、導電材751と真空容器101との絶縁も絶縁材753によって確保している。このように、ホルダー支持部750は、第二の基板保持装置705を支持すると共に、該第二の基板保持装置705に電力を供給するように構成されている。

[0061] なお、図8に示したホルダー支持部750は、第二の基板保持装置705

に高周波電力を供給するため導電材 751 を有する構造とされているが、基板保持装置 503、603 を支持するホルダー支持部 550（図 1 参照）では導電材 751 は必要ない。

[0062] なお、基板保持装置の第一～第三の構成例（図 5～図 7）においては、基板支持部 503a、603a、704a をそれぞれ、リング状の絶縁部材を用いているが、リング状でなくても良い。例えば、基板支持部 503a、603a、704a を、開口部が形成されていない板状の絶縁部材としても良い。この場合は、基板支持部をヒーター 103 から所定の隙間（例えば、 d_1 ）を有して配置することは言うまでもない。ただし、本実施形態のように、基板支持部をリング状にすることにより、基板 107 とヒーター 103 の基板対向面 P とを所定の隙間を有して配置しつつ、基板 107 をヒーター 103 に晒すことができる。従って、効率良く基板 107 を加熱できるので、基板支持部をリング状にすることは好ましい形態である。

[0063] また、基板支持部 503a、603a、704a に用いられる絶縁部材としては、例えば、石英、サファイア、アルミナ等を用いることができる。

[0064] ヒーター 103 の構造は、図 2 または図 3 に示すいずれの構造を用いてもよいし、これらが裏返しになった構造でもよく、本実施形態ではヒーターの構造が本質ではないので他の構造のヒーターを用いてもよい。もちろん、ヒーター電極がヒーターの基板対向面 P にむき出して配置されるヒーターの構造であってもよい。

基板保持装置 503、603、703 の構造は、図 5、図 6、図 7 に示すいずれの構造を用いてもよいし、他の構造の基板保持装置を用いてもよい。本実施形態で重要なことは、III 族窒化物半導体薄膜の成膜において、基板をヒーターの基板対向面 P から所定距離、離間して配置することである。本実施形態においては、ヒーターの基板対向面 P と基板との間の空間を隙間としているが、この隙間に絶縁部材を充填しても同様の効果が得られると考えられる。従って、基板をヒーターの基板対向面 P から所定距離、離間して配置できる構造であれば、図 5～図 7 に限らずいずれの構造の基板保持装置

を用いても良いのである。例えば、リフトピンの昇降により基板受け渡しを行う機構を有する装置の場合、リフトピンを用いて基板をヒーター 103 の基板対向面 P から所定の隙間を有する位置に保持してもよい。ただしこの場合、基板の外周のヒーター 103 との隙間から膜が回り込み、ヒーター 103 の基板対向面 P に膜が付着して、ヒーター 103 からの輻射が経時的に変化してしまうので、本実施形態が望ましい形態である。

[0065] また、III 族窒化物半導体薄膜の成膜を行う前に、図 7 に示す第二の基板保持装置 705（第三の構成例）に接続された高周波電源 757 を用いて基板近傍にプラズマを発生させ、基板表面に付着した水分や炭化水素などの成分を除去しても良い。さらに、ヒーター電極の構造は、図 4 A、4 B に示すどちらのパターンを用いてもよいし、上述のように他の構造のパターンを用いても良い。

[0066] 図 6 の構造は、図 5 の構造に比べて、ヒーター 103 の基板対向面 P との隙間 d_1 や d_2 を正確に制御しやすいことから、好ましく用いられる。また、図 7 の構造を用いれば、基板表面に付着した水分や炭化水素などの成分を除去することが可能となり、III 族窒化物半導体薄膜の結晶性に関する再現性が向上するため、好ましく用いられる。

[0067] 図 9 は、本発明に係る III 族窒化物半導体薄膜の製造方法を用いて作製した半導体発光素子としての発光ダイオード（LED）の断面構造の一例である。図 9 において、符号 801 は α -Al₂O₃ 基板、符号 802 は緩衝層、符号 803 は III 族窒化物半導体中間層、符号 804 は n 型 III 族窒化物半導体層、符号 805 は III 族窒化物半導体活性層、符号 806 は p 型 III 族窒化物半導体層、符号 807 は n 型電極、符号 808 は p 型ボンディングパッド電極、符号 809 は保護層、符号 810 は透光性電極である。

[0068] 緩衝層 802 を構成する材料としては AlN、AlGa_xN、Ga_xN が好ましく用いられる。III 族窒化物半導体中間層 803、n 型 III 族窒化物半導体層 804、III 族窒化物半導体活性層 805、p 型 III 族窒化物

半導体層 806 を構成する材料としては、 AlGaIn 、 GaIn 、 InGaIn が好ましく用いられる。n 型 III 族窒化物半導体層 804 には上記材料中に珪素 (Si) またはゲルマニウム (Ge)、p 型 III 族窒化物半導体層 806 には上記材料中にマグネシウム (Mg) または亜鉛 (Zn)、それぞれを微量添加して導電性の制御を行うことが好ましい。更に、III 族窒化物半導体活性層 805 は、上記材料の多重量子井戸 (MQW) 構造を形成することが望ましい。また、上述した発光ダイオード (LED) を用い照明装置を構成することができる。

[0069] 以下、図面を参考にしながら、本発明に係るスパッタリング装置を用いて III 族窒化物半導体薄膜のエピタキシャル膜形成方法を説明する。本実施形態においては、以下の第一から第四の工程を有する方法によって $\alpha\text{-Al}_2\text{O}_3$ 基板上にエピタキシャル膜を形成する。

[0070] まず、第一の工程として、排気機構 110 により所定の圧力に保持された真空容器 101 に基板 107 を導入する。この際、基板 ($\alpha\text{-Al}_2\text{O}_3$ 基板) 107 は不図示の搬送ロボットにより、ヒーター 103 の上部まで搬送され、ヒーター 103 から突き出た不図示のリフトピンの上部に載置される。その後、基板 107 を保持したリフトピンを降下させ、基板保持装置 503 に基板 107 を配置する。

[0071] 次に、第二の工程として、ヒーター 103 に内蔵されたヒーター電極 203 に印加する電圧を制御し、基板 107 を所定温度に保持する。この際、ヒーター 103 に内蔵された熱電対 (不図示) を用いてヒーター 103 の温度をモニターするか、真空容器 101 に設置された不図示のパイロメータを用いてヒーター 103 の温度をモニターし、それらの温度が所定の温度となるように制御する。

[0072] 次に、第三の工程として、ガス導入機構 109 より N_2 ガス、希ガス、 N_2 ガスと希ガスの混合ガスのいずれかを真空容器 101 へ導入し、マスフローコントローラ (不図示) およびバリアブルコンダクタンスバルブ (不図示) によって真空容器 101 の圧力が所定の圧力となるように設定する。

- [0073] 最後に、第四の工程として、高周波電源 106 より高周波電力を印加し、ターゲット 108 前面に高周波プラズマを発生させ、プラズマ中のイオンがターゲット 108 を構成する元素をたたき出すことにより、III 族窒化物半導体薄膜を成膜する。なお、ターゲット 108 に金属ターゲットを用いた場合、プロセスガスとしては N_2 ガスまたは N_2 ガスと希ガスの混合ガスが好ましく用いられ、ターゲット 108 の表面、基板 107 の表面、ターゲット 108 と基板 107 の間の空間のうち、少なくとも一つの領域で金属ターゲットを構成する III 族元素が窒化し、基板上に III 族窒化物半導体薄膜が形成される。
- [0074] また、窒化物ターゲットを用いた場合には、 N_2 ガス、希ガス、 N_2 ガスと希ガスの混合ガスのいずれかが好ましく用いられ、ターゲット表面からは原子または窒化物分子の形態でスパッタ粒子が放出される。ターゲット表面から原子として放出された III 族元素は、ターゲット 108 の表面、基板 107 の表面、ターゲット 108 と基板 107 の間の空間のうち、少なくとも一つの領域で窒化し、基板上に III 族窒化物半導体薄膜が形成される。一方、ターゲット表面から放出された窒化物分子の大部分は、基板に到達し、III 族窒化物半導体薄膜を形成する。
- [0075] ターゲット表面から放出された窒化物分子の一部は、基板 107 の表面、又はターゲット 108 と基板 107 の間の空間で解離する可能性があるが、解離により生成された III 族元素は、基板 107 の表面、ターゲット 108 と基板 107 の間の空間のいずれか一方で、再度窒化され、III 族窒化物半導体薄膜を形成する。
- [0076] 第一の工程における所定の圧力は、 5×10^{-4} Pa 未満であることが望ましく、それ以上では、III 族窒化物半導体薄膜の内部に酸素等の不純物を取り込まれ、良好なエピタキシャル膜が得られにくい。また、第一の工程におけるヒーター 103 の温度について特に限定するものではないが、生産性の観点からは成膜時の基板温度を得るための温度に設定しておくことが望ましい。

- [0077] 第二の工程における所定の温度は、第四の工程における成膜温度に設定しておくことが生産性の観点から望ましく、また、第三の工程における所定の圧力は、第四の工程における成膜圧力に設定しておくことが生産性の観点から望ましい。第二の工程および第三の工程とは、実施のタイミングが入れ替わってもよく、また、同時に実施されても良い。また、第二の工程で設定された温度および第三の工程で設定された圧力は、少なくとも第四の工程を開始するまで保持されていることが生産性の観点から望ましい。
- [0078] 第四の工程を行う際の基板温度は、 $100 \sim 1200^{\circ}\text{C}$ の範囲となるように設定することが望ましく、更に $400 \sim 1000^{\circ}\text{C}$ の範囲とすると好適である。 100°C 未満の場合は、アモルファス構造の混在した膜が形成されやすく、 1200°C より高い温度では、膜自体が形成されないか、形成されたとしても熱応力のために欠陥の多いエピタキシャル膜が得られやすい。また、成膜圧力は $0.1 \sim 100 \text{ Torr}$ ($1.33 \times 10^{-2} \sim 1.33 \times 10^1 \text{ Pa}$)の範囲に設定されることが望ましく、更に、 $1.0 \sim 10 \text{ Torr}$ ($1.33 \times 10^{-1} \sim 1.33 \text{ Pa}$)の範囲に設定されると好適である。
- [0079] 0.1 Torr ($1.33 \times 10^{-2} \text{ Pa}$)未満では、高エネルギー粒子が基板表面に入射されやすくなるため、良質なIII族窒化物半導体薄膜が得られにくく、 100 Torr ($1.33 \times 10^1 \text{ Pa}$)より高い圧力では、成膜速度が極端に遅くなるため好ましくない。第四の工程を開始する際には、真空容器101の圧力を一時的に成膜圧力以上に高めて、プラズマの発生を促進することも可能である。この場合、プロセスガスの少なくとも一種類のガス流量を一時的に多く導入することで成膜圧力を高めてもよく、また、バリアブルコンダクタンスバルブ（不図示）の開度を一時的に小さくすることで成膜圧力を高めてもよい。
- [0080] さらに、第一の工程の前には、前処理室（不図示）に基板107を搬送し、成膜温度以上の温度での基板107の熱処理やプラズマ処理を行う工程を有してもよいことももちろんである。
- [0081] 本実施形態における方法で形成されるIII族窒化物半導体薄膜のエピタ

キシヤル膜としては、図9に示す緩衝層802、III族窒化物半導体中間層803、n型III族窒化物半導体層804、III族窒化物半導体活性層805、p型III族窒化物半導体層806が挙げられる。上記全ての層を本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製してもよく、また、いずれかの層に限定して本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製してもよい。

[0082] 例えば、図9のLEDの素子工程の第一の例として、緩衝層802を本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製し、その後、MOCVD法を用いてIII族窒化物半導体中間層803、n型III族窒化物半導体層804、III族窒化物半導体活性層805、p型III族窒化物半導体層806を順次積層することで、エピタキシヤルウェハーを作製する方法がある。

[0083] また、第二の例として、緩衝層802およびIII族窒化物半導体中間層803を本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製し、その後、MOCVD法を用いて、n型III族窒化物半導体層804、III族窒化物半導体活性層805、p型III族窒化物半導体層806を順次積層することで、エピタキシヤルウェハーを作製する方法がある。

[0084] 第三の例としては、緩衝層802、III族窒化物半導体中間層803およびn型III族窒化物半導体層804を本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製し、その後、MOCVD法を用いて、III族窒化物半導体活性層805、p型III族窒化物半導体層806を順次積層することで、エピタキシヤルウェハーを作製する方法がある。

[0085] 第四の例としては、緩衝層802、III族窒化物半導体中間層803、n型III族窒化物半導体層804およびIII族窒化物半導体活性層805を本発明に係るスパッタリング装置（エピタキシヤル膜形成方法）を用いて作製し、その後、MOCVD法を用いて、p型III族窒化物半導体層8

06を作製することで、エピタキシャルウェハーを作製する方法がある。

[0086] 第五の例としては、緩衝層802、III族窒化物半導体中間層803、n型III族窒化物半導体層804およびIII族窒化物半導体活性層805、p型III族窒化物半導体層806を本発明に係るスパッタリング装置（エピタキシャル膜形成方法）を用いて作製することで、エピタキシャルウェハーを作製する方法がある。

[0087] このようにして得たエピタキシャルウェハーに対し、リソグラフィ技術およびRIE（反応性イオンエッチング）技術を用い、図9に示すように透光性電極810、p型ボンディングパッド電極808、n型電極807、保護膜809を形成することによりLED構造を得ることができる。なお、透光性電極810、p型ボンディングパッド電極808、n型電極807、保護膜809の材料は特に限定されず、この技術分野でよく知られた材料を制限なく用いることができる。

[0088] （第一の実施例）

本発明の第一の実施例として、本発明にかかるIII族窒化物半導体薄膜の成膜方法を用いてAIN膜を $\alpha\text{-Al}_2\text{O}_3$ （0001）基板上に成膜した例、より詳しくは、基板保持装置によりヒーターの基板対向面との隙間を有して載置した $\alpha\text{-Al}_2\text{O}_3$ （0001）基板上にスパッタリング法を用いてAIN膜を形成した例について説明する。なお、本実施例において、AIN膜は図1と同様のスパッタリング装置を用いて成膜し、ヒーターの構造は図2、ヒーター電極のパターンは図4A、基板保持装置は図5と同様のものを用いた。また、図5における基板支持部503aとヒーター103の基板対向面Pとの間の隙間d1と基板504とヒーター103の基板対向面Pとの間の隙間d2は、それぞれ、1mm、2mmとした。

[0089] 本実施例においては、まず、第一の工程により 1×10^{-4} Pa以下に保持された真空容器101に $\alpha\text{-Al}_2\text{O}_3$ （0001）基板を搬送して基板保持装置503に配置し、第二の工程により基板を第四の工程の成膜温度である550℃に保持した。このときヒーター103は、内蔵した熱電対のモニター

値が750℃になるよう制御した。次に、第三の工程により N_2 と Ar の混合ガスを $N_2 / (N_2 + Ar) : 25\%$ となるように導入し、真空容器101の圧力を第四の工程の成膜圧力である3.75mTorr (0.5Pa)に設定した。この状態で第四の工程により高周波電源106から2000Wの高周波電力を金属Alからなるターゲット108に印加し、スパッタリング法により基板上に膜厚50nmのAlN膜を形成した。

[0090] なお、本実施例における成膜温度は、熱電対を埋め込んだ $\alpha-Al_2O_3$ (0001) 基板によりあらかじめ基板温度測定を行い、その時の、 $\alpha-Al_2O_3$ (0001) 基板の温度と、ヒーターに内蔵した熱電対のモニター値、すなわち、ヒーターの温度との関係より設定したものである。

[0091] 本実施例において、作製したAlN膜は、対称反射位置での $2\theta/\omega$ スキャンモードのX線回折 (XRD) 測定と、対称面に対する ω スキャンモードでのXRC測定、In-plane配置での ϕ スキャンモードのXRC測定、および、同軸型直衝突イオン散乱分光 (CAICISS: Coaxial Impact Collision Ion Scattering Spectroscopy) 測定により評価した。ここで、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定は結晶配向の確認に用い、対称面に対する ω スキャンモードでのXRC測定とIn-plane配置での ϕ スキャンモードでのXRC測定は、それぞれ、チルトとツイストのモザイク広がりの評価に用いた。また、CAICISS測定は極性の判定手段として用いた。

[0092] まず、本実施例において作製したAlN膜に対し、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定を、測定範囲を $2\theta = 20 \sim 60^\circ$ の範囲として行なったところ、AlN (0002) 面と $\alpha-Al_2O_3$ (0006) 面の回折ピークのみが観測され、AlNの他の格子面を示す回折ピークは観測されなかった。このことから、得られたAlN膜がc軸配向していることがわかった。

[0093] 次に、本実施例で作製したAlN膜に対し、対称面に対する ω スキャンモ

ードでのXRC測定を行った。なお、測定にはAIN(0002)面を用いた。得られたXRCプロファイルのFWHMは、検出器をオープンディテクタ状態とした場合は450 arcsec以下、検出器にアナライザー結晶を挿入した場合には100 arcsec以下であり、作製したAIN膜におけるチルトのモザイク広がりが非常に小さいことを確認した。また、作成条件によっては、検出器にアナライザー結晶を挿入した場合のXRC測定で、FWHMが20 arcsec以下となるものも得られている。

なお、検出器をオープンディテクタ状態とした場合が本来のXRC測定であるが、本実施例のように膜厚が薄い試料の場合には、膜厚効果や格子緩和によってXRCプロファイルのFWHMが広がり、モザイク広がりを正しく評価することが困難となる。そのため、近年では上記のように、検出器にアナライザー結晶を挿入した場合も広義のXRC測定として扱われている。以下、特に断らない限り、XRC測定ではオープンディテクタ状態を用いていることとする。

[0094] 次に、本実施例で作製したAIN膜に対し、In-plane配置で ϕ スキャンモードのXRC測定を行った。なお、測定にはAIN{10-10}面を用いている。得られたXRCプロファイルには60°間隔に6本の回折ピークが現れ、AIN膜が六回対称性を有していること、すなわち、AIN膜がエピタキシャル成長していることが確認できた。また、最大強度の回折ピークから求めたFWHMは2.0°以下であり、作製したAIN膜のツイストのモザイク広がりが比較的小さいことがわかった。なお、 α -Al₂O₃(0001)基板とAIN膜の面内結晶方位を比較したところ、 α -Al₂O₃(0001)基板のa軸に対してAIN膜のa軸が30°面内回転していることを確認できた。これは、AIN膜を α -Al₂O₃(0001)基板上にエピタキシャル成長した際の一般的なエピタキシャル関係でAIN膜が形成されていることを示している。

[0095] 図12は、本実施例で作製したAIN膜に対し、CAICISS測定を行った結果である。本測定において、Al信号をAIN[11-20]方位か

ら入射角度を変えて検出しており、入射角度が 70° 付近のピークが単一の形状として得られていることがわかる。このことは、得られたA I N膜が+c極性（A I 極性）となっていることを示している。

[0096] 以上のことから、本実施例において作製したA I N膜は、+c極性（A I 極性）で、且つ、チルトのモザイク広がり極めて小さなc軸配向エピタキシャル膜となっていることが確認できた。すなわち、本発明によれば、チルトおよびツイストのモザイク広がりを低減しつつ、+c極性のI I I族窒化物半導体薄膜を得られることが明らかとなった。

[0097] さらに、本実施例では、図1に示すように、重力方向上側にターゲットを保持するためのターゲット電極102を配置し、基板ホルダー99を重力方向下側に配置しているので、基板107を保持するために該基板107の被成膜面の一部を支持部材（例えば、支持爪）等により覆う必要が無い。従って、基板107の被成膜面の全面をターゲット108に対して露出することができる。よって、本実施例によれば、基板107の被成膜面の全面に、チルトおよびツイストのモザイク広がりを抑え、かつ均一な+c極性のI I I族窒化物半導体薄膜を形成することができる。

[0098] （第二の実施例）

次に、本発明の第二の実施例として、本発明に係るI I I族窒化物半導体薄膜の成膜方法を用いて作製したA I N膜を緩衝層とし、その上に、MOCVD法を用いて、アンドープGa N膜を形成した例について説明する。

[0099] スパッタリング法を用いて、 α -A I ₂ O₃（0001）基板上にA I N膜を第一の実施例と同じ条件で形成し、その後、MOCVD装置にウェハを導入して、5 μ mの膜厚のアンドープGa N膜を形成した。

[0100] 得られたアンドープGa N膜の表面は鏡面であり、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定では、アンドープGa N膜がc軸配向していることが示された。次に、対称面としてGa N（0002）面を用いた ω スキャンモードのXRC測定と、I n - p l a n e配置でGa N {10-10}面に対する ϕ スキャンモードのXRC測定を行ったところ、それぞれの

FWHMが 250 arc sec 以下、 500 arc sec 以下となっていることを確認した。このことから、得られたアンドープGaN膜が、チルトおよびツイストのモザイク広がり小さい高品質な結晶として得られていることがわかった。更に、CAICISS測定より、得られたアンドープGaN膜の極性が+c極性（Ga極性）となっていることを確認した。これは、第一の実施例において説明したように、緩衝層として用いたAlN膜の極性が+c極性に制御できているため、その上に形成したアンドープGaN膜もその極性を引き継いだ結果と考えることができる。

[0101] 以上のことから、本発明に係るIII族窒化物半導体薄膜の成膜方法を用いて作製した、+c極性に制御されたAlN膜を緩衝層とすることにより、その上にMOCVD法を用いて成長させたアンドープGaN膜を、モザイク広がり少なく、+c極性に制御された高品質なエピタキシャル膜として得ることが可能となる。すなわち、 $\alpha\text{-Al}_2\text{O}_3$ 基板上に、+c極性のIII族窒化物半導体薄膜をエピタキシャル成長させることができる。

[0102] なお、本実施例ではアンドープGaN膜をMOCVD法により形成しているが、スパッタリング法を用いても同様の結果を得ることができることを確認している。

[0103] （第三の実施例）

本発明の第三の実施例として、本発明に係るIII族窒化物半導体薄膜の成膜方法を用いて作製したAlN膜を緩衝層とし、その上に、MOCVD法を用いて、アンドープGaNからなるIII族窒化物半導体中間層、SiドープGaNからなるn型III族窒化物半導体層、InGaNとGaNのMQW構造を有するIII族窒化物半導体活性層、MgドープGaNからなるp型III族窒化物半導体層を順次エピタキシャル成長し、更に、n型電極層、透光性電極、p型電極層、保護膜まで形成した後、ウェハーをスクライブにより分離しLED素子を作製した例について説明する。

[0104] スパッタリング法を用いて、 $\alpha\text{-Al}_2\text{O}_3$ （0001）基板上にAlN膜を第一の実施例と同じ条件で形成し、その後、MOCVD装置にウェハーを

導入して、 $5\mu\text{m}$ の膜厚のアンダー層 GaN からなる III 族窒化物半導体中間層、 $2\mu\text{m}$ の膜厚の Si ドーパド GaN からなる n 型 III 族窒化物半導体層、 GaN に始まり GaN に終わる積層構造であって、 3nm の膜厚の5層の InGaN と 16nm の膜厚の6層の GaN とを交互に積層したMQW構造を有する III 族窒化物半導体活性層、 200nm の膜厚の Mg ドーパド GaN からなる p 型 III 族窒化物半導体層を形成した。

[0105] 得られたエピタキシャルウェハーに対し、リソグラフィ技術および RIE 技術を用い、図9に示すように透光性電極810、 p 型ボンディングパッド電極808、 n 型電極807、保護膜809を形成した。なお本実施例では、透光性電極として ITO (Indium-Tin-Oxide)、 p 型ボンディングパッド電極としてチタン (Ti)、 Al 、金 (Au) を積層した構造、 n 型電極としてニッケル (Ni)、 Al 、 Ti 、 Au を積層した構造、保護膜として SiO_2 を用いた。

[0106] このようにして得られた LED 構造を形成したウェハーをスクライブにより $350\mu\text{m}$ 角の LED チップに分離し、この LED チップをリードフレーム上に載置し、金線でリードフレームに結線することにより LED 素子とした。

[0107] 得られた LED 素子の p 型ボンディングパッド電極と n 型電極とに順方向電流を流したところ、電流 20mA における順方向電圧が 3.0V 、発光波長が 470nm 、発光出力が 15mW という良好な発光特性を示した。このような特性は、作製したウェハーほぼ全面から作製された LED 素子について、ばらつきなく得られた。

[0108] 以上のことから、本発明に係る III 族窒化物半導体薄膜の成膜方法を用いて作製した、 $+c$ 極性に制御された AlN 膜を緩衝層とすることにより、良好な発光特性を有する LED 素子を得ることができた。なお、本実施例ではアンダー層 GaN からなる III 族窒化物半導体中間層、 Si ドーパド GaN からなる n 型 III 族窒化物半導体層、 InGaN と GaN とのMQW構造を有する III 族窒化物半導体活性層、 Mg ドーパド GaN からなる p 型 I

ⅢⅢ族窒化物半導体層をMOCVD法により形成しているが、スパッタリング法を用いてこれらの層を作製しても同様の結果を得ることができることを確認している。

[0109] (第一の比較例)

本発明の第一の比較例として、本発明に特徴的な基板保持装置を用いずヒーター上に接して載置した α -Al₂O₃ (0001) 基板上にスパッタリング法を用いてAlN膜を形成した例について説明する。なお、本比較例において、AlN膜は載置方法 (α -Al₂O₃ (0001) 基板をヒーターから隙間を有して配置すること) を除いて第一の実施例と同一のスパッタリング装置、ヒーター、ヒーター電極を用いて成膜した。また、AlN膜の成膜条件も第一の実施例と同一の条件を用いた。

[0110] 本比較例において作製したAlN膜に対し、対称反射位置での $2\theta/\omega$ スキャンモードのXRD測定と、AlN (0002) 面に対する ω スキャンモードでのXRC測定 (検出器にアナライザー結晶を挿入した場合と、オープンディテクタ状態の場合)、AlN {10-10} 面に対する ϕ スキャンモードでのXRC測定を行なったところ、第一の実施例で得られたAlN膜と同様にc軸配向のエピタキシャル膜が得られており、チルトおよびツイストのモザイク広がりも同程度であることがわかった。

一方、本比較例において作製したAlN膜に対してCAICISS測定を行ったところ、+c極性 (Al極性) と-c極性 (N極性) が混在した膜であることが示された。

[0111] 以上のことから、 α -Al₂O₃ (0001) 基板をヒーターに接して載置した場合には、+c極性のⅢⅢ族窒化物半導体薄膜を得られないことが明らかとなった。

[0112] (第二の比較例)

次に、本発明の第二の比較例として、ヒーター上に接して載置した α -Al₂O₃ (0001) 基板上にスパッタリング法を用いてAlNからなる緩衝層を形成し、その上に、MOCVD法を用いて、アンドープGaN膜を形成

した例について説明する。なお、本比較例において、A I Nからなる緩衝層は第一の比較例と同一のスパッタリング装置、ヒーター、ヒーター電極および成膜条件にて成膜を行い、アンドープG a N膜は、第二の実施例と同様の条件にて成膜を行なった。

[0113] スパッタリング法を用いて、 α -A I ₂ O₃ (0 0 0 1) 基板上にA I Nからなる緩衝層を第一の比較例と同一のスパッタリング装置、ヒーター、ヒーター電極および成膜条件にて成膜を行い、その後、M O C V D装置にウェハーを導入して、5 μ mの膜厚のアンドープG a N膜を形成した。

[0114] 得られたアンドープG a N膜の表面は白濁しており、対称反射位置での2 θ / ω スキャンモードのX R D測定では、アンドープG a N膜がc軸配向していることが示された。次に、対称面としてG a N (0 0 0 2) 面を用いた ω スキャンモードでのX R C測定と、I n - p l a n e配置でG a N {1 0 - 1 0} 面に対する ϕ スキャンモードでのX R C測定を行ったところ、それぞれのFWHMが3 6 0 a r c s e c程度、1 0 0 0 a r c s e c程度となっていることを確認した。このことから、本比較例により得られたアンドープG a N膜が、第二の実施例で得られたアンドープG a N膜に比べてチルトおよびツイストのモザイク広がり大きい低品質な結晶として得られていることがわかった。

[0115] 更に、C A I C I S S測定より、得られたアンドープG a N膜の極性が+c極性 (G a極性) と-c極性 (N極性) の混在した膜となっていることを確認した。これは、第一の比較例において説明したように、A I Nからなる緩衝層が+c極性と-c極性との混在した膜になっているため、その上に形成したアンドープG a N膜もその混在した極性を引き継いだ結果と考えることができる。

[0116] 以上のことから、 α -A I ₂ O₃ (0 0 0 1) 基板をヒーターに接して載置したスパッタリング法によりA I Nからなる緩衝層を形成した場合、その上にM O C V D法を用いて成長させたアンドープG a N膜は低品質なエピタキシャル膜として得られる。なお、本比較例ではアンドープG a N膜をM O C

V D法により形成しているが、スパッタリング法を用いても同様の結果となることを確認している。

[0117] (第三の比較例)

本発明の第三の比較例として、 $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板をヒーターに接して載置したスパッタリング法によりAlNからなる緩衝層を形成し、その上に、MOCVD法を用いて、アンドープGaInからなるIII族窒化物半導体中間層、SiドープGaInからなるn型III族窒化物半導体層、InGaInとGaInとのMQW構造を有するIII族窒化物半導体活性層、MgドープGaInからなるp型III族窒化物半導体層を順次エピタキシャル成長し、更に、n型電極層、透光性電極、p型電極層、保護膜まで形成した後、ウェハーをスクライブにより分離しLED素子を作製した例について説明する。なお、AlNからなる緩衝層の成膜方法は第一の比較例と同様であり、MOCVD法を用いて成膜したアンドープGaInからなるIII族窒化物半導体中間層、SiドープGaInからなるn型III族窒化物半導体層、InGaInとGaInとのMQW構造を有するIII族窒化物半導体活性層、MgドープGaInからなるp型III族窒化物半導体層と、その後形成したn型電極層、透光性電極、p型電極層、保護膜の材料や成膜方法、およびその後の、素子化の工程については全て第三の実施例と同様である。

[0118] 得られたLED素子のp型ボンディングパッド電極とn型電極とに順方向電流を流したところ、LED素子からは良好なダイオード特性が得られず、また、可視光領域での十分な発光強度も得られないなど、良好な素子特性が得られなかった。このような特性は、作製したウェハーほぼ全面から作製されたLED素子について同様の結果であった。

[0119] 以上のことから、 $\alpha\text{-Al}_2\text{O}_3$ (0001) 基板をヒーターに接して載置したスパッタリング法により、AlNからなる緩衝層を形成した場合、良好な発光特性を有するLED素子を得ることができないことが明らかとなった。なお、本実施例ではアンドープGaInからなるIII族窒化物半導体中間層、SiドープGaInからなるn型III族窒化物半導体層、InGaInと

GaNとのMQW構造を有するIII族窒化物半導体活性層、MgドーピングGaNからなるp型III族窒化物半導体層をMOCVD法により形成しているが、スパッタリング法を用いても同様の結果であることを確認している。

[0120] このように、本発明の大きな特徴は、 $\alpha\text{-Al}_2\text{O}_3$ 基板上に+c極性のIII族窒化物半導体のエピタキシャル膜を形成するために、基板の載置方法に着目した点にあり、この均一な+c極性のエピタキシャル膜を得るために基板ホルダーに工夫を加えること、特に、基板ホルダーにて保持される基板の位置と、基板ホルダーが備えるヒーターとの位置関係を特定の関係にすることは従来には無い技術思想である。

[0121] 本発明では、上記本発明に特有の技術思想の下、基板をヒーターの基板対向面と所定の距離だけ離間して配置するための基板保持装置（基板支持部）を基板ホルダーに設け、III族窒化物半導体薄膜の成膜において基板をヒーターの基板対向面から離間させている。このように基板ホルダーを構成することにより、上述の第一～第三の実施例および第一～第三の比較例にて示したように、スパッタリング法により、チルトおよびツイストのモザイク広がりを低減し、かつ均一な+c極性を有するIII族窒化物半導体薄膜を形成することができる。

[0122] なお、上記実施形態および実施例では、真空容器に基板のみを導入する場合について示したが、トレイを使用して基板を導入してもよく、本発明の思想の下、基板を載置したトレイが基板保持装置に配置される際、基板および基板を載置したトレイがヒーターと所定の距離だけ離間して配置されればよい。また、基板保持装置503や603、あるいは基板支持部704をトレイとして使用して基板を導入してもよい。

請求の範囲

[請求項1] ヒーターを用いて任意の温度に加熱された α - Al_2O_3 基板に対して、スパッタリング法によってIII族窒化物半導体薄膜をエピタキシャル成長させるエピタキシャル膜形成方法であって、

前記 α - Al_2O_3 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持する工程と、

前記所定距離だけ離間して保持された状態で、前記 α - Al_2O_3 基板上にIII族窒化物半導体薄膜のエピタキシャル膜を形成する工程と

を有することを特徴とするエピタキシャル膜形成方法。

[請求項2] 真空排気可能な真空容器と、

α - Al_2O_3 基板を支持する基板保持手段と、

前記基板保持手段に保持された前記 α - Al_2O_3 基板を任意の温度に加熱できるヒーターとを備えた真空処理装置を用いて、前記 α - Al_2O_3 基板上にスパッタリング法によりIII族窒化物半導体薄膜のエピタキシャル膜を形成するエピタキシャル膜形成方法であって、

前記基板保持手段に保持された前記 α - Al_2O_3 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持した状態で、前記 α - Al_2O_3 基板上にIII族窒化物半導体薄膜のエピタキシャル膜を形成することを特徴とするエピタキシャル膜形成方法。

[請求項3] 前記 α - Al_2O_3 基板を搬送して、前記 α - Al_2O_3 基板を前記ヒーターの基板対向面と前記所定距離だけ離間して保持されるように前記基板保持手段に保持させる基板搬送工程と、

前記基板搬送工程によって前記基板保持手段に保持された前記 α - Al_2O_3 基板を、前記ヒーターにより任意の温度に加熱する基板加熱工程と、

前記基板加熱工程によって加熱された前記 α - Al_2O_3 基板上に

III族窒化物半導体薄膜のエピタキシャル膜を形成する成膜工程とを有することを特徴とする請求項2に記載のエピタキシャル膜形成方法。

[請求項4] 前記基板保持手段は、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板の重力方向下側の面に当接した状態で、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を保持することを特徴とする請求項2に記載のエピタキシャル膜形成方法。

[請求項5] 真空排気可能な真空容器と、
基板を支持するための基板保持手段と、
前記基板保持手段に保持された前記基板を任意の温度に加熱できるヒーターと、
前記真空容器内に設けられ、ターゲットを取り付けることが可能なターゲット電極とを備え、
前記基板保持手段は、前記真空容器内において、前記ターゲット電極の重力方向下側に設けられ、前記基板を前記ヒーターの基板対向面と所定距離だけ離間して保持することを特徴とする真空処理装置。

[請求項6] 前記基板保持手段は、成膜時に、前記基板の外縁部分を重力方向下側から支持するように構成されている基板支持部と、該基板支持部と一体に形成され、前記ヒーターに接して配設される載置部とを有し、
前記載置部を前記ヒーターに接して配設した際に、前記基板支持部は前記ヒーターの基板対向面と第2の所定距離だけ離間して配置されていることを特徴とする請求項5に記載の真空処理装置。

[請求項7] 前記基板支持部は、前記基板の外縁部分を支持するように構成されたリング状の絶縁部材であることを特徴とする請求項6に記載の真空処理装置。

[請求項8] 前記リング状の絶縁部材の外周部分を支持するリング状の導電材をさらに備え、
前記リング状の導電材には高周波電力が印加されることを特徴とする請求項7に記載の真空処理装置。

- [請求項9] 請求項1に記載されたエピタキシャル膜形成方法を有することを特徴とする半導体発光素子の製造方法。
- [請求項10] 請求項1に記載されたエピタキシャル膜形成方法によって作製されたⅢ族窒化物半導体薄膜のエピタキシャル膜を有することを特徴とする半導体発光素子。
- [請求項11] 請求項10に記載の半導体発光素子を備えることを特徴とする照明装置。
- [請求項12] 請求項2に記載されたエピタキシャル膜形成方法を有することを特徴とする半導体発光素子の製造方法。
- [請求項13] 請求項2に記載されたエピタキシャル膜形成方法によって作製されたⅢ族窒化物半導体薄膜のエピタキシャル膜を有することを特徴とする半導体発光素子。
- [請求項14] 請求項13に記載の半導体発光素子を備えることを特徴とする照明装置。

補正された請求の範囲
[2011年8月30日(30.08.2011)国際事務局受理]

1. ヒーターを用いて任意の温度に加熱された $\alpha\text{-Al}_2\text{O}_3$ 基板に対して、スパッタリング法によって III 族窒化物半導体薄膜をエピタキシャル成長させるエピタキシャル膜形成方法であって、
前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持する工程と、
前記所定距離だけ離間して保持された状態で、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板上に III 族窒化物半導体薄膜のエピタキシャル膜を形成する工程と
を有することを特徴とするエピタキシャル膜形成方法。
2. 真空排気可能な真空容器と、
 $\alpha\text{-Al}_2\text{O}_3$ 基板を支持する基板保持手段と、
前記基板保持手段に保持された前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を任意の温度に加熱できるヒーターとを備えた真空処理装置を用いて、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板上にスパッタリング法により III 族窒化物半導体薄膜のエピタキシャル膜を形成するエピタキシャル膜形成方法であって、
前記基板保持手段に保持された前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を、前記ヒーターの基板対向面と所定距離だけ離間して保持した状態で、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板上に III 族窒化物半導体薄膜のエピタキシャル膜を形成することを特徴とするエピタキシャル膜形成方法。
3. 前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を搬送して、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を前記ヒーターの基板対向面と前記所定距離だけ離間して保持されるように前記基板保持手段に保持させる基板搬送工程と、
前記基板搬送工程によって前記基板保持手段に保持された前記 $\alpha\text{-Al}_2\text{O}_3$ 基板を、前記ヒーターにより任意の温度に加熱する基板加熱工程と、
前記基板加熱工程によって加熱された前記 $\alpha\text{-Al}_2\text{O}_3$ 基板上に III 族窒化物半導体薄膜のエピタキシャル膜を形成する成膜工程と
を有することを特徴とする請求項 2 に記載のエピタキシャル膜形成方法。
4. 前記基板保持手段は、前記 $\alpha\text{-Al}_2\text{O}_3$ 基板の重力方向下側の面に当接した状態

で、前記 $\alpha - \text{Al}_2\text{O}_3$ 基板を保持することを特徴とする請求項 2 に記載のエピタキシャル膜形成方法。

5. (補正後) 真空排気可能な真空容器と、
基板を支持するための基板保持手段と、
前記基板保持手段に保持された前記基板を任意の温度に加熱できるヒーターと、
前記真空容器内に設けられ、ターゲットを取り付けることが可能なターゲット電極とを備え、

前記基板保持手段は、前記真空容器内において、前記ターゲット電極の重力方向下側に設けられた真空処理装置であって、

請求項 1 に記載された、 $\alpha - \text{Al}_2\text{O}_3$ 基板を前記ヒーターの基板対向面と所定距離だけ離間して保持する工程を行うために、前記基板を前記ヒーターの基板対向面と所定距離だけ離間して保持することを特徴とする真空処理装置。

6. 前記基板保持手段は、成膜時に、前記基板の外縁部分を重力方向下側から支持するように構成されている基板支持部と、該基板支持部と一体に形成され、前記ヒーターに接して配設される載置部とを有し、

前記載置部を前記ヒーターに接して配設した際に、前記基板支持部は前記ヒーターの基板対向面と第 2 の所定距離だけ離間して配置されていることを特徴とする請求項 5 に記載の真空処理装置。

7. 前記基板支持部は、前記基板の外縁部分を支持するように構成されたリング状の絶縁部材であることを特徴とする請求項 6 に記載の真空処理装置。

8. 前記リング状の絶縁部材の外周部分を支持するリング状の導電材をさらに備え、
前記リング状の導電材には高周波電力が印加されることを特徴とする請求項 7 に記載の真空処理装置。

9. 請求項 1 に記載されたエピタキシャル膜形成方法を有することを特徴とする半導体発光素子の製造方法。

10. 請求項 1 に記載されたエピタキシャル膜形成方法によって作製された III 族窒化物半導体薄膜のエピタキシャル膜を有することを特徴とする半導体発光素子。

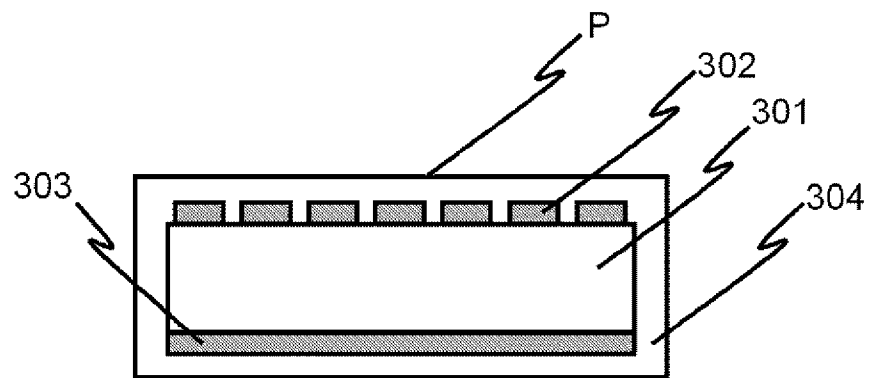
11. 請求項 10 に記載の半導体発光素子を備えることを特徴とする照明装置。

12. 請求項 2 に記載されたエピタキシャル膜形成方法を有することを特徴とする半導体

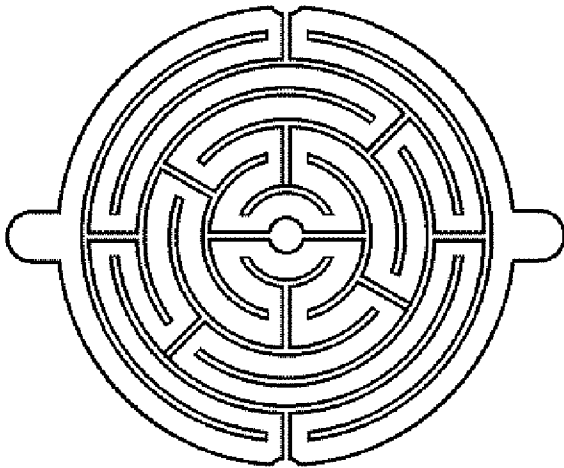
発光素子の製造方法。

13. 請求項 2 に記載されたエピタキシャル膜形成方法によって作製された I I I 族窒化物半導体薄膜のエピタキシャル膜を有することを特徴とする半導体発光素子。
14. 請求項 1 3 に記載の半導体発光素子を備えることを特徴とする照明装置。

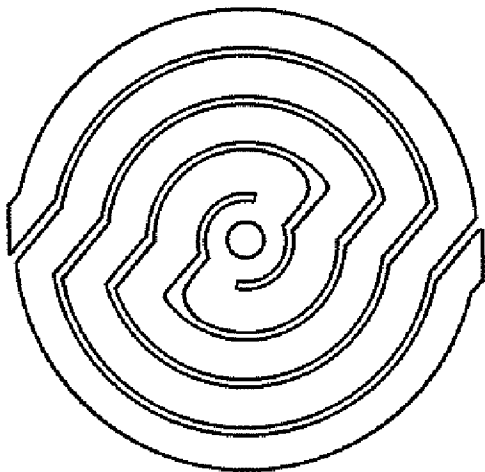
[図3]



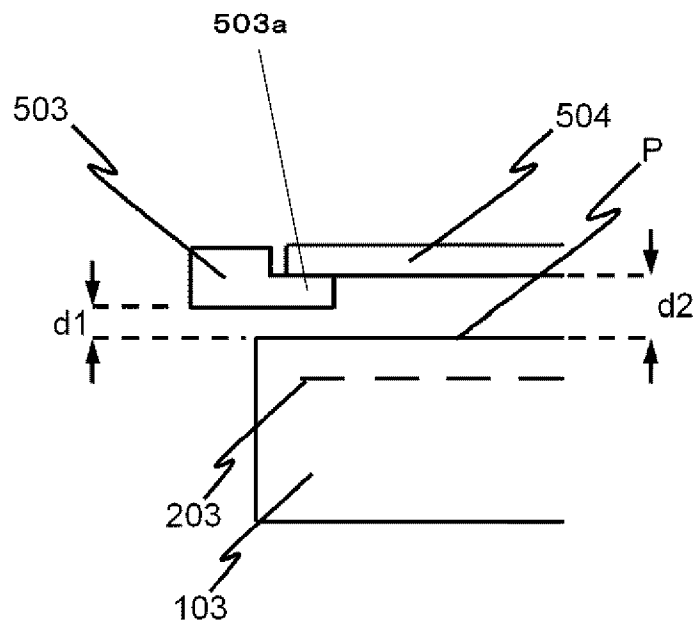
[図4A]



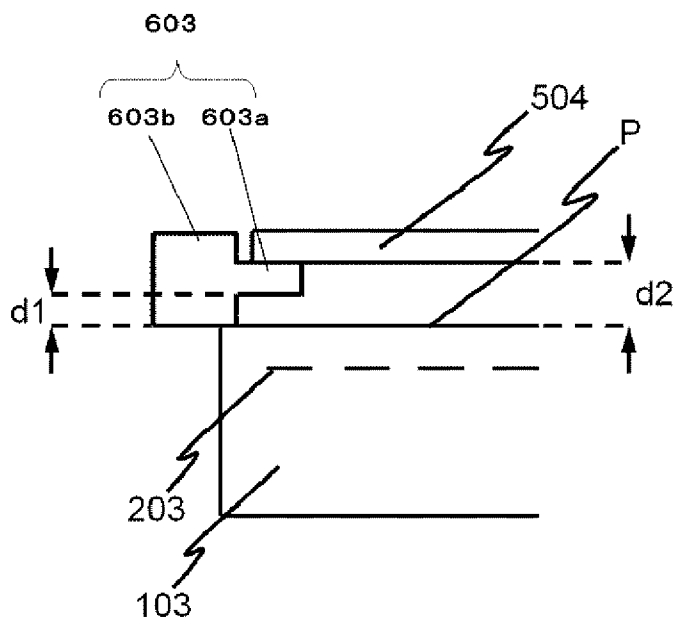
[図4B]



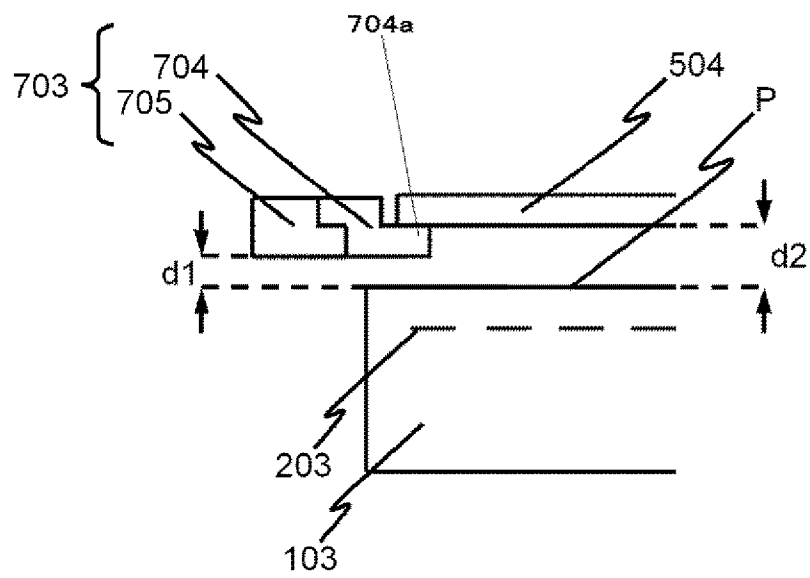
[図5]



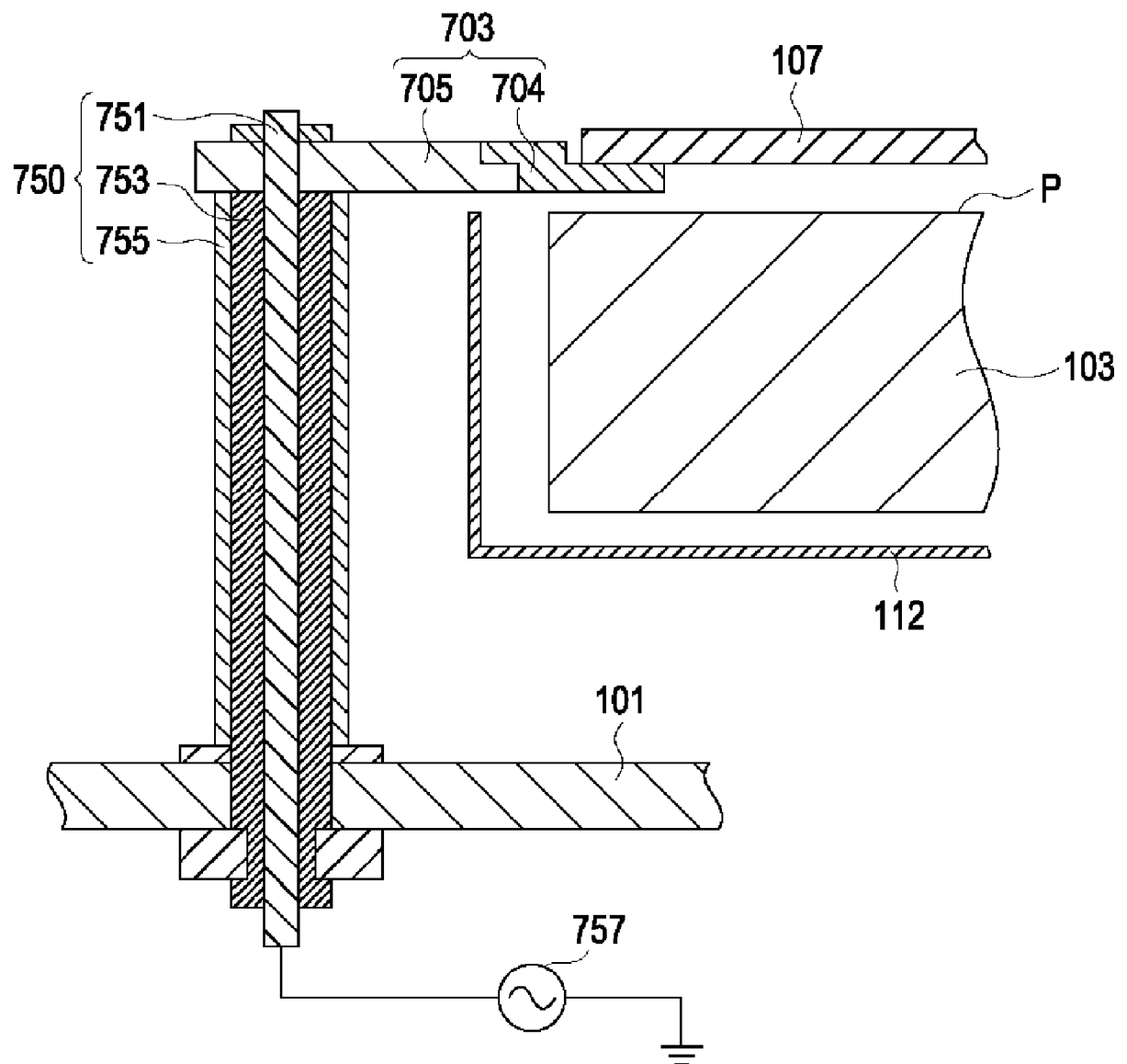
[図6]



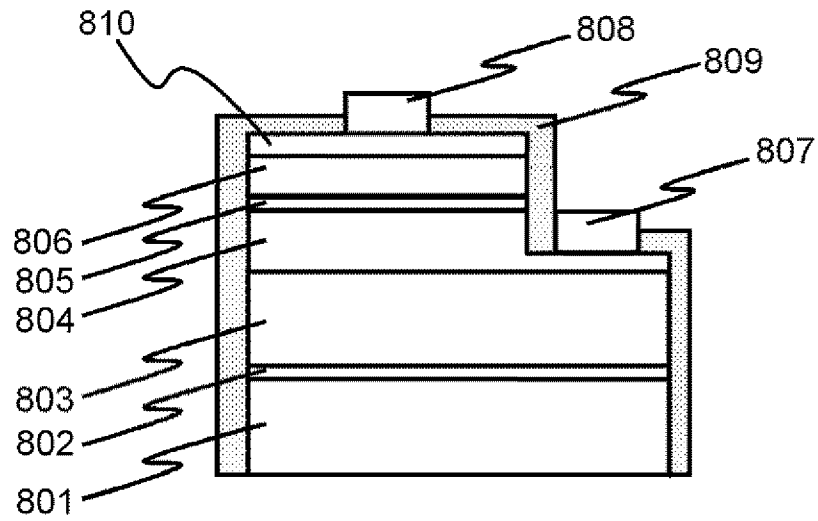
[図7]



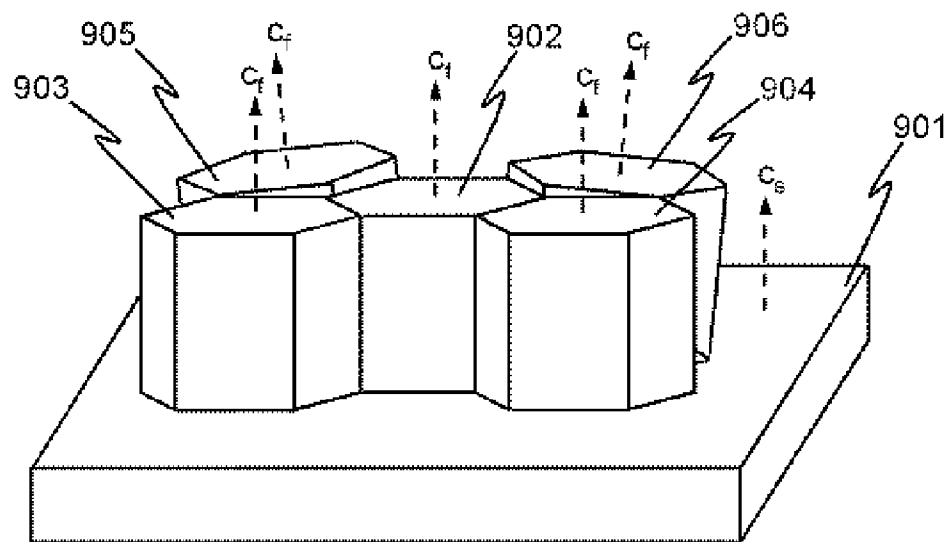
[図8]



[図9]



[図10A]



[図10B]

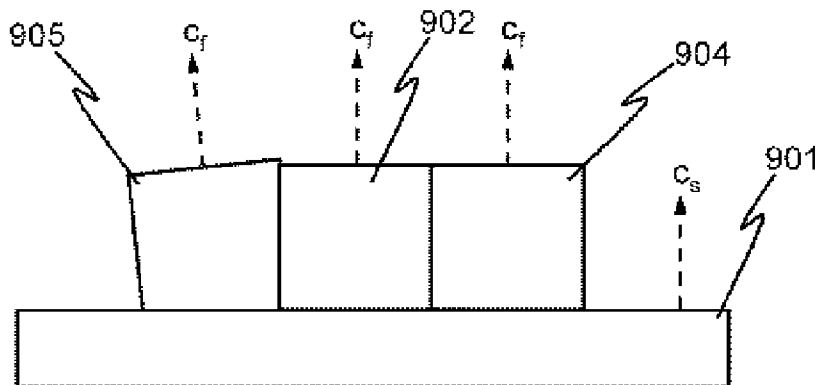
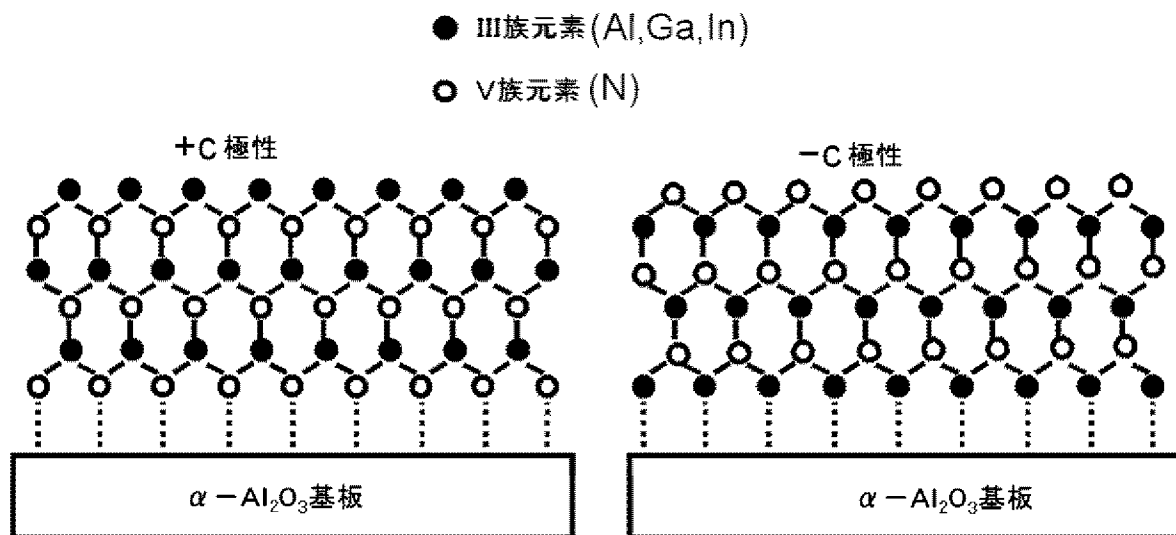


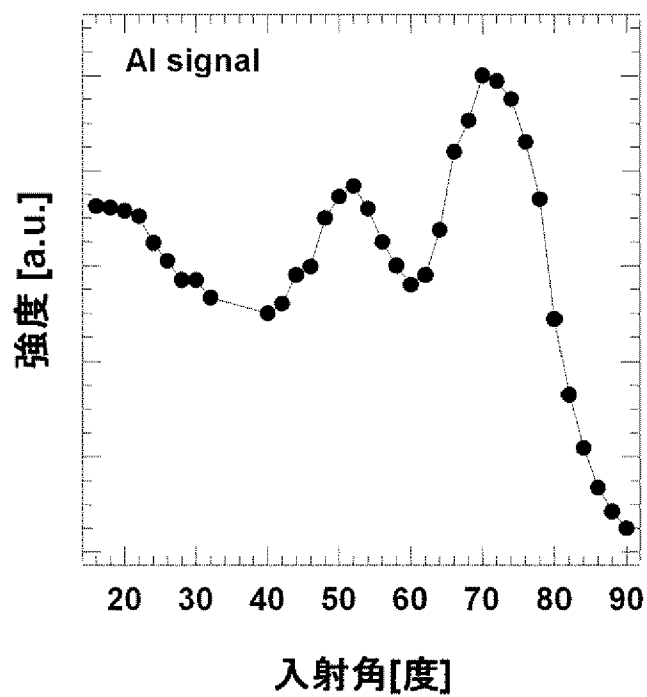
Diagram illustrating a hexagonal lattice structure. The lattice is composed of several hexagonal cells. Key labels and angles include:

- 901**: Points to the overall lattice structure.
- 907**: Points to a central hexagonal cell.
- 908**: Points to a hexagonal cell on the left.
- 909**: Points to a hexagonal cell on the right.
- 910**: Points to a hexagonal cell at the bottom right.
- 911**: Points to a hexagonal cell at the bottom left.
- a_r** : Lattice constant, indicated by dashed lines within the hexagonal cells.
- 30°** : Angle indicated within the hexagonal cells.
- $30 - \alpha^\circ$** : Angle indicated within the hexagonal cell 911.
- $30 + \beta^\circ$** : Angle indicated within the hexagonal cell 910.
- a_s** : Lattice constant, indicated by a dashed line pointing downwards.

[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059070

A. CLASSIFICATION OF SUBJECT MATTER

C30B29/38(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i, H01L21/203(2006.01)i, H01L21/683(2006.01)i, H01L33/32(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C30B29/38, C23C14/06, C23C14/34, H01L21/203, H01L21/683, H01L33/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamII), Science Citation Index Expanded (Web of Science), AlN, GaN, sputtering, sputter, sapphire, Al2O3, epitaxial, epitaxy

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 07-302793 A (Fujitsu Ltd.), 14 November 1995 (14.11.1995), claims; fig. 1, 2 (Family: none)	5-7 8
X Y	JP 04-350930 A (Tokyo Electron Ltd.), 04 December 1992 (04.12.1992), claims; paragraphs [0019] to [0029]; fig. 1, 2 & US 5267607 A	5-7 8
Y	JP 2001-220672 A (Tadahiro OMI), 14 August 2001 (14.08.2001), paragraphs [0008] to [0009]; fig. 1 (Family: none)	8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2011 (24.05.11)

Date of mailing of the international search report
07 June, 2011 (07.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059070

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/047900 A1 (Showa Denko Kabushiki Kaisha), 24 April 2008 (24.04.2008), paragraph [0038]; fig. 5 & JP 2008-121109 A & US 2010/0006430 A1	1-14
A	JP 2009-124100 A (Showa Denko Kabushiki Kaisha), 04 June 2009 (04.06.2009), paragraphs [0021] to [0052]; fig. 1 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. C30B29/38 (2006.01)i, C23C14/06 (2006.01)i, C23C14/34 (2006.01)i, H01L21/203 (2006.01)i, H01L21/683 (2006.01)i, H01L33/32 (2010.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. C30B29/38, C23C14/06, C23C14/34, H01L21/203, H01L21/683, H01L33/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus(JDreamII), Science Citation Index Expanded(Web of Science)
AlN, GaN, sputtering, sputter, sapphire, Al2O3, epitaxial, epitaxy

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 07-302793 A (富士通株式会社) 1995. 11. 14, 特許請求の範囲, 図 1, 図 2 (ファミリーなし)	5-7 8
X Y	JP 04-350930 A (東京エレクトロン株式会社) 1992. 12. 04, 特許請求の範囲, [0019]-[0029], 図 1, 図 2 & US 5267607 A	5-7 8
Y	JP 2001-220672 A (大見忠弘) 2001. 08. 14, [0008]-[0009], 図 1 (ファミリーなし)	8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 1

国際調査報告の発送日

0 7 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

吉田 直裕

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 1 6

4 G

3 0 2 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/047900 A1 (昭和電工株式会社) 2008. 04. 24, [0038], 図 5 & JP 2008-121109 A & US 2010/0006430 A1	1-14
A	JP 2009-124100 A (昭和電工株式会社) 2009. 06. 04, [0021]-[0052], 図 1 (ファミリーなし)	1-14