



NUMERO DE PUBLICATION : 1000154A6

NUMERO DE DEPOT : 8701092

Classif. Internat.: G06F

MINISTERE DES AFFAIRES ECONOMIQUES

Date de délivrance : 07 Juin 1988

Le Ministre des Affaires Economiques,

Vu la Convention de Paris du 20 Mars 1883 pour la Protection de la propriété industrielle;

Vu la loi du 28 Mars 1984 sur les brevets d' invention, notamment l' article 22;

Vu l' arrêté royal du 2 Décembre 1986 relatif à la demande, à la délivrance et au maintien en vigueur des brevets d' invention, notamment l' article 28;

Vu le procès verbal dressé le 25 Septembre 1987 à 10h45
à l' Office de la Propriété Industrielle

ARRETE:

ARTICLE 1.- Il est délivré à : GTE COMMUNICATION SYSTEMS CORPORATION
2500 West Utopia Road, Phoenix Arizona 85027(ETATS-UNIS D'AMERIQUE)

représenté(e)(s) par : DONNE Eddy, BUREAU M.F.J. BOCKSTAEL, Arenbergstraat,
13 - 2000 ANTWERPEN.

un brevet d' invention d' une durée de 6 ans, sous réserve du paiement des taxes annuelles, pour : UNITE D'EXTENSION DE BUS A GRANDE VITESSE.

INVENTEUR(S) : Salim M.Khan, R.R. 2, Box 40, St. Joseph, Illinois 61873 (US)

Priorité(s) 29.09.86 US USA 912304

ARTICLE 2.- Ce brevet est délivré sans examen préalable de la brevetabilité de l' invention, sans garantie du mérite de l' invention ou de l' exactitude de la description de celle-ci et aux risques et périls du(des) demandeur(s).

Bruxelles, le 07 Juin 1988
PAR DELEGATION SPECIALE :
DIRECTEUR DE L'OFFICE DE LA PROPRIETE
INDUSTRIELLE


L. WUYTS

Unité d'extension de bus à grande vitesse.

La présente invention concerne la communication entre une unité de contrôle à microprocesseur et plusieurs sous-ensembles périphériques, et plus particulièrement, une unité
5 commune en vue de faciliter le transfert de données entre l'unité de contrôle à microprocesseur et des sous-ensembles périphériques non compatibles.

Dans la conception des systèmes de communication, il est nécessaire qu'un microprocesseur puisse adresser un certain nombre de sous-ensembles indépendants. A cet effet, des sous-ensembles sont connectés aux bus de données et d'adresses du microprocesseur. Le
10 microprocesseur peut alors adresser chaque sous-ensemble individuel en vue de transférer des données entre le microprocesseur et ce sous-ensemble. Chaque sous-ensemble doit identifier sa propre adresse de telle sorte qu'un seul sous-
15 ensemble réagisse lorsqu'une adresse particulière est sortie par le microprocesseur.
20

Antérieurement, on a prévu un adressage unique en positionnant des commutateurs de boîtiers à double rangée de connexions (DIP)
25 à une valeur unique pour chaque sous-ensemble. Lorsqu'une adresse est sortie par le microprocesseur, la logique du sous-ensemble devrait décoder

cette adresse et la comparer avec l'adresse des commutateurs DIP pour permettre, au sous-ensemble, de contrôler le gain des bus du microprocesseur. Un seul sous-ensemble devrait comporter des

5 commutateurs positionnés à chaque adresse. En conséquence, seul le sous-ensemble comportant l'adresse particulière transmise par le microprocesseur devrait réagir et être validé sur les bus du microprocesseur.

10 Une autre méthode en vue de réaliser cet adressage unique a consisté à prévoir des options de connexion sur le fond de panier de chaque séquence ou fichier de cartes de câblage de circuits imprimés associées à un sous-ensemble

15 particulier. Il conviendrait alors de câbler ces options de connexion à des sources de logique 0 ou de logique 1 correspondant à une adresse particulière. Lorsque le microprocesseur sort une adresse, il conviendrait alors que chaque

20 sous-ensemble compare cette adresse avec son adresse unique fixée et qu'il réagisse comme décrit ci-dessus.

Les options de connexion et les techniques faisant appel à des commutateurs DIP produisent un bruit électrique qui interrompt le fonctionnement du circuit. En conséquence, ces

25 options ne sont pas fiables. En particulier, les commutateurs DIP sont fragiles et susceptibles de subir une rupture.

30 En outre, les architectures de bus de sous-ensemble/microprocesseur dépendent spécifiquement d'une source d'alimentation commune. Les sous-ensembles doivent pouvoir être débranchés individuellement sans exercer aucune influence

35 sur la structure des bus du microprocesseur.

Enfin, des sous-ensembles sont spécifiquement conçus pour être directement compatibles avec les entrées et les sorties de la logique d'un microprocesseur. Les unités de commande
5 de bus de microprocesseur ne compensent pas spécifiquement les différences intervenant dans les niveaux logiques entre des microprocesseurs et leurs sous-ensembles périphériques y associés.

Un système à microprocesseur comprend
10 une unité d'extension de bus, qui est raccordée entre une unité de contrôle à microprocesseur et un certain nombre de sous-ensembles. L'unité de contrôle à microprocesseur comprend un microprocesseur.

L'unité d'extension de bus comporte
15 un ensemble de portes, qui est raccordé au microprocesseur et qui fonctionne pour convertir plusieurs signaux du microprocesseur d'un premier à un second niveau logique. Cette unité comprend
20 également un élément d'extension de bus qui est raccordé entre l'ensemble de portes et chacun des différents sous-ensembles. L'élément d'extension de bus intervient pour convertir les différents signaux du second au premier niveau logique.

Chacun des sous-ensembles comporte
25 un ensemble local de portes que l'on peut raccorder (un à la fois) au microprocesseur. Lorsque le microprocesseur est raccordé au sous-ensemble, des données peuvent être transférées entre le
30 microprocesseur et le sous-ensemble auquel celui-ci est raccordé. Chaque sous-ensemble fonctionne en réponse à des signaux de sélection en vue de raccorder un sous-ensemble au microprocesseur pour établir une communication.

35 Dans les dessins annexés :

la figure 1 est un schéma bloc d'un système à microprocesseur ;

la figure 2 est un schéma d'un circuit d'extension de bus du type représenté en figure 1.

5 En figure 1, le microprocesseur est raccordé à l'ensemble de portes d'interface de bus (BIGA). Cet ensemble de portes d'interface de bus est raccordé à un élément d'extension de bus associé à chaque sous-ensemble. On peut
10 prévoir un certain nombre de sous-ensembles allant de 1 à N.

Le microprocesseur doit avoir accès à chaque sous-ensemble (un à la fois). Le micro-
15 processeur et chacun des sous-ensembles sont alimentés par différentes sources, tant et si bien qu'il existe des zones d'alimentation différentes dans l'ensemble du système. Dès lors, un système peut être réparé ou mis hors circuit sans qu'aucun effet néfaste soit exercé sur les
20 autres sous-ensembles.

L'unité à microprocesseur MPU représentée en traits discontinus en figure 1 est une carte unique à circuit imprimé comportant à la fois le microprocesseur et l'ensemble de portes d'in-
25 terface de bus. Le microprocesseur fait appel à une logique à CMOS (= Complementary Metal Oxide Semiconductor = métal-oxyde-semi-conducteur complémentaire) à grande vitesse. L'ensemble BIGA convertit la logique à CMOS à grande vitesse en niveaux lo-
30 giques FAST. Pour la logique à CMOS à grande vitesse, la tension d'entrée de logique "1" est à un minimum de 3,15 volts et la tension d'entrée de logique "0" est à un maximum de 0,9 volt. Pour la logique à CMOS
35 à grande vitesse, les tensions de sortie pour

la logique "1" est à un minimum de 4,4 volts
et la tension de sortie pour une logique "0"
est à un maximum de 0,1 volt. On peut trouver
d'autres détails concernant le fonctionnement
de circuits à CMOS dans "High Speed CMOS Data
Book", copyright 1984.

Pour la logique FAST (Fairchild
Advanced Schottky TTL), la tension d'entrée
pour une logique "1" est à un minimum de 2,0
volts et la tension d'entrée pour une logique
"0" est à un maximum de 0,8 volt. Pour la logique
FAST, la tension de sortie pour une logique "1"
est à un minimum de 2,7 volts et la tension de
sortie pour une logique "0" est à un maximum
de 0,5 volt. On peut trouver d'autres détails
concernant le fonctionnement de circuits FAST
dans "Fairchild Advanced Schottky TTL Data Book",
publié en septembre 1984.

Chaque sous-ensemble est constitué
d'un certain nombre de cartes de circuits imprimés
facilitant la réception et la transmission de
données de télécommunications.

Chacune des cartes de circuits imprimés
contenues dans un sous-ensemble comprend un
ensemble de portes d'interface de bus émettant
des entrées et des sorties compatibles avec la
logique à CMOS. Dès que le microprocesseur a
adressé un sous-ensemble particulier, chacune
des cartes de circuits imprimés de ce sous-
ensemble peut entrer en communication avec le
microprocesseur à l'intervention du circuit
d'extension de bus. Chaque carte de circuit
imprimé du sous-ensemble comporte un ensemble
BIGA qui contrôle l'accès de cette carte à circuit
imprimé au système de bus à microprocesseur.

Chaque sous-ensemble peut être débranché et retiré du bus sans influencer les autres sous-ensembles restant raccordés à ce dernier. De la sorte, l'alimentation peut être répartie en zones dans les différents sous-ensembles de telle sorte que l'intégrité du système puisse être maintenue en dépit de pannes de secteur localisées.

La figure 2 illustre un circuit faisant appel aux principes de mise en oeuvre de la présente invention. Les signaux représentés sur le bord de gauche de la figure 2 sont des signaux transmis de ou vers le microprocesseur de l'unité MPU via l'ensemble BIGA. A tous ces signaux, est adjoint le préfixe "R" pour désigner cette interface. Les signaux représentés sur le bord de droite de la figure 2 sont transmis ou reçus à partir d'un sous-ensemble. A ces signaux, est adjoint le préfixe "L" pour désigner cette caractéristique. Le signal de remise à zéro RRESET est transmis du microprocesseur à la porte à trois états 1. La porte 1 est raccordée à la porte à trois états 5. La porte 5 transmet alors le signal LRESET à la logique du sous-ensemble. Les signaux d'horloge RCKDA et RCKDB sont transmis du microprocesseur à chaque logique de sous-ensemble via les portes à trois états 2 et 3 et via les portes à trois états 6 et 7, respectivement. Les données de trains de bits en série sont transmises, via la sortie RSERDT, à la porte à trois états 4. La porte 4 est raccordée à la porte à trois états 8. La porte 8 transmet le signal LSERDT à la logique du sous-ensemble.

Les portes 1 à 4 peuvent être des portes "Fairchild Advanced Schottky TTL" (FAST), numéro

FAST74240. Les portes à trois états 5 à 8 peuvent être des portes de logique à CMOS à grande vitesse (HCMOS), numéro HC74240.

5 Les signaux d'adressage RZNOX et RZNXO sont transmis du microprocesseur à la porte NON-ET 9. La porte NON-ET 9 peut comporter un dispositif à logique FAST numéro FAST 7430.

10 Huit bits d'adresse sortent du micro-
processeur pour valider jusqu'à 4 sous-ensembles à décoder. Bien entendu, ce schéma est applicable à plus de 4 sous-ensembles en prévoyant un plus grand nombre de lignes d'adressage pour le décodage. Ces 8 sorties sont désignées par RZNXO, RZNX1, RZNX2, RZNX3, RZNOX, RZN1X, RZN2X
15 et RZN3X. La figure 2 illustre un élément d'extension de bus comportant une porte NON-ET 9 raccordée aux 2 premières sorties RZNOX et RZNXO. Il conviendrait que les 3 autres sous-systèmes soient raccordés aux sorties correspondantes,
20 à savoir 1 pour chaque groupe. Par exemple, il conviendrait que la porte NON-ET 9 du sous-système 2 soit raccordée aux sorties RZNX1 et RZN1X, etc.

25 Lorsque les sorties RZNOX et RZNXO sont toutes deux faibles, la porte 9 est validée et elle assure le décodage de ce sous-ensemble particulier, lequel est transmis, via la porte 10, au sous-ensemble via la sortie LZNOO. La porte 10 est également une porte à trois états
30 CMOS à grande vitesse, qui peut être la porte numéro HC74240.

35 Les portes 1 à 4 et 5 à 8 sont des dispositifs à trois états qui sont constamment validés par leur raccordement électrique à la masse. Toutefois, seul le sous-ensemble qui

a décodé son adresse particulière, validera son ensemble BIGA pour le raccorder à l'élément d'extension de bus en vue de la réception et de la transmission de données.

5 La porte NI 15 est raccordée à la porte NON-ET 9 et aux portes à trois états FAST 24 et 25. La porte NI 15 sert à valider les dispositifs à trois états en vue de transmettre des données en série du sous-ensemble particulier
10 au microprocesseur via les sorties RRETDA et RRETDB. La porte à trois états 34 est raccordée entre la porte 24 et le sous-ensemble particulier via la sortie LRETDA. De la même manière, la
15 porte à trois états 35 est raccordée entre la porte 25 et le sous-ensemble particulier via la sortie LRETDB. Les données en série peuvent être transmises du sous-ensemble au microprocesseur via ces deux sorties.

 Quatre interruptions de programme
20 peuvent être transmises de chaque sous-ensemble au microprocesseur. Ces interruptions de programme servent à signaler, au microprocesseur, que différents équipements de sous-ensembles nécessitent une prise en charge ou un entretien.
25 Les sorties d'interruption LBINTO à LBINT3 sont raccordées entre chaque sous-ensemble particulier et les portes à trois états 30 à 33 respectivement. Les portes à trois états 30 à 33 sont raccordées à des transistors de commutation NPN 20 à 23
30 respectivement. Les collecteurs des transistors 20 à 23 sont raccordés au microprocesseur via les sorties RBINTO à RBINT3, respectivement. Les entrées à trois états des portes 30 à 35
35 sont raccordées chacune à la masse, validant ainsi en permanence les sorties d'interruption

et de données en série. Toutefois, seul le sous-système adressé peut réagir à ces sorties.

5 Pour les portes 30 à 35, on peut recourir aux portes à trois états à CMOS à grande vitesse numéro HC74240. Pour les portes 24 et 25, on peut recourir aux portes à trois états FAST numéro FAST 74240. Pour la porte 15, on peut utiliser une porte NI FAST 7402.

10 Bien que l'on ait illustré et décrit en détail la forme de réalisation préférée de l'invention, l'homme de métier comprendra que diverses modifications peuvent y être apportées sans se départir de l'esprit de l'invention ou du cadre des revendications ci-après.

REVENDEICATIONS

1. Système à microprocesseur comportant
une unité d'extension de bus raccordée entre
une unité de contrôle à microprocesseur et plu-
5 sieurs sous-ensembles, cette unité d'extension
de bus comprenant :

l'unité de contrôle précitée à micro-
processeur comportant un microprocesseur ;

un premier ensemble de portes raccordé
10 à ce microprocesseur et intervenant pour conver-
tir plusieurs signaux de ce microprocesseur d'un
premier niveau logique à un second niveau logique ;

un élément d'extension de bus raccordé
entre le premier ensemble de portes et les diffé-
15 rents sous-ensembles, cet élément d'extension
de bus intervenant pour convertir ces différents
signaux du microprocesseur du second niveau
logique au premier niveau logique ;

ces différents sous-ensembles comprenant
20 chacun un second ensemble de portes pouvant être
raccordé au microprocesseur (un à la fois) en
vue de transférer des données entre le micropro-
cesseur et un des sous-ensembles ;

un sélecteur de signaux raccordé entre
25 le premier ensemble de portes et l'élément
d'extension de bus, cet élément sélecteur inter-
venant pour adresser un des différents sous-
ensembles ; et

un sous-ensemble intervenant, en réponse
30 au sélecteur de signaux, pour être raccordé au
microprocesseur.

2. Unité d'extension de bus selon
la revendication 1, cette unité comprenant plu-
sieurs circuits d'extension de bus raccordés
35 chacun entre le premier ensemble de portes et

un sous-ensemble correspondant.

3. Unité d'extension de bus selon la revendication 2, ce circuit d'extension de bus comprenant :

- 5 un moyen de conversion à un premier niveau, raccordé entre le premier ensemble de portes et le sous-ensemble correspondant en vue de convertir ces différents signaux du premier au second niveau logique ;
- 10 un moyen de conversion à un second niveau, raccordé entre le sous-ensemble correspondant et le premier ensemble de portes en vue de convertir ces différents signaux du second au premier niveau logique ; et
- 15 un moyen de décodage raccordé au premier ensemble de portes, au sous-ensemble correspondant et au moyen de conversion au second niveau, ce moyen de décodage intervenant en réponse à la mise en service du sélecteur de signaux, pour
- 20 valider le sous-ensemble correspondant afin de le raccorder au microprocesseur.

4. Unité d'extension de bus selon la revendication 3, le moyen de conversion au premier niveau comprenant :

- 25 un premier moyen de déclenchement raccordé au premier ensemble de portes ; et
- un deuxième moyen de déclenchement raccordé entre le premier moyen de déclenchement et le sous-ensemble correspondant.

30 5. Unité d'extension de bus selon la revendication 4, le moyen de conversion au second niveau comprenant :

- un troisième moyen de déclenchement
- 35 raccordé au second ensemble de portes du sous-ensemble correspondant ;

un quatrième moyen de déclenchement
raccordé entre ce troisième moyen de déclenchement
et le premier ensemble de portes ; et

5 un moyen de conversion à un troisième
niveau raccordé entre ce troisième moyen de
déclenchement et le premier ensemble de portes.

6. Unité d'extension de bus selon
la revendication 5, le moyen de décodage compre-
nant :

10 un cinquième moyen de déclenchement
raccordé au premier ensemble de portes ;

un sixième moyen de déclenchement
raccordé entre ce cinquième et ce quatrième
moyen de déclenchement ; et

15 un septième moyen de déclenchement
raccordé entre ce cinquième et ce sixième moyen
de déclenchement et le second ensemble de portes
du sous-ensemble correspondant.

7. Unité d'extension de bus selon
20 la revendication 6, ce premier moyen de déclenche-
ment comprenant plusieurs portes à trois états
"Fairchild Advanced Schottky TTL".

8. Unité d'extension de bus selon
la revendication 6, ce deuxième moyen de dé-
25 clenchement comprenant plusieurs portes à CMOS
à trois états et à grande vitesse.

9. Unité d'extension de bus selon
la revendication 6, ce troisième moyen de dé-
clenchement comprenant plusieurs portes à CMOS
30 à trois états et à grande vitesse.;

10. Unité d'extension de bus selon
la revendication 6, ce quatrième moyen de dé-
clenchement comprenant plusieurs portes à trois
états "Fairchild Advanced Schottky TTL".

35 11. Unité d'extension de bus selon

la revendication 6, le moyen de conversion à un troisième niveau comprenant plusieurs transistors de commutation NPN.

5 12. Unité d'extension de bus selon la revendication 6, le cinquième moyen de déclenchement comprenant au moins une porte NON-ET "Fairchild Advanced Schottky TTL".

10 13. Unité d'extension de bus selon la revendication 6, le sixième moyen de déclenchement comprenant au moins une porte NI "Fairchild Advanced Schottky TTL".

15 14. Unité d'extension de bus selon la revendication 6, le septième moyen de déclenchement comprenant au moins une porte à CMOS à trois états et à grande vitesse.

20 15. Unité d'extension de bus selon la revendication 7, dans laquelle les différentes portes à trois états "Fairchild Advanced Schottky TTL" comportent chacune un raccordement à une masse électrique.

 16. Unité d'extension de bus selon la revendication 8, dans laquelle chacune des portes à CMOS à trois états et à grande vitesse comprend un raccordement à une masse électrique.

25 17. Unité d'extension de bus selon la revendication 9, dans laquelle les différentes portes à CMOS à trois états et à grande vitesse comportent un raccordement à une masse électrique.

30 18. Unité d'extension de bus selon la revendication 11, dans laquelle chacun des transistors de commutation NPN comprend un raccordement à une masse électrique.

35 19. Unité d'extension de bus selon la revendication 6, le sélecteur de signaux comprenant plusieurs sorties d'adressage au départ du microprocesseur.

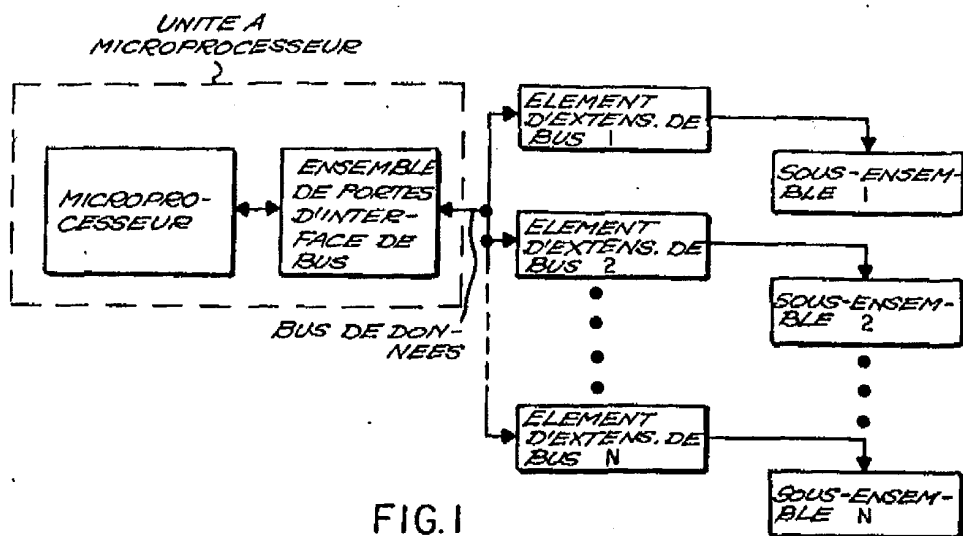


FIG. 1

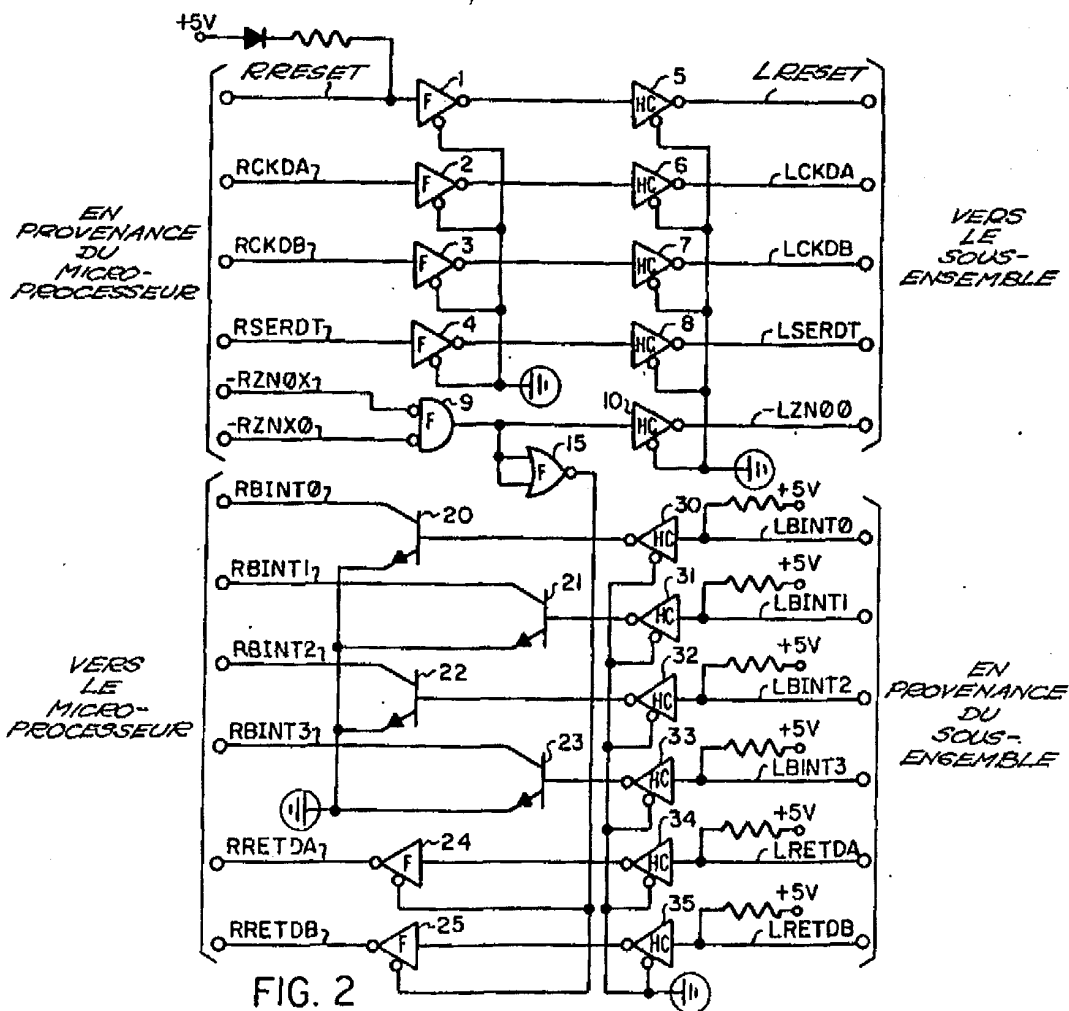


FIG. 2