

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7575005号
(P7575005)

(45)発行日 令和6年10月29日(2024.10.29)

(24)登録日 令和6年10月21日(2024.10.21)

(51)国際特許分類

F I

H 0 2 M 3/28 (2006.01)

H 0 2 M 3/28 P

請求項の数 9 (全27頁)

(21)出願番号	特願2021-8026(P2021-8026)	(73)特許権者	000124591
(22)出願日	令和3年1月21日(2021.1.21)		河村電器産業株式会社
(65)公開番号	特開2022-112262(P2022-112262 A)		愛知県瀬戸市暁町3番86
(43)公開日	令和4年8月2日(2022.8.2)	(74)代理人	100078721
審査請求日	令和5年12月21日(2023.12.21)		弁理士 石田 喜樹
特許法第30条第2項適用 掲載年月日	: 令和2年7月2日	(73)特許権者	304000836
掲載アドレス	: https://www.ieice.org/ken/program/index.php?tgs_regid=f247b25af9766bf5b08a9f6caaac5cbd83220ca00cc2b264d99e84fd16a923f0&tgid=IEEE-SPC		学校法人 名古屋電気学園
開催年月日	: 令和2年7月9日乃至令和2年7月10日		愛知県名古屋市千種区若水3丁目2番12号
集會名	: IEEE Technical Committee on E	(74)代理人	100140486
	最終頁に続く		弁理士 鎌田 徹
		(74)代理人	100121843
			弁理士 村井 賢郎
		(74)代理人	100170058
			弁理士 津田 拓真
			最終頁に続く

(54)【発明の名称】 3相DC/DCコンバータ

(57)【特許請求の範囲】
【請求項1】

第1正極母線と第1負極母線間に直列接続される第1上側スイッチング素子及び第1下側スイッチング素子とを含む3相の第1ブリッジ回路と、
第2正極母線と第2負極母線間に直列接続される第2上側スイッチング素子及び第2下側スイッチング素子とを備える3相の第2ブリッジ回路と、
前記第1上側スイッチング素子と前記第1下側スイッチング素子との接続点と、前記第2上側スイッチング素子と前記第2下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む3相変圧回路及び3相インダクタと、を備える主回路と、
前記第1ブリッジ回路及び前記第2ブリッジ回路を制御するための制御回路と、を備える3相DC/DCコンバータであって、
前記制御回路は、
第1期間において、前記第1上側スイッチング素子及び前記第2上側スイッチング素子の双方をオンさせ、
前記第1期間後の第2期間において、前記第1下側スイッチング素子及び前記第2上側スイッチング素子の双方をオンさせ、
前記第2期間後の第3期間において、前記第1上側スイッチング素子、前記第1下側スイッチング素子、前記第2上側スイッチング素子及び前記第2下側スイッチング素子の全てをオフさせ、
前記第3期間後の第4期間において、前記第1下側スイッチング素子及び前記第2下側

10

20

スイッチング素子をオンさせ、

前記第 4 期間後の第 5 期間において、前記第 1 上側スイッチング素子及び前記第 2 下側スイッチング素子をオンさせ、

前記第 5 期間後の第 6 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせることにより、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 50%未満のデューティ比で駆動可能に構成される、

3相DC/DCコンバータ。

【請求項 2】

第 1 正極母線と第 1 負極母線間に直列接続される第 1 上側スイッチング素子及び第 1 下側スイッチング素子とを含む 3 相の第 1 ブリッジ回路と、

第 2 正極母線と第 2 負極母線間に直列接続される第 2 上側スイッチング素子及び第 2 下側スイッチング素子とを備える 3 相の第 2 ブリッジ回路と、

前記第 1 上側スイッチング素子と前記第 1 下側スイッチング素子との接続点と、前記第 2 上側スイッチング素子と前記第 2 下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む 3 相変圧回路及び 3 相インダクタと、を備える主回路と、

前記第 1 ブリッジ回路及び前記第 2 ブリッジ回路を制御するための制御回路と、を備える 3 相 DC/DC コンバータであって、

前記制御回路は、

第 1 期間において、前記第 1 上側スイッチング素子及び前記第 2 下側スイッチング素子の双方をオンさせ、

前記第 1 期間後の第 2 期間において、前記第 1 上側スイッチング素子及び前記第 2 上側スイッチング素子の双方をオンさせ、

前記第 2 期間後の第 3 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせ、

前記第 3 期間後の第 4 期間において、前記第 1 下側スイッチング素子及び前記第 2 上側スイッチング素子をオンさせ、

前記第 4 期間後の第 5 期間において、前記第 1 下側スイッチング素子及び前記第 2 下側スイッチング素子をオンさせ、

前記第 5 期間後の第 6 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせることにより、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 50%未満のデューティ比で駆動可能に構成される、

3相DC/DCコンバータ。

【請求項 3】

前記第 1 期間に前記インダクタに流れる第 1 方向の電流を増加させ、

前記第 2 期間に前記インダクタに流れる前記第 1 方向の電流をゼロに減少させ、

前記第 4 期間に前記インダクタに流れる第 2 方向の電流を増加させ、

前記第 5 期間に前記インダクタに流れる前記第 2 方向の電流をゼロに減少させる、

請求項 1 に記載の 3 相 DC/DC コンバータ。

【請求項 4】

前記第 1 期間に前記インダクタに流れる第 1 方向の電流を増加させ、

前記第 2 期間に前記インダクタに流れる前記第 1 方向の電流をゼロに減少させ、

前記第 4 期間に前記インダクタに流れる第 2 方向の電流を増加させ、

前記第 5 期間に前記インダクタに流れる前記第 2 方向の電流をゼロに減少させる、

請求項 2 に記載の 3 相 DC/DC コンバータ。

【請求項 5】

前記第 1 期間と前記第 4 期間は同一の長さを有し、
前記第 2 期間と前記第 5 期間は同一の長さを有し、
前記第 3 期間と前記第 6 期間は同一の長さを有する、
請求項 1 に記載の 3 相 DC / DC コンバータ。

【請求項 6】

前記第 1 期間と前記第 4 期間は同一の長さを有し、
前記第 2 期間と前記第 5 期間は同一の長さを有し、
前記第 3 期間と前記第 6 期間は同一の長さを有する、
請求項 2 に記載の 3 相 DC / DC コンバータ。

【請求項 7】

前記制御回路は、前記第 1 上側スイッチング素子と前記第 2 上側スイッチング素子との位相差に基づいて、前記第 3 期間及び前記第 6 期間の長さを変更可能に構成される、
請求項 1 に記載の 3 相 DC / DC コンバータ。

【請求項 8】

前記制御回路は、前記第 1 上側スイッチング素子と前記第 2 上側スイッチング素子との位相差に基づいて、前記第 3 期間及び前記第 6 期間の長さを変更可能に構成される、
請求項 2 に記載の 3 相 DC / DC コンバータ。

【請求項 9】

第 1 正極母線と第 1 負極母線間に直列接続される第 1 上側スイッチング素子及び第 1 下側スイッチング素子とを含む 3 相の第 1 ブリッジ回路と、

第 2 正極母線と第 2 負極母線間に直列接続される第 2 上側スイッチング素子及び第 2 下側スイッチング素子とを備える 3 相の第 2 ブリッジ回路と、

前記第 1 上側スイッチング素子と前記第 1 下側スイッチング素子との接続点と、前記第 2 上側スイッチング素子と前記第 2 下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む 3 相変圧回路及び 3 相インダクタと、を備える主回路と、

前記第 1 ブリッジ回路及び前記第 2 ブリッジ回路を制御するための制御回路と、を備える 3 相 DC / DC コンバータであって、

前記制御回路は、

第 1 期間において前記インダクタに流れる第 1 方向の電流を増加させ、

前記第 1 期間後の第 2 期間において前記インダクタに流れる前記第 1 方向の電流をゼロに減少させ、

前記第 2 期間後の第 3 期間において前記インダクタに流れる電流をゼロに維持し、

前記第 3 期間後の第 4 期間において前記インダクタに流れる第 2 方向の電流を増加させ、

前記第 4 期間後の第 5 期間において前記インダクタに流れる前記第 2 方向の電流をゼロに減少させ、

前記第 5 期間後の第 6 期間において前記インダクタに流れる電流をゼロに維持するように、

前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 50 % 未満のデューティ比で駆動可能に構成される、

3 相 DC / DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、3 相 DC / DC コンバータに関する。

【背景技術】

【0002】

従来より、双方向に電力変換を実現できる DAB 方式 (Dual Active Bridge) の DC / DC コンバータが知られている。このような DC / DC コンバータにおいて、ブリッジ回路に設けたスイッチング素子をソフトスイッチングで動作させることによって、高い変

10

20

30

40

50

換効率を実現している。このようなDC/DCコンバータを電気自動車や太陽光発電システムなど、バッテリーを備えた蓄電システムに搭載することにより、電力の伝送効率が高い蓄電システムを提供することが可能になる。

【0003】

特許文献1の図6及び図9、特許文献2の図7、特許文献3の図3などには、1次側ブリッジ回路の上側の半導体スイッチング素子と下側の半導体スイッチング素子を交互にスイッチングするとともに、位相差をもって、2次側ブリッジ回路の上側の半導体スイッチング素子と下側の半導体スイッチング素子を交互にスイッチングする技術が記載されている。

【0004】

特許文献4の図2などには、スイッチング素子をオフからオンにスイッチングする際に、短絡を防止するために、デッドタイムを挿入することが記載されている。

【0005】

特許文献5の図2、特許文献6の図3などには、スイッチング素子を制御する制御信号のデューティ比を変更するPWM (Pulse Width Modulation) 制御が記載されている。

【0006】

特許文献7の図2及び図4、特許文献8の図6などには、デューティ比を異ならせながら、1次側ブリッジ回路の上側の半導体スイッチング素子と下側の半導体スイッチング素子を交互にスイッチングするとともに、位相差をもって、2次側ブリッジ回路の上側の半導体スイッチング素子と下側の半導体スイッチング素子を交互にスイッチングさせる3相のDC/DCコンバータが記載されている。

【0007】

非特許文献1及び2には、非対称的にスイッチング素子をスイッチングすることにより、ソフトスイッチング可能な範囲を拡張するADCC (Asymmetric Duty Cycle Control) 技術が記載されている。

【先行技術文献】

【特許文献】

【0008】

【文献】国際公開第2020/031807号

【文献】国際公開第2015/004825号

【文献】特開2014-187729号公報

【文献】国際公開第2018/029975号

【文献】国際公開第2015/004825号

【文献】特開2015-186360号公報

【文献】特開2016-149834号公報

【文献】特開2016-12970号公報

【非特許文献】

【0009】

【文献】J. Hu, N. Soltan, and R. W. De Doncker, "Asymmetrical duty cycle control of three phase dual active bridge converter for soft switching range extension", 2016 IEEE Energy Conversion Congress and Exposition (ECCE), IEEE, 2016, pp. 1-8.

【文献】J. Hu, Z. Yang, N. Soltan, and R. W. De Doncker, "A duty cycle control method to ensure soft switching operation of a high power three phase dual active bridge converter", 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEEC 2017-ECCE Asia), IEEE, 2017, pp. 866-871.

【発明の概要】

【発明が解決しようとする課題】

【0010】

これら特許文献に記載されるDAB方式のDC/DCコンバータにおいて、単相から複

10

20

30

40

50

数相に相数を増加することにより、電流のリップルを低減することが可能になる。その結果、バッテリーの寿命を向上させることが可能にある。しかしながら、これら特許文献に記載される技術では、依然として、広い範囲にわたりソフトスイッチングを実現することが困難である。また、非特許文献に記載される D A B 方式の D C / D C コンバータでは、上側のスイッチング素子と下側のスイッチング素子のデューティ比が異なるため、電流が非対称になる。その結果、損失分布及び半導体スイッチング素子への負荷が均等にならないという問題が生じる。

【 0 0 1 1 】

本開示は、広い範囲にわたりソフトスイッチングを実現することと、スイッチング素子への負荷の均等性を向上させることが可能となる 3 相 D C / D C コンバータを提供することを目的とする。

10

【課題を解決するための手段】

【 0 0 1 2 】

本開示は、第 1 正極母線と第 1 負極母線間に直列接続される第 1 上側スイッチング素子及び第 1 下側スイッチング素子とを含む 3 相の第 1 ブリッジ回路と、第 2 正極母線と第 2 負極母線間に直列接続される第 2 上側スイッチング素子及び第 2 下側スイッチング素子とを備える 3 相の第 2 ブリッジ回路と、前記第 1 上側スイッチング素子と前記第 1 下側スイッチング素子との接続点と、前記第 2 上側スイッチング素子と前記第 2 下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む 3 相変圧回路及び 3 相インダクタと、を備える主回路と、前記第 1 ブリッジ回路及び前記第 2 ブリッジ回路を制御するための制御回路と、を備える 3 相 D C / D C コンバータであって、前記制御回路は、第 1 期間において、前記第 1 上側スイッチング素子及び前記第 2 上側スイッチング素子の双方をオンさせ、前記第 1 期間後の第 2 期間において、前記第 1 下側スイッチング素子及び前記第 2 上側スイッチング素子の双方をオンさせ、前記第 2 期間後の第 3 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせ、前記第 3 期間後の第 4 期間において、前記第 1 下側スイッチング素子及び前記第 2 下側スイッチング素子をオンさせ、前記第 4 期間後の第 5 期間において、前記第 1 上側スイッチング素子及び前記第 2 下側スイッチング素子をオンさせ、前記第 5 期間後の第 6 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせることにより、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 5 0 % 未満のデューティ比で駆動可能に構成される、3 相 D C / D C コンバータを提供する。

20

30

【 0 0 1 3 】

本開示は、第 1 正極母線と第 1 負極母線間に直列接続される第 1 上側スイッチング素子及び第 1 下側スイッチング素子とを含む 3 相の第 1 ブリッジ回路と、第 2 正極母線と第 2 負極母線間に直列接続される第 2 上側スイッチング素子及び第 2 下側スイッチング素子とを備える 3 相の第 2 ブリッジ回路と、前記第 1 上側スイッチング素子と前記第 1 下側スイッチング素子との接続点と、前記第 2 上側スイッチング素子と前記第 2 下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む 3 相変圧回路及び 3 相インダクタと、を備える主回路と、前記第 1 ブリッジ回路及び前記第 2 ブリッジ回路を制御するための制御回路と、を備える 3 相 D C / D C コンバータであって、前記制御回路は、第 1 期間において、前記第 1 上側スイッチング素子及び前記第 2 下側スイッチング素子の双方をオンさせ、前記第 1 期間後の第 2 期間において、前記第 1 上側スイッチング素子及び前記第 2 上側スイッチング素子の双方をオンさせ、前記第 2 期間後の第 3 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせ、前記第 3 期間後の第 4 期間において、前記第 1 下側スイッチング素子及び前記第 2 上側スイッチング素子をオンさせ、前記第 4 期間後の第 5 期間において、前記第 1 下側スイッチング素子及び前記第

40

50

2 下側スイッチング素子をオンさせ、前記第 5 期間後の第 6 期間において、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子の全てをオフさせることにより、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 50 %未満のデューティ比で駆動可能に構成される、3 相 DC / DC コンバータを提供する。

【0014】

さらに、これら 3 相 DC / DC コンバータにおいて、前記第 1 期間に前記インダクタに流れる第 1 方向の電流を増加させ、前記第 2 期間に前記インダクタに流れる前記第 1 方向の電流をゼロに減少させ、前記第 4 期間に前記インダクタに流れる第 2 方向の電流を増加させ、前記第 5 期間に前記インダクタに流れる前記第 2 方向の電流をゼロに減少させてもよい。

10

【0015】

また、前記第 1 期間と前記第 4 期間は同一の長さを有し、前記第 2 期間と前記第 5 期間は同一の長さを有し、前記第 3 期間と前記第 6 期間は同一の長さを有してもよい。

【0016】

さらに、前記第 1 期間と前記第 4 期間は同一の長さを有し、前記第 2 期間と前記第 5 期間は同一の長さを有し、前記第 3 期間と前記第 6 期間は同一の長さを有してもよい。

【0017】

さらに本発明は、前記制御回路は、前記第 1 上側スイッチング素子と前記第 2 上側スイッチング素子との位相差に基づいて、前記第 3 期間及び前記第 6 期間の長さを変更可能に構成されてもよい。

20

【0018】

本開示は、第 1 正極母線と第 1 負極母線間に直列接続される第 1 上側スイッチング素子及び第 1 下側スイッチング素子とを含む 3 相の第 1 ブリッジ回路と、第 2 正極母線と第 2 負極母線間に直列接続される第 2 上側スイッチング素子及び第 2 下側スイッチング素子とを備える 3 相の第 2 ブリッジ回路と、前記第 1 上側スイッチング素子と前記第 1 下側スイッチング素子との接続点と、前記第 2 上側スイッチング素子と前記第 2 下側スイッチング素子との接続点との間に設けられる変圧回路及びインダクタを含む 3 相変圧回路及び 3 相インダクタと、を備える主回路と、前記第 1 ブリッジ回路及び前記第 2 ブリッジ回路を制御するための制御回路と、を備える 3 相 DC / DC コンバータであって、前記制御回路は、第 1 期間において前記インダクタに流れる第 1 方向の電流を増加させ、前記第 1 期間後の第 2 期間において前記インダクタに流れる前記第 1 方向の電流をゼロに減少させ、前記第 2 期間後の第 3 期間において前記インダクタに流れる電流をゼロに維持し、前記第 3 期間後の第 4 期間において前記インダクタに流れる第 2 方向の電流を増加させ、前記第 4 期間後の第 5 期間において前記インダクタに流れる前記第 2 方向の電流をゼロに減少させ、前記第 5 期間後の第 6 期間において前記インダクタに流れる電流をゼロに維持するように、前記第 1 上側スイッチング素子、前記第 1 下側スイッチング素子、前記第 2 上側スイッチング素子及び前記第 2 下側スイッチング素子を 50 %未満のデューティ比で駆動可能に構成される、3 相 DC / DC コンバータを提供する。

30

40

【0019】

これら 3 相 DC / DC コンバータにおいて、各スイッチングのデューティ比は、同一にすることが好ましい。

【発明の効果】

【0020】

本開示によれば、広い範囲にわたりソフトスイッチングを実現することが可能でありながら、電流の対称性及びスイッチング素子への負荷の均等性を向上させることが可能となる DC / DC コンバータを提供することができる。

【図面の簡単な説明】

【0021】

50

【図 1】図 1 は、3 相 D C / D C コンバータの回路図である。

【図 2】図 2 は、S P S 変調動作において、制御回路 1 0 0 により生成される制御信号を示す図である。

【図 3 A】図 3 A は、バック 1 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

【図 3 B】図 3 B は、図 3 A の状態 1 における導通状態を示す簡易化された回路図である。

【図 3 C】図 3 C は、図 3 A の状態 2 における導通状態を示す簡易化された回路図である。

【図 3 D】図 3 D は、図 3 A の状態 3 における導通状態を示す簡易化された回路図である。

【図 4】図 4 は、バック 2 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

10

【図 5】図 5 は、バック 3 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

【図 6 A】図 6 A は、ブースト 1 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

【図 6 B】図 6 B は、図 6 A の状態 1 における導通状態を示す簡易化された回路図である。

【図 6 C】図 6 C は、図 6 A の状態 2 における導通状態を示す簡易化された回路図である。

【図 6 D】図 6 D は、図 6 A の状態 3 における導通状態を示す簡易化された回路図である。

【図 7】図 7 は、ブースト 2 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

【図 8】図 8 は、ブースト 3 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。

20

【図 9】図 9 は、動作モード選択のための機能ブロック図である。

【図 1 0】図 1 0 は、電圧変換比 M を横軸とし、正規化された出力 P を縦軸とする、動作モードを選択するための図である。

【図 1 1】図 1 1 は、蓄電システムを示す図である。

【発明を実施するための形態】

【0 0 2 2】

以下、添付図面を参照しながら本実施形態について説明する。説明の理解を容易にするため、各図面において同一の構成要素に対しては可能な限り同一の符号を付して、重複する説明は省略する。

30

【0 0 2 3】

[第 1 実施形態]

【0 0 2 4】

図 1 は、本実施形態に係る 3 相 D C / D C コンバータ 1 0 の回路図を示す。この 3 相 D C / D C コンバータ 1 0 は、3 相絶縁型で、双方向に電力を伝送可能な D A B 方式 (Dual Active Bridge) の D C / D C コンバータである。この 3 相 D C / D C コンバータ 1 0 は、主回路 2 0 と、主回路 2 0 の出力電圧を制御するための制御回路 1 0 0 とにより構成されている。

【0 0 2 5】

主回路 2 0 は、1 次側と 2 次側の電氣的絶縁を確保しつつ、双方向に電力を伝送する。この主回路 2 0 は、1 次側直流電圧 V_1 がかかる一対の 1 次側正極端子 2 2 A 及び 1 次側負極端子 2 2 B と、2 次側直流電圧 V_2 がかかる一対の 2 次側正極端子 2 4 A 及び 2 次側負極端子 2 4 B と、3 相の 1 次側ブリッジ回路 3 0 (「第 1 ブリッジ回路」の一例) と、3 相の 2 次側ブリッジ回路 4 0 (「第 2 ブリッジ回路」の一例) と、1 次側ブリッジ回路 3 0 及び 2 次側ブリッジ回路 4 0 とを変圧するための変圧回路 5 0 及びインダクタ 6 0 とを備える。

40

【0 0 2 6】

1 次側ブリッジ回路 3 0 は、1 次側正極端子 2 2 A に接続される 1 次側正極母線 2 6 A と、1 次側負極端子 2 2 B に接続される 1 次側負極母線 2 6 B との間に、それぞれ、直列に接続される 1 次側左アーム上トランジスタ Q 1 (「第 1 上側スイッチング素子」の一例

50

。単に「トランジスタQ 1」と呼ぶ場合がある。)及び1次側左アーム下トランジスタQ 4(「第1下側スイッチング素子」の一例。単に「トランジスタQ 4」と呼ぶ場合がある。)と、トランジスタQ 1及びQ 4のドレイン及びソース(または、コレクタ及びエミッタ)間にそれぞれ逆並列に接続された還流用のダイオードとを備える。なお、これらダイオードなどはトランジスタQ 1などの寄生ダイオードから構成してもよい。

【0027】

トランジスタQ 1などのトランジスタは、たとえば、SiCから構成されるパワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。ただし、IGBT(Insulated Gate Bipolar Transistor)などの半導体スイッチング素子からトランジスタを構成してもよい。

10

【0028】

これらトランジスタQ 1及びQ 4並びにこれらトランジスタにそれぞれ逆接続されるダイオードから1次側左アームQLが構成される。

【0029】

1次側ブリッジ回路30は、さらに、1次側左アームQLと並列に、1次側正極母線26Aと1次側負極母線26Bとの間に設けられた1次側中アームQMと、1次側右アームQRとを備える。1次側中アームQMは、1次側中アーム上トランジスタQ 3(単に、「トランジスタQ 3」と呼ぶ場合がある。)、1次側中アーム下トランジスタQ 6(単に、「トランジスタQ 6」と呼ぶ場合がある。)及びこれらトランジスタにそれぞれ逆接続されるダイオードとを備える。1次側右アームQRは、1次側右アーム上トランジスタQ 5(単に、「トランジスタQ 5」と呼ぶ場合がある。)、1次側右アーム下トランジスタQ 2(単に、「トランジスタQ 2」と呼ぶ場合がある。)及びこれらトランジスタにそれぞれ逆接続されるダイオードとを備える。これらの各構成は、1次側左アームQLと同様であるから、説明を省略する。

20

【0030】

1次側ブリッジ回路30と、2次側ブリッジ回路40は、変圧回路50及びインダクタ60を中心に、左右対称に構成されている。具体的には、2次側ブリッジ回路40は、2次側正極端子24Aに接続される2次側正極母線28Aと、2次側負極端子24Bに接続される2次側負極母線28Bとの間に、並列に設けられた2次側左アームSLと、2次側中アームSMと、2次側右アームSRとを備える。2次側左アームSLは、2次側左アーム上トランジスタS 1(「第2上側スイッチング素子」の一例。単に、「トランジスタS 1」と呼ぶ場合がある。)、1次側左アーム下トランジスタS 4(「第2下側スイッチング素子」の一例。単に、「トランジスタS 4」と呼ぶ場合がある。)及びこれらトランジスタにそれぞれ逆接続されるダイオードとを備える。2次側中アームSMは、2次側中アーム上トランジスタS 3(単に、「トランジスタS 3」と呼ぶ場合がある。)、2次側中アーム下トランジスタS 6(単に、「トランジスタS 6」と呼ぶ場合がある。)及びこれらトランジスタにそれぞれ逆接続されるダイオードとを備える。2次側右アームSRは、2次側右アーム上トランジスタS 5(単に、「トランジスタS 5」と呼ぶ場合がある。)、2次側右アーム下トランジスタS 2(単に、「トランジスタS 2」と呼ぶ場合がある。)及びこれらトランジスタにそれぞれ逆接続されるダイオードとを備える。これらの各構成は、1次側左アームQLと同様であるから、説明を省略する。

30

40

【0031】

1次側左アームQL、1次側中アームQM及び1次側右アームQRの上トランジスタと下トランジスタとの接続点には、それぞれ交流端子A、B及びCが設けられる。また、2次側左アームSL、2次側中アームSM及び2次側右アームSRの上トランジスタと下トランジスタとの接続点には、それぞれ交流端子a、b及びcが設けられる。

【0032】

交流端子A、B及びCと、交流端子a、b及びcとの間には、3相の変圧回路50及び3相のインダクタ60が設けられる。

【0033】

50

インダクタ 60 は、U 相のインダクタ 60 U、V 相のインダクタ 60 V、W 相のインダクタ 60 W を備えており、それぞれ、一端が交流端子 A、B 及び C、他端が変圧回路 50 の各相の一次巻線に接続される。ただし、インダクタ 60 は、2 次側ブリッジ回路 40 の交流端子 a、b 及び c に接続される形態で設けられてもよいし、1 次側ブリッジ回路 30 及び 2 次側ブリッジ回路 40 のそれぞれに分割して設けられてもよい。

【0034】

変圧回路 50 は、1 次側ブリッジ回路 30 と 2 次側ブリッジ回路 40 とを変圧する。変圧回路 50 は、U 相の 1 次巻線、V 相の 1 次巻線、W 相の 1 次巻線及びそれぞれ各相ごとに共通のコアを有する U 相の 2 次巻線、V 相の 2 次巻線、W 相の 2 次巻線を備え、これらの巻線が Y-Y 結線されている。ただし変圧回路 50 の構造は限定されない。大容量の DC/DC コンバータ 10 の場合、変圧回路 50 は、各相ごとに 3 つのコアを備えるように設けられてよいが、小容量の DC/DC コンバータの場合、1 つのコアに 3 相の巻線を巻回することにより、変圧回路 50 を一体化させてもよい。

10

【0035】

図 1 に示されるように、U 相の 1 次巻線、V 相の 1 次巻線、W 相の 1 次巻線は、インダクタ 60 U、60 V、60 W にそれぞれ接続されている。U 相の 2 次巻線、V 相の 2 次巻線、W 相の 2 次巻線は、2 次側ブリッジ回路 40 の交流端子 a、b、c にそれぞれ接続されている。U 相、V 相及び W 相の 1 次巻線の巻数は同一であり、U 相、V 相及び W 相の 2 次巻線の巻数は同一であり、1 次巻線と 2 次巻線の巻数比は、それぞれ、 $n:1$ である。たとえば、 $n=1$ である。

20

【0036】

制御回路 100 は、1 次側ブリッジ回路 30 及び 2 次側ブリッジ回路 40 の各トランジスタのゲート（またはベース）に制御信号を供給して、これら各トランジスタを制御する。制御回路 100 は、たとえば、プロセッサなどの演算回路（コンピュータ）と、SRAM（Static Random Access Memory）などの揮発性半導体記憶素子及びフラッシュメモリなど、一時的でない形態（Non-transitory）で情報を記憶する不揮発性半導体記憶素子からなる記憶素子とを備えるマイクロコントローラから構成することができる。不揮発性半導体記憶素子には、本実施形態に示される各情報と、演算を含む本実施形態に示される各処理を実行するためのコンピュータプログラムが記録されている。このコンピュータプログラムが記憶素子から読み出されプロセッサなどの演算回路によって実行されることにより、本実施形態に示される各処理が行われる。

30

【0037】

本実施形態に示される DC/DC コンバータ 10 は、SPS（Single Phase Shift）変調動作、SDM（Symmetric Duty-cycle Modulation）変調動作の双方を実行可能に構成されている。SDM 変調動作は、降圧するための SDM バック変調動作と、昇圧するための SDM ブースト変調動作を有する。SDM バック変調動作及び SDM ブースト変調動作は、それぞれ、3 つの動作モードを有する。したがって、DC/DC コンバータ 10 は、7 つの動作モードを実行可能に構成されている。後述するように、制御回路 100 は、外部から受信する電流指令などに基づいて、適切な動作モードを選択し、その動作モードに基づいて、主回路 20 を制御するように構成されている。ただし、後述するようにそのうちの 2 つの動作モードは、ハードスイッチングを伴うものであるから、好適には、これらを除く 5 つの動作モードを実行可能に構成されている。

40

【0038】

以下、各変調動作において制御回路 100 が生成する制御信号及びそのときの電流波形について説明する。

[SPS 変調動作]

図 2 は、SPS 変調動作（以下、「SPS 動作モード」と呼ぶ場合がある。）において、制御回路 100 により生成される制御信号を示す図である。横軸は、時間を示す。また、縦軸は、インダクタ 60 U（図 1）を矢印方向（「第 1 方向」の一例）に流れるインダクタ電流 i_a の大きさを示す。また、QL、SL、QM、SM、QR、SR は、それぞれ

50

、対応するアームのトランジスタを制御するための制御信号を示す。たとえば、Q L には、1 次側ブリッジ回路 3 0 の 1 次側左アーム Q L のトランジスタ Q 1 及び Q 4 を制御するための制御信号が示されており、具体的には、制御回路 1 0 0 は、トランジスタ Q 1 をオンさせた後、トランジスタ Q 4 をオンさせる。

【 0 0 3 9 】

S P S 変調動作における各トランジスタ Q 1 ~ S 6 のデューティ比は、それぞれ、5 0 % である。すなわち、制御回路 1 0 0 は、1 周期のうち、各トランジスタ Q 1 ~ S 6 をそれぞれ 1 周期の 5 0 % の時間オンさせるように制御する制御信号を生成し、各トランジスタ Q 1 ~ S 6 に供給する。たとえば、Q L の軸に示されるように、制御回路 1 0 0 は、トランジスタ Q 1 とこれに直列に接続されるトランジスタ Q 4 のうち、トランジスタ Q 1 を 5 0 % の時間オンさせた後オフにスイッチングし、同時にトランジスタ Q 4 をオフからオンにスイッチングする。制御回路 1 0 0 は、トランジスタ Q 4 を 5 0 % の時間オンさせた後、トランジスタ Q 4 をオフにスイッチングし、同時にトランジスタ Q 1 をオンさせる。以後、制御回路 1 0 0 は、この動作を繰り返させる。

10

【 0 0 4 0 】

また、S P S 変調動作において各トランジスタは、対応するトランジスタから位相シフト量 D_p だけ位相シフトして動作する。たとえば、Q L の軸及びこれに対応する S L の軸に示されるように、制御回路 1 0 0 は、トランジスタ Q 1 をオンさせた後、位相シフト量 D_p 経過後に、対応するトランジスタ S 1 をオンさせる。他のトランジスタについても同様である。S P S 変調動作において、位相差の正負を異ならせることにより、電力の伝送方向を切り替えることが可能である。図 2 に示される例では、制御回路 1 0 0 は、1 次側ブリッジ回路 3 0 のトランジスタ Q 1 などをオンさせてから、所定位相経過後に、2 次側ブリッジ回路 4 0 のトランジスタ S 1 などをオンさせているので、電力は、1 次側ブリッジ回路 3 0 から 2 次側ブリッジ回路 4 0 に伝送される。

20

【 0 0 4 1 】

さらに、S P S 変調動作において、各相のトランジスタは、1 2 0 度の位相差で、同じ動作をする。すなわち、制御回路 1 0 0 は、U 相に対応するトランジスタ Q 1 をオンさせた後、1 2 0 度の位相差で、V 相に対応するトランジスタ Q 3 をオンさせ、さらに、1 2 0 度の位相差で、W 相に対応するトランジスタ Q 5 をオンさせる。したがって、各相に対応するトランジスタは、1 2 0 度の位相差で同じ動作を繰り返す。

30

【 0 0 4 2 】

このような S P S 変調動作においてインダクタ 6 0 U に流れるインダクタ電流 i_a の変化について説明する。V 相及び W 相については、1 2 0 度及び 2 4 0 度、位相が異なるだけであるため、説明を割愛する。

【 0 0 4 3 】

まず、図 2 の状態 1 (STATE1) で示される期間において、制御回路 1 0 0 は、トランジスタ Q 1 及び S 4 をオンさせる。このとき、インダクタ 6 0 U には、2 次側直流電圧 V_2 が巻線比に応じて変圧された電圧と、1 次側直流電圧 V_1 との和が印加される。その結果、インダクタ 6 0 U には、同図に示されるように負から正に増加するインダクタ電流 i_a が流れ、インダクタ 6 0 U がチャージされる。なお、状態 1 と状態 2 が切り替わる時のインダクタ電流 i_a の大きさは、位相シフト量 D_p に基づいて決まる。

40

【 0 0 4 4 】

状態 2 (STATE2) で示される期間において、制御回路 1 0 0 は、トランジスタ S 4 をオフし、トランジスタ S 1 をオンさせる。このため、トランジスタ Q 1 及び S 1 がオンの状態となる。このとき、インダクタ 6 0 U には、2 次側直流電圧 V_2 が巻線比に応じて変圧された電圧と、1 次側直流電圧 V_1 との差に相当する電圧が印加される。このとき 2 次側に電流が流れ、インダクタ 6 0 U は、ディスチャージ (放電) される。

【 0 0 4 5 】

その後、制御回路 1 0 0 は、トランジスタ Q 1 をオフし、トランジスタ Q 4 をオンさせる (状態 3 (STATE3))。その結果、トランジスタ Q 4 及び S 1 がオンの状態となる。

50

このとき、インダクタ 60U には、2 次側直流電圧 V_2 が巻線比に応じて変圧された電圧と 1 次側直流電圧 V_1 との和に相当する電圧が、負の電圧として印加されるため、インダクタ 60U には、同図に示されるように正から負に減少するインダクタ電流 i_a が流れる。

【0046】

その後は、トランジスタを対称的に動作させることにより、負の方向に同様の電流を流すことが可能である。

【0047】

後述するように、図 10 に「SPS」と示される範囲内で SPS 変調動作に基づいて主回路 20 を制御することにより、ソフトスイッチングを実現することが可能になる。ソフトスイッチングを実現することにより、EMI (Electro Magnetic Interference) ノイズを抑制することなどが可能になる。

10

【0048】

[SDM 変調動作]

【0049】

SPS 変調動作において、所定のインダクタ（たとえばインダクタ 60U）に流れる電流は、連続的である。しかしながら、本実施形態に係る SDM 変調動作において、インダクタ（たとえばインダクタ 60U）に流れる電流は、不連続（インダクタに流れる電流がゼロの期間を有する。）になる。この期間、そのインダクタに対応する 2 つのアーム（たとえば、1 次側左アーム QL 及び 2 次側左アーム SL）に接続するトランジスタ（たとえば、トランジスタ Q1、Q4、S1 及び S4）は、オフにされる。換言すると、所定のインダクタ（たとえばインダクタ 60U）に流れる電流がゼロになったときに、対応するトランジスタがオフにされる。

20

【0050】

また、所定のインダクタに流れる電流は、正方向及び負方向に対称的となる。すなわち、正方向に電流がゼロから増加し、その後減少してゼロになったときに、対応するトランジスタがオフにされ、そのインダクタに流れる電流がゼロとなる。その後、反転動作を行うことにより、負方向に電流がゼロから増加し、その後減少してゼロになったときに、対応するトランジスタがオフにされ、そのインダクタに流れる電流がゼロとなる。このような動作によって、所定のインダクタに流れる電流波形は、正方向及び負方向に対称的となる。また、各トランジスタ（たとえば、トランジスタ Q1、Q4、S1 及び S4）は、同じ期間にオフされるため、これらトランジスタのデューティ比は、50% 未満であり、かつ、同一である。従って、電流の対称性及びスイッチング素子への負荷の均等性を向上させることが可能となる。なお、他の相については、120 度、または、240 度位相シフトさせて、他の相に対応するトランジスタについて同じ動作を実行させる。

30

【0051】

[SDM バック変調動作]

SDM バック変調動作は、降圧させる場合、すなわち、1 次側直流電圧 V_1 よりも 2 次側直流電圧 V_2 が小さい場合（後述する電圧変換比 $M < 1$ の場合）に制御回路 100 によって実行可能な動作モードである。SDM バック変調動作は、位相シフト量 D_p 及びデューティ比に応じて、3 つの動作モードを有する。これら動作モードをデューティ比が高い順に、バック 1 動作モード、バック 2 動作モード及びバック 3 動作モードと呼び総称してバック動作モードと呼ぶ。これらは、基本的に同様の動作をするが、位相シフト量 D_p 及びデューティ比に応じて、異なる組み合わせのトランジスタがオンされる期間を含むため、異なる動作モードとして取り扱われている。後述するように、制御回路 100 は、外部から受信する電流指令値 I_{ref} （図 9）などに基づいて、動作モード及び位相シフト量 D_p を選択する。SDM バック変調動作は、いずれの動作モードにおいても、以下の点において、共通する。

40

【0052】

まず、第 1 期間 TP1（図 3A など。以下同様）において、制御回路 100 は、トランジスタ Q1 及び S1 の双方をオンさせ、インダクタ 60U に流れるインダクタ電流 i_a を

50

増加させる。次いで、第 2 期間 $TP2$ において、制御回路 100 は、トランジスタ $Q4$ 及び $S1$ の双方をオンさせ、インダクタ電流 i_a を減少させる。その後、第 3 期間 $TP3$ において、制御回路 100 は、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ の全てをオフにする。その後、反転動作を実行する。すなわち、第 4 期間 $TP4$ において、制御回路 100 は、トランジスタ $Q4$ 及び $S4$ の双方をオンさせ、インダクタ 60U に流れる負のインダクタ電流 i_a を増加させる。次いで、第 5 期間 $TP5$ において、制御回路 100 は、トランジスタ $Q1$ 及び $S4$ の双方をオンさせ、インダクタ 60U に流れる負のインダクタ電流 i_a を減少させる。その後、第 6 期間において、制御回路 100 は、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ の全てをオフにする。

【0053】

このような動作により、インダクタ 60U に第 1 期間 $TP1$ 及び第 2 期間 $TP2$ にわたり正の方向に流れるインダクタ電流 i_a の電流波形と、第 4 期間 $TP4$ 及び第 5 期間 $TP5$ にわたり負の方向に流れるインダクタ電流 i_a の電流波形が対称的な形状を有する。また、第 1 期間 $TP1$ と第 4 期間 $TP4$ の長さを同一またはほぼ等しくし、第 2 期間 $TP2$ と第 5 期間 $TP5$ の長さを同一またはほぼ等しくすることによって、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ のデューティ比をほぼ等しくすることが可能になる。したがって、これらトランジスタへの負荷の偏りを抑制することが可能になる。なお、第 2 期間 $TP2$ 及び第 5 期間 $TP5$ は、インダクタ 60U に流れる電流がゼロ（なお、電流などがゼロとは、完全に電流などがゼロになった場合のほか、 DC/DC コンバータ 10 全体への影響が無視できるほど電流などが十分に小さくなった場合を含む。）になるタイミングで終了する。このように構成することにより、電流波形の対称性が向上し、かつ、インダクタ 60U に接続しているトランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ へのスイッチングに伴う負荷が抑制される。その他のトランジスタは、120 度または 240 度の位相差を有することの他は、同様に制御可能であることが当業者に理解できるため、説明を省略する。以下、各動作モードについて説明する。

【0054】

（バック 1 動作モード）

図 3A は、バック 1 動作モードにおいて、制御回路 100 により生成される制御信号を示す図である。横軸は、時間を示す。また、縦軸は、電流の大きさを示す。この図では、インダクタ 60U を矢印方向に流れるインダクタ電流 i_a の大きさを実線で示し、インダクタ 60U 乃至インダクタ 60W を流れるインダクタ電流の合計である出力電流 i_{out} を破線で示す。また、 QL 、 SL 、 QM 、 SM 、 QR 、 SR は、それぞれ、対応するアームのトランジスタを制御するための制御信号を示す。

【0055】

同図に示されるように、第 1 期間 $TP1$ 内において、制御回路 100 は、トランジスタ $Q1$ 及び $S1$ の双方をオンさせ、インダクタ 60U に流れる電流を増加させる。ここで、他のトランジスタの動作に応じて電流は増減する。しかしながら、第 1 期間 $TP1$ の始期と終期を比較したときに、終期においてインダクタ 60U に流れる電流は増加する。

【0056】

次いで、第 2 期間 $TP2$ において、制御回路 100 は、トランジスタ $Q4$ 及び $S1$ の双方をオンさせる。このとき、インダクタ 60U には、1 次側直流電圧 V_1 と 2 次側直流電圧 V_2 が巻線比に応じて変圧された電圧との和に相当する電圧が負の電圧として印加されるため、インダクタ電流 i_a は、減少する。

【0057】

図 3B 乃至図 3D は、図 3A における状態 1（STATE1）乃至状態 3（STATE3）における導通状態を説明するために、主回路 20 を簡易化させた回路図である。

図 3B に示されるように、状態 1 において、トランジスタ $Q1$ 、 $Q2$ 、 $S1$ 及び $S2$ が導通している。このとき、インダクタ 60U に流れるインダクタ電流 i_a は増加し、インダクタ 60U は、チャージ（蓄電）される。

【0058】

図 3 C に示されるように、状態 2 において、トランジスタ Q 1、Q 2、Q 3、S 1、S 2 及び S 3 が導通している。このとき、2 次側に電流が流れ、インダクタ 6 0 U は、ディスチャージ（放電）される。

【 0 0 5 9 】

図 3 D に示されるように、状態 3 において、トランジスタ Q 3、Q 4、Q 5、S 1、S 2 及び S 3 が導通している。このとき、トランジスタ Q 4 及び S 1 が導通していることから、インダクタ 6 0 U に流れるインダクタ電流 i_a は減衰する。

【 0 0 6 0 】

その後、第 3 期間 T P 3 において、制御回路 1 0 0 は、トランジスタ Q 1、Q 4、S 1 及び S 4 の全てをオフにする。その結果、インダクタ 6 0 U に接続される全てのトランジスタがオフになるため、インダクタ 6 0 U には電流が流れない。なお、制御回路 1 0 0 は、インダクタ 6 0 U の電流がゼロになった時に第 2 期間 T P 2 を終了し、第 3 期間 T P 3 を開始するように主回路 2 0 を制御する。このように動作させることにより、電流波形の対称性を向上し、かつ、インダクタ 6 0 U に接続しているトランジスタ Q 1、Q 4、S 1 及び S 4 へのスイッチングに伴う負荷が抑制される。また、第 1 期間 T P 1、第 2 期間 T P 2 及び第 3 期間 T P 3 の合計は、1 8 0 度の位相に相当することが好ましい。このように動作させることにより、電流波形の対称性を向上させることが可能になる。

【 0 0 6 1 】

その後、反転動作を実行する。すなわち、第 4 期間 T P 4 において、制御回路 1 0 0 は、トランジスタ Q 4 及び S 4 の双方をオンさせる。第 1 期間 T P 1 と第 4 期間 T P 4 とを比較すると、第 1 期間 T P 1 においては、制御回路 1 0 0 が上側のトランジスタ Q 1 及び S 1 をオンさせることにより、インダクタ 6 0 U に流れる電流を正の方向に増加させたのに対し、第 4 期間 T P 4 においては、制御回路 1 0 0 が下側のトランジスタ Q 4 及び S 4 をオンさせることにより、インダクタ 6 0 U に流れる電流を負の方向に増加させる。このため、第 1 期間 T P 1 におけるインダクタ電流 i_a の正の方向へ増加する電流波形と、第 4 期間 T P 4 におけるインダクタ電流 i_a の負の方向へ増加する電流波形は、対称的になる。

【 0 0 6 2 】

次いで、第 5 期間 T P 5 において、制御回路 1 0 0 は、トランジスタ Q 1 及び S 4 の双方をオンさせ、インダクタ 6 0 U に流れる負の電流を減少させる。第 2 期間 T P 2 におけるインダクタ電流 i_a が減少するときの電流波形と、第 5 期間 T P 5 における負のインダクタ電流 i_a が減少するときの電流波形は、対称的になる。

【 0 0 6 3 】

その後、第 6 期間 T P 6 において、制御回路 1 0 0 は、トランジスタ Q 1、Q 4、S 1 及び S 4 の全てをオフにする。上述したのと同様の理由により、制御回路 1 0 0 は、インダクタ 6 0 U の電流がゼロになった時に第 4 期間 T P 4 を終了し、第 5 期間 T P 5 を開始するように主回路 2 0 を制御する。また、第 4 期間 T P 4、第 5 期間 T P 5 及び第 6 期間 T P 6 の合計は、1 8 0 度の位相に相当することが好ましい。

【 0 0 6 4 】

以上のようなバック 1 動作モードによれば、図 3 A に示されるように、トランジスタ Q 1 乃至 S 6 の全てのトランジスタのデューティ比を同一にしながらかつ、第 1 期間 T P 1 及び第 2 期間 T P 2 の正側のインダクタ電流 i_a と、第 4 期間 T P 4 及び第 5 期間 T P 5 の負側のインダクタ電流 i_a を対称的な波形にすることが可能となる。また、第 3 期間 T P 3 及び第 6 期間 T P 6 において、インダクタ電流 i_a が流れない期間を設けるから、インダクタ電流 i_a は、不連続である。なお、出力電流 i_{out} は、図 3 A に示されるように、6 0 度ごとにピークを有する電流波形となる。

【 0 0 6 5 】

（バック 2 動作モード）

図 4 は、バック 2 動作モードにおいて、制御回路 1 0 0 により生成される制御信号を示す図である。バック 1 動作モードに関する説明と同様であることが当業者に理解できる点

10

20

30

40

50

については説明を省略または簡略化する。

【 0 0 6 6 】

同図に示されるように、バック 2 動作モードにおいても、第 1 期間 $T P 1$ 内において、制御回路 100 は、トランジスタ $Q 1$ 及び $S 1$ の双方をオンさせ、インダクタ 60 U に流れる電流を 0 から正の値に増加させ、第 2 期間 $T P 2$ において、制御回路 100 は、トランジスタ $Q 4$ 及び $S 1$ の双方をオンさせ、インダクタ電流 i_a をゼロに減少させる。第 3 期間 $T P 3$ において、制御回路 100 は、トランジスタ $Q 1$ 、 $Q 4$ 、 $S 1$ 及び $S 4$ の全てをオフにさせ、インダクタ 60 U に電流が流れない期間を設ける。続いて反転動作に移り、第 4 期間 $T P 4$ において、制御回路 100 は、トランジスタ $Q 4$ 及び $S 4$ の双方をオンさせ、インダクタ電流 i_a をゼロから負の方向に増加させ、第 5 期間 $T P 5$ において、トランジスタ $Q 1$ 及び $S 4$ の双方をオンさせ、インダクタ 60 U に流れる負の電流を 0 に減少させ、その後、第 6 期間 $T P 6$ において、制御回路 100 は、トランジスタ $Q 1$ 、 $Q 4$ 、 $S 1$ 及び $S 4$ の全てをオフにさせ、インダクタ 60 U に電流が流れない期間を設ける。

10

【 0 0 6 7 】

制御回路 100 は、インダクタ電流 i_a がゼロになった時に第 5 期間 $T P 5$ を終了し、第 6 期間 $T P 6$ を開始するように主回路 20 を制御する。また、第 4 期間 $T P 4$ 、第 5 期間 $T P 5$ 及び第 6 期間 $T P 6$ の合計は、180 度の位相に相当することが好ましい。

【 0 0 6 8 】

なお、同図において状態 1 (STATE1) のとき、インダクタ 60 U はチャージされ、状態 2 (STATE2) のとき、2 次側に電流がながれ、インダクタ 60 U はディスチャージされ、状態 3 (STATE3) のとき、インダクタ電流 i_a は減衰する。

20

【 0 0 6 9 】

(バック 3 動作モード)

図 5 は、バック 3 動作モードにおいて、制御回路 100 により生成される制御信号を示す図である。バック 1 動作モードに関する説明と同様であるため、説明を省略または簡略化する。ただしバック 3 動作モードは、バック 1 動作モード及びバック 2 動作モードと比較してデューティ比が小さいことから、第 1 期間 $T P 1$ 内においてインダクタ電流 i_a がゼロになる状態 3 (STATE3) が発生する。このとき、トランジスタ $Q 1$ 及び $S 1$ のみがオンされているから、インダクタ電流 i_a は流れない。ただし、バック 3 動作モードでは、ハードスイッチングが発生するため、好適には、制御回路 100 は、バック 3 動作モードを選択しないように構成される。

30

【 0 0 7 0 】

なお、同図において状態 1 (STATE1) のとき、インダクタ 60 U はチャージされ、状態 2 (STATE2) のとき、2 次側に電流がながれ、インダクタ 60 U はディスチャージされ、状態 3 (STATE3) のとき、インダクタ電流 i_a は流れない。

【 0 0 7 1 】

[S D M ブースト変調動作]

本実施形態に係る S D M ブースト変調動作においても、デューティ比は、50 % 未満となる。S D M ブースト変調動作は、昇圧させる場合、すなわち、1 次側直流電圧 V_1 よりも 2 次側直流電圧 V_2 が大きい場合 (電圧変換比 $M > 1$ の場合) に制御回路 100 によって実行可能な動作モードである。S D M ブースト変調動作は、位相シフト量 D_p 及びデューティ比に応じて、3 つの動作モードを有する。これら動作モードをデューティ比が大きい順に、ブースト 1 動作モード、ブースト 2 動作モード及びブースト 3 動作モードと呼び総称してブースト動作モードと呼ぶ。後述するように、制御回路 100 は、外部から受信する電流指令値 I_{ref} (図 9) などに基づいて、動作モード及び位相シフト量 D_p を選択する。S D M ブースト変調動作は、いずれの動作モードにおいても、以下の点において、共通する。

40

【 0 0 7 2 】

まず、第 1 期間 $T P 1$ (図 6 A など。以下同様) において、制御回路 100 は、トランジスタ $Q 1$ 及び $S 4$ の双方をオンさせ、インダクタ 60 U に流れるインダクタ電流 i_a を

50

増加させる。次いで、第 2 期間 $TP2$ において、制御回路 100 は、トランジスタ $Q1$ 及び $S1$ の双方をオンさせ、インダクタ電流 i_a を減少させる。その後、第 3 期間 $TP3$ において、制御回路 100 は、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ の全てをオフにする。その後、反転動作を実行する。すなわち、第 4 期間 $TP4$ において、制御回路 100 は、トランジスタ $Q4$ 及び $S1$ の双方をオンさせ、インダクタ 60U に流れる負のインダクタ電流 i_a を増加させる。次いで、第 5 期間 $TP5$ において、制御回路 100 は、トランジスタ $Q4$ 及び $S4$ の双方をオンさせ、インダクタ 60U に流れる負のインダクタ電流 i_a を減少させる。その後、第 6 期間 $TP6$ において、制御回路 100 は、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ の全てをオフにする。このような動作により、インダクタ 60U に第 1 期間 $TP1$ 及び第 2 期間 $TP2$ にわたり正の方向に流れるインダクタ電流 i_a の電流波形と、第 4 期間 $TP4$ 及び第 5 期間 $TP5$ にわたり負の方向に流れるインダクタ電流 i_a の電流波形は、対称的になる。また、第 1 期間 $TP1$ と第 4 期間 $TP4$ の長さを同一またはほぼ等しくし、第 2 期間 $TP2$ と第 5 期間 $TP5$ の長さを同一またはほぼ等しくすることによって、トランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ のデューティ比をほぼ等しくすることが可能になる。したがって、これらトランジスタへの負荷の偏りを抑制することが可能になる。また、他のトランジスタも 120 度または 240 度の位相差で動作させることにより、全てのトランジスタへの負荷の偏りを抑制することが可能になる。

【0073】

第 2 期間 $TP2$ 及び第 5 期間 $TP5$ は、インダクタ 60U に流れる電流がゼロになるタイミングで終了する。このように構成することにより、電流波形の対称性が向上し、かつ、インダクタ 60U に接続しているトランジスタ $Q1$ 、 $Q4$ 、 $S1$ 及び $S4$ へのスイッチングに伴う負荷が抑制される。その他のトランジスタは、120 度または 240 度の位相差を有することの他は、同様に制御可能であることが当業者に理解できるため、説明を省略する。以下、各動作モードについて説明する。

【0074】

(ブースト 1 動作モード)

図 6A は、ブースト 1 動作モードにおいて、制御回路 100 により生成される制御信号を示す図である。横軸は時間を示し、縦軸は電流値を示しており、インダクタ 60U を矢印方向に流れるインダクタ電流 i_a の大きさを実線で示し、インダクタ 60U 乃至インダクタ 60W を流れるインダクタ電流の合計である出力電流 i_{out} の大きさを破線で示す。また、 QL 、 SL 、 QM 、 SM 、 QR 、 SR は、それぞれ、対応するアームのトランジスタを制御するための制御信号を示す。

【0075】

同図に示されるように、第 1 期間 $TP1$ 内において、制御回路 100 は、トランジスタ $Q1$ 及び $S4$ の双方をオンさせ、インダクタ 60U に流れる電流を増加させる。第 1 期間 $TP1$ の始期と終期を比較したときに、終期においてインダクタ 60U に流れる電流は増加する。

【0076】

次いで、第 2 期間 $TP2$ において、制御回路 100 は、トランジスタ $Q1$ 及び $S1$ の双方をオンさせる。このとき、インダクタ 60U には、2 次側直流電圧 V_2 が巻線比に応じて変圧された電圧との差に相当する電圧が印加されるため、ブーストする場合、インダクタ電流 i_a は、減少する。

【0077】

図 6B 乃至図 6D は、図 6A における状態 1 (STATE1) 乃至状態 3 (STATE3) における導通状態を説明するために、主回路 20 を簡易化させた回路図である。

図 6B に示されるように、状態 1 において、トランジスタ $Q1$ 、 $Q2$ 、 $Q3$ 、 $S1$ 、 $S2$ 及び $S6$ が導通している。このとき、2 次側に電流が流れ、したがってインダクタ 60U がディスチャージ (放電) されながら、インダクタ電流 i_a に流れる電流は減少する。

【0078】

図 6C に示されるように、状態 2 において、トランジスタ $Q1$ 、 $Q2$ 、 $Q3$ 、 $S1$ 、 S

2 及び S 3 が導通している。このときも、2 次側に電流が流れ、したがってインダクタ 60 U は、ディスチャージ（放電）されながら、インダクタ電流 i_a に流れる電流は減少する。

【0079】

その後図 6 D に示されるように、第 3 期間 T P 3（状態 3（STATE3））において、制御回路 100 は、トランジスタ Q 2、Q 3、S 2 及び S 3 をオンさせる。一方、トランジスタ Q 1、Q 4、S 1 及び S 4 は、オフされる。その結果、インダクタ 60 U に接続される全てのトランジスタがオフになるため、インダクタ 60 U には電流が流れない。なお、制御回路 100 は、インダクタ 60 U の電流がゼロになった時に第 2 期間 T P 2 を終了し、第 3 期間 T P 3 を開始するように主回路 20 を制御する。このように動作させることにより、電流波形の対称性を向上し、かつ、インダクタ 60 U に接続しているトランジスタ Q 1、Q 4、S 1 及び S 4 へのスイッチングに伴う負荷が抑制される。また、第 1 期間 T P 1、第 2 期間 T P 2 及び第 3 期間 T P 3 の合計は、180 度の位相に相当することが好ましい。このように動作させることにより、電流波形の対称性を向上させることが可能になる。

10

【0080】

その後、反転動作を実行する。すなわち、第 4 期間 T P 4 において、制御回路 100 は、トランジスタ Q 4 及び S 1 の双方をオンさせる。第 1 期間 T P 1 と第 4 期間 T P 4 とを比較すると、第 1 期間 T P 1 においては、制御回路 100 がトランジスタ Q 1 及び S 4 をオンさせることにより、インダクタ 60 U に流れる電流を正の方向に増加させたのに対し、第 4 期間 T P 4 においては、制御回路 100 がトランジスタ Q 4 及び S 1 をオンさせることにより、インダクタ 60 U に流れる電流を負の方向に増加させる。このため、第 1 期間 T P 1 におけるインダクタ電流 i_a の正の方向へ増加する電流波形と、第 4 期間 T P 4 におけるインダクタ電流 i_a の負の方向へ増加する電流波形とが対称的になる。

20

【0081】

次いで、第 5 期間 T P 5 において、制御回路 100 は、トランジスタ Q 4 及び S 4 の双方をオンさせ、インダクタ 60 U に流れる負の電流を減少させる。

【0082】

その後、第 6 期間 T P 6 において、制御回路 100 は、トランジスタ Q 1、Q 4、S 1 及び S 4 の全てをオフにさせる。上述したと同様の理由により、制御回路 100 は、インダクタ 60 U の電流がゼロになった時に第 5 期間 T P 5 を終了し、第 6 期間 T P 6 を開始するように主回路 20 を制御する。また、第 4 期間 T P 4、第 5 期間 T P 5 及び第 6 期間 T P 6 の合計は、180 度の位相に相当することが好ましい。

30

【0083】

以上のようなブースト 1 動作モードによれば、図 6 A に示されるように、トランジスタ Q 1 乃至 S 6 の全てのトランジスタのデューティ比を同一にしながら、かつ、第 1 期間 T P 1 及び第 2 期間 T P 2 の正側のインダクタ電流 i_a と、第 4 期間 T P 4 及び第 5 期間 T P 5 の負側のインダクタ電流 i_a を対称的な波形にすることが可能となる。また、第 3 期間 T P 3 及び第 6 期間 T P 6 において、インダクタ電流 i_a が流れない期間を設けるから、インダクタ電流 i_a は、不連続である。なお、出力電流 i_{out} は、図 6 A に示されるように、60 度ごとにピークを有する電流波形となる。

40

【0084】

（ブースト 2 動作モード）

図 7 は、ブースト 2 動作モードにおいて、制御回路 100 により生成される制御信号を示す図である。ブースト 1 動作モードに関する説明と同様であることが当業者に理解できる点については説明を省略または簡略化する。

【0085】

同図に示されるように、ブースト 2 動作モードにおいても、第 1 期間 T P 1 内において、制御回路 100 は、トランジスタ Q 1 及び S 4 の双方をオンさせ、インダクタ 60 U に流れる電流を 0 から正の値に増加させ、第 2 期間 T P 2 において、制御回路 100 は、ト

50

ランジスタQ 1及びS 1の双方をオンさせ、インダクタ電流 i_a をゼロに減少させる。第3期間TP 3において、制御回路100は、トランジスタQ 1、Q 4、S 1及びS 4の全てをオフにさせ、インダクタ60Uに電流が流れない期間を設ける。続いて反転動作に移り、第4期間TP 4において、制御回路100は、トランジスタQ 4及びS 1の双方をオンさせ、インダクタ電流 i_a をゼロから負の方向に増加させ、第5期間TP 5において、トランジスタQ 4及びS 4の双方をオンさせ、インダクタ60Uに流れる負の電流を0に減少させ、その後、第6期間TP 6において、制御回路100は、トランジスタQ 1、Q 4、S 1及びS 4の全てをオフにさせ、インダクタ60Uに電流が流れない期間を設ける。制御回路100は、インダクタ電流 i_a がゼロになった時に第5期間TP 5を終了し、第6期間TP 6を開始するように主回路20を制御する。また、第4期間TP 4、第5期間TP 5及び第6期間TP 6の合計は、180度の位相に相当することが好ましい。

10

【0086】

なお、同図において状態1 (STATE1) 及び状態2 (STATE2) のとき、2次側に電流がながれ、インダクタ60Uはディスチャージされ、状態3 (STATE3) のときインダクタ60Uには、実質的に電流が流れない。

【0087】

(ブースト3動作モード)

図8は、ブースト3動作モードにおいて、制御回路100により生成される制御信号を示す図である。ブースト1動作モードに関する説明と同様であるため、説明を省略または簡略化する。ただしブースト3動作モードは、ブースト1動作モード及びブースト2動作モードと比較してデューティ比が小さいことから、第1期間TP 1内においてインダクタ電流 i_a がゼロになる状態が発生する。このとき、トランジスタQ 1及びS 1のみがオンされているから、インダクタ電流 i_a は流れない。その後、状態1 (STATE1) においてインダクタ60Uは、チャージされ、状態2 (STATE2) においてディスチャージされ、状態3 (STATE3) においてインダクタ60Uには、実質的に電流が流れない。

20

【0088】

[動作モードの選択]

以下、上述した動作モードを選択するための方法について説明する。図9は、制御回路100内の動作モード選択のための機能ブロック図である。

【0089】

30

まず、制御回路100は、1次側と2次側との電圧変換比Mを決定する。具体的には、制御回路100は、外部から供給される2次側直流電圧 V_2 (に巻線比 n を乗じた値) を1次側直流電圧 V_1 で除算することにより電圧変換比Mを取得する。図9においては、CHADEMO (登録商標) 規格に基づいて表記がなされており、同図における V_{bat} が2次側直流電圧 V_2 に相当し、 V_{dcbus} が1次側直流電圧 V_1 に相当する。なお、3相DC/DCコンバータ10がバッテリーに接続されるとき、1次側直流電圧 V_1 は、たとえば、380Vである。

【0090】

また、制御回路100は、出力Pを決定する。具体的には、制御回路100は、外部から供給される電流指令値 I_{ref} と2次側直流電圧 V_2 に基づいて定まる V_{bat} を乗じることにより出力Pを取得する。

40

【0091】

制御回路100のモード選択部100Aは、電圧変換比M及び出力Pに基づいて、動作モードを選択する。図10は、電圧変換比Mを横軸とし、正規化された出力Pを縦軸とする、動作モードを選択するための図である。この図において、「SPS」「SDM Buck 1」「SDM Buck 2」「SDM Buck 3」「SDM Boost 1」「SDM Boost 2」「SDM Boost 3」と示される領域は、上述したSPSモード、SDM変調動作における、バック1動作モード、バック2動作モード、バック3動作モード、ブースト1動作モード、ブースト2動作モード、ブースト3動作モードにそれぞれ相当する。制御回路100の記憶素子には、たとえば、電圧変換比Mを関数とする各領域の

50

境界を規定するための情報が記録される。なお、図 10 における Q は、Q 値を示している。

【0092】

たとえば、電圧変換比 M が 1 であり、正規化された出力 P が 0.6 である場合、モード選択部 100A は、SPS 動作モードを選択する。同図の、「SPS」で示される領域は、SPS 動作モードにおいて、ソフトスイッチングを実現できる領域に相当する。この領域の外で、仮に、SPS 動作モードを選択すると、ハードスイッチングするスイッチング素子が現れる。このため、モード選択部 100A は、「SPS」で示される領域の外では、SDM 変調動作における各動作モードを選択する。なお、ソフトスイッチングとは、たとえば、スイッチング素子において、共振現象などを利用し、電圧または電流がゼロになるタイミングでスイッチング素子のスイッチング（オン/オフの切り替え）を行うことを含む。ソフトスイッチングを満足する条件は、知られている。

10

【0093】

たとえば、電圧変換比 M が 1.5 であり、正規化された出力 P が 0.6 である場合、モード選択部 100A は、電圧変換比 $M = 1.5$ のときの、各領域の境界となる出力値、すなわち、ブースト 3 動作モードとブースト 2 動作モードとの境界となる出力値、ブースト 2 動作モードとブースト 1 動作モードとの境界となる出力値及びブースト 1 動作モードと SPS 動作モードとの境界となる出力値を算出し、制御回路 100 により取得された出力 $P = 0.6$ であることに基づいて、ブースト 2 動作モードを選択する。

【0094】

同様に、たとえば、電圧変換比 M が 0.5 であり、正規化された出力 P が 0.4 である場合、モード選択部 100A は、バック 2 動作モードを選択する。

20

電圧変換比 M に対し、動作モード間の出力 P の境界（出力境界）を与える式は、表 1 に示される。ただし、 P_m は、1 次側直流電圧 V_1 、インダクタ 60μ のインダクタンス（たとえば、 $4\mu H$ ）、周波数 f_s （たとえば、 $50kHz$ ）で定まる係数である。

30

40

50

【表 1】

動作モード	位相シフト量境界 ただし $M = \frac{nV_2}{V_1}$, $D_p = \frac{\psi}{2\pi}$	出力境界 ただし $P_m = \frac{V_1^2}{24L_k f_s}$
バック3	$\left[\frac{1}{3}; \frac{2-M}{6}\right]$	$P_m[M^2(1-M); 0]$
バック2	$\left[\frac{2-M}{6}; \frac{4-5M}{6(2-M)}\right]$ $\left[\frac{2-M}{6}; \frac{1}{6}\right]$	$P_m\left[M^2(1-M); 6\frac{M^2}{2-M}\right]$ $P_m\left[M^2(1-M); 6M\frac{1-M}{1+M}\right]$
バック1	$\left[\frac{1}{6}; \frac{1-M}{3}\right]$	$P_m\left[6M\frac{1-M}{1+M}; 8M\frac{1-M^2}{3}\right]$
SPS(バック)	$\left[\frac{1}{6}; \frac{1-M}{3}\right]$	$P_m\left[2M; 8M\frac{1-M^2}{3}\right]$
SPS(ブースト)	$\left[\frac{1}{6}; \frac{M-1}{3M}\right]$	$P_m\left[2M; 8\frac{M^2-1}{3M}\right]$
ブースト1	$\left[\frac{M-1}{3M}; \frac{M-1}{2(M+1)}\right]$	$P_m\left[8\frac{M^2-1}{3M}; 6M\frac{M-1}{M+1}\right]$
ブースト2	$\left[\frac{M-1}{2(M+1)}; \frac{M-1}{6M}\right]$	$P_m\left[6M\frac{M-1}{M+1}; \frac{M-1}{M}\right]$
ブースト3	$\left[\frac{M-1}{6M}; 0\right]$	$P_m\left[\frac{M-1}{M}; 0\right]$

【0095】

バック1動作モード、バック2動作モード、ブースト1動作モード及びブースト2動作モードでは、ソフトスイッチングが実現される。このため、本実施形態に係る3相DC/DCコンバータ10は、SDS動作モードがソフトスイッチングを実現できる領域を超えた領域において、ソフトスイッチングを実現することが可能になる。なお、バック3動作モード及びブースト3動作モードでは、2次側ブリッジ回路40においてハードスイッチングが発生する。このため、モード選択部100Aは、これら動作モードを選択しないように構成される。ただし、モード選択部100Aがこれら動作モードを選択することを妨げるものではない。

【0096】

図9に戻り、制御回路100の位相シフト量決定部100Bは、位相シフト量 D_p を決定する。位相シフト量 D_p は、対応するトランジスタ（たとえば、トランジスタQ1とトランジスタS1）間の位相シフト量を示しており、図3Aなどに示されるように、たとえば、トランジスタQ1がオンにスイッチングされた後に、トランジスタS1がオンにスイッチングされるまでの期間に相当する情報である。具体的には、位相シフト量決定部100Bは、電流指令値 I_{ref} と、フィードバック電流値 i_{bat} （2次側の電流値である I_2 に相当）の差分に基づいて、位相シフト量 D_p を決定する。表1には、電圧変換比 M に対する位相シフト量 D_p の領域が、動作モードごとに示される。この表に示されるように、動作モードの境界において、位相シフト量 D_p は、同一である。たとえば、バック3動作モードとバック2動作モードの境界において、位相シフト量 D_p は、 $(2-M)/6$ である。したがって、バック3動作モードからバック2動作モードに移行するとき（あるいはバック

ク 2 動作モードからバック 3 動作モードに移行するとき)、位相シフト量 D_p が不連続に変動しないから、損失を低減することが可能になる。

【 0 0 9 7 】

制御回路 1 0 0 の変調部 1 0 0 C は、位相シフト量 D_p 、モード選択部 1 0 0 A によって選択された動作モード及び電圧変換比 M に基づいて、トランジスタのオン時間を示すパラメータ D_1 及び D_2 (図 3 A など) を決定する。動作モードごとにパラメータ D_1 及び D_2 を決定するための式は、表 2 に示される。

【表 2】

動作モード	D_1	D_2
バック 3	$D_1 = \frac{1}{2} - D_p$	$D_2 = \frac{1}{M} \left(\frac{1}{3} - D_p \right) + \frac{1}{6}$
バック 2	$D_1 = \frac{1}{2} - D_p$	$D_2 = \frac{3}{1+M} D_1 - \frac{1}{6}$
バック 1	$D_1 = \frac{1}{2} - D_p$	$D_2 = \frac{2}{1+M} \left(\frac{2}{3} - D_p \right) - \frac{1}{6}$
SPS(バック)	$D_1 = \frac{1}{2} - D_p$	$D_2 = \frac{1}{2}$
SPS(ブースト)	$D_1 = \frac{1}{2}$	$D_2 = D_1 - D_p$
ブースト 1	$D_1 = \frac{2M}{M-1} D_p - \frac{1}{6}$	$D_2 = D_1 - D_p$
ブースト 2	$D_1 = \frac{3M}{2M-1} D_p + \frac{M+1}{2M-1} \times \frac{1}{6}$	$D_2 = D_1 - D_p$
ブースト 3	$D_1 = \frac{MD_p}{M-1} + \frac{1}{6}$	$D_2 = D_1 - D_p$

【 0 0 9 8 】

変調部 1 0 0 C は、パラメータ D_1 、 D_2 及び位相シフト量 D_p に基づいて、トランジスタ Q 1 乃至 S 6 を制御するための制御信号を生成し、制御回路 1 0 0 のドライバ (不図示) は、トランジスタ Q 1 乃至 S 6 のゲート (またはベース) に駆動信号を供給する。

【 0 0 9 9 】

以上のとおりであるから、3 相 DC / DC コンバータ 1 0 によれば、たとえば、電圧変換比 M が 0.5 以上 2.0 以下の広範囲にわたり、ソフトスイッチングを実現することが可能になる。たとえば、図 1 1 は、3 相 DC / DC コンバータ 1 0 の 1 次側正極端子 2 2 A 及び 1 次側負極端子 2 2 B を電源である PSU (Power Supply Unit) 2 0 0 に接続し、2 次側正極端子 2 4 A 及び 2 次側負極端子 2 4 B を負荷 (バッテリー 3 0 0) に接続して構成される蓄電システム 4 0 0 を示している。

【 0 1 0 0 】

このような蓄電システム 4 0 0 においてバッテリーを充電する場合、2 次側の電流値である I_2 を一定に制御する場合、図 1 0 において、電圧変換比 M 及び出力 P が比例するように両者は推移する。このとき、電圧変換比 M 及び出力 P が上昇するにつれて、バック 2 動作モード、バック 1 動作モード、SPS モード、ブースト 1 動作モード、ブースト 2 動作モードと、動作モードを推移させながら、3 相 DC / DC コンバータ 1 0 を動作させることにより、ソフトスイッチングを実現しながら、バッテリー 3 0 0 を充電することが可能となる。また、動作モード間の境界で位相シフト量 D_p は、連続的なので、効率の低下を抑制できる。さらに上述したように、スイッチング素子への負荷の均等性を向上させることも可能となる。

【 0 1 0 1 】

なお、3相DC/DCコンバータ10において、電力の伝送方向を変更する場合、1次側ブリッジ回路30と2次側ブリッジ回路40を入れ替えて動作させればよい。すなわち、トランジスタQ1などをトランジスタS1などとし、トランジスタS1などをトランジスタQ1などとして、同様に動作させることにより、電力の伝送方向を変更することが可能となる。

【0102】

以上、具体例を参照しつつ本実施形態について説明した。しかし、本開示はこれらの具体例に限定されるものではない。これら具体例に、当業者が適宜設計変更を加えたものも、本開示の特徴を備えている限り、本開示の範囲に包含される。たとえば、図3Aなどに示されるバックモードにおけるトランジスタQ1とQ4をスイッチングさせる時（第1期間TP1と第2期間TP2との間及び第4期間TP4と第5期間TP5との間）などに、それぞれ、デッドタイムを挿入してもよい。同様に、図6Aなどに示されるブーストモードにおいても同様である。その他、上述した各具体例が備える各要素およびその配置、条件などは、例示したものに限定されるわけではなく当業者の通常の創作能力の発揮内において、適宜変更することができる。前述した各具体例が備える各要素は、技術的な矛盾が生じない限り、適宜組み合わせを変えることができる。

【符号の説明】

【0103】

- 10 DC/DCコンバータ
- 20 主回路
- 22A 1次側正極端子
- 22B 1次側負極端子
- 24A 2次側正極端子
- 24B 2次側負極端子
- 26A 1次側正極母線
- 26B 1次側負極母線
- 28A 2次側正極母線
- 28B 2次側負極母線
- 30 1次側ブリッジ回路
- 40 2次側ブリッジ回路
- 50 変圧回路
- 60 インダクタ
- 100 制御回路

10

20

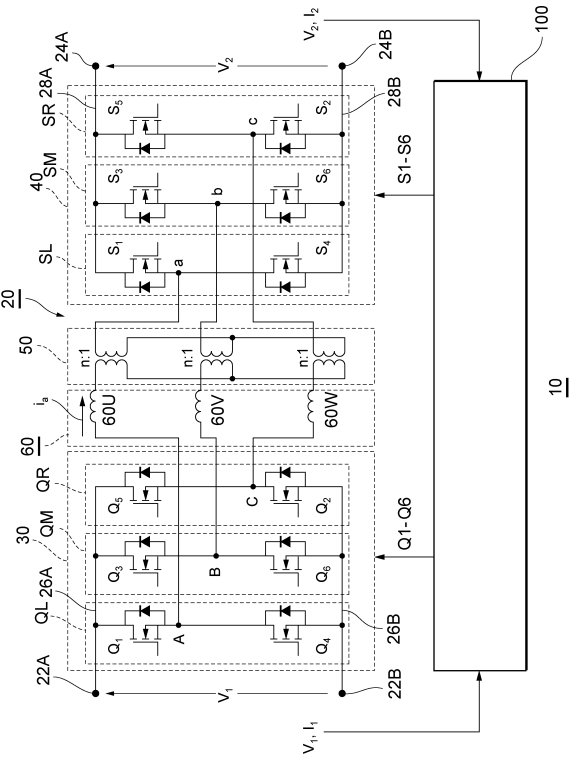
30

40

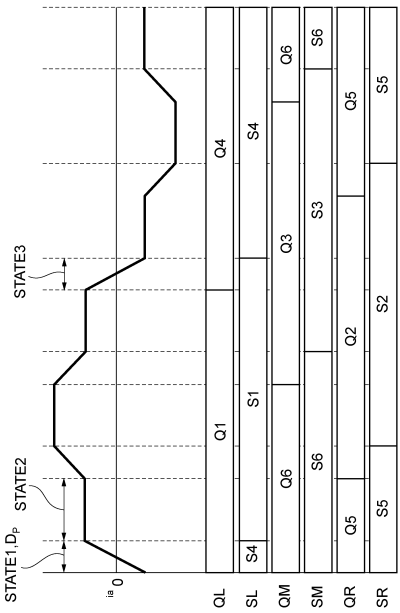
50

【図面】

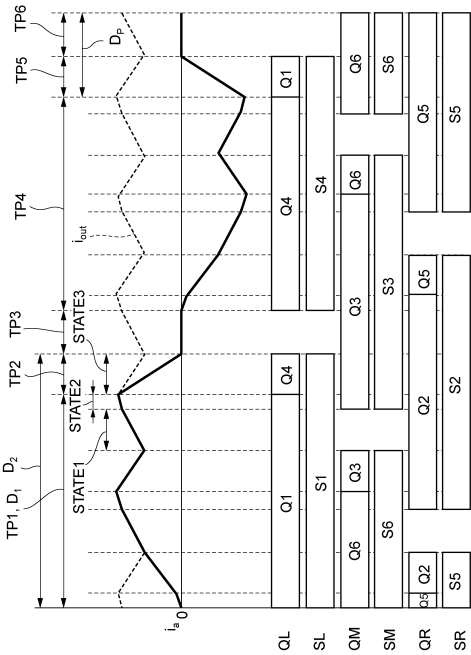
【図 1】



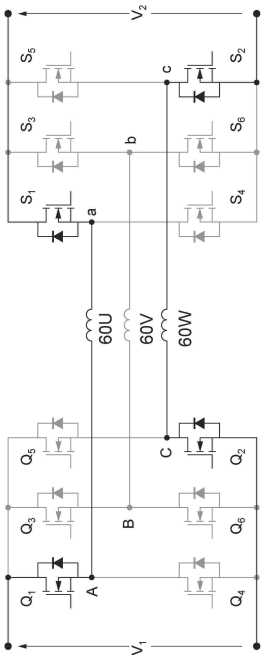
【図 2】



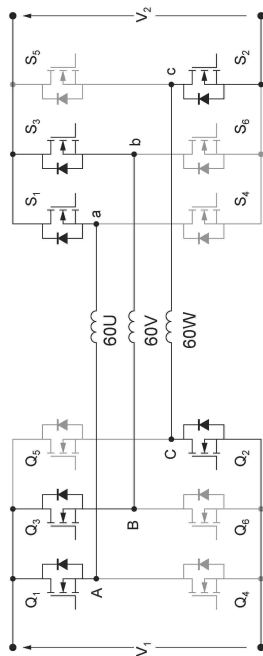
【図 3 A】



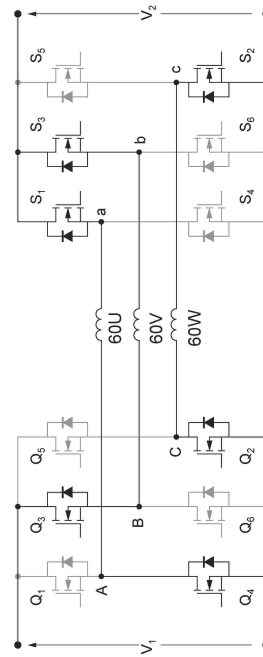
【図 3 B】



【 図 3 C 】



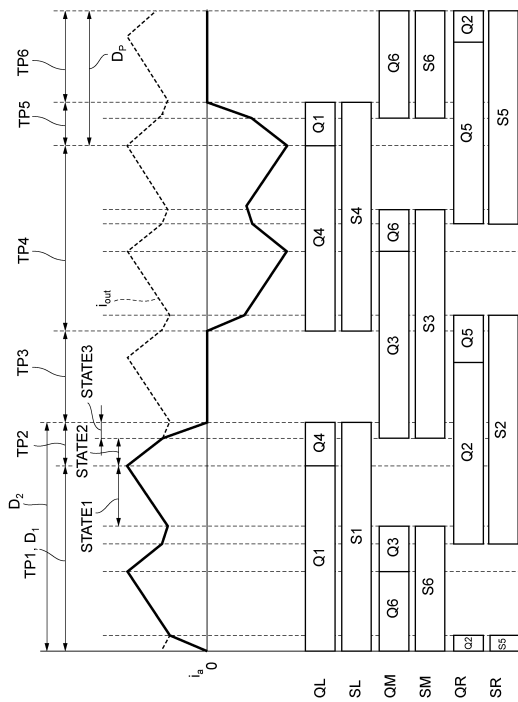
【 図 3 D 】



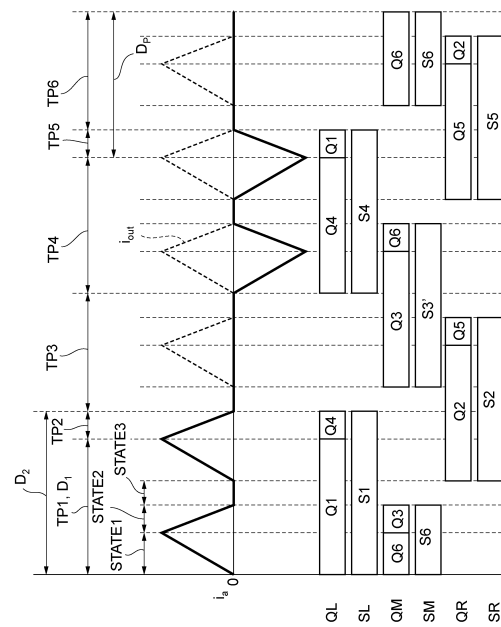
10

20

【 図 4 】



【 図 5 】

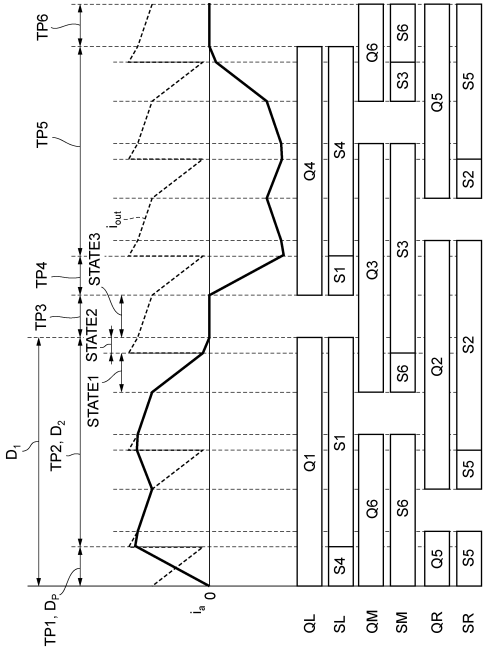


30

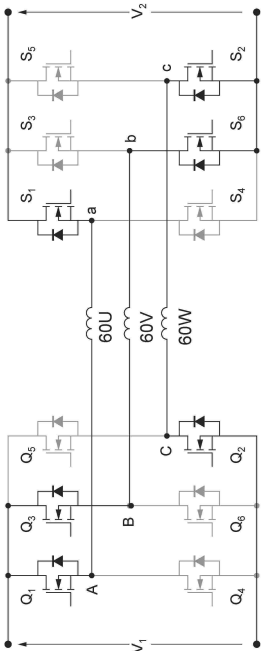
40

50

【図 6 A】



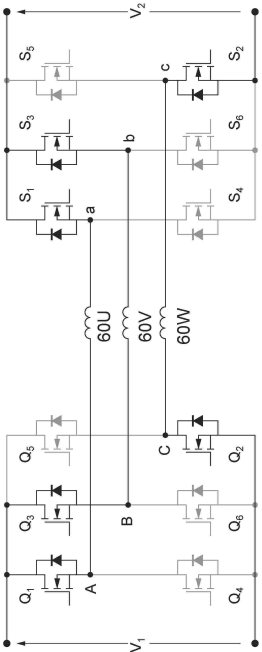
【図 6 B】



10

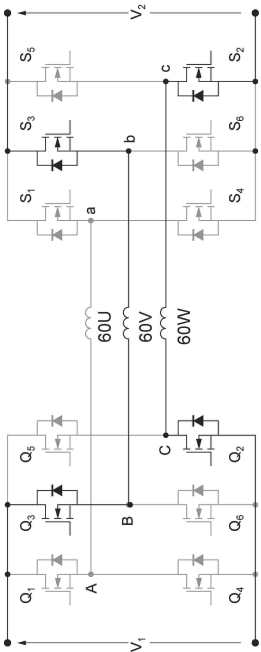
20

【図 6 C】



30

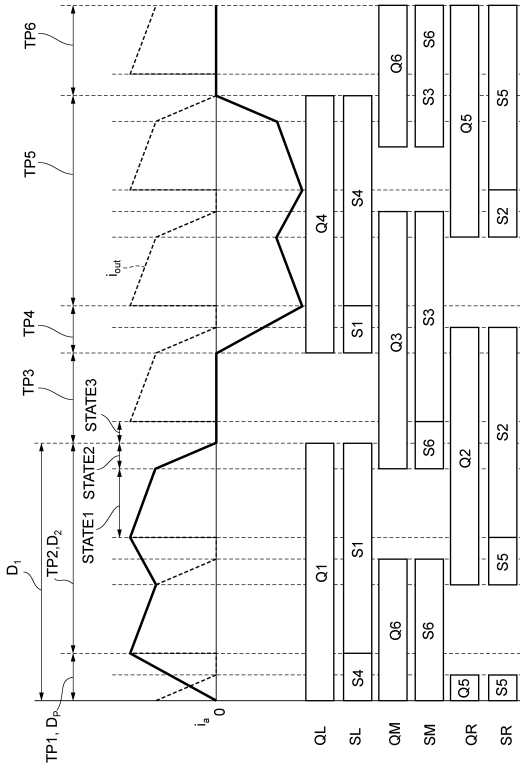
【図 6 D】



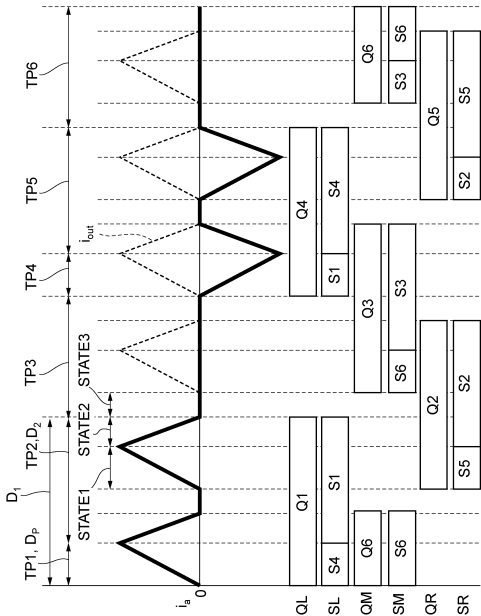
40

50

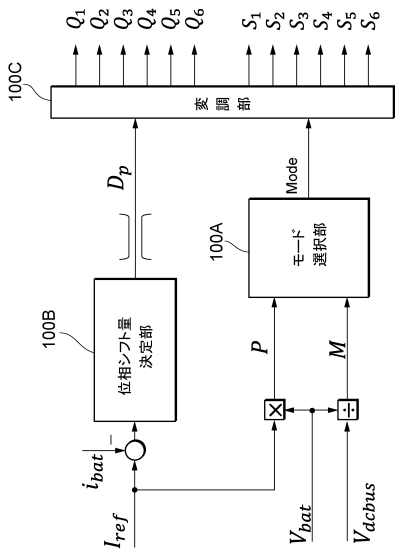
【図 7】



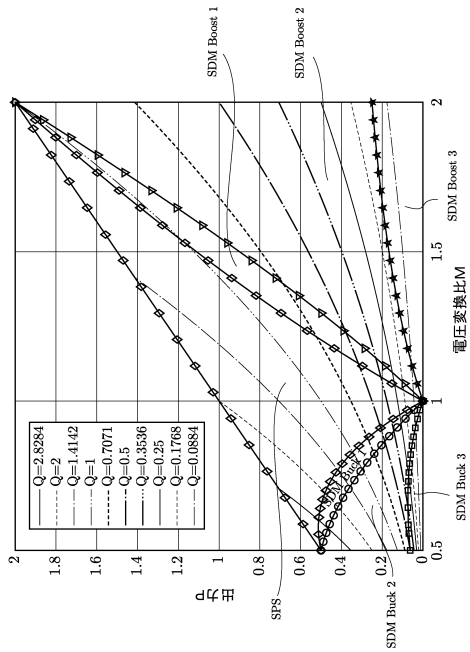
【図 8】



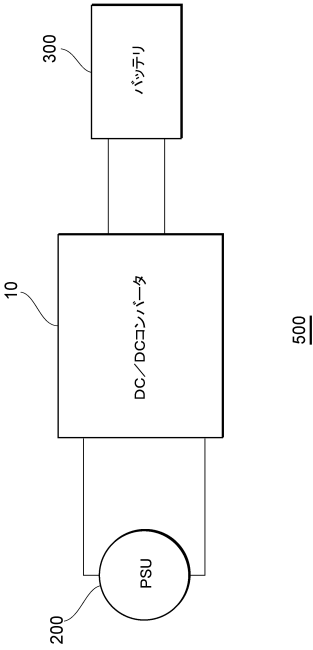
【図 9】



【図 10】



【図 1 1】



10

20

30

40

50

フロントページの続き

nergy Engineering in Electronics and Communications (EE), Online Proceedings

(72)発明者 加藤 彰訓
愛知県瀬戸市暁町3番86 河村電器産業株式会社内

(72)発明者 グエン ドゥイ ディン
愛知県豊田市八草町八千草1247 愛知工業大学内

(72)発明者 雪田 和人
愛知県豊田市八草町八千草1247 愛知工業大学内

審査官 安食 泰秀

(56)参考文献 特開2020-102933(JP,A)
国際公開第2016/125292(WO,A1)
特開2014-007942(JP,A)
特開2018-170845(JP,A)

(58)調査した分野 (Int.Cl., DB名)
H02M 3/28