

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 3 月 26 日 (26.03.2015)



(10) 国际公布号
WO 2015/039381 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2013/088146
- (22) 国际申请日: 2013 年 11 月 29 日 (29.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310432359.1 2013 年 9 月 22 日 (22.09.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。
- (72) 发明人: 孙建 (SUN, Jian); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李成 (LI, Cheng); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。安星俊 (AN, Seong Jun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。柳奉烈 (RYU, Bongyeol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制备方法与显示装置

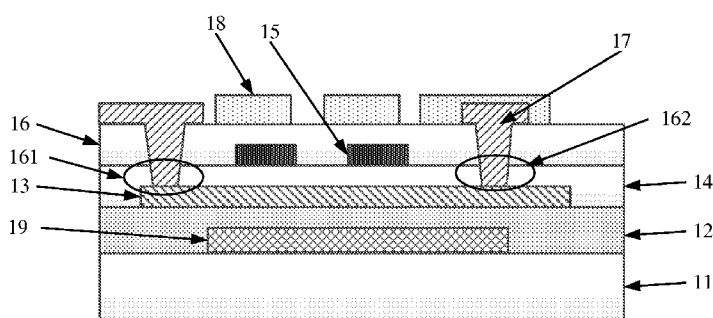


图 1 / FIG. 1

(57) Abstract: An array substrate, comprising an underlayer substrate (11); a buffer layer (12), a semiconductor layer (13), a gate insulating layer (14), a gate metal layer (15), an interlayer dielectric layer (16), a source-drain metal layer (17) and a pixel electrode layer (18) which are formed on the underlayer substrate (11) in sequence; and a common electrode layer (19) which is formed between the underlayer substrate (11) and the buffer layer (12). The array substrate has increased storage capacitance and improved pixel voltage holding ratio, thereby reducing bad phenomena such as flicker and the like of a display device. Also related to are a preparation method for the array substrate and a display device comprising the array substrate.

(57) 摘要: 一种阵列基板包括衬底基板 (11), 依次形成在衬底基板 (11) 上的缓冲层 (12)、半导体层 (13)、栅极绝缘层 (14)、栅金属层 (15)、层间介电层 (16)、源漏金属层 (17) 以及像素电极层 (18), 以及形成在衬底基板 (11) 与缓冲层 (12) 之间的公共电极层 (19)。该阵列基板具有增大的存储电容和提高了的像素电压保持率, 降低了显示装置的闪烁等不良现象。还涉及该阵列基板的制备方法与包括该阵列基板的显示装置。

WO 2015/039381 A1

阵列基板及其制备方法与显示装置

技术领域

5 本发明的实施例涉及一种阵列基板及其制备方法与显示装置。

背景技术

随着 TFT (Thin Film Transistor, 薄膜晶体管) 液晶显示技术的不断发展, 具备功耗低、分辨率高、反应速度快以及开口率高等特点的基于 LTPS (Low
10 Temperature Poly-silicon, 低温多晶硅) 技术的 TFT 显示装置逐渐成为主流。这样的显示装置已被广泛应用于各种电子设备如液晶电视、智能手机、平板电脑以及数码相机等数字电子设备中。

但是, 在基于 LTPS 技术的 TFT 显示装置等高分辨率产品中, 随着产品分辨率以及开口率的越来越高, LTPS TFT 显示装置的阵列基板的像素间距
15 (pixel pitch) 也越来越小, 这进而导致阵列基板的存储电容越来越小。由于对于 LTPS TFT 阵列基板来说, 在同样大小漏电流情况下, 存储电容越小则像素电压的保持率越低, 这进而会导致闪烁 (Flicker) 等不良现象的产生, 极大地降低了阵列基板或 TFT 显示装置等高分辨率产品的品质。因此, 如何在
20 不影响阵列基板开口率的同时提高其存储电容, 已成为业界亟需解决的问题。

发明内容

本发明实施例提供了一种阵列基板及其制备方法与显示装置, 用以解决
25 现有技术中存在的阵列基板的存储电容较小所导致的阵列基板或显示装置品质较低的问题。

本发明的一个方面提供了一种阵列基板, 所述阵列基板包括衬底基板、依次形成在所述衬底基板上的缓冲层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层, 以及形成在所述衬底基板与所述缓冲层之间的公共电极层。

30 例如, 所述公共电极层在所述衬底基板上的水平投影区域分别与所述像

素电极层在所述衬底基板上的水平投影区域以及所述半导体层在所述衬底基板上的水平投影区域存在重叠。

例如，所述半导体层可以为多晶硅层。

例如，所述源漏金属层包括源极、漏极和数据线的图案，所述层间介电层以及栅极绝缘层内形成有分别用于将所述源极、漏极与所述半导体层电连接的源极过孔以及漏极过孔。

例如，所述公共电极层由透明导电材料制备而成。例如，所述透明导电材料为 ITO（氧化锡铟）。

本发明的另一方面还提供了一种显示装置，所述显示装置包括本发明实施例中所述的阵列基板。

本发明的再一方面还提供了一种阵列基板制备方法，所述方法包括：在衬底基板上形成公共电极层；在所述公共电极层上形成缓冲层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层。

例如，所述公共电极层在所述衬底基板上的水平投影区域分别与所述像素电极层在所述衬底基板上的水平投影区域以及所述半导体层在所述衬底基板上的水平投影区域存在重叠。

例如，所述半导体层可为多晶硅层。

例如，所述源漏金属层包括源极、漏极和数据线的图案；在形成所述层间介电层之后，且在形成所述源漏金属层之前，所述方法还包括：在所述层间介电层以及栅极绝缘层内形成分别用于将所述源极、漏极与所述半导体层电连接的源极过孔以及漏极过孔。

本发明实施例提供的阵列基板中，公共电极层不仅可与像素电极层形成存储电容，还可与半导体层形成存储电容，起到了增大阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果，提高了阵列基板及显示装置的品质；另外，本发明实施例提供的阵列基板的制备方法中，由于可省去后续保护层及钝化层等工艺流程，从而还可达到简化阵列基板的膜层结构以及制作工艺的效果。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作

简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 所示为本发明实施例一中所述阵列基板的结构示意图；

图 2 (a) 所示为本发明实施例一中所述阵列基板的制作工艺示意图一；

5 图 2 (b) 所示为本发明实施例一中所述阵列基板的制作工艺示意图二；

图 2 (c) 所示为本发明实施例一中所述阵列基板的制作工艺示意图三；

图 2 (d) 所示为本发明实施例一中所述阵列基板的制作工艺示意图四；

图 2 (e) 所示为本发明实施例一中所述阵列基板的制作工艺示意图五；

图 2 (f) 所示为本发明实施例一中所述阵列基板的制作工艺示意图六；

10 图 2 (g) 所示为本发明实施例一中所述阵列基板的制作工艺示意图七；

图 2 (h) 所示为本发明实施例一中所述阵列基板的制作工艺示意图八；

图 2 (i) 所示为本发明实施例一中所述阵列基板的制作工艺示意图九；

图 3 所示为本发明实施例一中所述阵列基板的平面结构示意图。

15 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

实施例一

图 1 为本发明实施例一的阵列基板的结构示意图。本发明实施例一提供的阵列基板包括：衬底基板 11、依次形成在所述衬底基板 11 上的缓冲层 12、半导体层 13、栅极绝缘层 14、栅金属层 15、层间介电层 16、源漏金属层 17
25 以及像素电极层 18。所述阵列基板还包括：形成在所述衬底基板 11 与所述缓冲层 12 之间的公共电极层 19。

具体地，所述公共电极层 19 可部分覆盖所述衬底基板 11，并且，所述公共电极层 19 在所述衬底基板 11 上的水平投影区域分别与所述像素电极层 18 在所述衬底基板 11 上的水平投影区域以及所述半导体层 13 在所述衬底基
30 板 11 上的水平投影区域存在重叠。

进一步地,所述公共电极层 19 通常可由透明导电材料制备而成,所述透明导电材料可为 ITO (氧化铟锌)、AZO (掺铝氧化锌) 等材料,本发明实施例对此不作任何限定。

进一步地,所述半导体层 13 可为多晶硅层或非多晶硅层。例如,在本发明所述实施例中,所述半导体层 13 通常可为多晶硅层。

进一步地,所述源漏金属层 17 通常可包括源极、漏极和数据线的图案,本发明实施例对此不作赘述;相应地,所述层间介电层 16 以及栅极绝缘层 14 内还可形成有分别用于将所述源漏金属层 17 中的源极、漏极与所述半导体层 13 电连接的源极过孔 161 以及漏极过孔 162,本发明实施例对此不作赘述。

在本实施例中,可在形成缓冲层 12 之前,在衬底基板 11 上形成公共电极层 19,使得公共电极层 19 不仅可与像素电极层 18 形成存储电容,还可与半导体层 13 形成存储电容。该结构起到了增大阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果,提高了阵列基板及显示装置的品质。

另外,与现有技术相比,由于所述像素电极层 18 与所述源漏金属层 17 之间不再设置有保护层、公共电极层以及钝化层等膜层结构,因此,还可省去后续保护层及钝化层等工艺制备流程,从而还可达到简化阵列基板的膜层结构以及制作工艺的效果。

进一步地,本实施例一还提供了一种阵列基板制备方法。具体地,下面将结合图 2(a)~图 2(i) 对本实施例一中所述阵列基板的制备方法进行简要说明。所述阵列基板制备方法可以如下进行。

步骤 101: 在衬底基板 11 上形成公共电极层 19,可如图 2(a) 所示。

例如,所述衬底基板 11 可以为玻璃基板或塑料基板等,本发明实施例对此不作任何限定;进一步地,在所述衬底基板 11 上形成公共电极层 19 之前,还可对所述衬底基板 11 进行预清洗操作,之后,可采用沉积、溅射等方式在所述衬底基板 11 上形成公共电极薄膜层,并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺在所述衬底基板 11 上形成具备设定图案的公共电极层 19,本发明实施例对此不作赘述。

进一步地,所述公共电极层 19 的图案可以部分覆盖所述衬底基板 11。

并且，为了达到增加阵列基板的存储电容的目的，在本发明所述实施例中，所述公共电极层 19 的图案通常可满足以下条件：所述公共电极层 19 在所述衬底基板 11 上的水平投影区域分别与像素电极层 18 在所述衬底基板 11 上的水平投影区域以及半导体层 13 在所述衬底基板 11 上的水平投影区域存在重叠。这使得所述公共电极层 19 不仅可与像素电极层 18 形成存储电容，还可与半导体层 13 形成存储电容，进而达到增大阵列基板的存储电容、提高阵列基板及显示装置产品性能的目的。

需要说明的是，所述公共电极层 19 的图案还可以全部覆盖所述衬底基板 11，这样可以减少一次构图工艺，但会增加一些不必要的寄生电容。因此，优选地，所述公共电极层 19 的图案部分覆盖所述衬底基板，并且在所述衬底基板 11 上的水平投影区域分别与像素电极层 18 在所述衬底基板 11 上的水平投影区域以及半导体层 13 在所述衬底基板 11 上的水平投影区域存在重叠。

步骤 102：在所述公共电极层 19 上形成缓冲层 12，可如图 2 (b) 所示。

例如，在本发明所述实施例中，可采用 CVD (Chemical Vapor Deposition, 化学气相沉积) 等方法在所述公共电极层 19 上沉积缓冲层 12；进一步地，所述缓冲层 12 可以为氮化硅薄膜层和氧化硅薄膜层所组成的双层绝缘层结构，也可以为氮化硅薄膜层或氧化硅薄膜层等单层绝缘层结构，本发明实施例对此不作任何限定。

步骤 103：在所述缓冲层 12 上形成半导体层 13，可如图 2 (c) 所示。

例如，所述半导体层 13 可为多晶硅层或非多晶硅层；当所述半导体层 13 为多晶硅层时，可采用 CVD 等方法在所述缓冲层 12 上沉积非晶硅层，并采用准分子激光退火 (ELA) 或固相结晶 (SPC) 等方法将所述非晶硅晶化为多晶硅，之后，再通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺形成所需的多晶硅图案。

步骤 104：在所述半导体层 13 上形成栅极绝缘层 14，可如图 2 (d) 所示。

例如，可采用 CVD 等方法在所述半导体层 13 上沉积栅极绝缘层 14；进一步地，所述栅极绝缘层 14 可为氧化硅层、氮化硅层或由氧化硅层和氮化硅层所组成的复合绝缘层等，本发明实施例对此不作任何限定。

步骤 105：在所述栅极绝缘层 14 上形成栅金属层 15，可如图 2 (e) 所

示。

例如，所述栅金属层 15 可包括栅极、栅线与公共电极线的图案，本发明实施例对此不作赘述；并且，在所述栅极绝缘层 14 上形成栅金属层 15 时，可采用 PVD（Physical Vapor Deposition，物理气相沉积）等方法在所述栅极绝缘层 14 上形成一金属层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺在所述栅极绝缘层 14 上一次形成栅极、栅线与公共电极线的图案。

例如，所述金属层可以为铝层、钨层、铬层或其他金属及金属化合物导电层等，本发明实施例对此不作任何限定。

10 步骤 106：在所述栅金属层 15 上形成层间介电层 16，可如图 2（f）所示。

例如，可采用 CVD 等方法在所述栅金属层 15 上沉积所述层间介电层 16，以起到保护所述栅金属层 15、并隔离所述栅金属层 15 和后续源漏金属层 17 的目的；所述层间介电层 16 可由氧化硅、氮化硅等材料制备而成，本发明实
15 施例对此不作任何限定。

步骤 107：在所述层间介电层 16 及所述栅极绝缘层 14 之内形成贯通至所述半导体层 13 的源极过孔与漏极过孔，可如图 2（g）所示。

例如，可采用一次或多次构图工艺在所述层间介电层 16 及所述栅极绝缘层 14 之内形成可直达所述半导体层 13 的源极过孔 161、漏极过孔 162，本发
20 明实施例对此不作任何限定。

步骤 108：在所述源极过孔 161、漏极过孔 162 内以及具备所述源极过孔 161、漏极过孔 162 的层间介电层 16 上形成包括源极 171、漏极 172 的源漏金属层 17，可如图 2（h）所示。

例如，在本步骤 108 中，可在具备源极过孔 161 以及漏极过孔 162 的层
25 间介电层 16 表面沉积一导电材料，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺来形成包括所述源极 171、漏极 172 的源漏金属层 17。

例如，所述导电材料可以为铝、钨、铬或其他金属及金属化合物等，本发明实施例对此不作任何限定。

30 需要说明的是，由于所述源漏金属层 17 通常可包括源极、漏极和数据线

的图案，因此，在本步骤 108 中，在形成源极 171、漏极 172 的同时，还可以同时形成数据线（Data），本发明实施例对此不作赘述。

步骤 109：在所述源漏金属层 17 上形成像素电极层 18，可如图 2（i）所示。

5 例如，可采用 CVD 等方法在所述源漏金属层 17 上沉积一透明导电材料层，并通过包括光刻胶涂敷、曝光、显影、刻蚀、光刻胶剥离等工艺的构图工艺来得到具备设定图案的像素电极层 18。

需要说明的是，所得到的像素电极层 18 通常可与所述源漏金属层 17 中的漏极 172 电连接，本发明实施例对此不再进行赘述。

10 也就是说，经过上述步骤 101~步骤 109 之后，可得到本发明实施例中所描述的阵列基板。所得到的阵列基板的平面结构示意图可如图 3 所示。在图 3 中，为了图示清楚，各层结构均是透明或半透明的样式。如图 3 所示，栅线 100 和数据线 200 彼此交叉定义了多个像素单元，每个像素单元包括薄膜晶体管、像素电极层 18、公共电极层 19 等，每个薄膜晶体管包括栅极、半导体层、源极和漏极等，例如栅极为栅线 100 的一部分，像素电极层 18 中的像素电极为梳状电极。在每个像素单元中，所述公共电极层（Vcom）19 除了可以位于所述像素电极层 18 之下外，还可扩大范围至所述像素电极层 18 一侧的半导体层 13 之下，从而使得所述公共电极层 19 不仅可与像素电极层 18 形成存储电容，还可与半导体层 13 形成存储电容，在达到简化阵列基板制作工艺、膜层结构的基础上，还达到了增大阵列基板的存储电容、提高阵列基板及显示装置产品性能的目的。

本实施例一提供的阵列基板及其制备方法中，所述阵列基板包括衬底基板、依次形成在所述衬底基板上的缓冲层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层，还包括：形成在所述衬底基板与所述缓冲层之间的公共电极层。由于在形成缓冲层之前，在衬底基板上形成公共电极层，该公共电极层不仅可与像素电极层形成存储电容，还可与半导体层形成存储电容，起到了增大阵列基板的存储电容、提高阵列基板的像素电压保持率以及降低显示装置的闪烁等不良现象的效果，提高了阵列基板及显示装置的品质；另外，所述制备方法与现有技术相比，由于还可省去后续保护层及钝化层等工艺流程，从而还可达到简化阵列基板的膜层结构以

及制作工艺的效果。

需要说明的是，本发明实施例均以半导体层为多晶硅层的顶栅型 TFT 为例进行说明，对于半导体层为非晶硅层等的 TFT，本发明实施例同样适用，且对于底栅型 TFT 或者其他结构变形的 TFT，只要需要通过增加正对面积而增大存储电容的方案，也都属于本发明实施例的保护范围。

实施例二

本发明实施例二提供了一种显示装置，所述显示装置可以为液晶显示面板、电子纸、OLED（Organic Light-Emitting Diode，有机发光二极管）面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具备显示功能的产品或部件，本发明实施例对此不作任何限定。所述显示装置包括本发明实施例一中所述的阵列基板，本发明实施例二对此不再赘述。

需要说明的是，本发明实施例中所述的显示装置可以为 TN（Twisted Nematic，扭曲向列）模式、VA（Vertical Alignment，垂直取向）模式、IPS（In-Plane Switching，平面转换技术）模式或 ADS（Advanced Super Dimension Switch，高级超维场转换技术）模式，本发明实施例对此不作任何限定；较优地，本发明实施例中所述的显示装置尤其适用于 IPS 模式和 ADS 模式。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括衬底基板、依次形成在所述衬底基板上的缓冲层、
5 半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层，以及形成在所述衬底基板与所述缓冲层之间的公共电极层。

2、如权利要求 1 所述的阵列基板，其中，所述公共电极层在所述衬底基板上的水平投影区域分别与所述像素电极层在所述衬底基板上的水平投影区域以及所述半导体层在所述衬底基板上的水平投影区域存在重叠。

3、如权利要求 1 或 2 所述的阵列基板，其中，所述半导体层为多晶硅层。

10 4、如权利要求 1-3 任一所述的阵列基板，其中，所述源漏金属层包括源极、漏极和数据线的图案，所述层间介电层以及栅极绝缘层内形成有分别用于将所述源极、漏极与所述半导体层电连接的源极过孔以及漏极过孔。

5、如权利要求 1-4 任一所述的阵列基板，其中，所述公共电极层由透明导电材料制备而成。

15 6、如权利要求 5 所述的阵列基板，其中，所述透明导电材料为氧化锡铟。

7、一种显示装置，包括权利要求 1-6 任一所述的阵列基板。

8、一种阵列基板制备方法，包括：

在衬底基板上形成公共电极层；

20 在所述公共电极层上依次形成缓冲层、半导体层、栅极绝缘层、栅金属层、层间介电层、源漏金属层以及像素电极层。

9、如权利要求 8 所述的阵列基板制备方法，其中，所述公共电极层在所述衬底基板上的水平投影区域分别与所述像素电极层在所述衬底基板上的水平投影区域以及所述半导体层在所述衬底基板上的水平投影区域存在重叠。

25 10、如权利要求 8 或 9 所述的阵列基板制备方法，其中，所述半导体层为多晶硅层。

11、如权利要求 8-10 任一所述的阵列基板制备方法，其中，所述源漏金属层包括源极、漏极和数据线的图案；在形成所述层间介电层之后，且在形成所述源漏金属层之前，所述方法还包括：

30 在所述层间介电层以及所述栅极绝缘层内形成分别用于将所述源极、漏极与所述半导体层电连接的源极过孔以及漏极过孔。

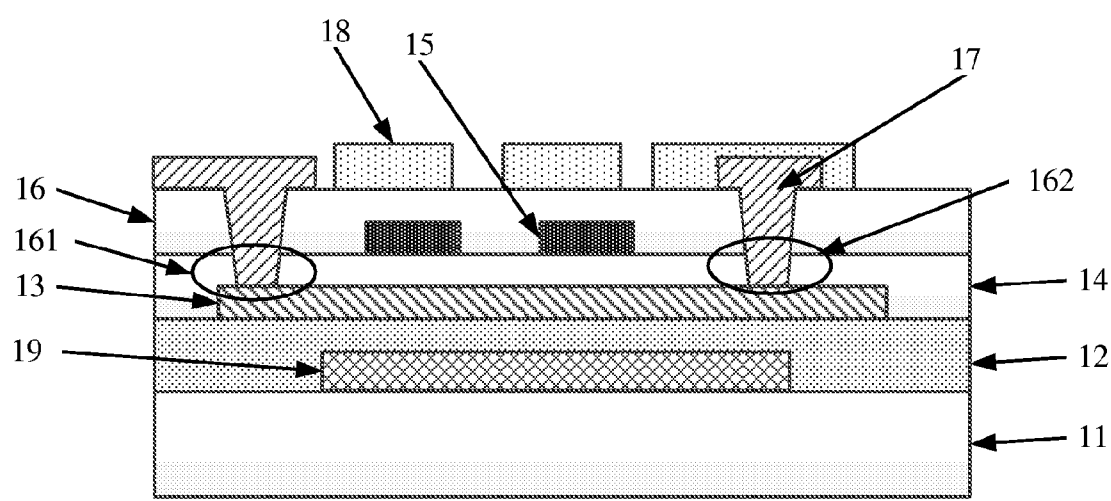


图 1

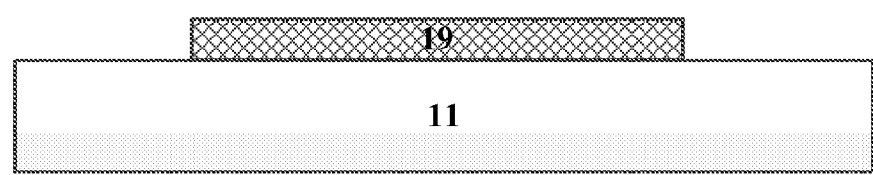


图 2 (a)

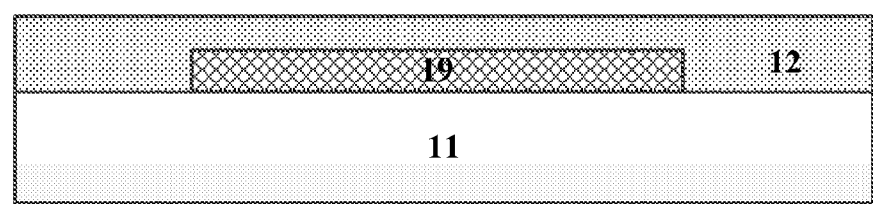


图 2 (b)

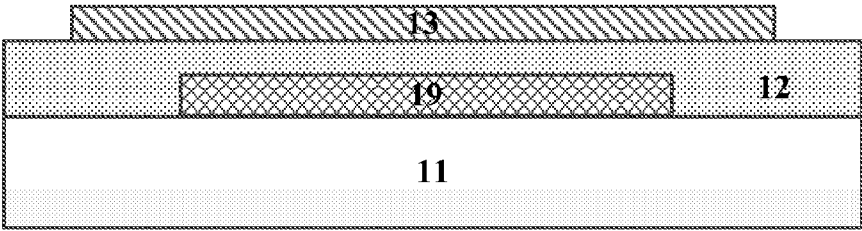


图 2 (c)

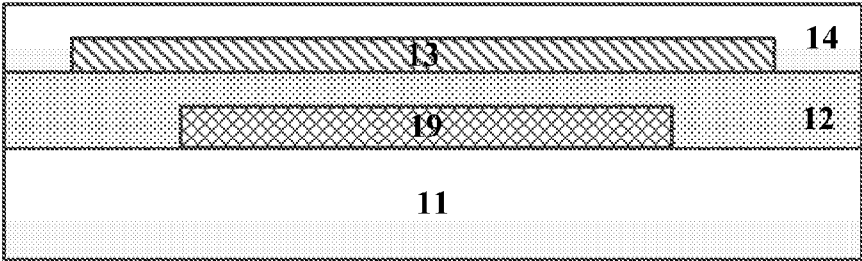


图 2 (d)

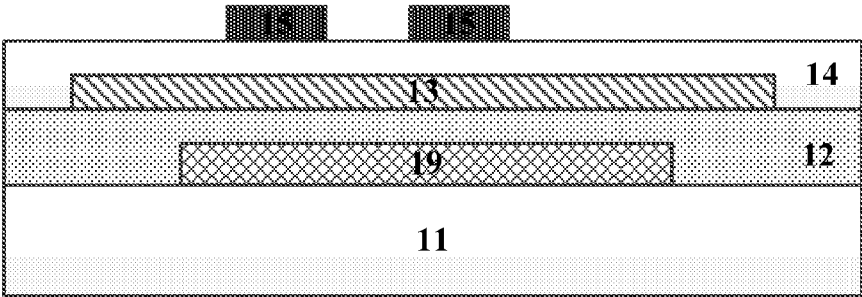


图 2 (e)

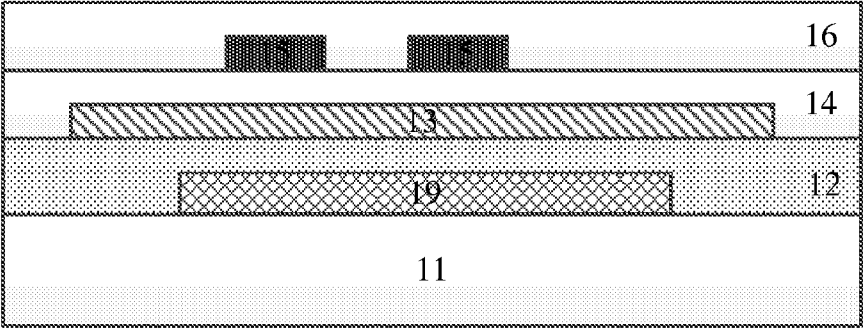


图 2 (f)

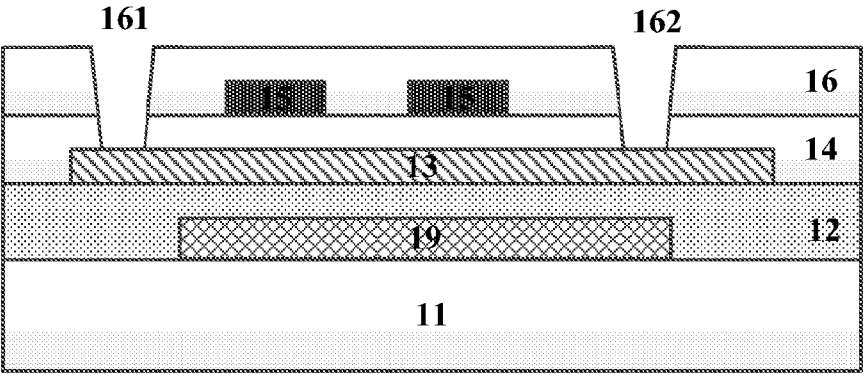


图 2 (g)

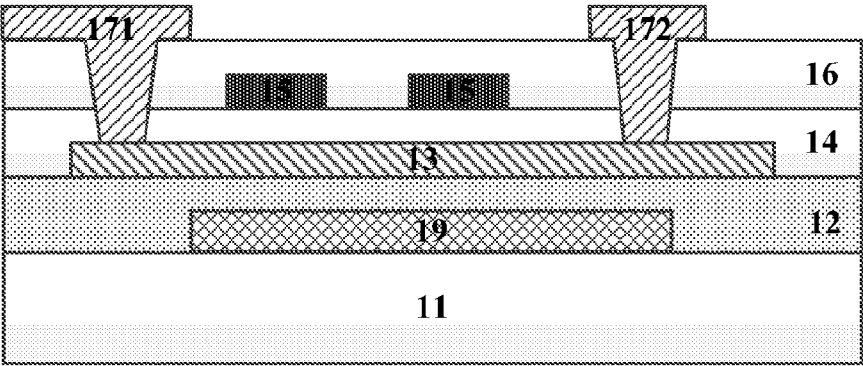


图 2 (h)

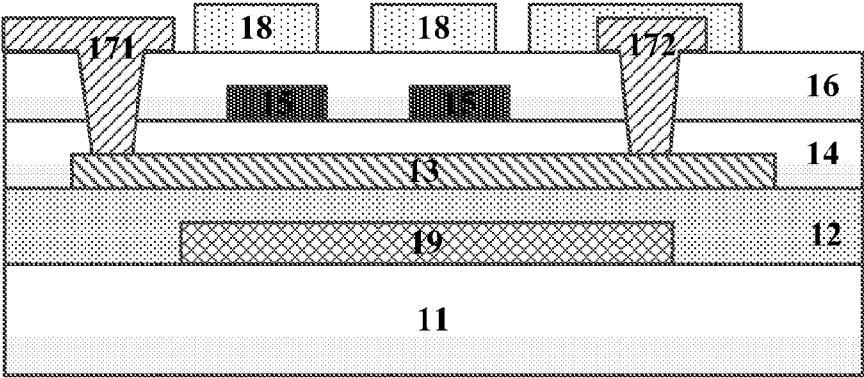


图 2 (i)

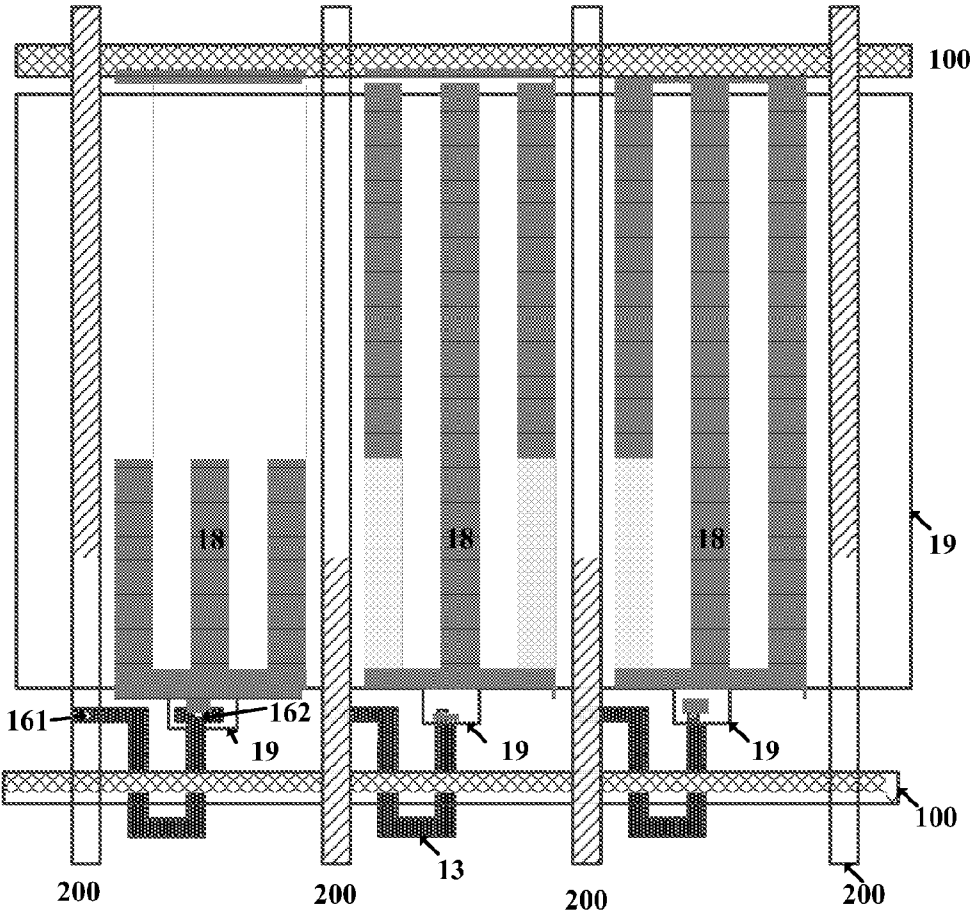


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/088146**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, DWPI, CNABS, USTXT: pixel, buffer layer, leak, common electrode, buffer, gate, source, drain, array substrate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103268878 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.), 28 August 2013 (28.08.2013), description, paragraphs 96-126, and figures 1-8	1-11
A	CN 103268047 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.), 28 August 2013 (28.08.2013), the whole document	1-11
A	US 2007120116 A1 (HAN), 31 May 2007 (31.05.2007), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 June 2014 (18.06.2014)	Date of mailing of the international search report 08 July 2014 (08.07.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer HAN, Bing Telephone No.: (86-10) 62411941

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/088146

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103268878 A	28 August 2013	None	
CN 103268047 A	28 August 2013	None	
US 2007120116 A1	31 May 2007	JP 2007150240 A	14 June 2007
		CN 1976084 A	06 June 2007
		CN 1976084 B	02 June 2010
		KR 100766318 B1	11 October 2007
		KR 20070056393 A	04 June 2007
		US 8716696 B2	06 May 2014
		JP 4676390 B2	27 April 2011

国际检索报告

国际申请号

PCT/CN2013/088146

A. 主题的分类

H01L 27/12(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, DWPI, CNABS, USTXT:源, 像素, 公共电极, 缓冲层, 栅, 阵列基板, 漏;common electrode, buffer, gate, source, drain, array substrate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103268878A (厦门天马微电子有限公司) 2013年 8月 28日 (2013 - 08 - 28) 说明书96-126段, 附图1-8	1-11
A	CN 103268047A (厦门天马微电子有限公司) 2013年 8月 28日 (2013 - 08 - 28) 全文	1-11
A	US 2007120116A1 (HAN) 2007年 5月 31日 (2007 - 05 - 31) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 6月 18日

国际检索报告邮寄日期

2014年 7月 08日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

韩冰

电话号码 (86-10)62411941

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/088146

检索报告引用的专利文件		公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	103268878A	2013年 8月 28日	无		
CN	103268047A	2013年 8月 28日	无		
US	2007120116A1	2007年 5月 31日	JP	2007150240A	2007年 6月 14日
			CN	1976084A	2007年 6月 06日
			CN	1976084B	2010年 6月 02日
			KR	100766318B1	2007年 10月 11日
			KR	20070056393A	2007年 6月 04日
			US	8716696B2	2014年 5月 06日
			JP	4676390B2	2011年 4月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)