

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/3065

H01L 21/77



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 95107166.1

[45] 授权公告日 2004 年 3 月 24 日

[11] 授权公告号 CN 1143366C

[22] 申请日 1995.6.12 [21] 申请号 95107166.1

[30] 优先权

[32] 1994.6.13 [33] JP [31] 130232/1994

[71] 专利权人 株式会社日立制作所

地址 日本东京都

[72] 发明人 德永尚文 奥平定之 水谷巽

田子一农 数见秀之 吉冈健

审查员 唐跃强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

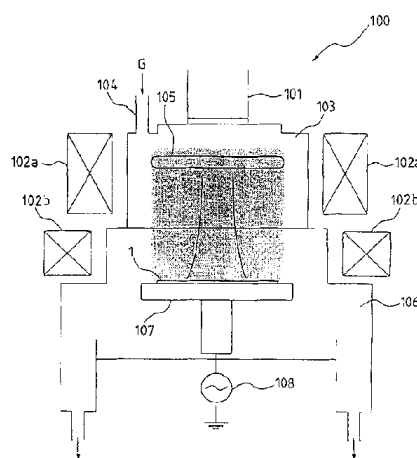
代理人 王以平

权利要求书 3 页 说明书 24 页 附图 12 页

[54] 发明名称 半导体集成电路装置的制造方法

[57] 摘要

为了在 LSI 制造中实现高选择比和高精度的刻蚀,在对半导体衬底上的薄膜进行干法刻蚀时,借助于使等离子体中激发到亚稳态的惰性气体与碳氟气体相互作用并选择性地获得所需的分解物的方法,精确地控制了反应气体分解物的组分。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种集成电路装置的制造方法，包括以下步骤：

(a) 在具有彼此相邻的第一和第二栅电极的晶片主表面上形成氮化硅膜；

(b) 在所述氮化硅膜上形成氧化硅膜；

(c) 在所述氧化硅膜上形成图形化掩模；

(d) 用所述氮化硅膜作为刻蚀停止层，用包括惰性气体成分和含有全氟化碳气体的碳氟反应气体成分的第一刻蚀气体，在所述氧化硅膜上存在所述图形化掩模以及所述晶片周围的气体环境中所述惰性气体成分大于等于 80% 的状态下，干法刻蚀所述氧化硅膜在所述氧化硅膜中形成孔，从而露出所述孔底部的所述氮化硅膜，其中所述全氟化碳气体具有三个或更多碳原子；

(e) 使用第二刻蚀气体干法刻蚀所述氮化硅膜，以将所述孔延伸到所述第一和第二栅电极之间的所述氮化硅膜的底层，其中所述第二刻蚀气体包括含有含氢碳氟气体的碳氟反应气体成分，

其中，与所述孔对应的所述图形化掩模的开口尺寸为 0.3 微米或更小，以及

所述第二刻蚀气体的所述碳氟反应气体成分不同于所述第一刻蚀气体的所述碳氟反应气体成分。

2. 根据权利要求 1 的集成电路装置的制造方法，其中所述惰性气体成分包括氩气。

3. 根据权利要求 2 的集成电路装置的制造方法，其中所述全氟化碳气体是链状化合物。

4. 根据权利要求 2 的集成电路装置的制造方法，其中所述含氢碳氟气体是具有一个碳原子的碳氟气体。

5. 根据权利要求 2 的集成电路装置的制造方法，其中所述孔与所述第一与第二栅电极部分重叠。

6. 根据权利要求 5 的集成电路装置的制造方法，其中所述第一

和第二栅电极之间的间距小于与所述孔对应的所述图形化掩模的开口尺寸。

7. 根据权利要求 4 的集成电路装置的制造方法, 其中所述第一和第二栅电极之间的间距为 0.25 微米或更小。

8. 根据权利要求 1 的集成电路装置的制造方法, 其中所述惰性气体成分是氦气。

9. 根据权利要求 2 的集成电路装置的制造方法, 其中所述全氟化碳气体是环状化合物。

10. 根据权利要求 4 的集成电路装置的制造方法, 其中所述图形化掩模是光刻胶膜。

11. 根据权利要求 2 的集成电路装置的制造方法, 其中所述氧化硅膜是硼磷硅玻璃。

12. 根据权利要求 2 的集成电路装置的制造方法, 其中所述全氟化碳气体是 C_4F_8 。

13. 根据权利要求 4 的集成电路装置的制造方法, 其中的所述具有一个碳原子的碳氟反应气体是 CH_2F_2 。

14. 根据权利要求 4 的集成电路装置的制造方法, 其中的所述孔是接触孔。

15. 一种集成电路装置的制造方法, 包括以下步骤:

(a) 在具有彼此相邻的栅电极和隔离区的晶片主表面上形成氮化硅膜;

(b) 在所述氮化硅膜上形成氧化硅膜;

(c) 在所述氧化硅膜上形成图形化掩模;

(d) 用所述氮化硅膜作为刻蚀停止层, 用包括惰性气体成分和含有全氟化碳气体的碳氟反应气体成分的第一刻蚀气体, 在所述氧化硅膜上存在所述图形化掩模以及所述晶片周围的气体环境中所述惰性气体成分大于等于 80% 的状态下, 干法刻蚀所述氧化硅膜在所述氧化硅膜中形成孔, 从而露出所述孔底部的所述氮化硅膜, 其中所述全氟化碳气体具有三个或更多碳原子;

(e) 使用第二刻蚀气体干法刻蚀所述氮化硅膜, 以将所述孔延伸到所述栅电极和所述隔离区之间的所述氮化硅膜的底层, 其中所述第二刻蚀气体包括含有含氢碳氟气体的碳氟反应气体成分,

其中, 与所述孔对应的所述图形化掩模的开口尺寸为 0.3 微米或更小, 以及

所述第二刻蚀气体的所述碳氟反应气体成分不同于所述第一刻蚀气体的所述碳氟反应气体成分。

16. 根据权利要求 15 的集成电路装置的制造方法, 其中所述惰性气体成分包括氩气。

17. 根据权利要求 16 的集成电路装置的制造方法, 其中所述全氟化碳气体是链状化合物。

18. 根据权利要求 16 的集成电路装置的制造方法, 其中所述含氢碳氟气体是具有一个碳原子的碳氟气体。

19. 根据权利要求 16 的集成电路装置的制造方法, 其中所述孔与所述隔离区部分重叠。

20. 根据权利要求 15 的集成电路装置的制造方法, 其中所述惰性气体成分是氩气。

21. 根据权利要求 16 的集成电路装置的制造方法, 其中所述全氟化碳气体是环状化合物。

22. 根据权利要求 18 的集成电路装置的制造方法, 其中所述图形化掩模是光刻胶膜。

23. 根据权利要求 16 的集成电路装置的制造方法, 其中所述氧化硅膜是硼磷硅玻璃。

24. 根据权利要求 16 的集成电路装置的制造方法, 其中所述全氟化碳气体是 C_4F_8 。

25. 根据权利要求 18 的集成电路装置的制造方法, 其中的所述具有一个碳原子的碳氟反应气体是 CH_2F_2 。

26. 根据权利要求 18 的集成电路装置的制造方法, 其中的所述孔是接触孔。

半导体集成电路装置的制造方法

本发明涉及一种半导体集成电路装置的制造技术，确切地说是一种利用等离子体中的原子团或离子对半导体片子上的薄膜进行干法刻蚀的技术。

用于制造 LSI 的氧化硅膜是一种典型的绝缘薄膜，通常采用等离子工艺由干法刻蚀系统（等离子刻蚀系统）进行加工。

在采用典型等离子刻蚀系统之一的磁控微波等离子刻蚀系统的刻蚀工艺的情况下，首先利用抽气系统把含有反应室（刻蚀室）和放电室的刻蚀系统中的真空室抽空到约为 10^{-6} 托，然后经由针形阀，把反应气体引入真空室，使压力达到预定的数值（约为 10^{-5} — 10^{-1} 托）。

用例如 CF_4 、 C_2F_6 、 C_3F_8 或 C_4F_8 之类的碳氟化合物气体以及 CHF_3 或 CH_2F_2 之类的含氢的碳氟化合物气体或者碳氟化合物基气体和氢气的混合气体，对沉积在硅片上的氧化硅膜进行刻蚀。以下通常将这些气体称为碳氟气体。

由微波发生器（通常是磁控管）产生的 1—10GHz（通常为 2.45GHz）的微波通过波导传播并被引入组成放电室的放电管。放电管由绝缘材料（通常为石英或氧化铝）制成，以便通过微波。

利用电磁铁和永久磁铁在放电室和反应室中形成局部磁场。当

在上述状态下将微波电场引入放电室时，由于磁场和微波电场的协同作用，就发生磁场微波放电并形成等离子体。

此时，反应气体在等离子体中分解，从而产生各种原子团和离子。反应气体分解的起因是反应气体分子中的电子与等离子体中的电子碰撞或吸收光而被激发到反键轨道。这些分解物被加于氧化硅膜的表面以参与氧化硅膜的刻蚀，它们对于干法刻蚀特性有复杂的影响。

日本专利公开 109728/1991 号公开了一种采用这类等离子工艺的干法刻蚀技术。

硅 LSI 或 TFT（薄膜晶体管）之类的电子器件的结构中，在硅膜（例如硅衬底、硅外延膜或多晶硅膜）、氮化硅膜或它们构成的多层膜上沉积了一个待进行干法刻蚀的目标材料的氧化硅膜。

在高集成度电子器件的情况下，有可能开一个直径 $\leq 0.5\mu\text{m}$ 且高宽比（孔深/孔径）大的接触孔，另外要求刻蚀技术具有高的精度和高的选择比以便将基质硅膜、氮化硅膜或由它们组成的多层膜的刻蚀量减为最小。

为了实现这种刻蚀，必须精确地控制反应气体分解物的组分。然而，采用由等离子体中的电子碰撞引起反应气体分子分解的常规刻蚀方法难以实现这种控制。

这是因为电子引起的选择性激发只能在能量最小的反键轨道上实现，而为了实现它所需的带有均匀能量的电子却无法在等离子体中得到。因此，必须在外部产生带有均匀能量的电子，并将其引入等离子体中，或者将能量均匀的光源引入等离子体中。但这将使刻蚀系统的成本大为提高。

本发明的目的是提供一种实现高选择比和高精度刻蚀的技术。

从本说明书和对附图的描述中，本发明的上述目的和独特性能将变得明显。

以下将简要描述本申请所公开的发明的特征的概要。

(1) 在本发明的半导体集成电路装置制造方法中，借助于使等离子体中激发到亚稳态的惰性气体和干法刻蚀半导体衬底上薄膜所必需的反应气体在干法刻蚀薄膜时相互作用，来产生所需的分解物。

(2) 在根据方法(1)的本发明的半导体集成电路装置制造方法中，借助于将等离子干法刻蚀系统的等离子发生室与反应室分开并防止等离子体中的电子进入反应室的方法，降低了与电子碰撞所引起的反应气体的分解。

(3) 在本发明的半导体集成电路装置制造方法中，借助于使等离子体中激发到亚稳态的惰性气体同碳氟气体在干法刻蚀半导体衬底上的氧化硅膜时相互作用，选择性地产生所需的分解物。

(4) 在根据方法(3)的本发明的半导体集成电路装置制造方法中，碳氟气体是一种带有二个或更多碳原子的链式全氟化碳。

(5) 在根据方法(3)的本发明的半导体集成电路装置制造方法中，碳氟气体是一种带有二个到六个碳原子的链式全氟化碳。

(6) 在根据方法(3)的本发明的半导体集成电路装置制造方法中，碳氟气体是一种带有三个或更多碳原子的环状全氟化碳。

(7) 在根据方法(3)的本发明的半导体集成电路装置制造方法中，惰性气体是选自 He、Ne、Ar、Kr 和 Xe 的一种或多种稀有气体。

(8) 在根据方法(3)的本发明的半导体集成电路装置制造方法中，产生了对氮化硅有高选择比的分解物。

(9) 在根据方法 (3) 的本发明的半导体集成电路装置制造方法中, 惰性气体对总气体流量的比值 $\geq 50\%$, 而处理压力为 0.1—1 托。

(10) 在根据方法 (3) 的本发明的半导体集成电路装置制造方法中, 惰性气体对总气体流量的比值 $\geq 80\%$, 而处理压力为 100—500 毫托。

(11) 在根据方法 (3) 的本发明的半导体集成电路装置制造方法中, 用无机材料作为干法刻蚀掩模。

(12) 在本发明的半导体集成电路装置制造方法中, 借助于在对半导体衬底上氮化硅膜进行干法刻蚀时使等离子体中激发到亚稳态的惰性气体与碳氟气体相互作用, 来选择性地产生所需的分解物。

(13) 在根据方法 (12) 的本发明的半导体集成电路装置制造方法中, 借助于采用选自 He、Ar、Kr 和 Xe 的一种或多种稀有气体作为惰性气体而采用二氟甲烷作为碳氟气体, 产生对硅具有高选择比的分解物。

(14) 在根据方法 (3) 的本发明的半导体集成电路装置制造方法中, 惰性气体对总气体流量的比值 $\geq 80\%$, 且处理压力为 100—500 毫托。

(15) 在本发明的半导体集成电路装置制造方法中, 包含下列步骤 (a) — (d):

(a) 在半导体衬底主表面上形成具有 LOCOS 结构的一个场隔离膜, 然后在由此场隔离膜包围的有源区中形成一个半导体元件,

(b) 在半导体结构的整个表面上沉积一层第一隔离膜, 然后在第一隔离膜上沉积一层刻蚀速率不同于第一隔离膜的第二隔离膜,

(c) 借助于使等离子体中激发到亚稳态的惰性气体与碳氟气体

相互作用,选择性地产生用以使第二隔离膜对第一隔离膜的选择比达到最大值的分解物,并利用这些分解物对第二隔离膜进行刻蚀,以及

(d) 借助于使等离子体中激发到亚稳态的惰性气体与碳氟气体相互作用,选择性地产生用以使第一隔离膜对半导体衬底的选择比达到最大值的分解物,并且借助于用这些分解物对第一隔离膜进行刻蚀而制作一个连接半导体衬底并与场隔离膜局部重叠的接触孔。

(16) 在根据方法(15)的本发明的半导体集成电路装置制造方法中,采用沉积在第二隔离膜上的无机材料作为掩模来对第二隔离膜进行刻蚀。

(17) 在根据方法(15)的本发明的半导体集成电路装置制造方法中,接触孔的直径 $\leq 0.3\mu\text{m}$ 。

(18) 在根据方法(16)的本发明的半导体集成电路装置制造方法中,由无机材料构成的掩模用与第一隔离膜相同的材料制作。

(19) 本发明的半导体集成电路装置制造方法包含下列步骤(a) — (d):

(a) 在半导体衬底主表面上制作一个 MISFET,

(b) 在半导体衬底的整个表面上沉积一层第一隔离膜,然后在第一隔离膜上沉积一层刻蚀速率不同于第一隔离膜的第二隔离膜,

(c) 借助于使等离子体中激发到亚稳态的惰性气体与碳氟气体相互作用,选择性地产生用于使第二隔离膜对第一隔离膜的选择比达到最大值的分解物,并利用这些分解物对第二隔离膜进行刻蚀,以及

(d) 借助于使等离子体中激发到亚稳态的惰性气体与碳氟气体

相互作用，选择性地产生用于使第一隔离膜对半导体衬底的选择比达到最大值的分解物，并且借助于用这些分解物对第一隔离膜进行刻蚀而制作一个接触孔，该接触孔在 MISFET 栅电极和邻近于上述 MISFET 的一个 MISFET 的栅电极之间连接于半导体衬底并同两个栅电极局部重叠。

(20) 在根据方法 (19) 的本发明的半导体集成电路装置制造方法中，利用形成在第二隔离膜上的无机材料作为掩模来刻蚀第二隔离膜。

(21) 在根据方法 (19) 的本发明的半导体集成电路装置制造方法中，接触孔的直径 $\leq 0.25\mu\text{m}$ 。

(22) 根据方法 (20) 的本发明的半导体集成电路装置制造方法，由无机材料构成的掩模用和第一隔离膜相同的材料制作。

惰性气体被激发到亚稳态，比亚稳态到基态的跃迁被与等离子体的相互作用所抑制。由于亚稳态下的自发辐射寿命（亚稳态自然地变为基态的平均时间）是秒的数量级，故在反应室中可出现大量的亚稳态惰性气体。亚稳态惰性气体由于碰撞而释放能量并变为基态。该释放的能量是均匀的，从而有可能选择性地激发反应气体分子。

以下对惰性气体典型例子的稀有气体的作用进行描述。表 1 示出了稀有气体 (He、Ne、Ar、Kr 和 Xe) 的亚稳能级的能量（注 1）。

表 1. 稀有气体的亚稳能级能量

稀有气体元素	亚稳能级能量 (eV)	
He	19. 82	20. 61
Ne	16. 62	16. 72
Ar	11. 55	11. 72
Kr	9. 92	10. 56
Xe	8. 32	9. 45

注 1: J. S. Chang, R. M. Hobson, Yukimi Ichikawa, Teruo Kaneda, "DENRIKITAI NO GENSHI • BUNSHI KATEI" P142 (TOKYO DENKI DAIGAKU SHUPPAN KYOKU, 1982)。

如表 1 所示, 各稀有气体限制在可使用的亚稳态。因此, 要引入的碳氟气体分子的反键轨道必须存在于同稀有气体亚稳能级能量重合处, 而且反键轨道分解的分解物必须更有利于刻蚀。

而且, 当利用分解物的性质来刻蚀氧化硅膜时, 还必须了解其附着性、刻蚀性和选择性。表 2 示出了一些分解物及其各自所属的特性。

表 2 分解物的特性和例子

特性	分解物
附着性	CF_2 , C_2F_4 , CH_2 , CHF , CF , CH
腐蚀性	CF_2 , C_2F_4 , CF_3 , F , CHF_2 , CF , CHF , CF_2^+ , C_2F_4^+ , CF_3^+ , F^+ , CHF_2^+ , CF^+ , CHF^+
选择性 (对 Si)	CH_2 , C_2F_4 , CHF_2 , CF , CHF , CF_2^+ , C_2F_4^+ , CHF_2^+ , CF^+ , CHF^+
非选择性	CF_3 , F , CF_3^+ , F^+
非腐蚀性	CH_2 , HF , CH
垂直于衬底轰击	CF_2^+ , C_2F_4^+ , CF_3^+ , F^+ , CHF_2^+ , CF^+ , CHF^+ , CH_2^+ , CH^+
各向同性衬底轰击	CF_2 , C_2F_4 , CF_3 , F , CHF_2 , CF , CHF , CH_2 , CH

为了改善选择比, 必须除去非选择性分解物。而且, 为保持刻蚀形状精度, 必须使用具有选择性和附着性的分解物。从表 2 的特性可见, 选择性行中的分解物较好。利用诸如对反应气体引入量、反应气体混合比和功率之类的通常系统控制, 就可获得刻蚀速率。

利用分子轨道计算 (注 2) 可知从反键轨道的分解。借助于计算稀有气体的亚稳态和已知的分子反应, 可以估计计算的精度。表 3 示出了甲硅烷 (SiH_4) 反应的测量结果 (注 3) 和计算结果。

表 3 SiH_4 共振分解的计算结果

气体	测得的 亚稳能级能量	计算的 分子激发能量	计算的 跃迁路径	分解物 (与测量结果重合)
He	21.2eV	21.2eV (半键轨道)	无	SiHx_+ Si^*
Ar	11.7eV	12.2eV (非反键轨道)	从 8.6 到 8.8 eV 跃迁 反键轨道	SiHx SiH^* Si^*

注 2: K. Kobayashi, N. Kurita, H. Kumahora, K. Tago, Phys. Rev. B45, 11299 (1992); K. Kobayashi, N. Kurita, H. Kumahora, K. Tago, Phys. Rev. A43, 5810 (1991); K. Tago, H. Kumahora, N. Sadaoka, K. Kobayashi, Int. J. S. Supercomp. Appl. 2, (1988) 58。

注 3: M. Tsuji, K. Kobayashi, S. Yamaguchi, Y. Nishimura, Che. Phys. Lett. 158, 470 (1989)。

从表 3 可见, 利用分子轨道计算可在 1eV 的精度范围内测量分子反键轨道的能量。

而且, 利用分子轨道计算, 有可能知道一些待选择用于产生表 2 “选择性” 栏中所示的分解物的分子。从对用来产生表 3 所示物质的分解物和分子的计算中, 可知中性分解所需的能量 $\geq 2\text{eV}$, 激发到

反键轨道所需的最小能量为 5—12eV, 而分解物的电离势为 10—13eV。

从上述事实还可知, 离子分解物所需的能量 $\geq 12\text{eV}$ 。因此, 由 He 和 Ne 可望选择性地产生离子性和中性分解物, 并可望得到 Ar、Kr 和 Xe 选择性的中性分解。

而且, 借助于通过分子轨道计算考查从反键轨道的分解, 有可能考查在各分子中是否存在由之产生表 2 中选择性分解物的反键轨道。表 4 示出了其中存在反键轨道且其激发能靠近稀有气体亚稳能级能量的各种分子。所考查的分子是碳氟气体中的 CF_4 、 CHF_3 、 C_2F_4 和 C_4F_8 。

表 4. 具有由其产生选择性分解物的反键轨道的碳氟气体分子

稀有 气体	选择性 分解物	具有由其不产生 非选择性分解物的 反键轨道的分子	具有由其产生 非选择性分解物的 反键轨道的分子
He	CH ₂ *, C ₂ F ₄ *, CHF ₂ *, CF ₂ C ₂ F ₄	C ₂ F ₄ , CH ₂ F ₂ C ₄ F ₈ CH ₂ F ₂ C ₂ F ₄ C ₄ F ₈	
Ne	CF ₂ *, C ₂ F ₄ *, CHF ₂ *, CF ₂ C ₂ F ₄ CHF	C ₂ F ₄ CH ₂ F ₂ C ₂ F ₄ , CH ₂ F ₂	C ₄ F ₈ (从非反键轨道跃迁) CHF ₃ C ₄ H ₈ (同上) C ₄ F ₈ (同上) CHF ₃
Ar	CF ₂ CHF ₂ CHF	C ₂ F ₄ , C ₄ F ₈	CHF ₃ , CF ₄ CHF ₃ CHF ₃
Kr	CF ₂ C ₂ F ₄ CHF ₂ CHF	CH ₂ F ₂ C ₄ F ₈ CH ₂ F ₂ CH ₂ F ₂	CF ₄ CH ₃
Xe	CF ₂ C ₂ F ₄	CH ₂ F ₂ C ₄ F ₈	CH ₂ F ₂

当使用与亚稳态稀有气体相互作用所造成的选择性分解时，还存在少许等离子体中电子所造成的分解。而且，在实际刻蚀工艺情况下，有可能由于离子入射而排出非选择性分解物。因此，为保护侧壁，可能需把具有低刻蚀速率的粘着的 CHF 或 CF 混合起来。此时，必须采用 CH₂F₂ 的选择性分解。

而且，当一并使用保护性分解物时，使用由其产生的非选择性分解物相对小的 CHF₃ 选择性分解，也可实现较佳的刻蚀。然而，因为 CF₄ 产生大量非选择性分解物，故当把 CHF₃ 同 CF₄ 组合时，必须增大保护气体量。

再者，即使把采用选择性分解的本发明的刻蚀方法与不采用由和亚稳态稀有气体相互作用所造成的选择性分解的常规刻蚀方法或与采用产生大量非选择性分解物的选择性分解的刻蚀方法组合起来，由于能够利用混合比控制各分解物的比率，也可获得较佳的结果。

当采用借助于控制等离子体中电子引起的分解而进行的由与亚稳态稀有气体相互作用所造成的选择性分解时，必须使稀有气体等离子室同引入气体分解反应室在空间上分开。因为有可能借助于用槽板将二室分隔开来而把正离子和电中性的亚稳态稀有气体引入分解反应室，故可实现选择性分解和离子辅助刻蚀。

图 1 是本发明实施例 1 所用微波等离子刻蚀系统的示意图；

图 2 是半导体衬底主要部分的剖面图，示出了本发明实施例 1 的半导体集成电路装置的制造方法；

图 3 是半导体衬底主要部分的剖面图，示出了本发明实施例 1 的半导体集成电路装置的制造方法；

图 4 是半导体衬底主要部分的剖面图，示出了本发明实施例 1 的半导体集成电路装置的制造方法；

图 5 是半导体衬底主要部分的剖面图，示出了本发明实施例 1 的半导体集成电路装置的制造方法；

图 6 是半导体衬底主要部分的剖面图，示出了本发明实施例 1 的半导体集成电路装置的制造方法；

图 7 是用于本发明实施例 2 的等离子刻蚀系统的示意图；

图 8 是半导体衬底主要部分的剖面图，示出了本发明实施例 2 的半导体集成电路装置的制造方法；

图 9 是半导体衬底主要部分的剖面图，示出了本发明实施例 2 的半导体集成电路装置的制造方法；

图 10 是半导体衬底主要部分的剖面图，示出了本发明实施例 2 的半导体集成电路装置的制造方法；

图 11 是半导体衬底主要部分的剖面图，示出了本发明实施例 2 的半导体集成电路装置的制造方法；

图 12 是半导体衬底主要部分的剖面图，示出了本发明实施例 2 的半导体集成电路装置的制造方法；

图 13 是用于本发明实施例 3 的微波等离子刻蚀系统的示意图；

图 14 是半导体衬底主要部分的剖面图，示出了本发明实施例 3 的半导体集成电路装置的制造方法；

图 15 是半导体衬底主要部分的剖面图，示出了本发明实施例 3 的半导体集成电路装置的制造方法；

图 16 是半导体衬底主要部分的剖面图，示出了本发明实施例 3 的半导体集成电路装置的制造方法；

图 17 是半导体衬底主要部分的剖面图，示出了本发明实施例 3 的半导体集成电路装置的制造方法；

图 18 是半导体衬底主要部分的剖面图，示出了本发明实施例 3 的半导体集成电路装置的制造方法；

图 19 是半导体衬底主要部分的剖面图，示出了本发明实施例 4 的半导体集成电路装置的制造方法；

图 20 是半导体衬底主要部分的剖面图，示出了本发明实施例 4 的半导体集成电路装置的制造方法；

图 21 是半导体衬底主要部分的剖面图，示出了本发明实施例 4 的半导体集成电路装置的制造方法；

图 22 是半导体衬底主要部分的剖面图，示出了本发明实施例 4 的半导体集成电路装置的制造方法；以及

图 23 是半导体衬底主要部分的剖面图，示出了本发明实施例 4 的半导体集成电路装置的制造方法。

下面将参照附图来详细描述本发明的实施例。

[实施例 1]

图 1 是用于本实施例的微波刻蚀系统 100 的示意图。图 1 中，参考号 101 表示微波波导，102a 和 102b 表示磁铁，103 表示等离子发生室，而 106 表示反应室。由磁控管产生的 2.45 GHz 的微波通过微波波导 101 被引入等离子发生室 103。而且，材料气体 G 通过气体引入入口 104 被引入等离子发生室 103。

借助于将微波引入等离子发生室 103 并用磁铁 102a 和 102b 产生一个约为 1KG 的磁场，在 ECR 位置 105 处由电子自旋共振将材料气体 G 转化成等离子体，其束流密度约为 875G。

此时,由材料气体G产生的中性分解物和离子性分解物被传送到反应室106中的半导体衬底(片子)的表面。用于支持半导体衬底1的支座107与向半导体衬底1馈送射频的射频电源108相连接,以产生自偏置并控制离子能量。

下面是对本实施例采用微波等离子刻蚀系统100的刻蚀工艺的描述。这是一种广泛用作在隔离膜中制作连接孔以使同邻近于LOCOS(硅的局部氧化)结构场隔离膜的硅衬底形成接触的元件隔离技术的工艺。

通常,必须制作连接孔来构成与衬底的接触,使之不和场隔离膜重叠。这是由于为苯基质场隔离膜在用干法刻蚀隔离膜的方法制作连接孔时因过腐蚀而被除去的话,会暴露出衬底,并使场隔离膜的元件隔离性质变坏。

在布局设计不允许连接孔和隔离膜之间有重叠的情况下,由于光刻工艺中掩模对准精度之类的限制,难以实现 $0.3\mu\text{m}$ 或更小的设计规则的LSI。

因此,在此实施例情况下,如图2所示,LOCOS结构的场隔离膜2形成在单晶硅组成的半导体衬底1的主表面上,然后用通常的方法在被场隔离膜2所包围的有源区中制作诸如MISFET的半导体器件。

MISFET包含一个由多晶硅膜构成的栅电极3、一层由氧化硅膜构成的栅隔离膜4、以及一对形成在半导体衬底1上的半导体区(源区和漏区)5、6。而且用氧化硅膜7来保护栅电极3的顶部和侧壁。

然后,用CVD工艺在半导体衬底1的整个表面上沉积一层厚度为 $500\text{--}2000\text{\AA}$ 的氮化硅膜8,而且用CVD工艺在膜8上沉积一层

厚度为 5000—10000Å 的 BPSG (硼磷硅化物玻璃) 膜 9。

然后如图 3 所示, 在 BPSG 膜 9 上形成一个光抗蚀剂图形 10。在 MISFET 的半导体区 5 上方的光抗蚀剂图形有一窗口 11。窗口 11 的制作要使其一端和邻近于半导体区 5 的场隔离膜 2 相重叠。

然后, 将半导体衬底 1 装入微波等离子刻蚀系统 100 的反应室中以便利用光抗蚀剂图形 10 作为掩模来对 BPSG 膜 9 进行干法刻蚀。进行刻蚀时要使 BPSG 膜 16 对基质氮化硅膜 8 的选择比尽可能大。亦即, 材料气体 G 由表 5 所示的碳氟反应气体和惰性气体的混合气体组成, 且惰性气体的比例设定为混合气体总量的 80% 或以上。而且, 此时的处理压力设定为 100—500 毫托。

表 5 刻蚀 BPSG 层和增大对 Si_3N_4 的选择比的条件

反应气体 (碳氟气体)	惰性气体
C_4F_8	He、Ar、Kr、Xe
C_2F_4	He、Ne、Ar

图 4 示出了 BPSG 膜刻蚀进行到一半且场隔离膜 2 上的氮化硅膜 8 从窗口 11 的底部暴露出来的状态。

图 5 示出了 BPSG 膜 9 刻蚀终止的状态。在本实施例的情况下, 由于 BPSG 膜 9 是在对氮化硅膜 8 的选择比为最大的条件下刻蚀的, 故氮化硅膜 8 起腐蚀停止层的作用, 并且即使执行适当的过腐蚀, 也有可能保护场隔离膜 2 重遭清除。

图 6 示出了通过刻蚀清除残留的氮化硅膜 8 的方法完成了连接

孔 12 达及 MISFET 半导体区 5 的状态。

氮化硅膜 8 用微波等离子刻蚀系统 100 在氮化硅膜 8 对基质半导体衬底 1 的选择比为最大的条件下被刻蚀。亦即，材料气体 G 由表 6 所示的碳氟反应气体和惰性气体的混合气体组成，且惰性气体的比例设定为混合气体总量的 80% 或更大。而且，此时的处理压力设定为 100—500 毫毛。

表 6 刻蚀 Si_3N_4 层和增大对 Si 的选择比的条件

反应气体（碳氟气体）	惰性气体
CH_2F_2	He、Ar、Kr、Xe

因此，本实施例使得有可能制作与场隔离膜 2 局部重叠的连接孔而不会清除掉场隔离膜 2，从而实现 $0.3\mu\text{m}$ 或更小设计规则的 LSI。

「实施例 2」

图 7 是用于本实施例的等离子刻蚀系统 200 的示意图。等离子刻蚀系统 200 装备有一个环绕石英圆筒 201 的天线 202 以便借助于向天线 202 馈送射频将电磁波引入圆筒 201。在真空室 203 的外面提供有线圈 204 和 205 以便沿轴向产生磁场。经由气体引入口 206 引进的材料气体 G 被轴向磁场和射频转变成等离子体，而此时产生的中性分解物和离子性物质被传送到执行刻蚀的半导体衬底 1 的表面。

实施例 1 采用光抗蚀剂图形 10 作为刻蚀 BPSG 膜 9 的掩模。然而，此种情况下，必须考虑光抗蚀剂被腐蚀时产生的各种产物对选

择性的影响。亦即，必须确定能够防止刻蚀产物产生非选择性物质的光抗蚀剂材料和刻蚀条件。

因此，在本实施例中，用 CVD 工艺在 BPSG 膜 9 上沉积了一个厚度为 500—2000Å 的氮化硅膜 13 以便为图 8 所示在氮化硅膜 13 上形成一个光抗蚀剂图形 10。在 MISFET 的一个半导体区 5 的上方，光抗蚀剂图形 10 有一个窗口 11，它制作成窗口 11 的一端与邻近于半导体区 5 的场隔离膜 2 相重叠。

然后如图 9 所示，用光抗蚀剂图形 10 作为掩模，在一般刻蚀条件下对氮化硅膜 13 进行刻蚀。

然后，用灰化法清除光抗蚀剂膜 10，接着用氮化硅膜 13 作为掩模对 BPSG 膜 9 进行干法刻蚀。此刻蚀在 BPSG 膜 9 对氮化硅膜 13（以及氮化硅膜 8）的选择比为最大的条件下执行。亦即，采用表 7 所示的碳氟反应气体和惰性气体的混合气体来执行此刻蚀，且惰性气体的含量设定为混合气体总量的 80% 或更大，而处理压力设定为 100—500 毫托。

表 7 刻蚀 BPSG 层和增大对 Si_3N_4 的选择比的条件

反应气体	惰性气体
C_4F_8	He、Ar、Kr、Xe
C_2F_4	He、Ne、Ar

图 10 示出了 BPSG 膜 9 的刻蚀进行到一半而场隔离膜 2 上的氮化硅膜 8 从窗口 11 的底部暴露出来的状态。

图 11 示出了 BPSG 膜 9 的刻蚀终止的状态。因为在对氮化硅膜

8 的选择比最大的条件下刻蚀 BPSG 膜 9, 故氮化硅膜 8 起腐蚀停止层的作用, 且即使执行了足够的过腐蚀, 也有可能防止场隔离膜 2 被清除。

图 12 示出了借助于通过刻蚀清除残留的氮化硅膜 8 和 13 的方法完成了连接孔 12 达及 MISFET 半导体区 5 的状态。

氮化硅膜 8 和 13 是在氮化硅膜 8 和 13 对基质半导体衬底 1 的选择比为最大的条件下, 利用等离子刻蚀系统 200 来刻蚀的。亦即, 材料气体 G 由表 8 所示的碳氟气体和惰性气体的混合气体所组成, 且惰性气体的比例设定为混合气体总量的 80% 或更大。而且, 此时的处理压力设定为 100—500 毫托。

表 8 刻蚀 Si_3N_4 层和增大对 Si 的选择比的条件

反应气体	惰性气体
CH_2F_2	He、Ar、Kr、Xe

因此, 在不使用光抗蚀剂作为刻蚀 BPSG 膜 9 用掩膜的这一实施例中, 消除了光抗蚀剂被腐蚀时产生的产物对选择性的影响, 从而进一步改善了刻蚀选择性。

[实施例 3]

图 13 是用于此实施例的微波等离子刻蚀系统 300 的示意图。在图 13 中, 数字 301 表示微波波导, 302 表示磁铁, 而 303 表示等离子发生室。由磁控管产生的 24.5GHz 的微波径由微波波导 301 被引入等离子发生室 303。

在等离子发生室 303 中产生了经由气体引入口 304 引进的惰性

气体的等离子体。

沿着等离子发生室 303 和反应室 305 之间的边界设置多个栅电极 306, 通过交替改变栅电极 306 的电位为正负态, 在等离子体中只有除电子以外的离子被引入反应室 305。当惰性气体的亚稳原子各向同性地扩散时被引入反应室 305, 因为它们不受电场的影响。

反应气体通过气体入口 307 被引入反应室 305, 并且由于与惰性气体的亚稳原子相互作用而产生预定的分解物。然后, 分解物和惰性气体离子被传送到半导体衬底 1 的表面, 从而开始刻蚀并继续。

下面描述采用微波等离子刻蚀系统的刻蚀工艺。这是一种在隔离膜中制作连接孔以便在两个相邻的 MISFET 栅电极之间同硅衬底形成接触的工艺。

例如, 虽然栅电极之间的距离被降低到低达约 $0.25\mu\text{m}$, 当用于制作连接孔的光刻掩模的分辨率约为 $0.3\mu\text{m}$ 时, 也是不可能在栅电极之间制作连接孔的。

因此, 在本实施例中, 场隔离膜 2 被制作在半导体衬底 1 的主表面上, 然后用图 14 所示的通常方法在被场隔离膜 2 所包围的有源区中制作包含有一个栅电极 3、一个栅隔离膜 4 和一对半导体区 (源区和漏区) 5 和 6 的 MISFET。此时, 相邻栅电极 3 之间的间距约为 $0.25\mu\text{m}$ 。而且, 栅电极 3 的顶部和侧壁由氧化硅膜 7 加以保护。

然后, 用 CVD 工艺在半导体衬底 1 的整个表面上沉积一层厚度为 $500\text{--}2000\text{\AA}$ 的氮化硅膜 15, 而且用 CVD 工艺在膜 15 上沉积一个厚度为 $5000\text{--}10000\text{\AA}$ 的 BPSG 膜 16。

然后如图 15 所示, 在 BPSG 膜 16 上形成一个光抗蚀剂图形 17。

光抗蚀剂图形 17 在 MISFET 一个半导体区 6 的上方有一个窗口 18。窗口 18 的直径约为 $0.3\mu\text{m}$ ，此直径大于栅电极 3 之间的距离（约为 $0.25\mu\text{m}$ ）。亦即，窗口 18 制作成其一部分同栅电极 3 重叠。

然后将半导体衬底 1 装入微波等离子刻蚀系统 300 的反应室 305 中，以使用光抗蚀剂图形 17 作为掩模对 BPSG 膜 16 进行干法刻蚀。此刻蚀如此执行，以致 BPSG 膜 16 对基质氮化硅膜 15 的选择比最大。

亦即，材料气体 G 由表 7 所示的碳氟反应气体和惰性气体的混合气体所组成，且惰性气体的比例设定为混合气体总量的 80% 或更大。而且，此时的处理压力设定为 100—500 毫托。

图 16 示出了 BPSG 膜的刻蚀进行到一半而氮化硅膜 15 从窗口 18 底部暴露出来的状态。

图 17 示出了 BPSG 膜 9 刻蚀终止的状态。在此实施例中，因为 BPSG 膜 16 在对氮化硅膜 15 的选择比为最大的条件下进行刻蚀，故氮化硅膜 15 起刻蚀停止层的作用，因而即使执行了足够的过腐蚀，也有可能防止用于保护栅电极 3 的氧化硅膜 7 被除去。

图 18 示出了通过刻蚀清除残留的氮化硅的方法而完成了连接孔 19 达及半导体区 6 的状态。利用微波等离子刻蚀系统 300，在氮化硅膜 15 对基质半导体衬底 1 的选择比为最大的条件下，对氮化硅膜 15 进行刻蚀。亦即，材料气体 G 由表 8 所示的碳氟反应气体和惰性气体的混合气体所组成，且惰性气体的比例设定为混合气体总量的 80% 或更大。而且，此时的处理压力设定为 100—500 毫托。

如上所述，用此实施例有可能实现栅电极 3 之间的间距约为 $0.25\mu\text{m}$ 的 LSI，这是因为有可能制作与栅电极 3 相重叠的连接孔 19

而不清除保护栅电极 3 的氧化硅膜 7。

[实施例 4]

上述实施例 3 采用光抗蚀剂图形 17 作为掩模来刻蚀 BPSG 膜 16。但在本实施例中，必须选择光抗蚀剂材料和刻蚀条件以防止光抗蚀剂被腐蚀时产生的产物产生非选择性分解物。

因此，在本实施例中，用 CVD 工艺在 BPSG 膜 16 上沉积一个厚度为 500—2000Å 的氮化硅膜 20，以便如图 19 所示在氮化硅膜 20 上形成光抗蚀剂图形 17。

然后如图 20 所示，用光抗蚀剂 17 作为掩模，在通常刻蚀条件下对氮化硅膜 20 进行刻蚀。

然后用灰化法清除掉光抗蚀剂图形 17，并接着用氮化硅膜 20 作为掩模，对 BPSG 膜 16 进行干法刻蚀。此刻蚀在 BPSG 膜 16 对氮化硅膜 20（以及氮化硅膜 15）的选择比最大的条件下，用微波等离子刻蚀系统 300 来执行。亦即，用表 7 所示的碳氟反应气体和惰性气体的混合气体来执行刻蚀，且惰性气体的比例设定为混合气体总量的 80% 或更大，而处理压力设定为 100—500 毫托。

图 21 示出了 BPSG 膜 16 的刻蚀进行到一半而氮化硅膜 15 从窗口 18 底部暴露出来的状态。

图 22 示出了 BPSG 膜 16 刻蚀终止的状态。因为 BPSG 膜 16 在对氮化硅膜 15 的选择比为最大的条件下被刻蚀，故氮化硅膜 15 起刻蚀停止层的作用，而且即使执行了足够的过腐蚀，也有可能防止保护栅电极 3 的氧化硅膜 7 被清除。

图 23 示出了通过刻蚀清除残留的氮化硅膜 15 和 20 的方法而完成了连接孔 19 达及 MISFET 半导体区 6 的状态。氮化硅膜 15 用

等离子刻蚀系统 300 在氮化硅膜 15 对基质半导体衬底 1 的选择比为最大的条件下被刻蚀。亦即，材料气体 G 由表 8 所示的碳氟反应气体和惰性气体的混合气体所组成，且惰性气体的比例设定为混合气体总量的 80% 或更大。而且，此时的处理压力设定为 100—500 毫托。

于是，利用这一不使用光抗蚀剂作 BPSG 膜刻蚀掩模的实施例，就消除了光抗蚀剂被腐蚀时产生的产物对选择性的影响，从而进一步改善了刻蚀选择性。

前面已用实施例的方法具体描述了本发明发明人提出的发明。然而不言自明，本发明不受限于这些实施例，只要不偏离本发明的要旨，本发明的各种修正都是可以实现的。

用于本发明的反应气体和惰性气体不限于实施例 1—4 的各种组合。应该指出的是，也可以采用例如表 9 所示的组合。

表 9 惰性气体和反应气体的组合按选择性分解物特性的分类

稀有 气体	只产生选择性 分解物	产生选择性和 保护性分解物	产生选择性和非选择 性分解物	
			少量	大量
He	C_2F_4 , C_4F_8	CH_2F_2		
Ne	C_2F_4	CH_2F_2	C_4F_8 , CHF_3	
Ar	C_2F_4 , C_4F_8		CHF_3	CF_4
Kr	C_4F_8	CH_2F_2	CHF_3	CF_4
Xe	C_4F_8	CH_2F_2		

上表 9 所示的反应气体和惰性气体的各种组合分类如下：

A：只产生选择性分解物的组合组，

- B: 产生选择性和保护性分解物的组合组,
- C: 产生选择性分解物和少量非选择性分解物的组合组,
- D: 产生选择性分解物和大量非选择性分解物的组合组,
- E: 由等离子体分解的反应气体组。

用于本发明的反应气体和惰性气体组合包括: A组及其组合的元素, 包括A和B组的结合中A组元素的各元素的组合, 包括A、B和C组的结合中A组元素的各元素的组合, 包括A、B和D组的结合中A组元素的各元素的组合, 包括A、B、C和D组的结合中A组元素的各元素的组合, 以及包括A、B、C、D和E组的结合中A组元素的各元素的组合。

下面是对本申请所公开的各发明中典型发明的优点的简要描述。

根据本发明, 可以精确地控制反应气体分解物的组分, 并实现高精度、高选择比的刻蚀, 因而可制造结构精细且集成高度的半导体集成电路装置。

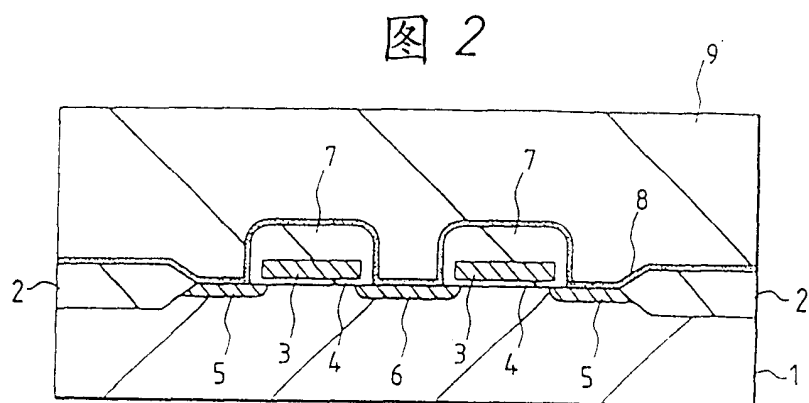
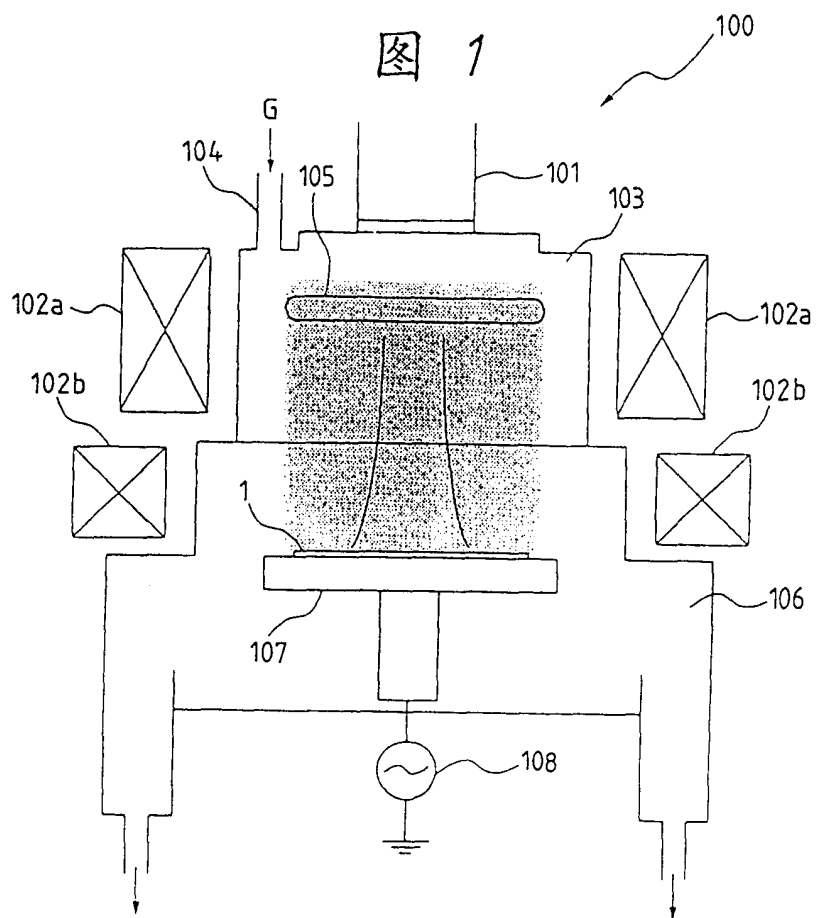


图 3

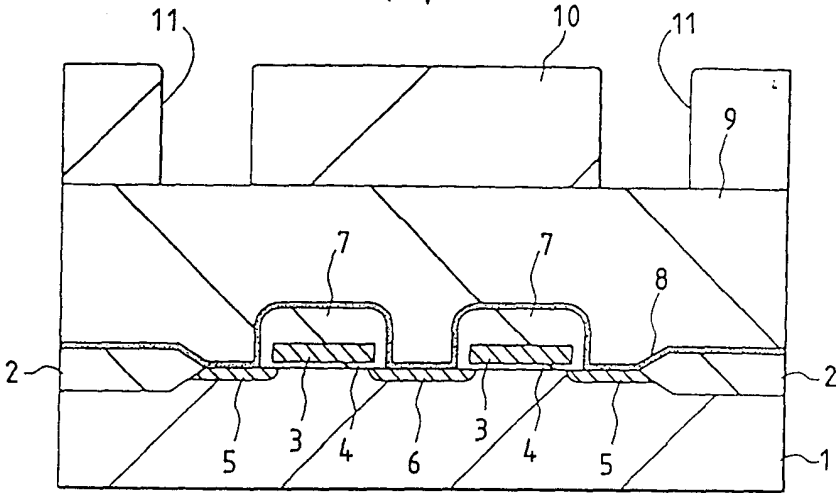


图 4

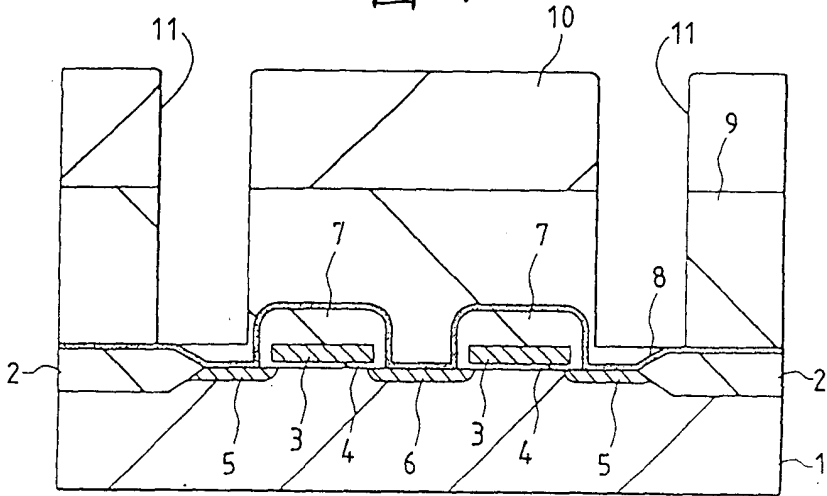


图 5

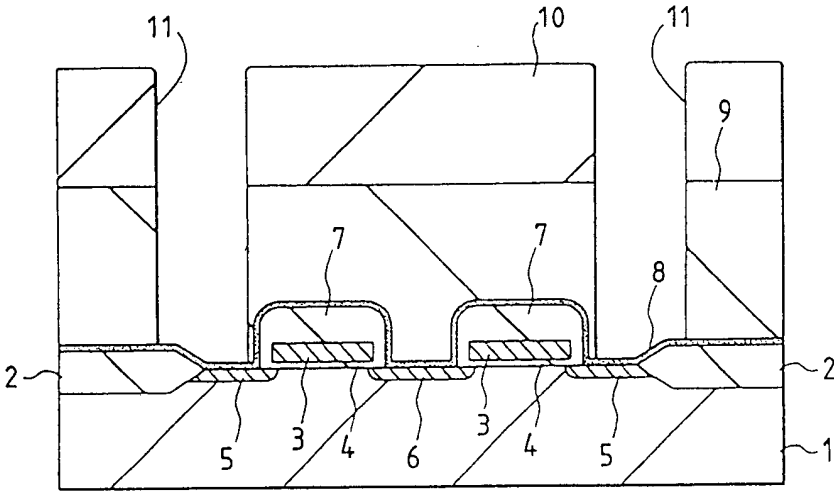


图 6

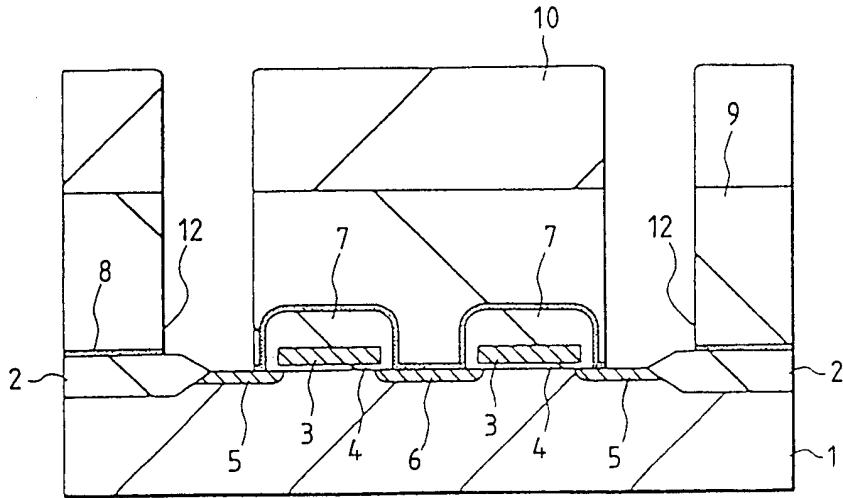


图 7

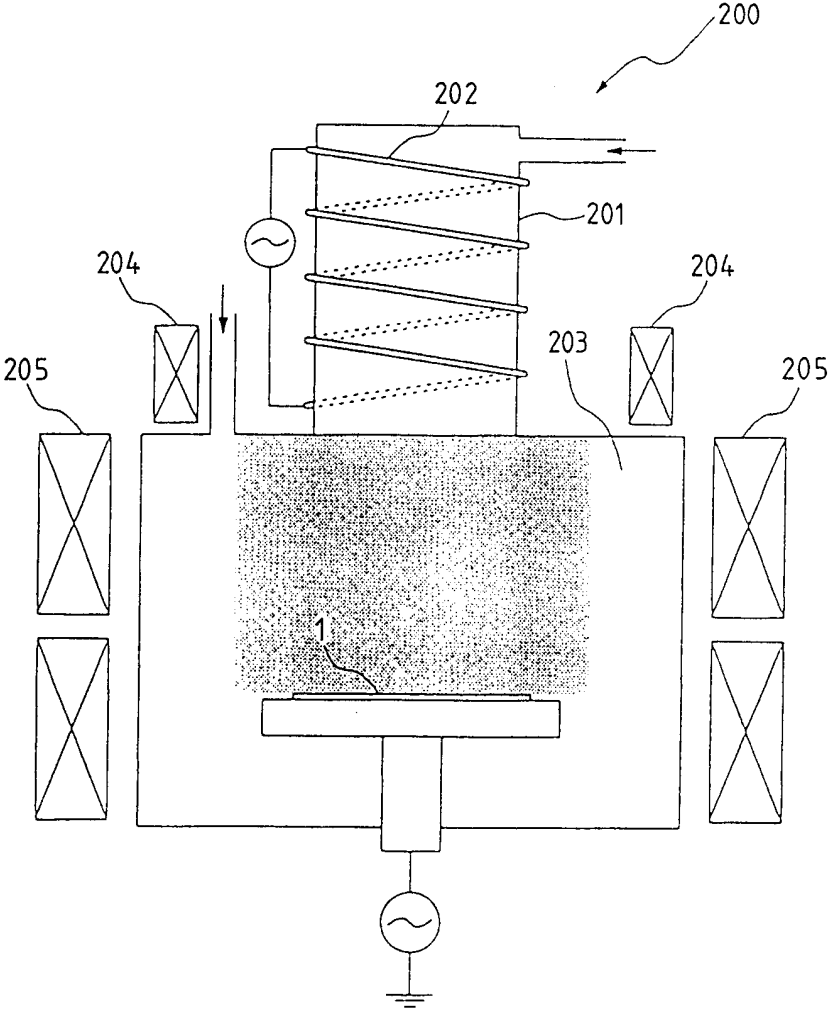


图 8

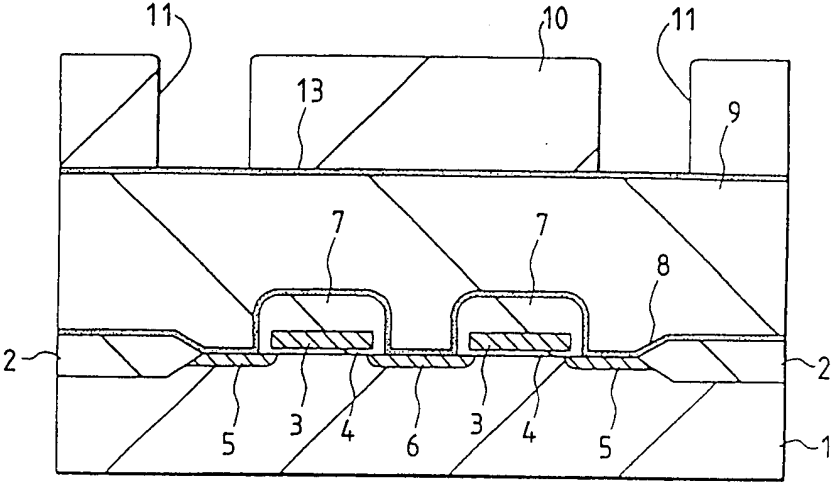


图 9

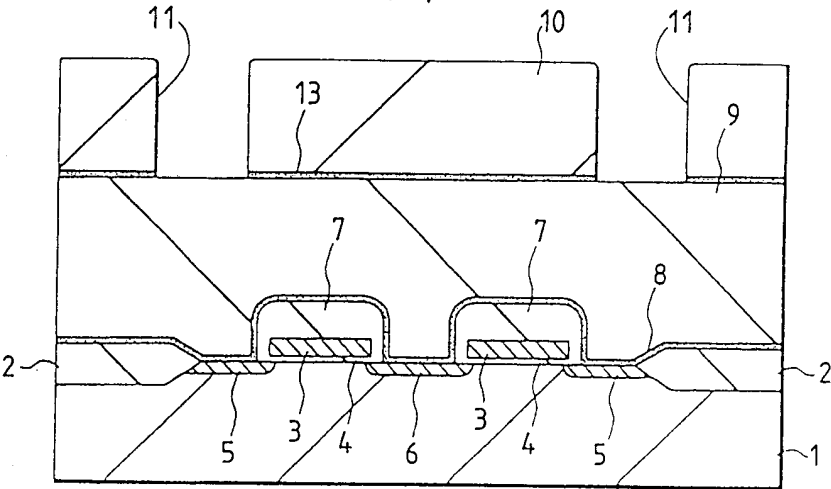


图 10

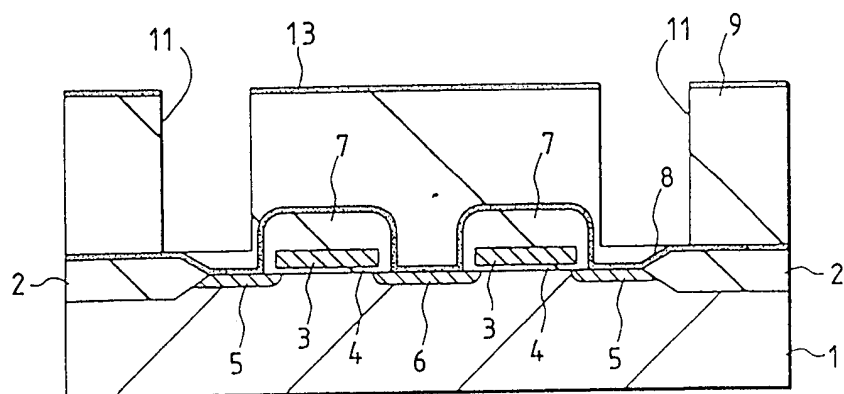


图 11

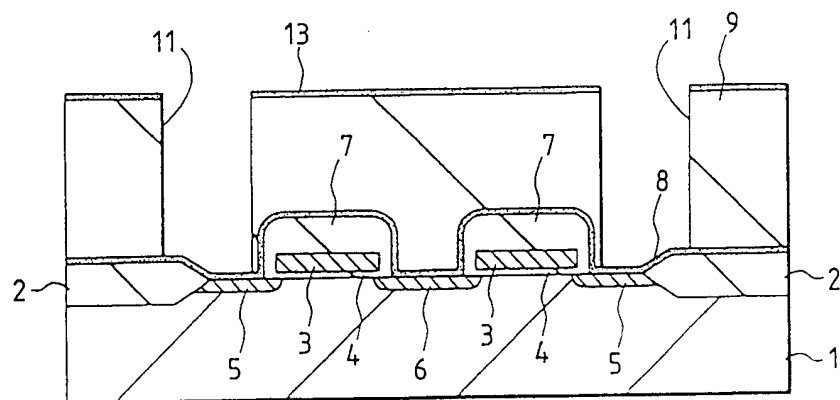


图 12

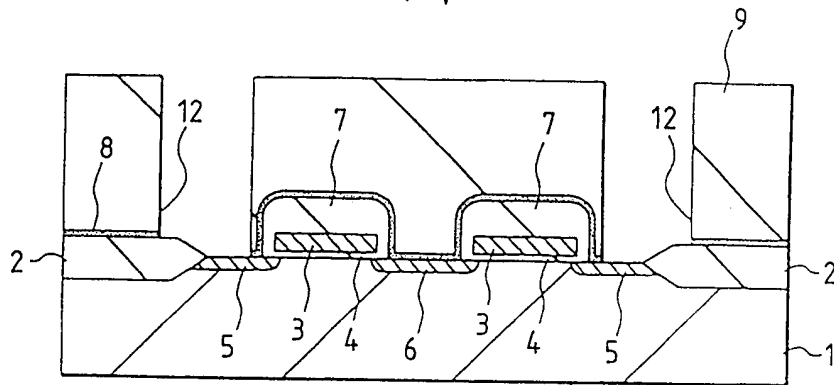


图 13

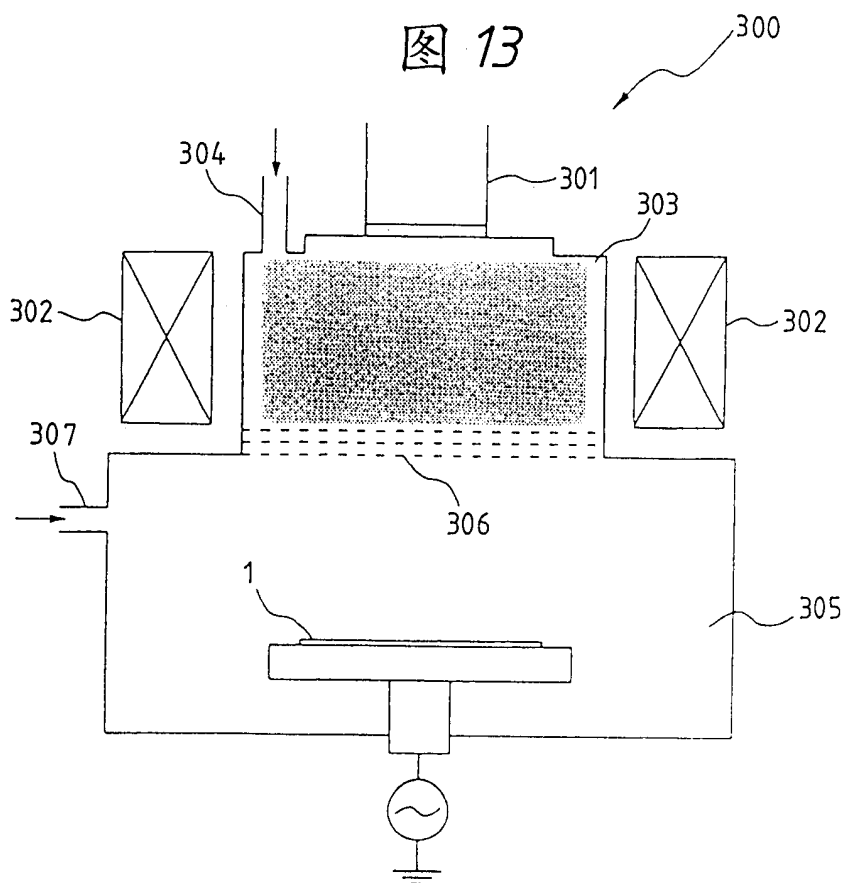


图 14

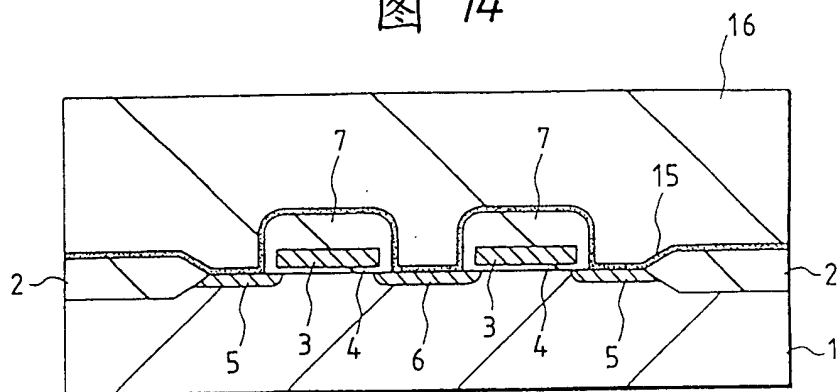


图 15

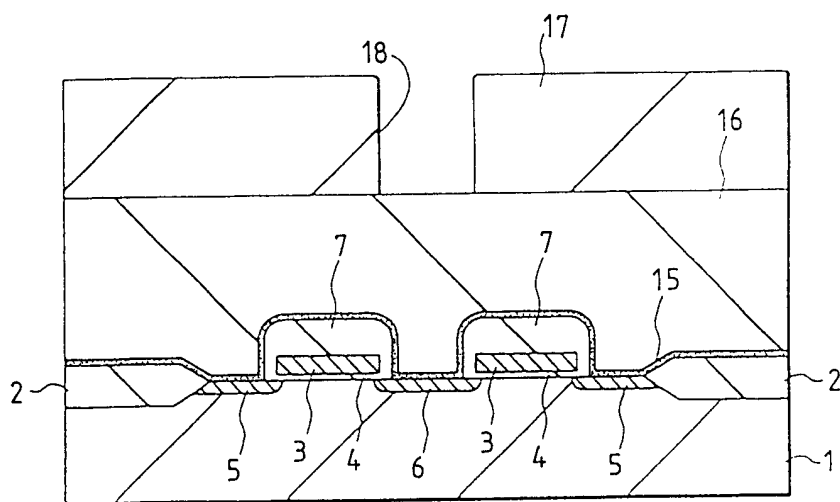


图 16

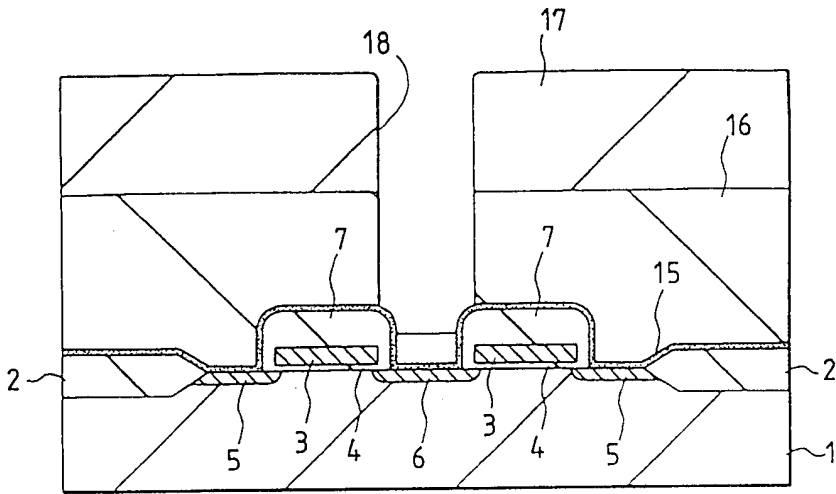


图 17

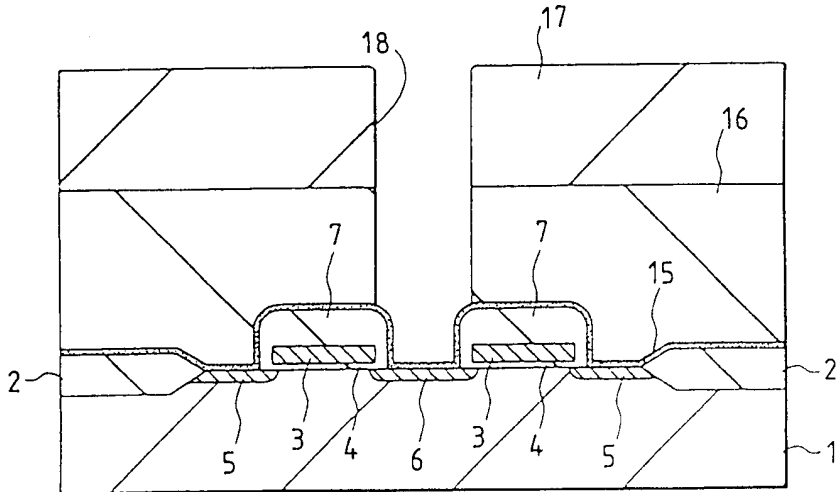


图 18

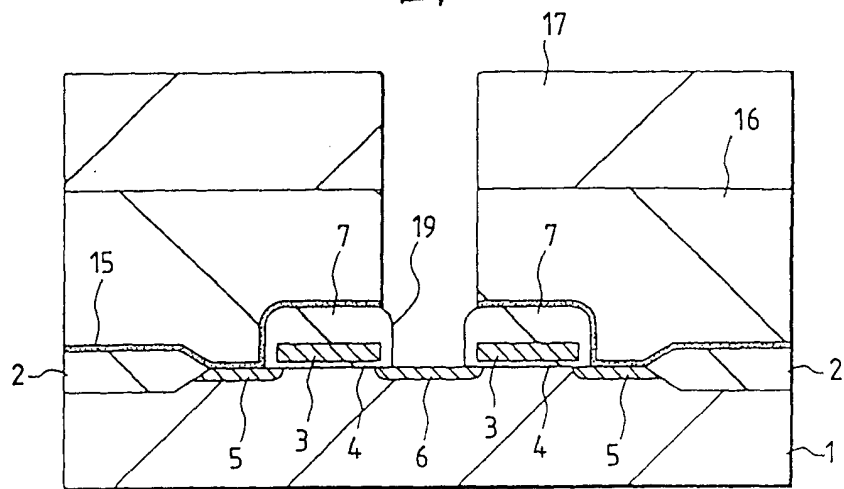


图 19

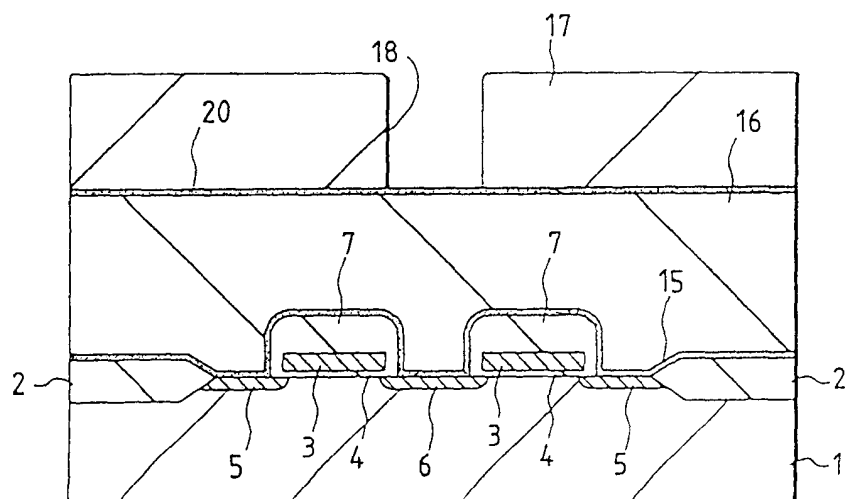


图 20

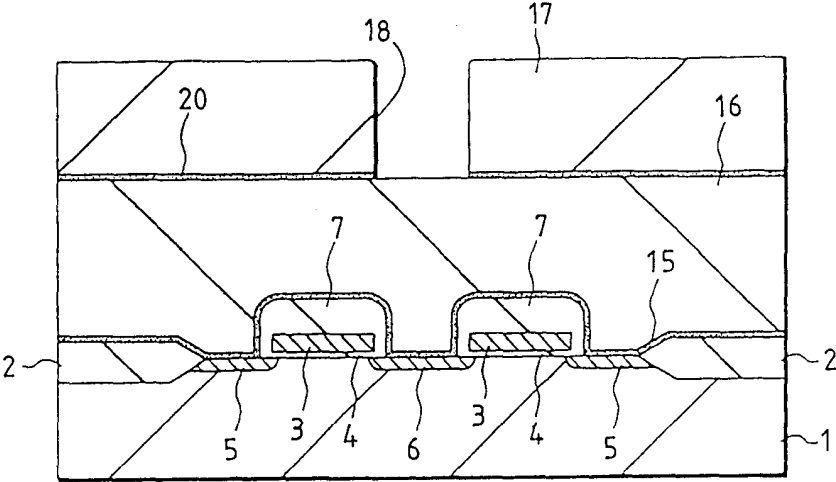


图 21

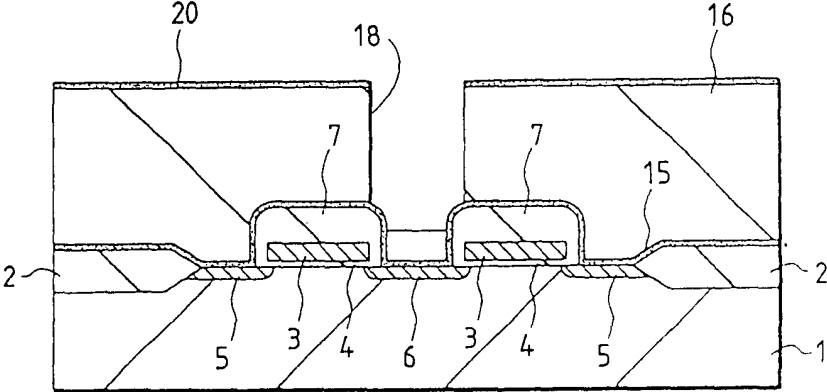


图 22

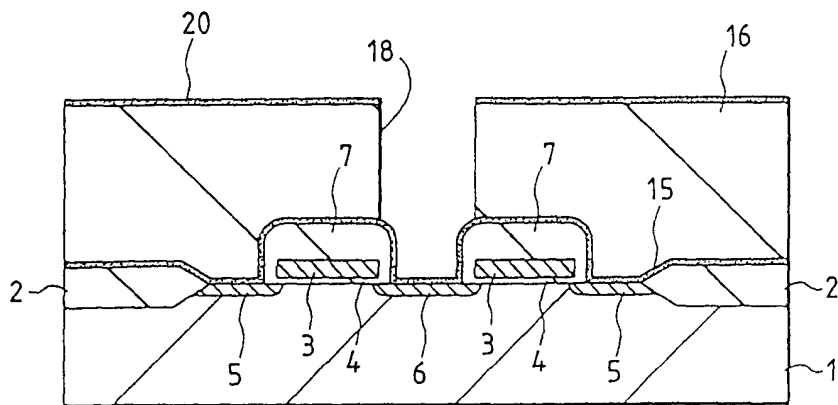


图 23

