(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年2 月7 日 (07.02.2008)

PCT

(10) 国際公開番号
WO 2008/015808 A1

(51) 国際特許分類:
G02F 1/1368 (2006.01) *G09F 9/00* (2006.01)
G01R 31/00 (2006.01) *G09F 9/30* (2006.01)
G02F 1/1345 (2006.01)

(21) 国際出願番号: PCT/JP2007/054799

(22) 国際出願日: 2007 年3 月12 日 (12.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-208642 2006 年7 月31 日 (31.07.2006) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 吉田昌弘 (YOSHIDA, Masahiro). 谷本和憲 (TANIMOTO, Kazunori). 三村泰裕 (MIMURA, Yasuhiro).

(74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満橋１丁目８番３０号ＯＡＰタワー２６階 Osaka (JP).

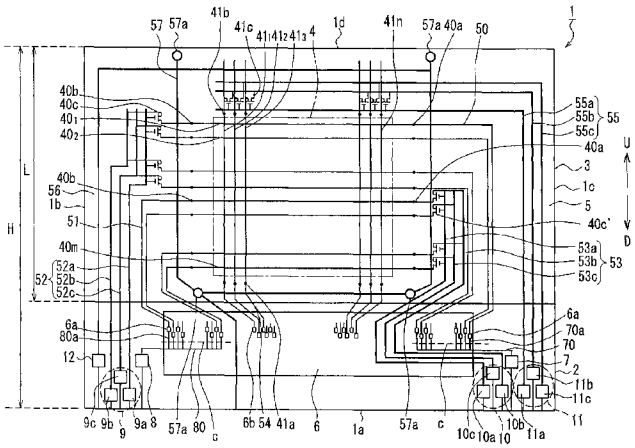
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

[続葉有]

(54) **Title:** ACTIVE MATRIX SUBSTRATE, DISPLAY, AND ACTIVE MATRIX SUBSTRATE INSPECTING METHOD

(54) **発明の名称:** アクティブマトリクス基板、表示装置、および、アクティブマトリクス基板の検査方法



(57) **Abstract:** When an upper gate switching element (40c) is kept on and when mutually independent inspection signals are inputted into upper first and second gate lead-out inspection wires (52b, 52c), short-circuit between the adjacent gate wires (40) of the upper gate wires (40) can be detected, if any. When a lower gate switching element (40c') is kept on and when mutually independent inspection signals are inputted into lower first and second gate lead-out inspection wires (53b, 53c), short-circuit between the adjacent gate wires (40) of the lower gate wires (40) can be detected, if any. When a source switching element (41c) is kept on and when mutually independent inspection signals are inputted into source lead-out inspection wires (55), short-circuit between adjacent source wires (41) can be detected, if any.

[続葉有]

WO 2008/015808 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約:

上側のゲート側スイッチング素子（４０ｃ）をオン状態としつつ、上側第１、第２ゲート引出検査配線（５２ｂ、５２ｃ）に互いに独立した検査信号を入力すれば、上側ゲート配線（４０）において隣接するゲート配線（４０）間等の短絡が検出できる。下側のゲート側スイッチング素子（４０ｃ´）をオン状態としつつ、下側第１、第２ゲート引出検査配線（５３ｂ、５３ｃ）に互いに独立した検査信号を入力すれば、下側ゲート配線（４０）において隣接するゲート配線（４０）間等の短絡が検出できる。ソース側スイッチング素子（４１ｃ）をオン状態としつつ、ソース引出検査配線（５５）に互いに独立した検査信号を入力すれば、隣接するソース配線（４１）間等の短絡が検出できる。

明 細 書

アクティブマトリクス基板、表示装置、および、アクティブマトリクス基板の検査方法

技術分野

[0001] 本発明は、アクティブマトリクス基板、表示装置、および、アクティブマトリクス基板の検査方法に関し、より詳細には、表示領域に形成されている複数の第1配線と、第1配線と交差し、表示領域に形成されている複数の第2配線と、実装領域に形成されている複数の端子とを備えたアクティブマトリクス基板、表示装置、アクティブマトリクス基板の検査方法に関する。

背景技術

[0002] 液晶パネルは、薄くて軽量であり、消費電力が少ないという長所がある。このため、液晶パネルは、例えば、携帯電話やPDAなどの携帯用の端末装置、パーソナルコンピュータ、テレビ、ビデオカメラ、デジタルカメラなどの電子機器に幅広く利用されている。

[0003] 図4は、従来から採用されているCOG(Chip On Glass)方式の液晶パネル100の一例を示す。液晶パネル100は、アクティブマトリクス基板101と、アクティブマトリクス基板101に対向する対向基板102とを備えている。アクティブマトリクス基板101と対向基板102との間には、図示しない液晶層が狭持されている。

[0004] アクティブマトリクス基板101は、表示領域103、引出配線領域104、および、実装領域105を有している。表示領域103は、ゲート配線103aおよびソース配線103bが互いに直交するように形成されている領域である。引出配線領域104は、ゲート配線103aおよびソース配線103bが引き出されている領域である。実装領域105は、例えば図示しない駆動回路を実装するための領域である。なお、以下では、液晶パネル100の1辺を第1辺100a(図4では、下辺)とし、この第1辺100aを挟んで左右の辺を各々第2辺100b、第3辺100cとし、第1辺100aに対向する辺を第4辺100dとする。

[0005] 実装領域105は、複数のゲート端子105aおよび複数のソース端子105bが形成さ

れている。複数のゲート端子105aおよび複数のソース端子105bは、液晶パネル100の狭額縁化を図るために、アクティブマトリクス基板101の一領域に形成されている（例えば、特開2003－241217号公報参照）。

[0006] アクティブマトリクス基板101と対向基板102とを貼り合わせると、アクティブマトリクス基板101の実装領域105は、対向基板102よりも第1辺100a側に位置する。このため、アクティブマトリクス基板101の第2辺100bの長さHは、対向基板102の第2辺100bの長さLよりも長い。

[0007] 表示領域103には、行方向（図4では、左右方向）に沿って形成されている複数のゲート配線$103a_1$、$103a_2$、・・・$103a_m$と、列方向（図4では、上下方向）に沿って形成されている複数のソース配線$103b_1$、$103b_2$、・・・$103b_n$とを備えている。ゲート配線103aとソース配線103bとの交差部分には、図示しない薄膜トランジスタ（TFT：Thin Film Transistor）、および、この薄膜トランジスタに接続する図示しない画素電極などが形成されている。

[0008] 上側ゲート引出配線106は、表示領域103の上側（第4辺100d側）に形成されているゲート配線103aと、実装領域105に形成されているゲート端子105aとに接続されている。上側ゲート引出配線106は、第3辺100cに沿って形成されている。下側ゲート引出配線107は、表示領域103の下側（第1辺100a側）に形成されているゲート配線103aと、実装領域105に形成されているゲート端子105aとに接続されている。下側ゲート配線103aは、第2辺100bに沿って形成されている。なお、図5は、図4の液晶パネル100の変形例であって、表示領域103に形成されている複数のゲート配線$103a_1$、$103a_2$、・・・$103a_m$が、交互に第2辺100b側と第3辺100c側とに引き出されている例を示している。

[0009] 上側ゲート配線の断線検査用配線108は、上側ゲート引出配線106が接続されている複数のゲート端子105aから個々に延長する延長配線とそれぞれ接続されている。また、上側ゲート配線の断線検査用配線108は、上側ゲート配線検査パッド109と接続されている。上側ゲート配線の断線検査用配線108が上側ゲート配線検査パッド109に接続されているので、上側ゲート配線検査パッド109から上側ゲート引出配線106を介して上側ゲート配線103aにゲート検査信号を一括して入力できる。

[0010] 下側ゲート配線の断線検査用配線110は、下側ゲート引出配線107が接続されているゲート端子105aから個々に延長する延長配線とそれぞれ接続されている。また、下側ゲート配線の断線検査用配線110は、下側ゲート配線検査パッド111と接続されている。下側ゲート配線の断線検査用配線110が下側ゲート配線検査パッド111に接続されているので、下側ゲート配線検査パッド111から下側ゲート引出配線107を介して下側ゲート配線103aにゲート検査信号を一括して入力できる。

[0011] ソース引出配線112は、表示領域103に形成されているソース配線103bと、実装領域105に形成されているソース端子105bとに接続されている。ソース側スイッチング素子113は、ソース配線103bと接続されている。ソース引出検査配線114は、ソース側スイッチング素子113と、ソース配線検査パッド115とに接続されている。ソース引出検査配線114は、第3辺100cおよび第4辺100dに沿って形成されている。

[0012] ソース配線検査パッド115は、ソース側スイッチング素子113をオン／オフする制御信号が入力される切替パッド115aと、奇数側のソース配線$103b_1$、$103b_3$、・・・$103b_{n-1}$にソース検査信号が入力される検査パッド115bと、偶数側のソース配線$103b_2$、$103b_4$、・・・$103b_n$にソース検査信号が入力される検査パッド115cとを有している。これにより、隣接するソース配線（例えば、ソース配線$103b_1$とソース配線$103b_2$）の各々に異なるソース検査信号を入力できる。

[0013] 引出配線領域104の第2辺100b側に位置する共通検査配線116は、共通電極パッド117に接続されている。また、共通検査配線116は、表示領域103を取り囲むように形成されている共通配線118と接続されている。共通配線118は、トランスファーパッド118aを有している。トランスファーパッド118aは、対向基板102に形成されている図示しない共通電極と接続されている。このため、共通電極パッド117から対向基板102に形成されている共通電極に共通電圧を印加できる。

[0014] このような液晶パネル100において、実装領域105に駆動回路を取り付ける前にアクティブマトリクス基板101の電気的な接続状態の検査が行われる（例えば、特開2004－325956号公報および特開2005－241988号公報参照）。検査方法として、上側ゲート配線検査パッド109、下側ゲート配線検査パッド111、ソース配線検査パッド115、および、共通電極パッド117に、例えば図示しない検査用のプローブを接

触させ、ゲート配線103aにゲート検査信号を入力させ、ソース配線103bにソース検査信号を入力させる。これにより、液晶の分子配列方向が制御され、例えば液晶パネル100の背面からバックライトのような照射手段にて照射すると、液晶パネル100の表示領域103が画像を表示するようになる。それゆえ、液晶パネル100の表示領域103上で、例えば検査員の目視検査により、アクティブマトリクス基板101の電気的な接続状態が検査できる。

[0015] 例えば、上側ゲート配線103aおよび上側ゲート引出配線106には、上側ゲート配線検査パッド109からゲート検査信号が入力される。また、下側ゲート配線103aおよび下側ゲート引出配線107には、下側ゲート配線検査パッド111からゲート検査信号が入力される。これにより、ゲート配線103aおよびゲート引出配線106、107の断線が液晶パネル100の表示領域103上で検出できる。

[0016] また、ソース配線103bおよびソース引出配線112には、ソース配線検査パッド115からソース検査信号が入力される。これにより、ソース配線103bの断線が液晶パネル100の表示領域103上で検出できる。また、隣接するソース配線103bの各々には、ソース配線検査パッド115から異なるソース検査信号が入力される。これにより、ソース配線103bおよびソース引出配線112の短絡(リーク)が液晶パネル100の表示領域103上で検出できる。

発明の開示

発明が解決しようとする課題

[0017] しかしながら、上記の液晶パネルにおけるアクティブマトリクス基板においては、上側ゲート配線および上側ゲート引出配線には、上側ゲート配線検査パッドからゲート検査信号が一括して入力されている。また、下側ゲート配線および下側ゲート引出配線には、下側ゲート配線検査パッドからゲート検査信号が一括して入力されている。すなわち、隣接するゲート配線の各々には、同一のゲート検査信号が入力されている。したがって、上記のアクティブマトリクス基板では、ゲート配線およびゲート引出配線の短絡(リーク)が検出できないという問題が生じる。

[0018] 特に、上記のアクティブマトリクス基板は、液晶パネルの狭額縁化を図るために、複数のゲート端子および複数のソース端子が、アクティブマトリクス基板の一領域に纏

めて形成されている。このため、実装領域上のゲート端子同士およびソース端子同士の間隔が狭くなっている。それゆえ、ゲート引出配線同士およびソース引出配線同士の間隔も狭くなっている。したがって、ゲート引出配線およびソース引出配線の短絡が生じ易い。

[0019] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、簡易な構成で、アクティブマトリクス基板の配線の短絡が確実に検出でき、検査漏れが減少するアクティブマトリクス基板、表示装置、および、アクティブマトリクス基板の検査方法を提供することにある。

課題を解決するための手段

[0020] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、表示領域に互いに平行に形成された複数の第1配線と、前記表示領域において前記第1配線と交差するよう、かつ互いに平行に形成された複数の第2配線と、実装領域に形成された複数の端子とを備えたアクティブマトリクス基板において、前記複数の第1配線は、互いに隣接し一端側に駆動信号の入力端を有する第1群の第1配線と、互いに隣接し他端側に駆動信号の入力端を有する第2群の第1配線とを含み、前記アクティブマトリクス基板は、前記第1群の第1配線の一端と前記端子とを接続する第1引出配線と、前記第2群の第1配線の他端と前記端子とを接続する第2引出配線と、前記第1群の第1配線の他端に接続された第1スイッチング素子と、前記第2群の第1配線の一端に接続された第2スイッチング素子と、前記第2配線の一端と前記端子とを接続する第3引出配線と、前記第2配線または前記第3引出配線に接続された第3スイッチング素子と、前記第1スイッチング素子へオン／オフ制御信号を入力可能な第1スイッチング素子制御配線と、前記第2スイッチング素子へオン／オフ制御信号を入力可能な第2スイッチング素子制御配線と、前記第3スイッチング素子へオン／オフ制御信号を入力可能な第3スイッチング素子制御配線と、前記第1群の第1配線に接続された第1スイッチング素子のうちで互いに隣接しない第1スイッチング素子へ検査信号を入力可能な第1検査配線と、前記第1群の第1配線に接続された第1スイッチング素子のうち前記第1検査配線が接続されておらずかつ互いに隣接しない第1スイッチング素子に接続され、当該第1スイッチング素子へ検査信号を入力可能な第2検

査配線と、前記第2群の第1配線に接続された第2スイッチング素子のうちで互いに隣接しない第2スイッチング素子へ検査信号を入力可能な第3検査配線と、前記第2群の第1配線に接続された第2スイッチング素子のうち前記第3検査配線が接続されておらずかつ互いに隣接しない第2スイッチング素子に接続され、当該第2スイッチング素子へ検査信号を入力可能な第4検査配線と、前記第2配線に接続された第3スイッチング素子のうちで互いに隣接しない第3スイッチング素子へ検査信号を入力可能な第5検査配線と、前記第2配線に接続された第3スイッチング素子のうち前記第5検査配線が接続されておらずかつ互いに隣接しない第3スイッチング素子に接続され、当該第3スイッチング素子へ検査信号を入力可能な第6検査配線とを備えたことを特徴とする。

[0021] 上記目的を達成するために本発明における表示装置は、上記本発明のアクティブマトリクス基板を備えている。

[0022] 上記目的を達成するために本発明におけるアクティブマトリクス基板の検査方法は、上記アクティブマトリクス基板の検査方法であって、前記第1断線検査用配線から検査信号を入力することにより、第1群の第1配線の検査を行う工程と、前記第2断線検査用配線から検査信号を入力することにより、第2群の第1配線の検査を行う工程と、前記第1延長配線および第2延長配線を切断する切断工程と、前記第1スイッチング素子をオン状態としながら、第1検査配線および第2検査配線に互いに独立した検査信号を入力することにより、前記第1群の第1配線および第1引出配線の検査を行う工程と、前記第2スイッチング素子をオン状態としながら、第3検査配線および第4検査配線に互いに独立した検査信号を入力することにより、前記第2群の第1配線および第2引出配線の検査を行う工程と、前記第3スイッチング素子をオン状態としながら、第5検査配線および第6検査配線に互いに独立した検査信号を入力することにより、前記第2配線の検査を行う工程とを含むことを特徴とする。

発明の効果

[0023] 以上のように、本発明のアクティブマトリクス基板、表示装置、および、アクティブマトリクス基板の検査方法は、簡易な構成で、アクティブマトリクス基板の配線の短絡が確実に検出でき、検査漏れが減少するという効果を奏する。

図面の簡単な説明

[0024] [図1]図1は、本発明の実施の形態における液晶パネルを示す平面図である。

[図2]図2は、本発明の実施の形態における他の液晶パネルを示す平面図である。

[図3]図3は、本発明の実施の形態における他の液晶パネルを示す平面図である。

[図4]図4は、従来の液晶パネルを示す平面図である。

[図5]図5は、従来の他の液晶パネルを示す平面図である。

発明を実施するための最良の形態

[0025] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、表示領域に互いに平行に形成された複数の第1配線と、前記表示領域において前記第1配線と交差するよう、かつ互いに平行に形成された複数の第2配線と、実装領域に形成された複数の端子とを備えたアクティブマトリクス基板において、前記複数の第1配線は、互いに隣接し一端側に駆動信号の入力端を有する第1群の第1配線と、互いに隣接し他端側に駆動信号の入力端を有する第2群の第1配線とを含み、前記アクティブマトリクス基板は、前記第1群の第1配線の一端と前記端子とを接続する第1引出配線と、前記第2群の第1配線の他端と前記端子とを接続する第2引出配線と、前記第1群の第1配線の他端に接続された第1スイッチング素子と、前記第2群の第1配線の一端に接続された第2スイッチング素子と、前記第2配線の一端と前記端子とを接続する第3引出配線と、前記第2配線または前記第3引出配線に接続された第3スイッチング素子と、前記第1スイッチング素子へオン／オフ制御信号を入力可能な第1スイッチング素子制御配線と、前記第2スイッチング素子へオン／オフ制御信号を入力可能な第2スイッチング素子制御配線と、前記第3スイッチング素子へオン／オフ制御信号を入力可能な第3スイッチング素子制御配線と、前記第1群の第1配線に接続された第1スイッチング素子のうちで互いに隣接しない第1スイッチング素子へ検査信号を入力可能な第1検査配線と、前記第1群の第1配線に接続された第1スイッチング素子のうち前記第1検査配線が接続されておらずかつ互いに隣接しない第1スイッチング素子に接続され、当該第1スイッチング素子へ検査信号を入力可能な第2検査配線と、前記第2群の第1配線に接続された第2スイッチング素子のうちで互いに隣接しない第2スイッチング素子へ検査信号を入力可能な第3検査配線と、前記第2

群の第1配線に接続された第2スイッチング素子のうち前記第3検査配線が接続されておらずかつ互いに隣接しない第2スイッチング素子に接続され、当該第2スイッチング素子へ検査信号を入力可能な第4検査配線と、前記第2配線に接続された第3スイッチング素子のうちで互いに隣接しない第3スイッチング素子へ検査信号を入力可能な第5検査配線と、前記第2配線に接続された第3スイッチング素子のうち前記第5検査配線が接続されておらずかつ互いに隣接しない第3スイッチング素子に接続され、当該第3スイッチング素子へ検査信号を入力可能な第6検査配線とを備えたことを特徴とする。

[0026] 本発明のアクティブマトリクス基板によれば、製造時等の検査工程において、第1スイッチング素子を前記オン／オフ制御信号によってオン状態（導通状態）としつつ、第1検査配線および第2検査配線に互いに独立した検査信号を入力すれば、第1スイッチング素子を介して、第1群の第1配線および第1引出配線へ検査信号を入力することが可能である。なお、第1検査配線は、第1群の第1配線に接続された第1スイッチング素子のうちで互いに隣接しない第1スイッチング素子へ検査信号を入力可能である。また、第2検査配線は、第1群の第1配線に接続された第1スイッチング素子のうち第1検査配線が接続されておらずかつ互いに隣接しない第1スイッチング素子に接続され、当該第1スイッチング素子へ検査信号を入力可能である。したがって、第1群において隣接する第1配線および隣接する第1引出配線へは、互いに独立した検査信号を入力できる。これにより、第1群において隣接する第1配線間の短絡（リーク）、および隣接する第1引出配線間の短絡が検出できる。また、これと同様にして、第2スイッチング素子を前記オン／オフ制御信号によってオン状態（導通状態）としつつ、第3検査配線および第4検査配線に互いに独立した検査信号を入力すれば、第2群において隣接する第1配線間の短絡、および隣接する第2引出配線間の短絡が検出できる。さらに、上記と同様に、第3スイッチング素子を前記オン／オフ制御信号によってオン状態（導通状態）としつつ、第5検査配線および第6検査配線に互いに独立した検査信号を入力すれば、隣接する第2配線間の短絡、および隣接する第3引出配線間の短絡が検出できる。この結果、簡易な構成で、配線の短絡が確実に検出でき、検査漏れが減少するアクティブマトリクス基板を実現できる。

[0027] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、前記第1群の第1配線が、前記実装領域に対して、前記第2群の第1配線よりも遠くに配置されており、前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線が、前記第1引出配線よりも表示領域側に形成されている態様とするのが好ましい。

[0028] この態様では、前記第1群の第1配線が、前記実装領域に対して、前記第2群の第1配線よりも遠くに配置されているので、前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線は、第1群の第1引出配線よりも表示領域側に形成されていることにより、第1引出配線と交差しない。一方、仮に、上記と逆に、第1引出配線を、前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線よりも表示領域側に形成すると、第1引出配線は、前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線と交差し、交差部分で静電容量が生じる。このように、本発明にかかる上記の態様によれば、前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線が、第1引出配線と交差しないようこの第1引出配線よりも表示領域側に形成されたことにより、前記第1引出配線を介して前記第1群の第1配線に入力する信号の遅延が大きくならない。すなわち、表示領域の第1群の第1配線と第2群の第1配線とで到達電位が異なることによる、いわゆるブロック分かれが生じることがない。

[0029] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、前記第1引出配線が接続されている前記複数の端子から個々に延長する第1延長配線と、前記第1延長配線がそれぞれ接続され、検査信号を入力可能な第1断線検査用配線と、前記第2引出配線が接続されている前記複数の端子から個々に延長する第2延長配線と、前記第2延長配線がそれぞれ接続され、検査信号を入力可能な第2断線検査用配線とを更に備えた態様とするのが好ましい。

[0030] この態様によれば、第1断線検査用配線から第1延長配線および前記端子を介して、前記第1引出配線および前記第1群の第1配線へ、検査信号を入力可能である。また、第2断線検査用配線から第2延長配線および前記端子を介して、前記第2引出配線および前記第2群の第1配線へ、検査信号を入力可能である。ところで、アク

ティブマトリクス基板の配線に静電気が帯電すると、異なる配線が絶縁膜を介して交差する部分などで、短絡や断線を伴う放電が起こる恐れがある。これに対して、この態様では、第1および第2断線検査用配線には、複数の端子から個々に延長する第1および第2延長配線がそれぞれ接続されているので、アクティブマトリクス基板にて発生する静電気を第1および第2断線検査用配線から除去できる。このため、静電気によるアクティブマトリクス基板の不良の発生を抑制できる。この結果、アクティブマトリクス基板の歩留まりが向上できる。

[0031] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、前記第3スイッチング素子が、前記第3引出配線に接続されている態様とするのが好ましい。

[0032] この態様によれば、第5検査配線および第6検査配線から、第3引出配線を介して第2配線へ検査信号が入力される。それゆえ、第2配線の断線が検出できるのみならず、第3引出配線の断線も検出できる。この結果、検査漏れが減少するアクティブマトリクス基板を実現できる。

[0033] 上記目的を達成するために本発明におけるアクティブマトリクス基板は、前記第1配線は、ゲート配線であり、前記第2配線は、ソース配線である態様とするのが好ましい。

[0034] この態様によれば、検査時に、第1～第4検査配線がゲート配線として機能し、第5検査配線および第6検査配線がソース配線として機能する。このため、アクティブマトリクス基板の表示領域上で、アクティブマトリクス基板の配線の断線・短絡が検出できる。

[0035] 上記目的を達成するために本発明における表示装置は、上記本発明におけるアクティブマトリクス基板を備えている。なお、表示装置は、例えば液晶表示装置である。このため、本発明の表示装置によれば、アクティブマトリクス基板の配線の短絡を確実に検出し、検査漏れが少ないアクティブマトリクス基板を備えているので、表示装置の歩留まりが向上できる。

[0036] 上記目的を達成するために本発明におけるアクティブマトリクス基板の検査方法は、上記本発明のアクティブマトリクス基板の電気的な接続状態を検査するアクティブマトリクス基板の検査方法であって、前記第1断線検査用配線から検査信号を入力

することにより、第1群の第1配線の検査を行う工程と、前記第2断線検査用配線から検査信号を入力することにより、第2群の第1配線の検査を行う工程と、前記第1延長配線および第2延長配線を切断する切断工程と、前記第1スイッチング素子をオン状態としながら、第1検査配線および第2検査配線に互いに独立した検査信号を入力することにより、前記第1群の第1配線および第1引出配線の検査を行う工程と、前記第2スイッチング素子をオン状態としながら、第3検査配線および第4検査配線に互いに独立した検査信号を入力することにより、前記第2群の第1配線および第2引出配線の検査を行う工程と、前記第3スイッチング素子をオン状態としながら、第5検査配線および第6検査配線に互いに独立した検査信号を入力することにより、前記第2配線の検査を行う工程とを含むことを特徴とする。

[0037] 本発明のアクティブマトリクス基板の検査方法によれば、第1断線検査用配線および第2断線検査用配線のそれぞれから検査信号を入力することにより、第1配線の断線が検出できる。そして、切断工程において、第1延長配線および第2延長配線を切断することにより、第1断線検査用配線および第2断線検査用配線によって電気的に接続されていた端子が、電気的に切り離される。その後、第1スイッチング素子をオン状態としながら、第1検査配線および第2検査配線に互いに独立した検査信号を入力することにより、第1群の第1配線の検査を行う工程と、同様にして、第2群の第1配線の検査を行う工程とを実施することにより、少なくとも、第1群および第2群の第1配線、第1引出配線、並びに第2引出配線の短絡が検出できる。この結果、簡易な検査方法で、アクティブマトリクス基板の配線の断線・短絡が確実に検出でき、検査漏れが減少するアクティブマトリクス基板の検査方法を実現できる。なお、前記第2配線の検査を行う工程は、前記切断工程の前でも良いし、後でも良い。

[0038] 以下、本発明の実施形態について、図面を参照しながら説明する。ただし、以下で参照する各図は、説明の便宜上、本発明の一実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。したがって、本発明に係る液晶パネル（特に、液晶パネルにおけるアクティブマトリクス基板）は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率などを忠実に表

したものではない。

[0039] 本実施形態に係る液晶パネル1は、図1に示すように、アクティブマトリクス基板2と、アクティブマトリクス基板2に対向する対向基板3とを備えている。アクティブマトリクス基板2と対向基板3との間には、図示しない液晶層が狭持されている。なお、本実施形態に係る液晶パネル1は、携帯電話やPDAなどの携帯用の液晶表示装置、ゲーム用の液晶表示装置、カーナビゲーションシステム、パーソナルコンピュータ、テレビ、ビデオカメラ、デジタルカメラなどの液晶表示装置に幅広く適用できる。また、本実施形態に係るアクティブマトリクス基板2をCRT(Cathode Ray Tube)ディスプレイ、プラズマディスプレイ、有機ELディスプレイなど、液晶表示装置以外の表示装置に備えていても良い。

[0040] アクティブマトリクス基板2は、表示領域4、引出配線領域5、および、実装領域6を有している。表示領域4は、ゲート配線(第1配線、第2配線)40およびソース配線(第2配線、第1配線)41が互いに交差するように形成されている領域である。引出配線領域5は、ゲート配線40およびソース配線41が引き出されている領域である。実装領域6は、例えば図示しない駆動回路を実装するための領域である。なお、以下では、液晶パネル1の1辺を第1辺1a(図1では、下辺)とし、この第1辺1aを挟んで左右の辺を各々第2辺1b、第3辺1cとし、第1辺1aに対向する辺を第4辺1dとする。

[0041] アクティブマトリクス基板2と対向基板3とを貼り合わせると、アクティブマトリクス基板2の実装領域6は、対向基板3よりも第1辺1a側に位置する。このため、アクティブマトリクス基板2の第2辺1bの長さHは、対向基板3の第2辺1bの長さLよりも長い。

[0042] 実装領域6は、複数のゲート端子6aおよび複数のソース端子6bが形成されている。実装領域6は、駆動回路がCOG(Chip On Glass)方式にて実装される領域である。実装領域6は、このCOG方式に限らず、TCP(Tape Carrier Package)方式、COF(Chip On Film)方式にて駆動回路または駆動回路を実装しているフレキシブル配線基板が実装される領域であっても良い。

[0043] 表示領域4には、行方向(図1では、左右方向)に沿って互いに平行に形成され、駆動信号が入力される複数のゲート配線40_1、40_2、・・・40_mと、列方向(図1では、上下方向)に沿って互いに平行に形成され、画素データが入力される複数のソース配

線41_1、41_2、・・・41_nとを有している。すなわち、ゲート配線40とソース配線41とは、互いに直交するように形成されている。ゲート配線40とソース配線41との交差部分には、図示しないTFT(Thin Film Transistor)やMIM(Metal Insulator Metal)、および、このTFTやMIMに接続する図示しない画素電極などが形成されている。

[0044] 以下では、まず、引出配線領域5にゲート配線40が引き出されている構成について説明する。

[0045] なお、以下では、表示領域4の上側(第4辺1d側)に形成されているゲート配線40を上側ゲート配線(第1群)40と称する。また、表示領域4の下側(第1辺1a側)に形成されているゲート配線40を下側ゲート配線(第2群)40と称する。本実施形態において、表示領域4の上側とは、図1中矢印Uに示す方向をいう。また、表示領域4の下側とは、図1中矢印Dに示す方向をいう。ただし、表示領域4の上側および下側は、これに限定されるものではない。

[0046] 上側ゲート引出配線(第1引出配線)50は、上側ゲート配線40の一端部40aと、実装領域6に形成されているゲート端子6aとに接続されている。上側ゲート引出配線50は、第3辺1cおよび第4辺1dに沿って形成されている。なお、上側ゲート配線40の一端部40aは、駆動信号の入力端である。

[0047] 下側ゲート引出配線(第2引出配線)51は、下側ゲート配線40の他端部40bと、実装領域6に形成されているゲート端子6aとに接続されている。下側ゲート引出配線51は、第2辺1bおよび第4辺1dに沿って形成されている。なお、下側ゲート配線40の他端部40bは、駆動信号の入力端である。また、上側ゲート引出配線50および下側ゲート引出配線51の配線数は、同一であっても良いし、異なっていても良い。

[0048] 上側ゲート配線の断線検査用配線(第1断線検査用配線)70は、上側ゲート引出配線50が接続されている複数のゲート端子6aから個々に延長する第1延長配線70aと接続されている。また、上側ゲート配線の断線検査用配線70は、第1検査用の上側ゲート配線検査パッド7と接続されている。なお、上側ゲート配線の断線検査用配線70は、複数のゲート端子6aから個々に延長する第1延長配線70aとそれぞれ接続されていることが好ましい。すなわち、アクティブマトリクス基板2の配線に静電気が帯電すると、静電気が帯電した配線と異なる配線が絶縁膜を介して交差する部分など

で、短絡や断線を伴う放電が起こる恐れがある。また、ゲート配線40とソース配線41との交差部分に設けられるTFTやMIMなどの特性が変化することがある。それゆえ、上側ゲート配線の断線検査用配線70が第1延長配線70aとそれぞれ接続されていると、アクティブマトリクス基板2にて発生する静電気を上側ゲート配線の断線検査用配線70から除去できる。また、上側ゲート配線の断線検査用配線70が第1延長配線70aとそれぞれ接続されていると、上側ゲート配線40および上側ゲート引出配線50には、第1検査用の上側ゲート配線検査パッド7から一括してゲート検査信号を入力できる。

[0049] 下側ゲート配線の断線検査用配線(第2断線検査用配線)80は、下側ゲート引出配線51が接続されている複数のゲート端子6aから個々に延長する第2延長配線80aと接続されている。また、下側ゲート配線の断線検査用配線80は、第1検査用の下側ゲート配線検査パッド8に接続されている。なお、下側ゲート配線の断線検査用配線80は、上記の上側ゲート配線の断線検査用配線70と同様の理由により、複数のゲート端子6aから個々に延長する第2延長配線80aとそれぞれ接続されていることが好ましい。

[0050] 上側ゲート引出検査配線52は、上側のゲート側スイッチング素子制御配線52aと、上側第1ゲート引出検査配線52bと、上側第2ゲート引出検査配線52cとを有している。

[0051] 上側のゲート側スイッチング素子制御配線(第1スイッチング素子制御配線)52aは、上側のゲート側スイッチング素子(第1スイッチング素子)40cと接続されている。なお、上側のゲート側スイッチング素子40cは、上側ゲート配線40の他端部40bと接続されている。また、上側のゲート側スイッチング素子制御配線52aは、第2検査用の上側ゲート配線検査パッド9における切替パッド9aと接続されている。上側のゲート側スイッチング素子制御配線52aは、上側のゲート側スイッチング素子40cへオン/オフ制御信号を入力可能な制御配線である。

[0052] 上側第1ゲート引出検査配線(第1検査配線)52bは、上側のゲート側スイッチング素子40cと接続されている。また、上側第1ゲート引出検査配線52bは、第2検査用の上側ゲート配線検査パッド9における検査パッド9bと接続されている。上側第1ゲ

ート引出検査配線52bは、上側のゲート側スイッチング素子40cのうちで互いに隣接しない上側のゲート側スイッチング素子40cに接続されている。上側第1ゲート引出検査配線52bは、当該上側のゲート側スイッチング素子40cへゲート検査信号を入力可能な検査配線である。

[0053] 上側第2ゲート引出検査配線（第2検査配線）52cは、上側のゲート側スイッチング素子40cと接続されている。また、上側第2ゲート引出検査配線52cは、第2検査用の上側ゲート配線検査パッド9における検査パッド9cと接続されている。上側第2ゲート引出検査配線52cは、上側第1ゲート引出検査配線52bが接続されておらずかつ互いに隣接しない上側のゲート側スイッチング素子40cに接続されている。上側ゲート引出検査配線52cは、当該上側のゲート側スイッチング素子40cへゲート検査信号を入力可能な検査配線である。

[0054] ここで、第2検査用の上側ゲート配線検査パッド9は、上側のゲート側スイッチング素子40cをオン／オフする制御信号が入力される切替パッド9aと、奇数側の上側ゲート配線40_1、40_3、・・・にゲート検査信号が入力される検査パッド9bと、偶数側の上側ゲート配線40_2、40_4、・・・にゲート検査信号が入力される検査パッド9cとを有している。これにより、隣接する上側ゲート配線40（例えば、ゲート配線40_1とゲート配線40_2）の各々に異なるゲート検査信号を入力できる。

[0055] 下側ゲート引出検査配線53は、下側のゲート側スイッチング素子制御配線53aと、下側第1ゲート引出検査配線53bと、下側第2ゲート引出検査配線53cとを有している。

[0056] 下側のゲート側スイッチング素子制御配線（第2スイッチング素子制御配線）53aは、下側のゲート側スイッチング素子（第2スイッチング素子）40c´と接続されている。なお、下側のゲート側スイッチング素子40cは、下側ゲート配線40の一端部40aと接続されている。また、下側のゲート側スイッチング素子制御配線53aは、第2検査用の下側ゲート配線検査パッド10における切替パッド10aと接続されている。下側のゲート側スイッチング素子制御配線53aは、下側のゲート側スイッチング素子40c´へオン／オフ制御信号を入力可能な制御配線である。

[0057] 下側第1ゲート引出検査配線（第3検査配線）53bは、下側のゲート側スイッチング

素子40c´と接続されている。また、下側第1ゲート引出検査配線53bは、第2検査用の下側ゲート配線検査パッド10における検査パッド10bと接続されている。下側第1ゲート引出検査配線53bは、下側のゲート側スイッチング素子40c´に対して互いに隣接しない下側のゲート側スイッチング素子40c´に接続されている。下側第1ゲート引出検査配線53bは、当該下側のゲート側スイッチング素子40c´へゲート検査信号を入力可能な検査配線である。

[0058] 下側第2ゲート引出検査配線（第4検査配線）53cは、下側のゲート側スイッチング素子40c´と接続されている。また、下側第2ゲート引出検査配線53cは、第2検査用の下側ゲート配線検査パッド10における検査パッド10cと接続されている。下側第2ゲート引出検査配線53cは、下側第1ゲート引出検査配線53bが接続されておらずかつ互いに隣接しない下側のゲート側スイッチング素子40c´に接続されている。下側ゲート引出検査配線53cは、当該下側のゲート側スイッチング素子40c´へゲート検査信号を入力可能な検査配線である。

[0059] ここで、第2検査用の下側ゲート配線検査パッド10は、下側のゲート側スイッチング素子40c´をオン／オフする制御信号が入力される切替パッド10aと、奇数側の下側ゲート配線40_{m-1}、40_{m-3}・・・にゲート検査信号が入力される検査パッド10bと、偶数側の下側ゲート配線40_{m}、40_{m-2}・・・にゲート検査信号が入力される検査パッド10cとを有している。これにより、隣接する下側ゲート配線40（例えば、ゲート配線40_{m}とゲート配線40_{m-1}）の各々に異なるゲート検査信号を入力できる。

[0060] なお、下側ゲート引出検査配線53は、上側ゲート引出配線50よりも表示領域4側に形成される態様であることが好ましい。すなわち、図2に示すように、上側ゲート引出配線50を下側ゲート引出検査配線53よりも表示領域4側に形成すると、上側ゲート引出配線50と下側ゲート引出検査配線53とが交差部分Aで交差するようになる。これに対して、図1に示すように、下側ゲート引出検査配線53を上側ゲート引出配線50よりも表示領域4側に形成すると、上側ゲート引出配線50と下側ゲート引出検査配線53とが交差しない。このため、上側ゲート引出配線50と下側ゲート引出検査配線53との交差部分で静電容量が生じない。それゆえ、表示領域4の上側ゲート配線40に入力する信号の遅延が大きくならない。すなわち、表示領域4の上側と下側とで到

達電位が異なることによるいわゆるブロック分かれが生じることがない。

[0061] 次に、引出配線領域5にソース配線41が引き出されている構成について説明する。

[0062] ソース引出配線（第3引出配線）54は、表示領域4に形成されているソース配線41の一端部41aと、実装領域6に形成されているソース端子6bとに接続されている。

[0063] ソース引出検査配線55は、ソース側スイッチング素子制御配線55aと、第1ソース引出検査配線55bと、第2ソース引出検査配線55cとを有している。

[0064] ソース側スイッチング素子制御配線（第3スイッチング素子制御配線）55aは、ソース側スイッチング素子（第3スイッチング素子）41cと接続されている。なお、ソース側スイッチング素子41cは、ソース配線41の他端部41bと接続されている。また、ソース側スイッチング素子制御配線55aは、ソース配線検査パッド11における切替パッド11aと接続されている。ソース側スイッチング素子制御配線55aは、ソース側スイッチング素子41cへオン／オフ制御信号を入力可能な制御配線である。

[0065] 第1ソース引出検査配線（第5検査配線）55bは、ソース側スイッチング素子41cと接続されている。また、第1ソース引出検査配線55bは、ソース配線検査パッド11における検査パッド11bと接続されている。第1ソース引出検査配線55bは、ソース側スイッチング素子41cに対して互いに隣接しないソース側スイッチング素子41cに接続されている。第1ソース引出検査配線55bは、当該ソース側スイッチング素子41cへソース検査信号を入力可能な検査配線である。

[0066] 第2ソース引出検査配線（第6検査配線）55cは、ソース側スイッチング素子41cと接続されている。また、第2ソース引出検査配線55cは、ソース配線検査パッド11における検査パッド11cと接続されている。第2ソース引出検査配線55cは、第1ソース引出検査配線55bが接続されておらずかつ互いに隣接しないソース側スイッチング素子41cに接続されている。第2ソース引出検査配線55cは、当該ソース側スイッチング素子41cへソース検査信号を入力可能な検査配線である。

[0067] ここで、ソース配線検査パッド11は、ソース側スイッチング素子41cをオン／オフする制御信号が入力される切替パッド11aと、奇数側のソース配線41_1、41_3、・・・41_{n-1}にソース検査信号が入力される検査パッド11bと、偶数側のソース配線41_2、41_4、・・

・41_nにソース検査信号が入力される検査パッド11cとを有している。これにより、隣接するソース配線41（例えば、ソース配線41_1とソース配線41_2）の各々に異なるソース検査信号を入力できる。

[0068] ところで、ソース側スイッチング素子41cは、図3に示すように、ソース引出配線54の連結部54aに接続されている態様であることが好ましい。すなわち、ソース引出配線54の連結部54aは、実装領域6側（第1辺1a側）に形成されている。これにより、ソース配線検査パッド11からソース引出配線54、ソース配線41の順にソース検査信号が入力される。それゆえ、ソース配線41の断線が検出できるのみならず、ソース引出配線54の断線も検出できる。

[0069] 次に、引出配線領域5に形成されている共通検査配線56および共通配線57について説明する。

[0070] 引出配線領域5の第2辺1b側の位置する共通検査配線56は、共通電極パッド12に接続されている。また、共通検査配線56は、表示領域4を取り囲むように形成されている共通配線57と接続されている。共通配線57は、トランスファーパッド57aを有している。図1では、4つのトランスファーパッド57aを有している。トランスファーパッド57aは、対向基板3に形成されている図示しない共通電極と接続されている。これにより、共通電極パッド12から対向基板3に形成されている共通電極に共通電圧を印加できる。

[0071] 続いて、本実施形態における液晶パネル1の製造方法について説明する。なお、以下では、特に液晶パネル1の電気的な接続状態を検査する検査工程について、詳細に説明する。

[0072] 透明なガラス基板上に、導電膜、絶縁膜、保護膜、配向膜などの薄膜を積層し、アクティブマトリクス基板2として切り出されるべきアクティブマトリクス基板領域が複数形成されているアクティブマトリクス基板用のベース基板を製造する。また、透明なガラス基板上に、ブラックマトリクス、カラーフィルタ、導電膜、配向膜などの薄膜を積層し、対向基板3として切り出されるべき対向基板領域が複数形成されている対向基板用のベース基板を製造する。両ベース基板のうちの一方のベース基板にシール剤を塗布する。そして、シール剤を塗布した後、両ベース基板を貼り合わせる。貼り合わさ

れている両ベース基板は、アクティブマトリクス基板2と対向基板3とを有する液晶パネル1が任意の枚数形成されるマザー基板として切断する。マザー基板として切断された液晶パネル1の個々に、アクティブマトリクス基板2と対向基板3との間に形成されている注入口を介して、例えば真空注入方式を用いることにより液晶材料を注入する。なお、真空注入方式に代えて、滴下注入方式を用いることにより液晶材料を注入しても良い。また、図1に示す液晶パネル1は、液晶材料を注入した後のマザー基板として切断した液晶パネルの1つを示している。したがって、図示は省略するが、図1の液晶パネル1の例えば上下左右には他の液晶パネルが形成されている。

[0073] そして、実装領域6に駆動回路を取り付ける前に、液晶パネル1の電気的な接続状態を検査する検査工程が行われる。検査工程は、液晶パネル1のアクティブマトリクス基板2における配線の断線・短絡(リーク)を検査する。また、検査工程は、ゲート配線40の断線などを検査する第1の検査工程と、ゲート配線40の短絡などを検査する第2の検査工程とに分けて行われる。

[0074] 検査方法として、第1の検査工程では、第1検査用の上側ゲート配線検査パッド7、第1検査用の下側ゲート配線検査パッド8、ソース配線検査パッド11、および、共通電極パッド12に、例えば検査用のプローブを接触させ、電圧を印加する。また、第2の検査工程では、第2検査用の上側ゲート配線検査パッド9、第2検査用の下側ゲート配線検査パッド10、ソース配線検査パッド11、および、共通電極パッド12に、例えば検査用のプローブを接触させ、電圧を印加する。これにより、ゲート配線40に走査信号として機能するゲート検査信号が入力される。また、ソース配線41に画素データとして機能するソース検査信号が入力される。それゆえ、液晶の分子配列方向が制御され、例えば液晶パネル1の背面からバックライトのような照射手段にて照射すると、液晶パネル1の表示領域4が画像を表示するようになる。したがって、液晶パネル1の表示領域4上で、例えば検査員の目視検査により、液晶パネル1のアクティブマトリクス基板2における配線の断線・短絡が検査できる。なお、検査員の目視による検査に代えてまたは加えて、検査装置などを用いて検査しても良い。

[0075] ここで、第1の検査工程について、詳述する。

[0076] 以下では、まず、ゲート配線40およびゲート引出配線50、51の断線の検出方法に

ついて説明する。

[0077] ゲート配線40およびゲート引出配線50、51に、第1検査用のゲート配線検査パッド7、8からゲート検査信号が入力される。したがって、ゲート配線40が断線すると、液晶パネル1の表示領域4は、断線した箇所以降のゲート配線40に対応するラインが表示しなくなる。それゆえ、ゲート配線40の断線が検出できる。また、ゲート引出配線50、51が断線すると、液晶パネル1の表示領域4は、断線したゲート引出配線50、51に接続されるゲート配線40に対応する1ライン全てが表示しなくなる。それゆえ、ゲート引出配線50、51の断線が検出できる。

[0078] ところで、上記では、ゲート配線40およびゲート引出配線50、51に、第1検査用のゲート配線検査パッド7、8からゲート検査信号が一括して入力されている。すなわち、隣接するゲート配線40の各々には、同一のゲート検査信号が入力する。このため、隣接するゲート配線40の各々は同電位となっている。したがって、ゲート配線40およびゲート引出配線50、51に、第1検査用のゲート配線検査パッド7、8からゲート検査信号が一括して入力される第1の検査工程では、ゲート配線40およびゲート引出配線50、51の短絡が検出できない。それゆえ、後述する第2の検査工程で、ゲート配線40およびゲート引出配線50、51の短絡の有無を検査する。

[0079] 次に、ソース配線41およびソース引出配線54の断線の検出方法について説明する。

[0080] ソース配線41およびソース引出配線54に、ソース配線検査パッド11からソース検査信号が入力される。したがって、ソース配線41が断線すると、液晶パネル1の表示領域4は、断線した箇所以降のソース配線41に対応するラインが表示しなくなる。それゆえ、ソース配線41の断線が検出できる。

[0081] ところで、ソース引出配線54が断線しても、図1に示す例では、液晶パネル1の表示領域4上で、ソース引出配線54の断線が検出できない。すなわち、ソース配線検査パッド11からソース配線41を経由して、ソース引出配線54にソース検査信号が入力されるからである。このため、ソース側スイッチング素子41cは、図3に示すように、ソース引出配線54の連結部54aに接続されている態様であることが好ましい。このようにすると、ソース配線検査パッド11からソース引出配線54を経由して、ソース配線4

1にソース検査信号が入力される。それゆえ、ソース引出配線54が断線すると、液晶パネル1の表示領域4は、断線したソース引出配線54に接続されるソース配線41に対応する1ライン全てが表示しなくなる。したがって、ソース配線41の断線が検出できるのみならず、ソース引出配線54の断線も検出できる。

[0082] 次に、ソース配線41およびソース引出配線54の短絡の検出方法について説明する。

[0083] ソース側スイッチング素子41cに、ソース配線検査パッド11の切替パッド11aからソース側スイッチング素子41cをオンする制御信号が入力される。このため、ソース側スイッチング素子41cはオンする。そして、奇数側のソース配線41_1、41_3、・・・41_{n-1}に、検査パッド11bからソース検査信号が入力される。また、偶数側のソース配線41_2、41_4、・・・41_nに、検査パッド11cからソース検査信号が入力される。ここで、例えば、偶数側のソース配線41_2、41_4、・・・41_nへのソース検査信号の入力を無くし、奇数側のソース配線41_1、41_3、・・・41_{n-1}にのみソース検査信号が入力されるようにする。このとき、ソース配線41またはソース引出配線54が隣接する配線と短絡すると、液晶パネル1の表示領域4は、奇数側のソース配線41に対応するラインだけでなく、短絡している偶数側のソース配線41に対応するラインも表示するようになる。それゆえ、ソース配線41およびソース引出配線54の短絡が検出できる。

[0084] 以上のように、第1の検査工程では、ゲート配線40およびゲート引出配線50、51の短絡が検出できない。このため、ゲート配線40およびゲート引出配線50、51の短絡の有無を検査するために、引き続き第2の検査工程が行われる。

[0085] ここで、第2の検査工程の前に、延長配線70a、80aを切断する切断工程が行われる。具体的には、延長配線70a、80aを例えば図1に示すカットラインCに沿って切断する。切断方法として、例えばレーザーを用いて切断する。これにより、上側ゲート引出配線50および下側ゲート引出配線51が接続されている複数のゲート端子6a間が電気的に切断される。なお、複数のゲート端子6a間が電気的に切断されれば、カットラインCに代えて、他のラインに沿って切断してもよい。

[0086] 次に、第2の検査工程について、詳述する。

[0087] 以下では、ゲート配線40およびゲート引出配線50、51の短絡の検出方法につい

て説明する。

[0088] 上側のゲート側スイッチング素子40cに、第2検査用の上側ゲート配線検査パッド9の切替パッド9aから上側のゲート側スイッチング素子40cをオンする制御信号が入力される。このため、上側のゲート側スイッチング素子40cはオンする。そして、奇数側の上側ゲート配線40_1、40_3、・・・に、検査パッド9bからゲート検査信号が入力される。また、偶数側の上側ゲート配線40_2、40_4、・・・に、検査パッド9cからゲート検査信号が入力される。ここで、例えば、偶数側の上側ゲート配線40_2、40_4、・・・へのゲート検査信号の入力を無くし、奇数側の上側ゲート配線40_1、40_3、・・・にのみゲート検査信号が入力されるようにする。このとき、上側ゲート配線40または上側ゲート引出配線50が隣接する配線と短絡すると、液晶パネル1の表示領域4は、奇数側の上側ゲート配線40に対応するラインだけでなく、短絡している偶数側の上側ゲート配線40に対応するラインも表示するようになる。それゆえ、上側ゲート配線40および上側ゲート引出配線50の短絡が検出できる。

[0089] 下側のゲート側スイッチング素子40c´に、第2検査用の下側ゲート配線検査パッド10の切替パッド10aから下側のゲート側スイッチング素子40c´をオンする制御信号が入力される。このため、下側のゲート側スイッチング素子40c´はオンする。そして、奇数側の下側ゲート配線40_{m-1}、40_{m-3}・・・に、検査パッド10bからゲート検査信号が入力される。また、偶数側の下側ゲート配線40_m、40_{m-2}・・・に、検査パッド10bからゲート検査信号が入力される。また、偶数側の下側ゲート配線40および偶数側の下側ゲート引出配線51に、検査パッド10cからゲート検査信号が入力される。ここで、例えば、偶数側の下側ゲート配線40_m、40_{m-2}、・・・へのゲート検査信号の入力を無くし、奇数側の下側ゲート配線40_{m-1}、40_{m-3}、・・・にのみゲート検査信号が入力されるようにする。このとき、下側ゲート配線40または下側ゲート引出配線51が隣接する配線と短絡すると、液晶パネル1の表示領域4は、奇数側の下側ゲート配線40に対応するラインだけでなく、短絡している偶数側の下側ゲート配線40に対応するラインも表示するようになる。それゆえ、下側ゲート配線40および下側ゲート引出配線51の短絡が検出できる。

[0090] ここで、第2の検査工程では、ゲート配線40に、第2検査用のゲート配線検査パッド

9、10からゲート検査信号が入力される。このため、第2の検査工程においても、ゲート配線40の断線が検出できる。それゆえ、第1の検査工程に代えてまたは加えて、第2の検査工程にてゲート配線40の断線の検査を行っても良い。ただし、第2の検査工程では、ゲート引出配線50、51の断線が検出できない。このため、ゲート引出配線50、51の断線の検査は、第1の検査工程にて行う必要がある。

[0091] また、第2の検査工程でも、ソース配線41およびソース引出配線54に、ソース検査パッド11からソース検査信号が入力される。このため、第2の検査工程においても、ソース配線41の断線、ソース配線41およびソース引出配線54の短絡が検出できる。それゆえ、第1の検査工程に代えてまたは加えて、第2の検査工程にてソース配線41の断線、ソース配線41およびソース引出配線54の短絡の検査を行っても良い。

[0092] ところで、上記の切断工程にて、ゲート配線の断線検査用配線70、80を切断する際、ゲート配線の断線検査用配線70、80の一部が除去されずに残ってしまうことがある。また、切断くずが実装領域6上に飛び散ることでゲート端子6bまたはゲート引出配線50、51が短絡することもある。このため、ゲート引出配線50、51が接続されているゲート端子6a間が電気的に切断されているか否かの検査を行うことが好ましい。すなわち、ゲート配線の断線検査用配線70、80に、第1検査用のゲート配線検査パッド7、8からゲート検査信号を入力させる。したがって、ゲート配線の断線検査用配線70、80の一部が除去されずに残っていたり、ゲート端子6bまたはゲート引出配線50、51が短絡していたりすると、液晶パネル1の表示領域4が表示するようになる。それゆえ、上記の切断工程で生じる不具合を検出できる。

[0093] そして、上記の第1の検査工程または第2の検査工程にて、ゲート配線40またはソース配線41などに断線や短絡を検出すると、断線や短絡を検出した液晶パネル1を不良品として除去する。これにより、液晶パネル1の歩留まりを向上できる。なお、断線や短絡を検出した液晶パネル1を除去する代わりに、断線や短絡が生じている箇所にレーザーなどを照射することで断線や短絡を修復しても良い。

[0094] 次に、上記の検査工程（第1の検査工程、第2の検査工程）の後に、実装工程が行われる。実装工程は、例えばアクティブマトリクス基板2の実装領域6に、ゲート配線40およびソース配線41を駆動制御する駆動回路（ドライバ回路）を実装する工程であ

る。そして、マザー基板から個々の液晶パネル1を切り出す。そして、切り出した液晶パネル1に偏光板などの光学フィルムを貼り付ける。これにより、液晶パネル1が製造される。なお、液晶パネル1を製造する方法は、上記の方法に限定されるものではない。例えば、モノクロ用の液晶パネルでは、対向基板にはカラーフィルタを積層しなくとも良い。また、個々の液晶パネルを切り出した後に検査工程、実装工程を行っても良い。

[0095] 以上に述べたように、本実施形態におけるアクティブマトリクス基板2によれば、製造時等の検査工程において、上側のゲート側スイッチング素子40cをオン／オフ制御信号によってオン状態（導通状態）としつつ、上側第1ゲート引出検査配線52bおよび上側第2ゲート引出検査配線52cに互いに独立したゲート検査信号を入力すれば、上側のゲート側スイッチング素子40cを介して、上側ゲート配線40および上側ゲート引出配線50へゲート検査信号を入力することが可能である。なお、上側第1ゲート引出検査配線52bは、上側ゲート配線40に接続された上側のゲート側スイッチング素子40cのうちで互いに隣接しない上側のゲート側スイッチング素子40cへゲート検査信号を入力可能である。また、上側第2ゲート引出検査配線52cは、上側ゲート配線40に接続された上側のゲート側スイッチング素子40cのうち上側第1ゲート引出検査配線52bが接続されておらずかつ互いに隣接しない上側のゲート側スイッチング素子40cに接続され、当該上側のゲート側スイッチング素子40cへゲート検査信号を入力可能である。したがって、上側ゲート配線40において隣接するゲート配線40および隣接するゲート引出配線50へは、互いに独立したゲート検査信号を入力できる。これにより、上側ゲート配線40において隣接するゲート配線40間の短絡（リーク）、および隣接するゲート引出配線50間の短絡が検出できる。また、これと同様にして、下側のゲート側スイッチング素子40c´をオン／オフ制御信号によってオン状態（導通状態）としつつ、下側第1ゲート引出検査配線53bおよび下側第2ゲート引出検査配線53cに互いに独立したゲート検査信号を入力すれば、下側ゲート配線40において隣接するゲート配線40間の短絡、および隣接する下側ゲート引出配線51間の短絡が検出できる。さらに、上記と同様に、ソース側スイッチング素子41cをオン／オフ制御信号によってオン状態（導通状態）としつつ、第1ソース引出検査配線55bお

よび第2ソース引出検査配線55cに互いに独立したソース検査信号を入力すれば、隣接するソース配線41間の短絡、および隣接するソース引出配線54間の短絡が検出できる。この結果、簡易な構成で、配線の短絡が確実に検出でき、検査漏れが減少するアクティブマトリクス基板を実現できる。

[0096] なお、本実施形態では、対向基板の共通電極に共通電圧を印加する例について説明したが、例えば、共通電極がアクティブマトリクス基板に配置されるIPS(In Plane Switching)モードの液晶パネルにも本発明を適用できることは勿論である。IPSモードの液晶パネルのアクティブマトリクス基板には、トランスファーパッドを形成しなくとも良い。また、MVA(Multi-Domain Vertical Aligned)モードの液晶パネル、OCB(Optically Compensated bend)モードの液晶パネルなどにも幅広く本発明を適用できることは勿論である。

[0097] また、本実施形態では、各検査パッドがアクティブマトリクス基板上に形成されている例について説明したが、これに限定されるものではない。すなわち、各検査パッドを例えば検査用の基板上に形成し、アクティブマトリクス基板上には、各検査パッドから供給される検査信号が入力可能な検査用の配線が形成されていれば良い。

[0098] さらに、本実施形態では、ゲート配線およびソース配線の奇数側と偶数側とで異なる検査信号が入力される例について説明したが、これに限定されるものではない。例えば、ソース配線のR(赤)、G(緑)およびB(青)毎に異なる検査信号が入力されるようにしても良い。また、ゲート配線およびソース配線に複数種類の検査信号が入力されるようにしても良い。すなわち、隣接するゲート配線の各々に異なる検査信号が入力され、隣接するソース配線の各々に異なる検査信号が入力されるように形成すれば良い。

[0099] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0100] 以上のように、本発明は、簡易な構成で、アクティブマトリクス基板の配線の短絡が確実に検出でき、検査漏れが減少するアクティブマトリクス基板、表示装置、および、

アクティブマトリクス基板の検査方法として有用である。

請求の範囲

[1] 表示領域に互いに平行に形成された複数の第1配線と、

前記表示領域において前記第1配線と交差するよう、かつ互いに平行に形成された複数の第2配線と、

実装領域に形成された複数の端子とを備えたアクティブマトリクス基板において、

前記複数の第1配線は、互いに隣接し一端側に駆動信号の入力端を有する第1群の第1配線と、互いに隣接し他端側に駆動信号の入力端を有する第2群の第1配線とを含み、

前記アクティブマトリクス基板は、

前記第1群の第1配線の一端と前記端子とを接続する第1引出配線と、

前記第2群の第1配線の他端と前記端子とを接続する第2引出配線と、

前記第1群の第1配線の他端に接続された第1スイッチング素子と、

前記第2群の第1配線の一端に接続された第2スイッチング素子と、

前記第2配線の一端と前記端子とを接続する第3引出配線と、

前記第2配線または前記第3引出配線に接続された第3スイッチング素子と、

前記第1スイッチング素子へオン／オフ制御信号を入力可能な第1スイッチング素子制御配線と、

前記第2スイッチング素子へオン／オフ制御信号を入力可能な第2スイッチング素子制御配線と、

前記第3スイッチング素子へオン／オフ制御信号を入力可能な第3スイッチング素子制御配線と、

前記第1群の第1配線に接続された第1スイッチング素子のうちで互いに隣接しない第1スイッチング素子へ検査信号を入力可能な第1検査配線と、

前記第1群の第1配線に接続された第1スイッチング素子のうち前記第1検査配線が接続されておらずかつ互いに隣接しない第1スイッチング素子に接続され、当該第1スイッチング素子へ検査信号を入力可能な第2検査配線と、

前記第2群の第1配線に接続された第2スイッチング素子のうちで互いに隣接しない第2スイッチング素子へ検査信号を入力可能な第3検査配線と、

前記第2群の第1配線に接続された第2スイッチング素子のうち前記第3検査配線が接続されておらずかつ互いに隣接しない第2スイッチング素子に接続され、当該第2スイッチング素子へ検査信号を入力可能な第4検査配線と、

前記第2配線に接続された第3スイッチング素子のうちで互いに隣接しない第3スイッチング素子へ検査信号を入力可能な第5検査配線と、

前記第2配線に接続された第3スイッチング素子のうち前記第5検査配線が接続されておらずかつ互いに隣接しない第3スイッチング素子に接続され、当該第3スイッチング素子へ検査信号を入力可能な第6検査配線とを備えたことを特徴とするアクティブマトリクス基板。

[2] 前記第1群の第1配線が、前記実装領域に対して、前記第2群の第1配線よりも遠くに配置されており、

前記第2スイッチング素子制御配線、前記第3検査配線、および前記第4検査配線が、前記第1引出配線よりも表示領域側に形成されている、請求項1に記載のアクティブマトリクス基板。

[3] 前記第1引出配線が接続されている前記複数の端子から個々に延長する第1延長配線と、

前記第1延長配線がそれぞれ接続され、検査信号を入力可能な第1断線検査用配線と、

前記第2引出配線が接続されている前記複数の端子から個々に延長する第2延長配線と、

前記第2延長配線がそれぞれ接続され、検査信号を入力可能な第2断線検査用配線とを更に備えた、請求項2に記載のアクティブマトリクス基板。

[4] 前記第3スイッチング素子が、前記第3引出配線に接続されている、請求項1～3のいずれか一項に記載のアクティブマトリクス基板。

[5] 前記第1配線は、ゲート配線であり、前記第2配線は、ソース配線である請求項1～4のいずれか一項に記載のアクティブマトリクス基板。

[6] 請求項1～5のいずれか一項に記載のアクティブマトリクス基板を備えた表示装置。

[7] 前記表示装置は、液晶表示装置である請求項6に記載の表示装置。

[8] 請求項3～5のいずれか一項に記載のアクティブマトリクス基板の検査方法であって、

前記第1断線検査用配線から検査信号を入力することにより、第1群の第1配線の検査を行う工程と、

前記第2断線検査用配線から検査信号を入力することにより、第2群の第1配線の検査を行う工程と、

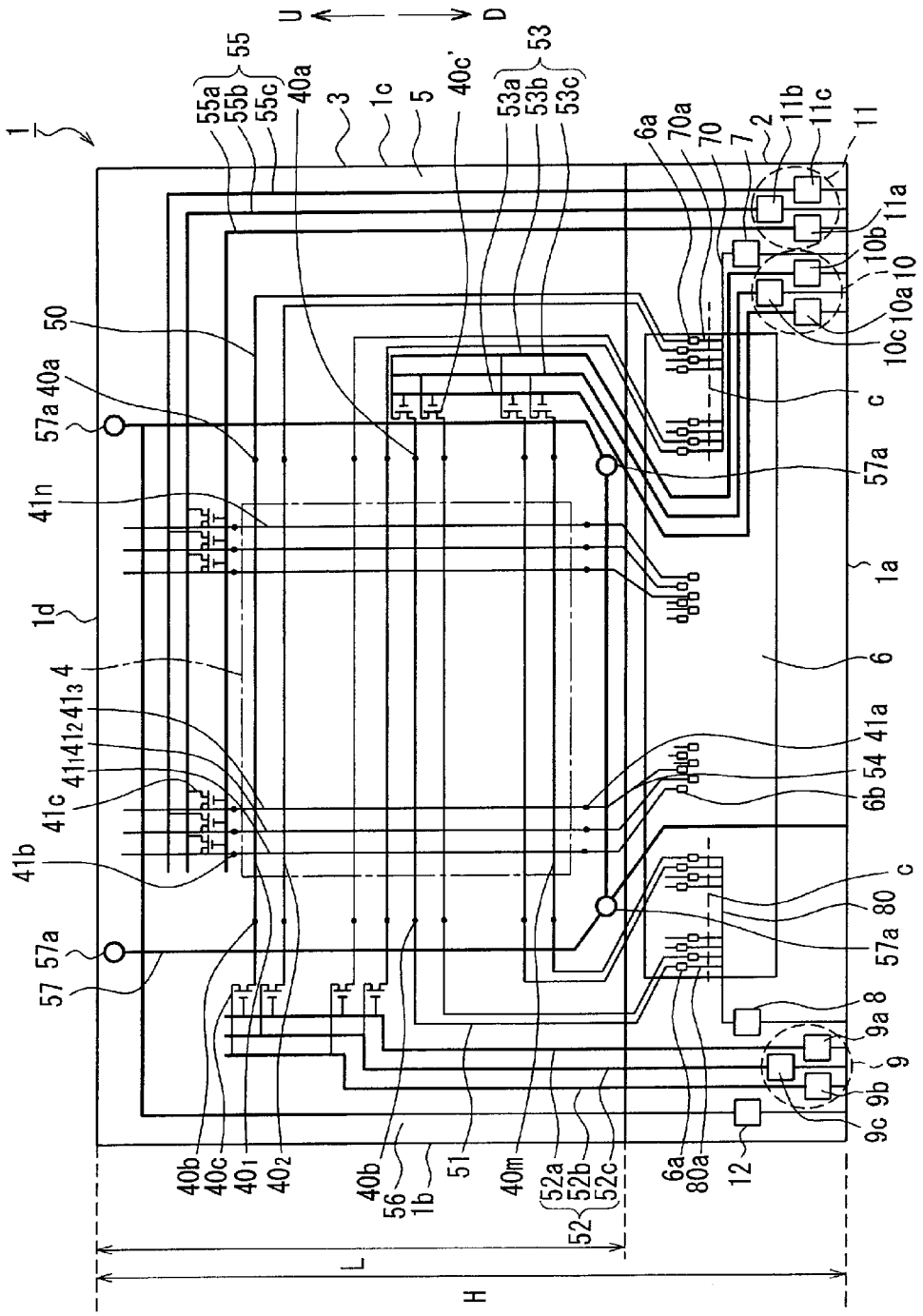
前記第1延長配線および第2延長配線を切断する切断工程と、

前記第1スイッチング素子をオン状態としながら、第1検査配線および第2検査配線に互いに独立した検査信号を入力することにより、前記第1群の第1配線および第1引出配線の検査を行う工程と、

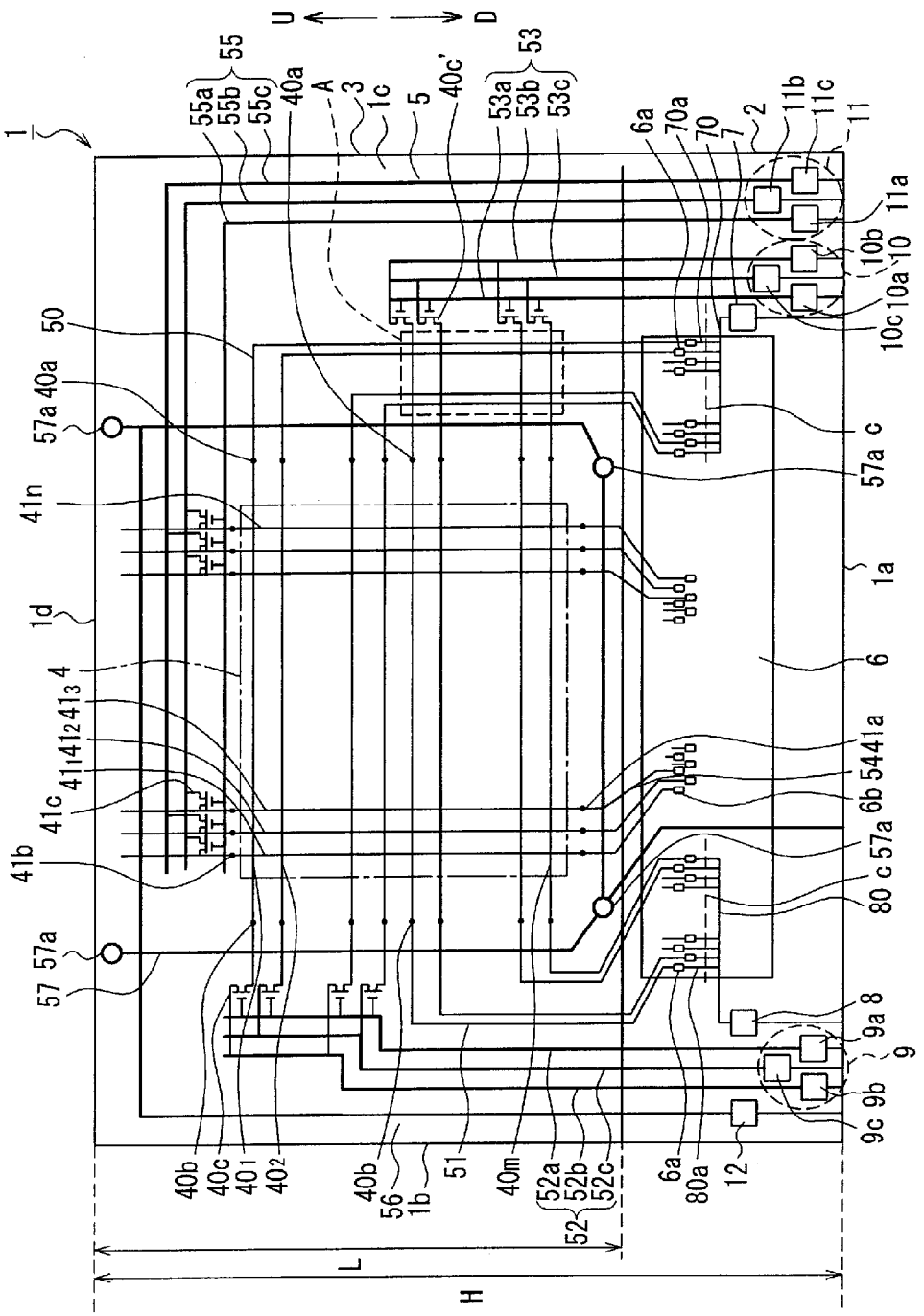
前記第2スイッチング素子をオン状態としながら、第3検査配線および第4検査配線に互いに独立した検査信号を入力することにより、前記第2群の第1配線および第2引出配線の検査を行う工程と、

前記第3スイッチング素子をオン状態としながら、第5検査配線および第6検査配線に互いに独立した検査信号を入力することにより、前記第2配線の検査を行う工程とを含むことを特徴とする、アクティブマトリクス基板の検査方法。

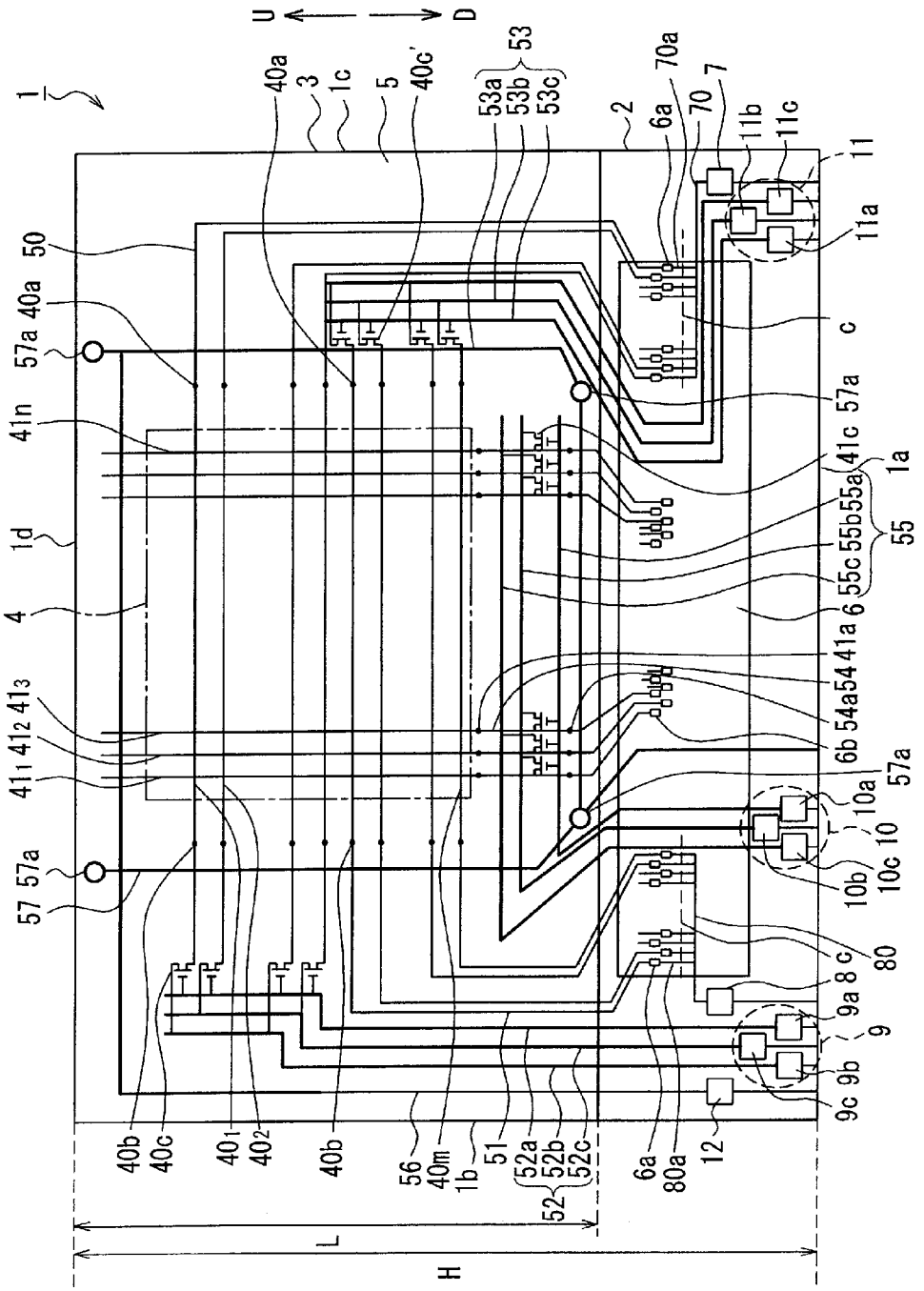
[図1]


U
D
1
55
55a
55b
55c
40a
3
1c
5
40c'
53
53a
53b
53c
6a
70a
70
7
2
11b
11c
11
11a
10b
10
10a
10c
50
57a
40a
41n
1d
4
41₃
41₂
41₁
41c
41b
57
c
1a
6
41a
54
6b
80
8
9a
9
9b
9c
12
6a
80a
40b
40c
40₁
40₂
56
1b
51
40m
52a
52b
52c
52
L
H

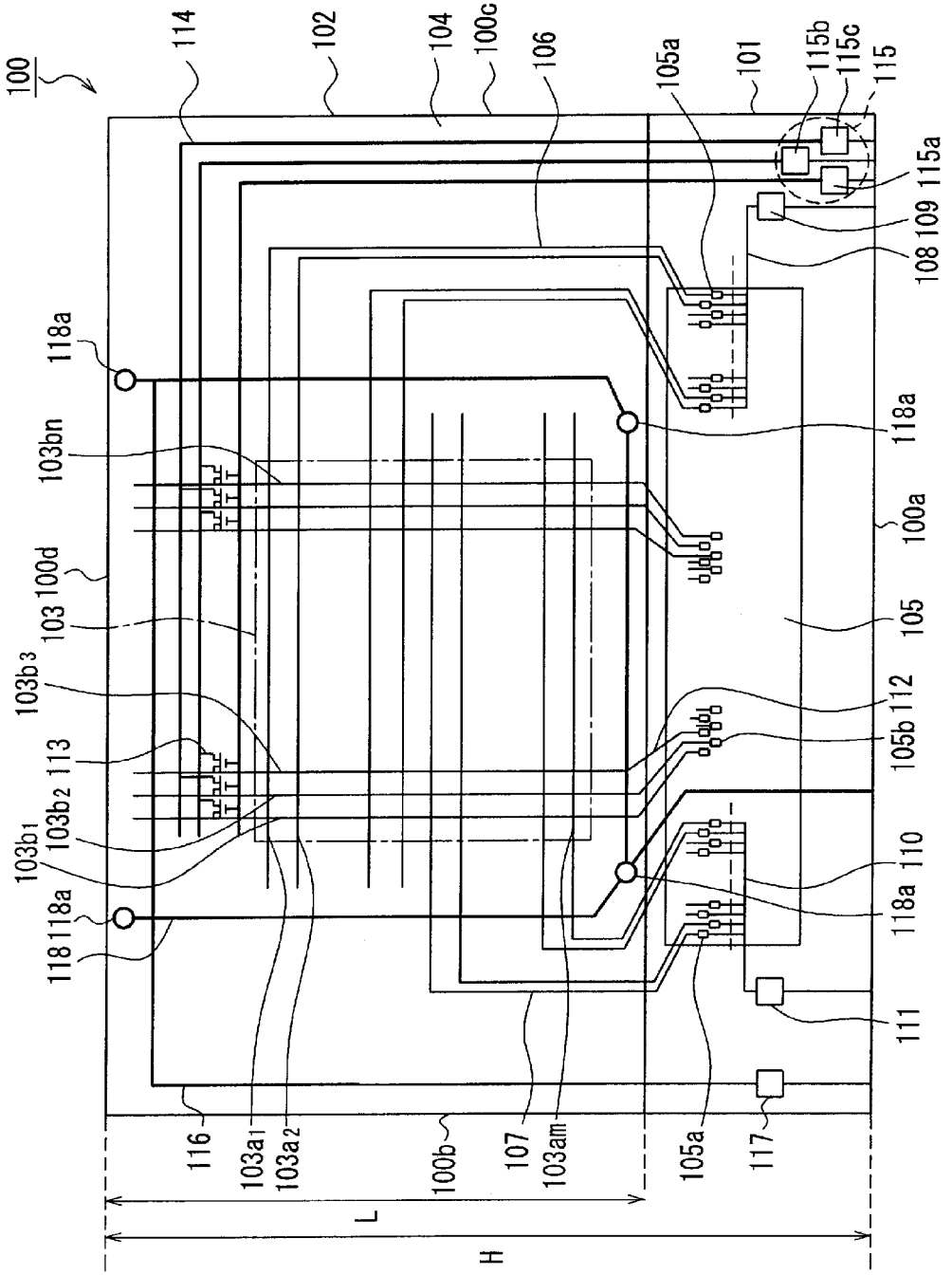
[図2]


U
D
1
55
55a
55b
55c
40a
A
3
1c
5
40c'
53
53a
53b
53c
6a
70a
70
7
2
11b
11c
11
11a
10b
10
10a
10c
50
57a
40a
41n
1d
4
41₃
41₂
41₁
41c
41b
57
c
1a
6
41a
54
6b
80
8
9a
9
9b
9c
12
80a
40b
40c
40₁
40₂
56
1b
51
40m
52a
52b
52c
52
L
H

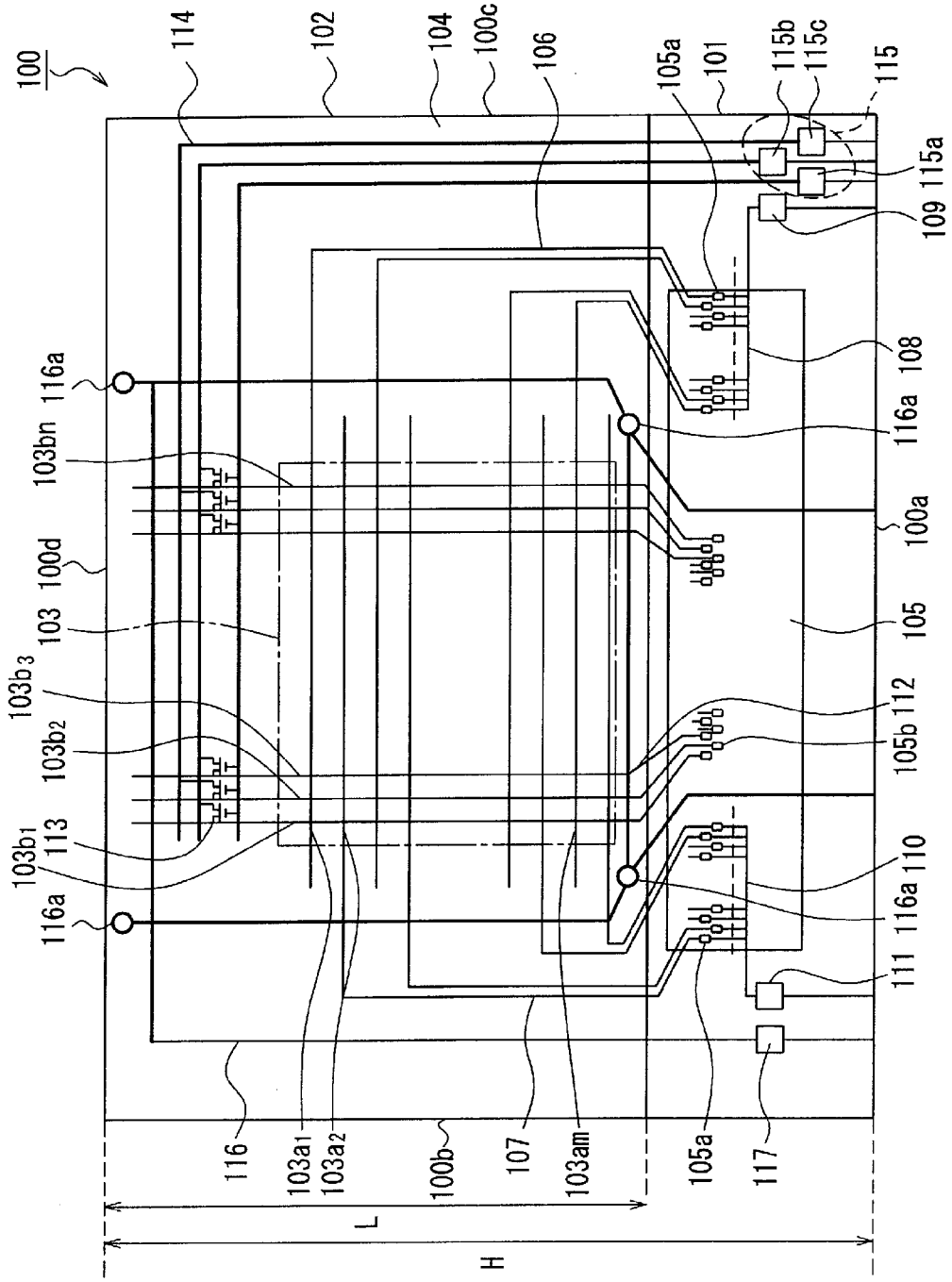
[図3]


U
D
1
40a
3
1c
5
40c'
53
53a
53b
53c
2
6a
70a
70
7
11b
11c
11
11a
50
40a
57a
41n
1d
4
41₃
41₂
41₁
57a
57
c
57a
41c
1a
55a
55b
55c
55
6
41a
54
54a
6b
57a
10a
10
10b
10c
80
8
c
9a
9
9b
9c
40b
40c
40₁
40₂
40b
56
40m
1b
51
52a
52b
52c
52
6a
80a
12
L
H

[図4]


100
114
102
104
100c
106
105a
101
115b
115c
115
115a
109
108
118a
103bn
100d
103
103b3
113
103b2
103b1
118
116
103a1
103a2
100b
107
103am
105a
117
L
H
100a
105
112
105b
110
111

[図5]


100
114
102
104
100c
106
105a
101
115b
115c
115
115a
109
108
116a
103bn
116a
100a
100d
103
105
103b3
112
103b2
105b
103b1
113
110
116a
116a
111
116
103a1
103a2
100b
107
103am
105a
117
L
H

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/054799

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1368(2006.01)i, *G01R31/00*(2006.01)i, *G02F1/1345*(2006.01)i, *G09F9/00*(2006.01)i, *G09F9/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1368, G01R31/00, G02F1/1345, G09F9/00, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-101863 A (Kabushiki Kaisha Hitachi Displays), 02 April, 2004 (02.04.04), Par. Nos. [0039], [0053] to [0062]; Fig. 4 & US 2004-046920 A1 & CN 1482508 A	1-2,4-7 3,8
Y	JP 9-329796 A (Hitachi, Ltd.), 22 December, 1997 (22.12.97), Par. Nos. [0010] to [0016]; Figs. 10 to 11 (Family: none)	3,8
Y	JP 8-262485 A (NEC Corp.), 11 October, 1996 (11.10.96), Par. Nos. [0010] to [0015]; Fig. 1 (Family: none)	3,8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 June, 2007 (07.06.07)	19 June, 2007 (19.06.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５４７９９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1368(2006.01)i, G01R31/00(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1368, G01R31/00, G02F1/1345, G09F9/00, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP ２００４－１０１８６３ A（株式会社　日立ディスプレイズ）２００４．０４．０２，段落【００３９】,【００５３】－【００６２】、図４ & US 2004-046920 A1 & CN 1482508 A	1-2,4-7 3,8
Y	JP ９－３２９７９６ A(株式会社日立製作所）１９９７．１２．２２，段落【００１０】－【００１６】、図１０－１１　（ファミリーなし）	3,8
Y	JP ８－２６２４８５ A（日本電気株式会社）１９９６．１０．１１，段落【００１０】－【００１５】、図１　（ファミリーなし）	3,8

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０７．０６．２００７	国際調査報告の発送日 １９．０６．２００７
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｌ　３４１１ 日夏　貴史 電話番号　０３－３５８１－１１０１　内線　３２９３