

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
3 août 2006 (03.08.2006)

PCT

(10) Numéro de publication internationale
WO 2006/079742 A1

(51) Classification internationale des brevets :

H01L 21/28 (2006.01) **H01L 21/84** (2006.01)
H01L 21/336 (2006.01) **H01L 21/8247** (2006.01)
H01L 21/441 (2006.01)

(21) Numéro de la demande internationale :

PCT/FR2006/050048

(22) Date de dépôt international :

24 janvier 2006 (24.01.2006)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :

0550232 27 janvier 2005 (27.01.2005) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31-33 rue de la Fédération, F-75752 Paris 15ème (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **FERRAN-DIS, Philippe** [FR/FR]; Le Fort d'Artiques, 49 Avenue Charles Péguy, F-83100 Toulon (FR). **MOUREY, Bruno** [FR/FR]; 6, rue des Peupliers, F-38500 Coublevie (FR). **ANDRE, Bernard** [FR/FR]; 31, rue Nicolas Chorier, F-38000 Grenoble (FR).

(74) Mandataire : **LEHU, Jean**; Brevatome, 3, rue du Docteur Lancereaux, F-75008 Paris (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

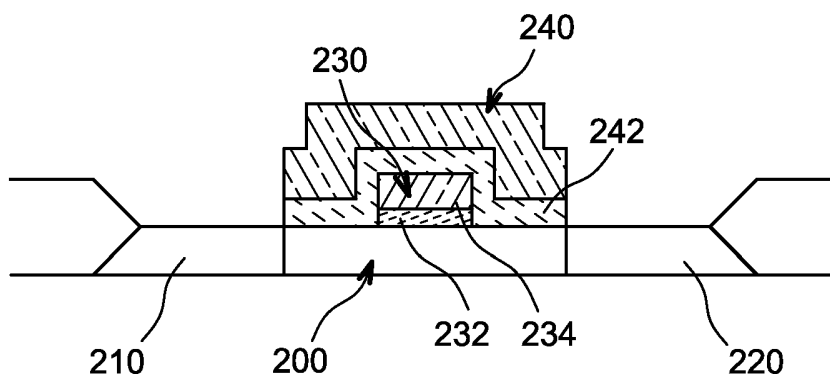
Publiée :

— avec rapport de recherche internationale

[Suite sur la page suivante]

(54) Title: PRODUCTION OF A TUNNEL OXIDE OF A NON-VOLATILE MEMORY TRANSISTOR USING FLOTOX TECHNOLOGY BY LOW-TEMPERATURE ION BEAM SPUTTERING

(54) Titre : FABRICATION D 'UN OXIDE TUNNEL D 'UN TRANSISTOR DE MEMOIRE NON-VOLATILE EN TECHNOLOGIE FLOTOX PAR PULVERISATION PAR FAISCEAU D 'IONS A BASSE TEMPERATURE



(57) Abstract: The invention relates to a method for producing a microelectronic device provided with at least one floating grid component (230), comprising at least one step of forming, on a substrate, at least one dielectric layer (232) capable of serving as a tunnel dielectric for the floating grill, this step for forming the tunnel dielectric layer (232) having at least one low-temperature ion beam sputtering (IBS) step.

(57) Abrégé : L'invention concerne un procédé de réalisation d'un dispositif microélectronique doté d'au moins un composant à grille flottante (230), comprenant au moins une étape de formation sur un substrat d'au moins une couche diélectrique (232) apte à servir de diélectrique tunnel pour grille flottante, l'étape de formation de la couche diélectrique tunnel (232) comprenant au moins une étape de pulvérisation à l'aide d'un faisceau d'ion ou (IBS) à basse température.

WO 2006/079742 A1



- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues
- abrégations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et

FABRICATION D'UN OXIDE TUNNEL D'UN TRANSISTOR DE MEMOIRE NON-VOLATILE EN
TECHNOLOGIE FLOTOX PAR PULVERISATION PAR FAISCEAU D'IONS A BASSE TEMPERATURE

DESCRIPTION

DOMAINE TECHNIQUE ET ART ANTÉRIEUR

L'invention concerne un procédé amélioré de
5 réalisation d'un dispositif microélectronique dans
lequel figure au moins une couche de diélectrique
tunnel ou d'oxyde tunnel, en particulier dans un ou
plusieurs composants à grille flottante de ce
dispositif.

10 Le procédé suivant l'invention peut
permettre de réaliser des couches d'oxyde tunnel à
basse température, et s'applique notamment à la
fabrication de mémoires non volatiles. L'invention
concerne aussi bien des systèmes sur circuit intégré
15 communément appelés « above-IC » que des systèmes
réalisés en technologie TFT (TFT pour « Thin Film
Transistor » ou transistor couche mince) utilisant du
silicium polycristallin, microcristallin, nanocristal-
lin ou amorphe.

20 Parmi les différents types de mémoires non
volatiles existantes, les mémoires électriquement
programmables et effaçables ou EEPROM (EEPROM pour
«Electrically Erasable Programmable Read Only Memory »)
font partie de celles qui ont une étendue d'application
25 la plus importante. Une technologie couramment utilisée
pour réaliser une mémoire EEPROM sur silicium
monocristallin est la technologie communément appelée

« Flotox » (Flotox pour « Floating gate Thin Oxide »). Cette technologie met en œuvre des transistors dotés d'une grille dépourvue de contact. Cette grille, encore appelée « grille flottante » est généralement formée
5 d'une couche de matériau de grille semi-conductrice ou conductrice reposant sur une première couche diélectrique et recouverte d'une deuxième couche diélectrique.

Les contraintes de réalisation de la
10 première couche diélectrique sont importantes. Cette première couche diélectrique, encore appelée couche d'oxyde « tunnel », est de préférence suffisamment fine pour permettre le passage de charges par effet tunnel sous champ électrique fort (effet Fowler-Nordheim),
15 tout en ayant des propriétés d'isolation électrique suffisantes pour permettre le maintien de charges dans la grille flottante en présence d'un champ électrique nul ou faible. Une couche d'oxyde « tunnel » peut avoir une épaisseur de plusieurs nanomètres, par exemple de
20 l'ordre de 10 nm, typiquement inférieure à 20 nanomètres et une rigidité diélectrique élevée, qui peut atteindre plusieurs MV/cm² par exemple de l'ordre de 9 MV/cm². Une couche diélectrique « tunnel » comporte de préférence le moins de zones possible dans
25 son volume ou à ses interfaces susceptibles de piéger des charges. Ce phénomène de piégeage de charge, rapporté au niveau d'une cellule mémoire, aurait pour effet de modifier la tension de seuil de la cellule mémoire, et pour conséquence, notamment, de ne pas
30 pouvoir permettre d'établir une distinction claire

entre l'état écrit et l'état effacé de la mémoire lors de sa lecture.

Une couche d'oxyde tunnel peut être formée à base d'oxyde de silicium, à l'aide d'une méthode de dépôt, ou d'oxydation.

Les méthodes de dépôt chimique assisté par plasma PECVD (PECVD pour « Plasma Enhanced Chemical Vapour Deposition ») présentent généralement l'inconvénient de fabriquer des couches d'oxydes dotées d'éléments parasites ou contaminants.

L'élaboration de couches d'oxyde de silicium par oxydation thermique, est quant à elle généralement plus fiable et ne pose pas de problème majeur à haute température. Il est en revanche beaucoup plus difficile de former une couche de diélectrique, ayant de bonnes propriétés électriques, à basse température. L'oxydation thermique à une température inférieure à 450°C, produit généralement des couches d'oxyde dotées de propriétés diélectriques insuffisantes.

Une méthode décrite dans le document JP63-12669 met en oeuvre un procédé de réalisation d'un oxyde de grille à l'aide d'une pulvérisation par faisceau d'ions (IBS). L'oxyde de grille obtenu à l'aide du procédé décrit dans ce document, présente des propriétés diélectriques insuffisantes.

Une méthode décrite dans le document : « Oh et al., IEEE Elec. Dev. Lett. 21 (2000) 304 », prévoit la réalisation d'une couche d'oxyde de silicium par une étape d'oxydation ECR (ECR pour « Electron Cyclotron Resonance ») à des températures inférieures à

450°C, mais qui restent élevées, de l'ordre de 400°C. D'autres méthodes de formation de couches d'oxyde de silicium à des températures inférieures à 450°C ont été développées. Une de ces méthodes, décrite dans le document : « Tseng et al., IEEE Elec. Dev. Lett. 23(2002) 333 », met en oeuvre une oxydation sèche à l'aide de réacteurs ICP (ICP pour « Inductively Coupled Plasma » ou plasma par couplage inductif). Une autre méthode, utilise quant à elle des réacteurs DECR (DECR pour « Distributed Electron Cyclotron Resonance »). Ces méthodes, en plus d'être réalisées à des températures relativement élevées sont généralement lentes. La réalisation d'un oxyde tunnel d'épaisseur de l'ordre de 10 nm, peut en effet prendre jusqu'à une heure avec l'une ou l'autre de ces méthodes.

La fabrication de dispositifs microélectroniques notamment en technologie TFT (Thin Film Transistor), ou dites sur circuit intégré (« above-IC »), requiert généralement de mettre en oeuvre des procédés de fabrication à des températures basses ou tout du moins inférieures à 450°C ou à 400°C. Cette contrainte rend délicate la réalisation, pour ce type de dispositifs, de composants à grille flottante ayant des propriétés électriques correctes.

Ainsi, il se pose le problème de trouver un nouveau procédé d'élaboration de diélectrique tunnel ou d'oxyde tunnel pour les dispositifs microélectroniques dotés de composants à grille flottante, compatible avec des basses températures et présentant des vitesses d'élaboration acceptables, par exemple de l'ordre de

plusieurs nanomètres par minute ou supérieures à 1 nanomètre par minute.

EXPOSÉ DE L'INVENTION

L'invention met en œuvre un procédé de
5 réalisation d'un dispositif microélectronique doté d'un
ou plusieurs composants à grille flottante, le procédé
comprenant au moins une étape de formation sur un
substrat d'au moins une couche diélectrique apte à
servir de diélectrique tunnel pour grille flottante,
10 l'étape de formation de la couche diélectrique tunnel
comprenant une étape de pulvérisation par faisceau
d'ion ou IBS (IBS pour « Ion Beam Sputtering »).

Le procédé permet de former des couches
diélectriques tunnel de plusieurs nanomètres, qui
15 peuvent être au moins inférieures à 20 nanomètres.

Selon un mode de réalisation du procédé
dans lequel le faisceau d'ions est issu d'un plasma, ce
plasma peut être généré par des moyens d'excitation
radiofréquence inductive ou capacitive.

20 Selon une mise en œuvre du procédé pour
laquelle au moins un élément constitutif de la couche
diélectrique formée est issu d'une cible attaquée à
l'aide dudit faisceau d'ion, ladite cible peut être à
base d'un oxyde d'un matériau métallique, par exemple
25 du HfO_2 , ou d'un oxyde d'un matériau semi-conducteur,
par exemple du SiO_2 , ou une cible à base d'un matériau
métallique baigné dans une atmosphère à base de O_2 , par
exemple du Hf baigné dans une atmosphère à base de O_2 ,
ou une cible à base d'un matériau semi-conducteur

baigné dans une atmosphère à base de O₂, par exemple du Si baigné dans une atmosphère à base de O₂.

Selon une possibilité de mise en oeuvre, l'étape de pulvérisation peut être effectuée dans une
5 chambre à une température inférieure à 150°C, éventuellement à la température ambiante.

Ainsi, le procédé suivant l'invention est compatible avec des substrats ou des supports à faible budget thermique tel que les substrats plastiques.

10 Un dispositif microélectronique doté de composants à grille flottante sur substrat plastique ou un dispositif microélectronique, par exemple de type MEMS (MEMS pour « micro-electronic mechanical system » ou microsystème électromécanique), doté de composants à
15 grille flottante sur un circuit intégré appelé dispositif « above integrated circuit » ou « above IC » peut être mis en œuvre à l'aide d'un procédé suivant l'invention. Dans le cadre d'un système « above-IC » ou sur circuit intégré, le procédé alors peut être mis en
20 oeuvre sur une couche de passivation recouvrant le circuit intégré.

Ladite pulvérisation peut être effectuée dans une chambre à une pression comprise entre 10⁻³ mbar et 10⁻⁷ mbar. Ainsi, à l'aide du procédé suivant
25 l'invention, la formation de la couche de diélectrique tunnel ou d'oxyde tunnel peut être réalisée à des pressions plus basses que les dépôts PECVD (PECVD pour « plasma enhanced chemical vapour deposition » ou dépôt chimique en phase vapeur assisté par plasma) et PVD
30 (PVD pour « physical vapour deposition » ou dépôt physique en phase gazeuse). L'utilisation de pressions

comprises dans cette gamme peut également permettre de former une couche d'oxyde tunnel dense et peu contaminée et d'obtenir un film doté de peu de porosités, ce qui réduit les effets de corrosion
5 générés par exemple par des molécules d'eau présentes dans l'air.

Le taux de croissance de la couche d'oxyde tunnel formée par IBS peut être rapide en comparaison à des procédés classiques d'oxydation, et par exemple
10 d'au moins 1 nm/min ou d'au moins 3 nm/min. Ce taux de croissance peut être également indépendant ou peu dépendant de la taille du substrat.

La fabrication de la couche d'oxyde tunnel est compatible avec des substrats de dimensions
15 relativement grandes. Le substrat utilisé lors du procédé suivant l'invention peut être un substrat classiquement utilisé en microélectronique, par exemple un substrat de 101,6 mm (4 pouces), ou de 152,4 mm (6 pouces), ou de 203,2 mm (8 pouces).

20 Selon un mode de réalisation, le procédé peut comprendre en outre :

- la formation d'au moins une couche à base de matériau de grille, conducteur ou semi-conducteur, sur la couche diélectrique tunnel,
- 25 - la formation d'au moins une grille par gravure de la couche diélectrique tunnel et de la couche matériau de grille.

Selon une variante du procédé, au moins un desdits composants peut être un transistor à couche
30 mince ou transistor TFT (TFT pour « Thin Film transistor »).

Selon une autre variante du procédé lesdits composants peuvent être des composants d'une mémoire non volatile, par exemple une mémoire de type EEPROM.

BRÈVE DESCRIPTION DES DESSINS

5 La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

10 - la figure 1 représente un dispositif suivant l'invention,

 - les figures 2A-2F représentent différentes étapes d'un procédé suivant l'invention,

15 - les figures 3A-3B représentent des composants à grille flottante munis d'une couche de diélectrique tunnel ayant été réalisée à l'aide d'un procédé suivant l'invention,

 - la figure 4 représente un dispositif de pulvérisation par faisceau d'électron permettant de
20 réaliser la formation d'un diélectrique ou oxyde tunnel pour composants à grille flottante.

 Des parties identiques, similaires ou équivalentes des différentes figures peuvent porter les mêmes références numériques de façon à faciliter le
25 passage d'une figure à l'autre.

 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

La figure 1 représente deux transistors T_1 et T_2 vus de dessus, qui peuvent être en technologie TFT (TFT pour « Thin Film Transistor » ou transistor
5 couche mince), et appartenir par exemple à une cellule de mémoire non volatile, telle qu'une cellule mémoire de type EEPROM (EEPROM pour « Electrically Erasable Programmable Read Only Memory »). Les transistors T_1 et T_2 sont formés respectivement dans une première zone
10 active notée 10 et dans une deuxième zone active notée 20, et partagent une grille commune notée 30 chevauchant les zones actives 10 et 20.

La grille commune 30 est formée dans une couche à base de matériau de grille noté 32,
15 semi-conducteur ou conducteur tel par exemple de l'aluminium, reposant sur une fine couche à base de matériau diélectrique (non représenté) appelée couche d'oxyde tunnel, elle-même reposant sur les zones actives 10 et 20. La grille 30, est par ailleurs
20 recouverte par une autre couche diélectrique (non représentée), et forme une grille flottante dépourvue de contact. Le transistor T_2 comprend quant à lui en outre une autre grille 40, ou grille de contrôle qui peut être formée dans la couche de matériau 32 ou être
25 à base d'un ou plusieurs autres matériaux par exemple à base de TiW et de Mo. Des premiers plots notés 52 et 54 en contact de la première zone active 10 servent respectivement de contact de région de source et de contact de région de drain pour le premier transistor
30 T_1 , tandis que des seconds plots notés 56 et 58, en

contact du matériau 32 de grille, servent quant à eux de contacts pour la grille de contrôle 40.

Un procédé suivant l'invention, de réalisation d'un dispositif microélectronique
5 comprenant des composants tels que ceux, T_1 et T_2 , décrits précédemment, va à présent être décrit en liaison avec les figures 2A-2F.

Le matériau de départ de ce procédé peut être un substrat 100, en verre ou en plastique, sur
10 lequel on effectue tout d'abord le dépôt d'une couche isolante 110, par exemple à base de SiO_2 et d'épaisseur par exemple de l'ordre de 500 nanomètres.

Le substrat utilisé peut être un substrat de taille importante, par exemple une plaque d'au moins
15 100 mm ou d'au moins 200 mm ou d'au moins 300 mm de diamètre.

La couche isolante 110 peut être formée à l'aide d'une méthode de dépôt PECVD (PECVD pour
« Plasma Enhanced Chemical Vapor Deposition » ou dépôt
20 chimique en phase vapeur assisté par plasma).

Ensuite, on forme, par exemple par dépôt, une couche à base d'un matériau semi-conducteur 120 par exemple à base de silicium amorphe et d'épaisseur de plusieurs dizaines de nanomètres, par exemple de
25 80 nanomètres, à une température qui peut être de l'ordre de 300°C. Ce dépôt peut être suivi d'une étape de recuit par déshydrogénation effectuée par exemple sous atmosphère N_2 , puis d'une étape de cristallisation du matériau semi-conducteur 120, à l'aide d'un laser excimère. La couche semi-conductrice 120 forme ainsi
30 une couche active dans laquelle ou à partir de laquelle

des composants sont destinés à être au moins partiellement réalisés. Parmi ces composants figurent notamment les transistors T_1 et T_2 décrits précédemment en liaison avec la figure 1.

5 On réalise ensuite des tranchées 122 dans la couche semi-conductrice ou couche active, afin de délimiter des zones actives dans cette couche 120 et notamment la première zone active du transistor T_1 (non représentée) et la deuxième zone active du transistor
10 T_2 (représentée sur la figure 2A selon un coupe définie par l'axe $x'x$ de la figure 1).

 Ensuite (figure 2B), on forme une couche de diélectrique tunnel 140, par exemple à base d'oxyde de silicium, destinée à servir de, ou à former une, couche
15 de diélectrique tunnel pour des composants à grille flottante, et notamment de diélectrique tunnel pour la grille flottante 30 partagée par les transistors T_1 et T_2 .

 Cette couche diélectrique 140 est réalisée
20 par dépôt, à l'aide d'une étape de pulvérisation par faisceau d'ion, appelée également méthode IBS ou « Ion Beam Sputtering ». Cette méthode fait appel à un plasma qui peut être généré par excitation radiofréquence inductive ou capacitive, éventuellement, sans l'aide
25 d'un filament. D'autres moyens d'excitation peuvent éventuellement être utilisés pour générer le plasma tels des moyens d'excitation par résonance cyclotron électronique (ECR).

 Pour effectuer la pulvérisation, un
30 faisceau d'ions d'énergie par exemple de l'ordre de 1000 eV peut être généré. Au cours du procédé, la

température de la chambre dans laquelle la couche diélectrique 140 est formée peut être inférieure à 450°C ou inférieure à 350°C, éventuellement inférieure à 150°C. La couche diélectrique tunnel 140 peut être
5 réalisée à température ambiante, par exemple à une température de l'ordre de 20°C. Le dépôt peut également être réalisé à basse pression par exemple à une pression comprise entre 10^{-3} mbar et 10^{-7} mbar, par exemple de l'ordre de 10^{-6} mbar. La croissance de la
10 couche diélectrique ou d'oxyde de grille 140 peut être rapide, selon un taux de croissance de plusieurs nanomètres par minute, par exemple de l'ordre de 4 nm/min.

Les conditions de formation de la couche
15 140, notamment de température et de pression utilisées, permettent d'obtenir une couche 140 à base d'un matériau diélectrique dense, comportant peu d'espèces chimiques contaminantes. La couche diélectrique 140 obtenue peut avoir une épaisseur de plusieurs
20 nanomètres ou d'une dizaine de nanomètres ou au moins inférieure à 20 nanomètres, par exemple comprise entre 5 et 15 nanomètres et un indice de réfraction élevé. L'indice de réfraction de la couche diélectrique 140 peut être par exemple de l'ordre de 1,497 lorsque cette
25 dernière est formée avec une épaisseur de l'ordre de 632,8 nm.

On réalise ensuite le dépôt d'une couche de matériau 150 de grille, par exemple à base de métal ou d'un alliage métallique ou à base d'un empilement de
30 matériaux métalliques, par exemple un empilement d'une couche d'aluminium surmontée d'une couche de molybdène.

Ce dépôt peut être réalisé par pulvérisation cathodique et peut être suivi d'un recuit d'hydrogénation sous H_2/N_2 .

On forme ensuite des motifs de grille de transistor (figure 2C), en réalisant une gravure de la couche de matériau 150 de grille, à travers un masquage (non représenté) par exemple à l'aide d'une gravure humide, suivit d'une gravure chimique. Pour compléter la formation des grilles on effectue ensuite, dans le prolongement de parties gravées de la couche de matériau de grille 150, le retrait de la couche de diélectrique tunnel 140, par exemple à l'aide d'une gravure par RIE (RIE pour « Reactive Ion Etching » ou gravure ionique réactive).

Parmi les grilles formées, figurent des grilles d'un premier type, telle que la grille 30 commune aux transistors T_1 et T_2 , destinées à jouer le rôle de grille flottante.

On effectue ensuite un dopage, par exemple par implantation ionique, de régions des zones actives afin de former de part et d'autres des grilles des régions de source et de drain de transistors. Ce dopage peut être par exemple un dopage de type N, et peut être suivi d'une étape d'activation de dopage à l'aide d'un laser à excimère.

On effectue ensuite le dépôt d'une couche 160 à base de diélectrique, par exemple à base de SiO_2 , afin notamment de recouvrir les motifs de grille. Cette couche diélectrique 160 ou couche de passivation peut avoir une épaisseur de l'ordre par exemple de 500 nm et être réalisée par exemple à l'aide d'un dépôt PECVD. La

grille 30 commune aux transistors T_1 et T_2 est notamment recouverte par la couche diélectrique 160 (figure 2D).

Des trous sont ensuite réalisés dans la couche 160, par exemple par gravure humide. Certains
5 trous (non représentés) dévoilent la couche semi-conductrice 120, notamment pour former des contacts de source et de drain du transistor T_1 .

On effectue ensuite le dépôt d'une couche métallique 170. La couche métallique 170 peut être à
10 base d'un matériau métallique ou d'un alliage de matériaux métalliques, ou d'un empilement de couches métalliques, par exemple un empilement d'une couche à base de TiW et d'une couche à base de Mo.

Une gravure de cette couche métallique 170
15 est ensuite réalisée afin de former des contacts ainsi que la grille de contrôle. Certains de ces contacts servent de contacts de source et de drain (non représentés), notamment pour le premier transistor T_1 (figure 2E).

20 Une étape de recuit des contacts peut ensuite être réalisée sous H_2/N_2 .

Puis, on effectue le dépôt d'une autre couche diélectrique, que l'on appellera deuxième couche de passivation 180, et qui peut être par exemple à base
25 de SiO_2 , afin de recouvrir les contacts et la couche de passivation 160. Ce dépôt peut être réalisé par exemple à l'aide d'une méthode PECVD (figure 2F).

La deuxième couche de passivation 180 est ensuite gravée à travers des ouvertures d'un masquage
30 (non représenté). Puis après retrait du masquage on effectue le dépôt d'une couche métallique, par exemple

à base d'ITO (Indium Tin Oxide) puis une gravure de la couche métallique.

Le tableau suivant donne des valeurs numériques de propriétés électriques pour une couche de diélectrique tunnel 140 à base d'oxyde de silicium de 15 nm d'épaisseur déposée par IBS à température ambiante, selon un procédé tel que précédemment décrit avec une surface d'électrode de grille l'ordre de 0,00102 cm².

10

Tension de bande plate	Champ de claquage	Densité de courant de fuite pour un champ inférieur à 5 MV/cm	Permittivité électrique	Champ électrique pour lequel la conduction Fowler-Nordheim apparaît
V_{FB} (V)	E_{BD} (MV/cm)	J_{fuite} (A/cm ²) ($V < 5$ MV/cm)	ϵ_r	V_{FNI} (MV/cm)
0.10	12.5	$<10^{-7}$	4.86	5

Le procédé suivant l'invention n'est pas limité à la réalisation de composants à grille flottante agencés selon une architecture planaire, comme les transistors T₁ et T₂ illustrés et décrits précédemment en liaison avec la figure 1.

Les figures 3A et 3B représentent d'autres exemples de dispositifs microélectroniques réalisés à l'aide d'un procédé suivant l'invention.

Le dispositif illustré sur la figure 3A comprend un composant appartenant par exemple à une cellule de mémoire non volatile, telle qu'une cellule mémoire de type EEPROM. Ce composant comporte une région de source 210 et une région de drain 220, formées dans une première zone active 200, une grille

flottante 230 et une grille de contrôle 240 formée au dessus de la grille flottante 230. La grille flottante 230 est formée d'une couche de matériau 234 de grille par exemple à base d'aluminium recouvrant une couche
5 d'oxyde tunnel 232 par exemple à base de SiO_2 et d'épaisseur par exemple de l'ordre de 10 nanomètres, ou comprise entre 8 nanomètres et 15 nanomètres. La couche d'oxyde tunnel 232 a été réalisée à l'aide d'un procédé suivant l'invention, et notamment à l'aide d'une étape
10 de pulvérisation au moyen d'un faisceau d'ion ou « Ion beam sputtering » (IBS), en utilisant un plasma à excitation radiofréquence capacitive ou inductive. Cette pulvérisation peut avoir été effectuée à basse température, ou à température ambiante, par exemple à
15 une température de l'ordre de 25°C. La grille flottante 230 est par ailleurs entièrement recouverte et entourée de chaque côté par une autre couche diélectrique 242. L'autre couche diélectrique 242 sert de diélectrique de grille à une grille de contrôle 240 formée au dessus de
20 la grille flottante 230, et qui enrobe cette dernière.

La figure 3B représente quant à elle un dispositif du type de celui décrit précédemment, comprenant un composant comportant une grille flottante 250 et une grille de contrôle 260. La grille flottante
25 250 est formée d'une couche de matériau 254 de grille, sur une couche d'oxyde tunnel 252. La couche d'oxyde tunnel 252 a également été réalisée à l'aide d'un procédé suivant l'invention, et notamment à l'aide d'une étape de pulvérisation par faisceau d'ion ou
30 « Ion beam sputtering » (IBS). La formation de la couche 252 par pulvérisation peut également avoir été

effectuée à température ambiante. Les deux grilles 250 et 260 sont dans cet exemple, superposées sans que les couches diélectriques 252 et 262 respectives soient en contact.

5 La figure 4 représente un dispositif de pulvérisation par faisceau d'ions encore appelé dispositif IBS (IBS pour « Ion Beam Sputtering »), du type de celui utilisé lors de l'étape de formation de la couche de diélectrique ou d'oxyde tunnel telle que
10 décrite plus haut.

 Ce dispositif comprend une chambre 300 dans laquelle figure notamment un premier support 305 éventuellement inclinable et apte à tourner sur lui-même, sur lequel est placé un substrat, tel que le
15 substrat 100, doté d'une couche que l'on souhaite oxyder afin d'obtenir un oxyde tunnel.

 Dans la chambre 300, une première source 310 de faisceau d'ions 312, utilisant un plasma 311 par exemple un plasma Ar-O₂ généré par excitation
20 radiofréquence ou capacitive, est quant à elle prévue pour bombarder une cible 314 à l'aide dudit faisceau d'ions 312. Le bombardement de la cible 314 est voué à produire l'arrachement d'atomes ou de particules de la cible, dont certain(e)s noté(e)s 316 sont destiné(e)s à
25 se diriger vers le substrat 100 et servir alors de matériau oxydant ou de matériau de dépôt.

 La première source 310, est ainsi orientée vers un deuxième support 320, sur lequel la cible 314 est placée. La cible est vouée à produire des
30 particules d'O₂ et peut être par exemple à base d'un oxyde métallique, par exemple du HfO₂ ou du SrTiO₃ ou du

BaTiO₃, ou d'un oxyde d'un matériau semi-conducteur, par exemple du SiO₂. Selon une variante, la cible peut être à base d'un matériau métallique, par exemple du Hf, baigné dans une atmosphère à base de O₂, ou être à
5 base d'un matériau semi-conducteur, par exemple du Si, baigné dans une atmosphère à base de O₂.

Lors de l'étape de dépôt du diélectrique tunnel, l'énergie du faisceau d'ions 312 susceptible d'être produit par la première source 310, peut être
10 par exemple comprise entre 200 eV et 300 eV, par exemple de l'ordre de 1000 eV.

Une deuxième source 325 d'ions ou source de soutien, peut être quant à elle éventuellement utilisée. Cette deuxième source 325 est alors dirigée
15 vers le substrat 100 et prévue pour générer un deuxième faisceau d'ions afin de bombarder la couche déposée ou d'oxyde formée afin par exemple de densifier cette couche ou de moduler ces propriétés chimiques.

Lors de l'étape de dépôt du diélectrique tunnel, de l'oxygène peut éventuellement être injecté
20 par un système 330.

Un dispositif de cryopompage 340 apte à réaliser un vide poussé, est susceptible de mettre la chambre 300 dans des conditions de pression de l'ordre
25 de 10⁻³ à 10⁻⁷ mbar lors de l'étape de réalisation de l'oxyde tunnel.

Un dispositif de chauffage (non représenté) de la chambre 300 peut éventuellement être prévu. Lors d'un dépôt d'un diélectrique tunnel, la chambre 300,
30 peut être maintenue à une température comprise par exemple entre une valeur de température sensiblement

égale à la température ambiante par exemple de l'ordre de 15°C, ou de l'ordre de 20°C ou comprise entre 5°C et 40°C, et une valeur de température par exemple de l'ordre de 150°C.

REVENDICATIONS

1. Procédé de réalisation d'un dispositif microélectronique doté d'un ou plusieurs composants à grille flottante, le procédé comprenant au moins une étape de formation sur un substrat d'au moins une couche de diélectrique tunnel pour grille flottante, l'étape de formation de la couche de diélectrique tunnel comprenant une étape de pulvérisation par faisceau d'ion ou IBS.

2. Procédé selon la revendication 1, dans lequel au moins un élément constitutif de la couche diélectrique formée, est issu d'une cible attaquée à l'aide dudit faisceau d'ions.

3. Procédé de réalisation d'un dispositif selon la revendication 1 ou 2, ladite pulvérisation étant effectuée dans une chambre à une température inférieure à 150°C.

4. Procédé de réalisation d'un dispositif selon la revendication 1 à 3, ladite pulvérisation étant effectuée à température ambiante.

5. Procédé de réalisation d'un dispositif selon l'une des revendications 1 à 4, ladite pulvérisation étant effectuée dans une chambre à une pression comprise entre 10^{-3} mbar et 10^{-7} mbar.

6. Procédé selon l'une des revendications 1 à 5, dans lequel le faisceau d'ion est issu d'un plasma, le plasma étant généré par des moyens d'excitation radiofréquence ou par des moyens d'excitation capacitifs.

7. Procédé selon l'une des revendications 1 à 6, ledit substrat étant à base d'un matériau plastique ou de verre.

10

8. Procédé selon la revendication 1 à 7, comprenant en outre :

- la formation d'au moins une couche à base de matériau de grille, conducteur ou semi-conducteur, sur la couche diélectrique tunnel,

15

- la formation d'au moins une grille par gravure de la couche diélectrique tunnel et de la couche matériau de grille.

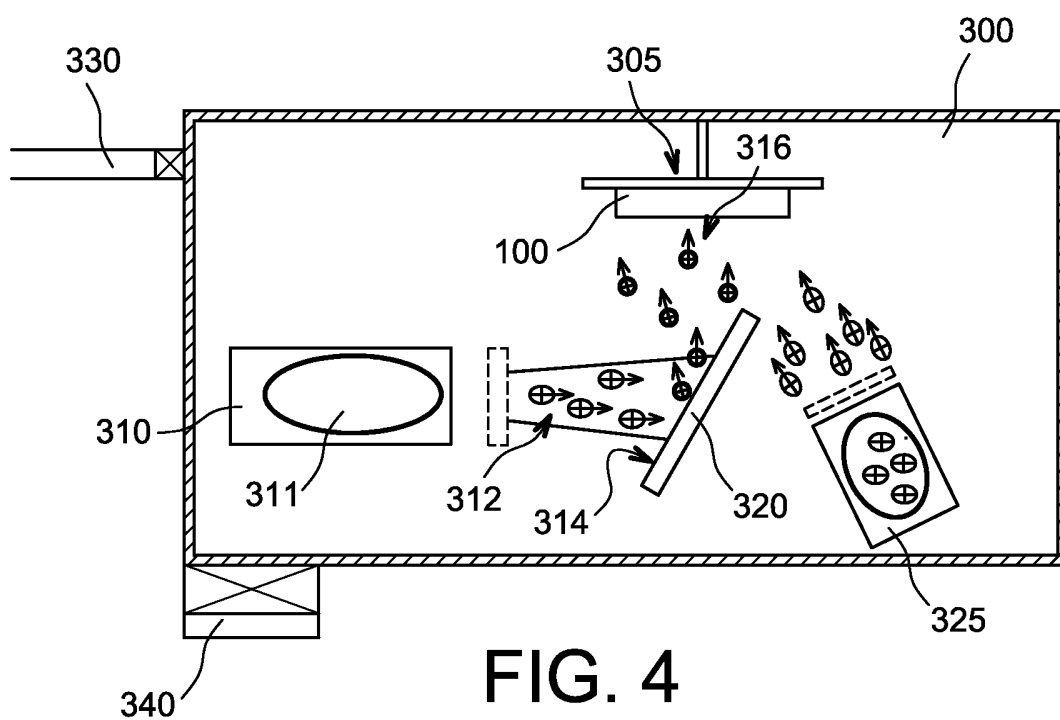
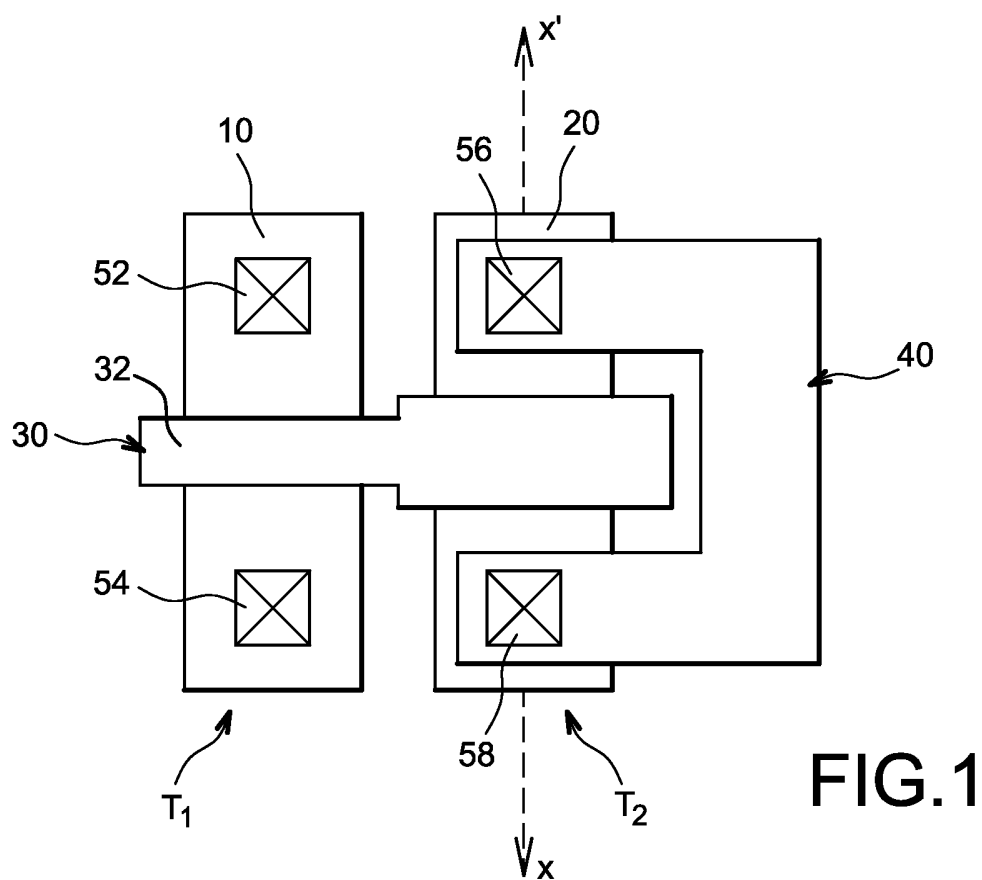
9. Procédé selon l'une des revendications 1 à 8, au moins un desdits composants étant un transistor à couche mince ou transistor TFT.

20

10. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 9, lesdits composants étant des composants d'une mémoire non volatile.

25

1 / 4



2 / 4

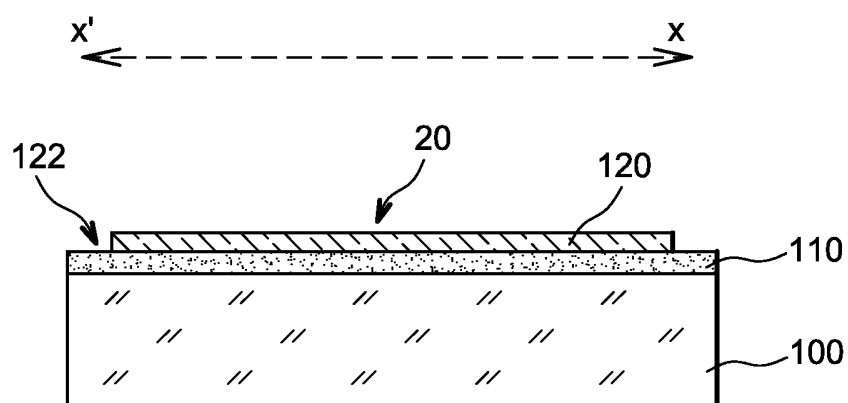


FIG. 2A

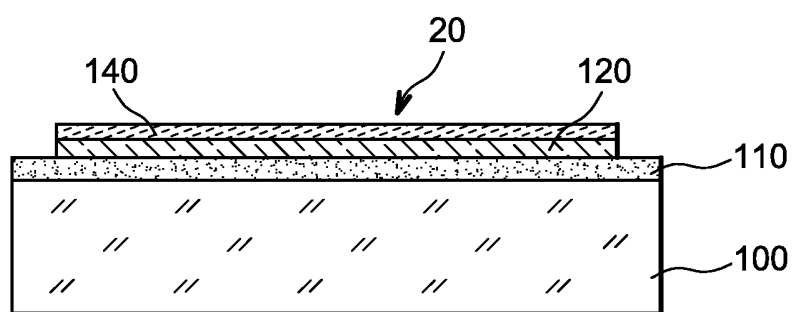


FIG. 2B

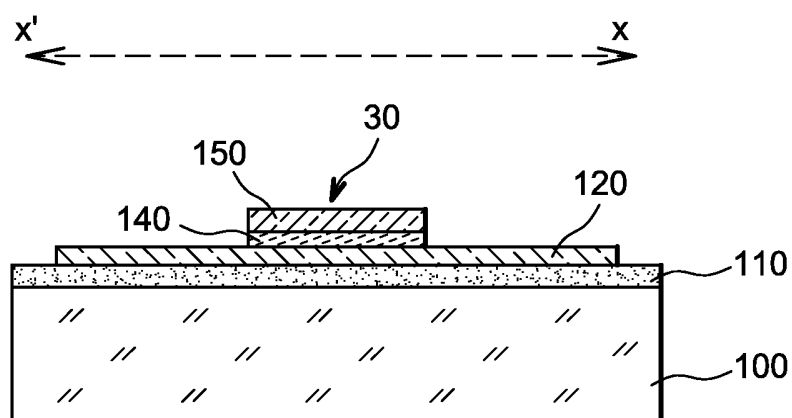


FIG. 2C

3 / 4

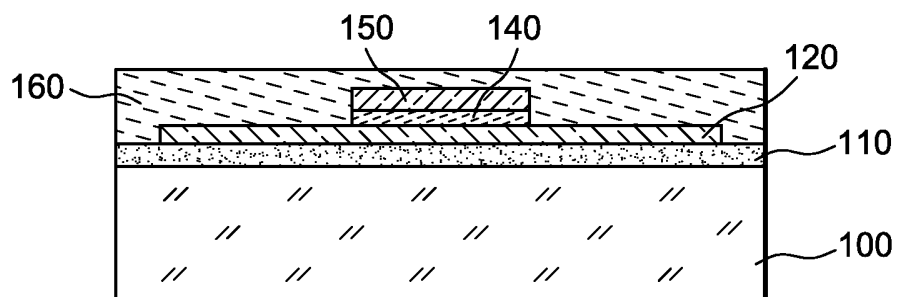


FIG. 2D

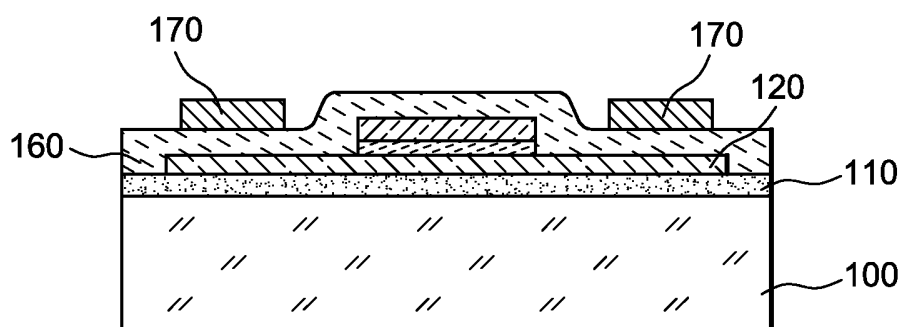


FIG. 2E

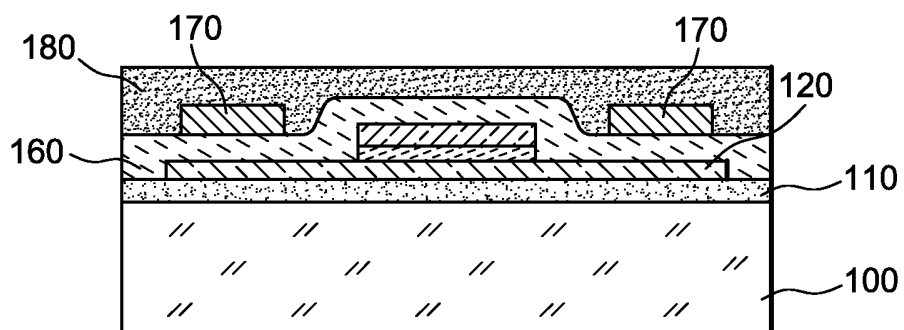


FIG. 2F

4 / 4

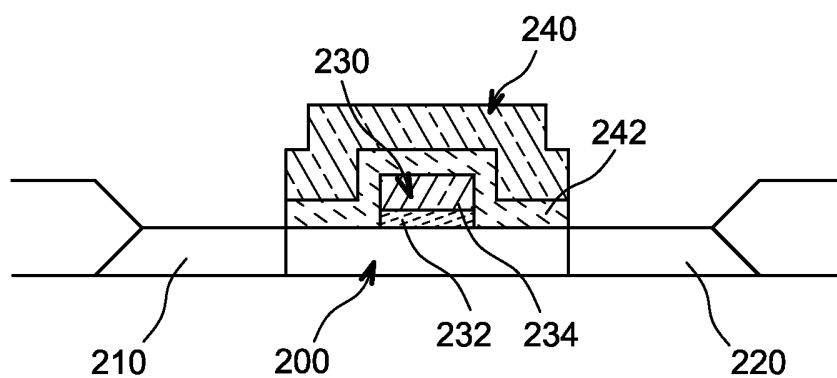


FIG. 3A

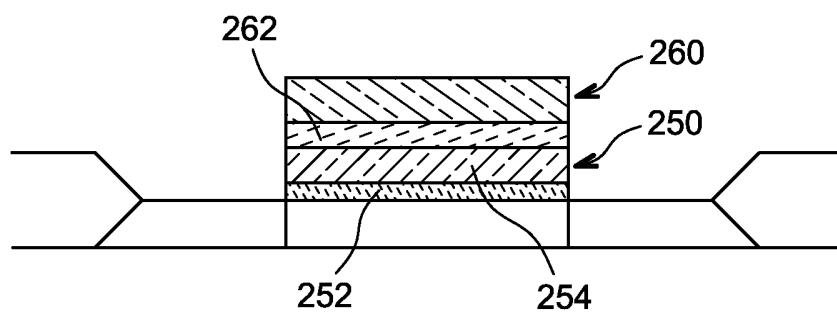


FIG. 3B

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/050048

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/28 H01L21/336 H01L21/441 H01L21/84 ADD. H01L21/8247		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/164341 A1 (FORBES LEONARD ET AL) 26 August 2004 (2004-08-26) paragraphs [0050], [0052], [0053], [0083], [0084]; figure 2 -----	1-10
X	KANG J ET AL: "THE POST-DEPOSITION ANNEAL EFFECTS ON THE ELECTRICAL PROPERTIES OF HFO2 GATE DIELECTRIC DEPOSITED BY ION BEAM SPUTTERING AT ROOM TEMPERATURE" CHINESE JOURNAL OF ELECTRONICS, TECHNOLOGY EXCHANGE LTD., HONG KONG,, HK, vol. 12, no. 2, April 2003 (2003-04), pages 270-272, XP009054116 ISSN: 1022-4653 the whole document ----- -/--	1-10
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 12 May 2006		Date of mailing of the international search report 22/05/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Neumann, A

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/050048

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HAN D ET AL: "Reliability characteristics of high-K gate dielectrics HfO ₂ in metal-oxide semiconductor capacitors" MICROELECTRONIC ENGINEERING, ELSEVIER PUBLISHERS BV., AMSTERDAM, NL, vol. 66, no. 1-4, April 2003 (2003-04), pages 643-647, XP004421580 ISSN: 0167-9317 the whole document	1-10
X	KLAUK H ET AL: "Pentacene thin film transistors and inverter circuits" ELECTRON DEVICES MEETING, 1997. TECHNICAL DIGEST., INTERNATIONAL WASHINGTON, DC, USA 7-10 DEC. 1997, NEW YORK, NY, USA, IEEE, US, 7 December 1997 (1997-12-07), pages 539-542, XP010265565 ISBN: 0-7803-4100-7 the whole document	1-3,5-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2006/050048

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004164341 A1	26-08-2004	US 2003001191 A1	02-01-2003
		US 2003205754 A1	06-11-2003

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2006/050048

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/28 H01L21/336 H01L21/441 H01L21/84 ADD. H01L21/8247		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE		
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, PAJ, INSPEC		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2004/164341 A1 (FORBES LEONARD ET AL) 26 août 2004 (2004-08-26) alinéas [0050], [0052], [0053], [0083], [0084]; figure 2	1-10
X	KANG J ET AL: "THE POST-DEPOSITION ANNEAL EFFECTS ON THE ELECTRICAL PROPERTIES OF HFO2 GATE DIELECTRIC DEPOSITED BY ION BEAM SPUTTERING AT ROOM TEMPERATURE" CHINESE JOURNAL OF ELECTRONICS, TECHNOLOGY EXCHANGE LTD., HONG KONG,, HK, vol. 12, no. 2, avril 2003 (2003-04), pages 270-272, XP009054116 ISSN: 1022-4653 le document en entier	1-10
----- -/--		
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
A document définissant l'état général de la technique, non considéré comme particulièrement pertinent *E* document antérieur, mais publié à la date de dépôt international ou après cette date *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier *&* document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 12 mai 2006		Date d'expédition du présent rapport de recherche internationale 22/05/2006
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Neumann, A

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2006/050048

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	HAN D ET AL: "Reliability characteristics of high-K gate dielectrics HfO₂ in metal-oxide semiconductor capacitors" MICROELECTRONIC ENGINEERING, ELSEVIER PUBLISHERS BV., AMSTERDAM, NL, vol. 66, no. 1-4, avril 2003 (2003-04), pages 643-647, XP004421580 ISSN: 0167-9317 le document en entier -----	1-10
X	KLAUK H ET AL: "Pentacene thin film transistors and inverter circuits" ELECTRON DEVICES MEETING, 1997. TECHNICAL DIGEST., INTERNATIONAL WASHINGTON, DC, USA 7-10 DEC. 1997, NEW YORK, NY, USA, IEEE, US, 7 décembre 1997 (1997-12-07), pages 539-542, XP010265565 ISBN: 0-7803-4100-7 le document en entier -----	1-3,5-10

Renseignements relatifs aux membres de familles de brevets

PCT/FR2006/050048

Formulaire PCT/ISA/210 (annexe familles de brevets) (avril 2005)