(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/10

(45) 공고일자 2005년07월07일
(11) 등록번호 10-0475257
(24) 등록일자 2005년02월25일

(21) 출원번호 10-1997-0056296
(22) 출원일자 1997년10월30일

(65) 공개번호 10-1998-0041982
(43) 공개일자 1998년08월17일

(30) 우선권주장 96-292411 1996년11월05일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 후쿠다 타쿠야
일본국 도오쿄오토 코다이라시 메구리타쪼오 219 콘호오토 코오야마 116

사이토오 마사요시
일본국 도오쿄오토 하찌오오지시 다이마찌 1-12-4

나카무라 요시타카
일본국 도오쿄오토 오오메시 신마찌 855-1-305

코바야시 노부요시
일본국 사이타마켄 카와고에시 이세하라쪼오 1-18-1

(74) 대리인 특허법인 원전

심사관 : 김근모

(54) 반도체집적회로장치및그제조방법

요약

본 발명으로 되는 반도체 집적회로장치는, 메모리셀 어레부이와 주변회로부를 포함하고, 상기 메모리셀 어레이부에서는 복수의 층간 절연막을 각각 관통하는 측면이 거의 수직인 복수의 접속플러그가 차례대로 직접 접속되고, 상기 주변회로부에서는 복수의 접속플러그가 배선 접속패드를 통해서 서로 접속되어 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 DRAM 칩의 전체 구성을 나타내는 도면,

도 2는 DRAM의 메모리셀 어레이부의 등가회로를 나타내는 도면,

도 3은 본 발명의 실시예 1에 관한 도 6에 나타낸 메모리셀 어레이부의 B-B'선 절단 단면도,

도 4는 본 발명의 실시예 1에 관한 주변회로부의 단면도,

도 5는 본 발명의 실시예 1에 관한 도 6에 나타낸 메모리셀 어레이부의 A-A'선 절단 단면도,

도 6은 본 발명의 실시예 1에 관한 DRAM의 메모리셀 어레이부의 상면도,

도 7은 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 8은 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 9는 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 10은 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 11은 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 12는 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 13은 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 14는 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 15는 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 16은 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 17은 본 발명의 실시예 1에 관한 도 3에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 18은 본 발명의 실시예 1에 관한 도 4에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 19는 본 발명의 다른 실시예에 관한 DRAM과 로직회로를 혼재한 LSI 칩의 전체 구성을 나타내는 도면,

도 20은 본 발명의 실시예 2에 관한 DRAM의 메모리셀 어레이부의 부분적인 단면도,

도 21은 본 발명의 실시예 2에 관한 DRAM의 주변회로부의 부분적인 단면도,

도 22는 본 발명의 실시예 2에 관한 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 23은 본 발명의 실시예 2에 관한 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 24는 본 발명의 실시예 2에 관한 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 25는 본 발명의 실시예 2에 관한 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 26은 본 발명의 실시예 2에 관한 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 27은 본 발명의 실시예 2에 관한 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 28은 본 발명의 실시예 2에 관한 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 29는 본 발명의 실시예 2에 관한 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 30은 본 발명의 실시예 2에 관한 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 31은 본 발명의 실시예 2에 관한 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 32는 본 발명의 실시예 3에 관한 도 36에 나타낸 메모리셀 어레이부의 B-B'선 절단 단면도,

도 33은 본 발명의 실시예 3에 관한 DRAM의 주변회로부의 단면도,

도 34는 본 발명의 실시예 3에 관한 도 36에 나타낸 메모리셀 어레이부의 A-A'선 절단 단면도,

도 35는 본 발명의 실시예 3에 관한 도 36에 나타낸 메모리셀 어레이부의 C-C'선 절단 단면도,

도 36은 본 발명의 실시예 3에 관한 DRAM의 메모리셀 어레이부의 상면도,

도 37은 본 발명의 실시예 3에 관한 도 32에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 38은 본 발명의 실시예 3에 관한 도 33에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 39는 본 발명의 실시예 3에 관한 도 35에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 40은 본 발명의 실시예 3에 관한 도 32에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 41은 본 발명의 실시예 3에 관한 도 33에 나타낸 주변회로부를 제조하기 위한 하나의 공정 단면도,

도 42는 본 발명의 실시예 3에 관한 도 35에 나타낸 메모리셀 어레이부를 제조하기 위한 하나의 공정 단면도,

도 43은 도 3에 나타낸 원 A내에서의 접속플러그의 확대 단면도,

도 44는 도 3에 나타낸 원 A내에서의 접속플러그의 하나의 변형예의 확대 단면도,

도 45는 도 43 및 도 44에 나타낸 접속플러그에 적용되는 구성 재료의 테이블,

도 46은 도 6에서의 확산층(3)의 배치관계를 나타내는 분해 설명도,

도 47은 도 6에서의 게이트 전극(4)의 배치관계를 나타내는 분해 설명도,

도 48은 도 6에서의 SNCT(스토리지·노드·콘택트) 및 BLCT(비트라인·콘택트)의 배선관계를 나타내는 분해 설명도,

도 49는 도 6에서의 비트라인(제1층 배선)(11)의 배치관계를 나타내는 분해 설명도,

도 50은 도 36에서의 확산층(203)의 배치관계를 나타내는 분해 설명도,

도 51은 도 36에서의 게이트 전극(204)의 배치관계를 나타내는 분해 설명도,

도 52는 도 36에서의 SNCT(스토리지·노드·콘택트) 및 BLCT(비트라인·콘택트)의 배선관계를 나타내는 분해 설명도,

도 53은 도 36에서의 비트라인(제1층 배선)(211)의 배치관계를 나타내는 분해 설명도이다.

< 도면의 주요 부분에 대한 부호의 설명>

1, 101, 201 실리콘 기판,

2, 102, 202 소자분리용 산화실리콘막,

3, 103, 203 확산층,

4, 104, 204 게이트 전극,

5, 105, 205 적층막(적층 절연막),

6, 106, 206 접속영역,

7, 107, 207 측벽 스페이서,

8, 108, 208 BPSG막(제1 층간절연막),

10, 110, 210 제1 접속플러그,

11, 111, 211 제1층 배선,

12, 112, 212 제2 층간절연막,

13, 113, 213 제2 접속플러그,

14, 114, 214 제2층 배선,

15, 115, 215 제3 층간절연막,

16, 116, 216 제3 접속플러그,

17, 117, 217 제3층 배선,

18, 118, 218 제4 층간절연막,

19, 119, 219 제4 접속플러그,

20, 120, 220 커패시터 하부전극,

21, 121, 221 용량절연막,

22, 122, 222 커패시터 상부전극,

141, 142, 143 질화실리콘막,

241 배선 측벽 스패이서,

1000 DRAM 칩,

1001, 1101 메모리셀 어레이부,

1002, 1102 I/O 제어회로부,

1003, 1103 열 디코더부,

1004, 1104 행 디코더부,

1005, 1105 입출력 인터페이스부,

1106 로직회로부.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로장치 및 그 제조방법에 관한 것으로서, 보다 상세하게는 미세한 다층 배선을 가지는 반도체 집적회로장치 및 그와 같은 반도체 집적회로장치를 용이하게 높은 정밀도로 제조할 수 있는 반도체 집적회로장치의 제조방법에 관한 것이다. 본 발명은, 특히 논리 LSI를 가진 DRAM에 적용해서 유효하다.

반도체 집적회로장치, 특히 DRAM(Dynamic Random Access Memory)에 있어서는 집적도 향상과 다층 배선의 미세화가 극히 중요하다. 예를들면, 제1의 종래기술(일본공개특허 평6-120447호)에는 DRAM의 메모리셀 어레이부에 있어서, MOS형 트랜지스터의 확산층과 다결정 실리콘으로 구성되는 커패시터(capacitor) 하부전극을 접속하기 위해, 단면 형상이 역사다리꼴 형태로 상면보다도 하면이 작은 2개의 접속플러그를 직접 전기적으로 접속한 구조가 제안되어 있다.

한편, 종래의 일반적인 DRAM에서는 전하축적 커패시터가 비트라인의 하부 혹은 바로 위에 배치되어 있고, 상기 제1의 종래기술도 그 점은 같다. 그러나, 이 경우는 포토리소그래피에서의 포커스 마진(focus margin)이 메모리셀 어레이부와 주변회로부(I/O 제어회로부와 디코더부)의 사이에 생기는 단차에 대응할 수 없다는 문제가 있고, 미세화가 제한된다. 게다가, DRAM 등의 커패시터를 가지는 메모리셀 어레이부에 부가해서 로직회로를 동시에 혼재한 LSI 칩을 제조하는 경우에는, 상기 문제는 중대한 장애가 된다.

그 때문에, 상기 단차를 경감해서 미세화의 제한을 제거하는 것을 목적으로 하여 커패시터를 배선층의 상방에 배치하는 구조가 제안되어 있다. 예를들면, 제2의 종래기술(일본공개특허 평6-85187호)에서는, 배선층을 형성한 후에 MOS형 트랜지스터의 확산층과 커패시터 하부전극을 접속하기 위한 접속플러그를 형성하고 있다.

발명이 이루고자 하는 기술적 과제

상기 제1의 종래기술에서는, 접속플러그의 단면 형상이 역사다리꼴 형태로 측면이 수직이 아니고 상면의 면적이 크기 때문에, 접속플러그의 점유 면적이 커지게 되어 단위 메모리셀의 면적이 증대한다는 문제가 있다. 또한, 메모리셀 어레이부의 커패시터 하부전극으로서는 다결정 실리콘막을 사용하고 있지만, 주변회로부나 로직회로부의 접속플러그로서는 더 저(低)저항인 것이 필요하기 때문에, 통상은 텅스텐막 등의 금속재료의 막이 사용된다. 그 때문에, 메모리셀 어레이부와 주변회로부나 로직회로부에서는 서로 다른 재료로 이루어지는 접속플러그를 각각 별도의 공정으로 형성할 필요가 있어 공정수가 증대해 버린다.

이와 같이, 상기 종래기술에서는, (1) 메모리셀 어레이부를 미세화한다, (2) 주변회로부 및 로직회로부의 접속플러그를 저저항화한다 및 (3) 제조 코스트를 저감한다는 3개의 과제를 동시에 해결할 수 없다.

한편, 상기 제2의 종래기술과 같이, MOS형 트랜지스터의 확산층과 커패시터 하부전극을 접속하기 위한 접속플러그를 배선층을 형성한 후에 형성하는 경우는, 애스팩트비(aspect ratio)가 큰 구멍을 형성하는 공정과, 이 구멍을 금속막으로 매립하여 접속플러그를 형성하는 공정이 필요하지만, 이들 양공정이 기술적으로 곤란하고 양호한 결과를 얻는 것이 어렵다. 특히, 접속구멍의 깊이가 1.0㎛를 초과하면 접속구멍의 형성 및 금속막의 매립이 매우 곤란하게 되어 수율(양품율)이 저하하고, 제조 코스트가 상승한다. 또한, 이 방법에서는 접속구멍을 형성하기 위해 행해지는 포토리소그래피에 있어서, 다층간의 층 맞춤에 대응해서 맞춤 여유를 크게 취할 필요가 있어 단위 메모리셀 면적이 증대한다.

따라서, 본 발명의 목적은, 메모리셀 어레이부를 미세화한 반도체 집적회로장치를 제공하는데 있다.

본 발명의 다른 목적은, 주변회로부 및 로직회로부의 접속플러그를 저저항화한 반도체 집적회로장치를 제공하는데 있다.

본 발명의 또 다른 목적은, 제조코스트를 저감할 수 있는 DRAM 등의 커패시터를 가지는 반도체 집적회로장치의 제조방법을 제공하는데 있다.

본 발명의 또 다른 목적은, 애스팩트비가 큰 구멍의 형성 및 이와 같은 구멍내로의 도전체막의 매립을 행하지 않고 커패시터가 배선층의 상방에 배치된 구조의 반도체 집적회로장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 집적회로장치는, 반도체 기판주면에 I/O 제어회로부와 디코더부로 구성되는 주변회로부 및 메모리셀 어레이부를 가지고, 해당 메모리셀 어레이부내에 형성된 절연게이트 전계효과형 트랜지스터(select transistor)의 확산층(source drain region)은 해당 트랜지스터의 위에 적층되어 형성된 복수의 층간절연막을 각각 관통하여 차례대로 직접 접속된 복수의 접속플러그를 통해서 상기 복수의 층간절연막상에 형성된 커패시터의 하부전극과 전기적으로 접속되고, 상기 주변회로부에 형성된 복수의 접속플러그는 배선 혹은 배선 접속패드를 통해서 서로 접속되어 있는 것을 특징으로 한다.

즉, 예를들면 도 3에 나타낸 바와 같이, 반도체 기판(1)내에 형성된 MOS형 트랜지스터의 위(上)에는 복수의 층간절연막(8,12,15,18)이 적층되어 형성되어 있고, 이들 복수의 층간절연막의 위에는 전하축적 커패시터가 형성되어 있다. 이 전하축적 커패시터의 하부전극(20)은, 상기 복수의 층간절연막을 각각 관통해서 차례대로 직접 접속된 복수의 접속플러그(10,13,16,19)를 통해서 상기 MOS 트랜지스터의 확산층(3)과 전기적으로 접속되어 있다.

각 접속플러그(10,13,16,19)는, 접속패드를 통하지 않고 차례대로 직접 접속되어 있기 때문에, 콘택트의 점유 면적은 감소된다. 이 접속 면적이 작기 때문에, 각 접속플러그(10,13,16,19) 사이의 접촉저항은 약간 크게 되지만, 스토리지 노드 콘택트 플러그로서는 특별히 문제는 없다.

더구나, 본 발명에서는 상기 복수의 접속플러그(10,13,16,19)는 적층되어 형성된 상기 복수의 층간절연막(8,12,15,18)을 각각 관통해서 형성되어 있다. 1매의 두꺼운 층간절연막에 접속구멍을 형성하고, 이 접속구멍내에 금속을 매립하여 접속플러그를 형성하면, 접속구멍의 애스팩트비가 커지게 되어버려 접속구멍의 형성 및 금속의 매립이 곤란하게 되지만, 본 발명에서는 1매의 두꺼운 층간절연막은 아니고, 복수의 얇은 층간절연막에 각각 접속구멍의 형성과 금속의 매립이 행해진다. 그 때문에, 각 접속구멍의 애스팩트비는 작아지게 되고, 접속구멍의 형성과 금속에 의한 매립은 극히 용이하게 된다. 따라서, 배선층의 상방에 커패시터가 배치된 디바이스 구조를 얻는 것이 용이하다.

한편, 주변회로부에서는 도 4에 나타낸 바와 같이, 각 접속플러그(10,13,16,19)는 각각 접속패드(11,14,17)를 통해서 서로 접속되어 있기 때문에, 접속 저항은 충분히 작아지고, 주변회로부에서는 충분한 전류를 얻을 수 있다. 더구나, 메모리셀 어레이부와 주변회로부는 구조가 다른 것에도 상관없이 동일한 공정에서 동시에 형성할 수 있어 여분의 공정을 부가할 필요는 없다.

본 발명의 반도체 집적회로장치는, 상기 메모리셀 어레이부, I/O 제어회로부 및 디코더부에 부가해서 로직회로부를 더 구비할 수 있다. 이 로직회로부에 있어서는, 상기 메모리셀 어레이부와 같은 극도의 미세화는 불필요하기 때문에, 예를들면 도 4에 나타낸 바와 같이, 각 접속플러그(10,13,16,19)의 사이에 각각 배선(11,14,17) 혹은 배선 접속패드를 끼워 넣어도 특별히 문제는 없다.

상기 주변회로부 및 메모리셀 어레이부에 각각 형성된 상기 접속플러그는 동일한 금속재료로 형성되어 있다. 그 때문에, 상기 주변회로부 및 메모리셀 어레이부에서의 각 접속플러그를 동일한 공정에서 동시에 형성할 수 있어 실용상 극히 유리하다. 이들 금속재료로서는 텅스텐, 질화텅스텐, 티탄 및 질화티탄으로 이루어지는 군(群)으로부터 선택된 적어도 1종류를 사용할 수 있다.

상기 접속플러그의 상면 크기는 저면의 크기와 실질적으로 같고, 상기 접속플러그의 측면은 상기 저면에 대해서 실질적으로 수직을 이루는 것이 바람직하다. 즉, 상기 접속플러그의 측면은, 예를들면 도 3 및 도 4에 나타낸 바와 같이, 어느 것도 경사져 있지 않고, 각각의 접속플러그의 저면과 거의 수직이다. 그 때문에, 상기 접속플러그는 각각 상면의 크기가 저면의 크기와 거의 같고, 저면의 면적이 작은 것에 기인하는 저항의 증대가 생길 염려가 없을 뿐만 아니라, 상면의 면적이 크지 않기 때문에 콘택트를 위한 점유 면적은 증대하지 않고, 미세화나 설계의 자유도를 방해하는 것도 아니다.

또한, 상기 메모리셀 어레이부는, 예를들면 DRAM의 메모리셀 어레이부로 할 수 있다. 상기 DRAM의 메모리셀 어레이부의 단위 메모리셀이 하나의 MOS형 트랜지스터와 하나의 전하축적 커패시터로 구성되고, 상기 메모리셀의 면적을 8×f×(f+ a)(단, f는 최소 가공치수, a는 프로세스 여유) 이하로 하면 특히 바람직한 결과가 얻어진다.

상기 메모리셀 어레이부에 형성되는 상기 커패시터는, 비트라인의 상방에 배치할 수 있고, 전체 배선층의 상방에 배치되어도 된다. 이 커패시터의 용량절연막으로서는 산화탄탈막, PZT[$Pb(Zr,Ti)O_3$]막 및 BST[$(Ba,Sr)TiO_3$]막으로 이루어지는 군으로부터 선택된 적어도 1종류의 고(高)유전체막을 사용할 수 있고, 이것에 의해 충분히 높은 유전율을 가지는 커패시터 절연막이 얻어진다.

상기 메모리셀 어레이부를 DRAM의 메모리셀 어레이부 뿐만 아니라, 강유전체 메모리의 메모리셀 어레이부로 할 수도 있다. 이 경우, 강유전체 커패시터의 커패시터 절연막으로서 PZT막 혹은 BST막 등의 강유전체막을 사용하면 보다 바람직한 결과가 얻어진다. 이들 전하축적 커패시터 및 강유전체 커패시터의 상부 및 하부전극으로서는 어느 것이나 금속막을 사용할 수 있다.

상기 복수의 층간절연막의 막두께를 각각 0.3㎛ 이상, 1.0㎛ 이하로 하면 바람직한 결과가 얻어진다. 상기 막두께가 0.3㎛보다 작아지게 되면 핀홀(pinhole) 등이 쉽게 발생되어 절연막으로서의 신뢰성이 저하하기 때문에, 0.3㎛보다 작게 하는 것은 회피하는 편이 바람직하다. 또한, 상기 막두께가 1.0㎛ 이하라면 애스팩트비가 그다지 크게 되는 것은 아니고, 접속구멍의 형성 및 도전성막에 의한 접속구멍의 매립은 용이하다.

본 발명의 반도체 집적회로장치는 하기의 방법에 의해 제조할 수 있다. 즉, 반도체 기판의 표면상에 제1 층간절연막을 형성하고, 이 제1 층간절연막의 소정 부분을 선택적으로 제거하여 측면이 저면에 대해서 실질적으로 수직인 제1 접속구멍을 형성하며, 이 제1 접속구멍내에 금속막을 매립하여 제1 접속플러그를 형성한 후, 상기 제1 층간절연막상에 제2 층간절연막을 형성하고, 이 제2 층간절연막의 소정 부분을 선택적으로 제거하여 형성된 측면이 저면에 대해서 실질적으로 수직인 제2 접속구멍내에 금속막을 매립하여 제1 접속플러그와 직접 접속된 제2 접속플러그를 형성한다.

이 제조방법에 의하면, 애스팩트비가 크지 않은 상기 제1 및 제2 접속구멍을 형성하여 각각 도전체막을 매립하고, 애스팩트비가 작고 직접 서로 접속된 제1 및 제2 접속플러그를 형성한다. 이것에 의해, 전체로서 애스팩트비가 큰 접속플러그를 형성할 수 있다. 이 경우, 애스팩트비가 큰 접속구멍을 1매의 층간절연막에 형성하는 것은 아니고, 그와 같은 애스팩트비가 큰 접속구멍으로의 도전체막의 매립의 필요도 없기 때문에, 전체로서 애스팩트비가 큰 접속플러그를 형성하는 것은 용이하다.

또한, 상기 제1 층간절연막을 형성하는데 앞서 반도체 기판에 MOS형 트랜지스터를 형성하고, 상기 제1 접속구멍을 상기 MOS형 트랜지스터의 확산층의 표면이 노출되도록 형성할 수 있다.

상기 제1 및 제2 층간절연막의 상면을 각각 평탄화하면, 후(後)공정의 실시에 바람직하고, 이 평탄화는 화학적 기계적 연마법(CMP)에 의해 행할 수 있다.

이때, 상기 제2 층간절연막을 해당 제2 층간절연막보다 상기 화학적 기계적 연마법에 의한 연마속도가 작은 막의 위에 각각 형성하면, 이 연마속도가 작은 막이 화학적 기계적 연마의 스톱퍼막으로서 작용하고, 화학적 기계적 연마를 제어성 좋게 실행할 수 있다. 상기 연마속도가 작은 막으로서는 질화실리콘막을 사용함으로써 바람직한 결과가 얻어진다.

또한, 상기 제2 층간절연막의 아래에는 상기 제2 층간절연막보다 드라이 에칭에 의한 에칭속도가 작은 막을 배치할 수 있다. 상기 제2 접속구멍을 형성할 때 상기 에칭속도가 작은 막의 표면이 노출될 때까지 상기 제1 층간절연막의 소정 부분을 선택적으로 제거한 후, 상기 에칭속도가 작은 막의 노출된 부분을 제거하도록 하면 개구부를 형성할 때 베이스 층으로의 영향을 극히 적게 할 수 있다.

상기 에칭속도가 작은 막으로서는 질화실리콘막을 사용할 수 있고, 상기 연마속도가 작은 막과 상기 에칭속도가 작은 막은 같은 막을 사용할 수 있다.

상기 금속막을 상기 접속구멍내에 매립하는 공정은, 선택 CVD법을 사용해서 행할 수 있고, 이것에 의해 개구부 밖으로의 금속막의 퇴적을 극히 적게 할 수 있지만, 전면(全面) CVD법을 사용하는 것도 가능하다. 또한, 상기 금속막을 상기 접속구멍내에 매립한 후 돌출한 상기 금속막을 연마해서 표면을 평탄화하면 후(後)공정에 바람직하다. 이 평탄화에는 화학적 기계적 연마법을 사용하면 보다 바람직한 결과가 얻어진다.

상기 제1 및 제2 층간절연막의 막두께는 어느 것이나 0.3㎛ 이상, 1.0㎛ 이하로 하면 바람직한 결과가 얻어진다. 상기 막두께가 0.3㎛보다 작으면 핀홀 등이 생겨서 절연성이 불량으로 될 염려가 있다. 또, 상기 막두께가 1.0㎛ 이하라면 접속구멍의 형성 및 그들 접속구멍내로의 금속막의 매립이 용이하게 된다.

<발명의 실시형태>

본 발명의 반도체 집적회로장치는 상기 메모리셀 어레이부, I/O 제어회로부, 디코더부, 또 로직회로부를 구비할 수 있다. 메모리셀 어레이부와 그 밖의 주변회로부에서는 접속플러그의 깊이가 서로 다르지만, 본 발명에서는 이들 깊이가 다른 접속플러그를 동시에 형성할 수 있다.

또한, 상기 메모리셀 어레이부에서는 상기 복수의 접속플러그가 차례대로 직접 접속되고, 한편 주변회로부에서는 상기 복수의 접속플러그를 직접 접속하는 것은 아니고, 각 접속플러그의 사이에 배선층이나 배선패드가 끼워진다. 더구나, 이와 같은 서로 다른 구조는 동일한 공정에서 동시에 형성된다.

상기 접속플러그로서는, 예를들면 티탄막, 질화티탄막 및 텅스텐막으로 구성되는 적층막, 상기 배선으로서는, 예를들면 텅스텐막, 알루미늄막 및 질화티탄막으로 구성되는 적층막 등 주지의 막을 각각 사용할 수 있다. 또한, 층간절연막으로서도 산화실리콘막이나 BPSG막 등 주지의 절연막을 사용할 수 있다.

상기 커패시터로서는, 통상의 전하축적 커패시터 및 강유전체를 사용한 강유전체 커패시터의 어느 것을 사용하여도 되고, 또한 커패시터 절연막으로서도 주지의 것을 사용할 수 있다.

복수의 접속플러그가 각각 형성되어 있는 복수의 층간절연막의 막두께는 각각 0.3㎛ 이상, 1.0㎛ 이하로 하는 것이 바람직하고, 이들 층간절연막으로의 접속구멍의 형성은 주지의 포토리소그래피 기술과 드라이 에칭기술을 사용해서 행할 수 있다. 그때, 예를들면 반응성 이온에칭과 같이 이방성이 높은 에칭방법을 사용하면 측면이 저면에 대해서 거의 수직인 접속구멍을 높은 정밀도로 형성할 수 있다.

상기 접속구멍에 금속막을 매립하여 접속플러그를 형성하는 공정은, 선택 CVD법을 사용하는 것이 바람직하지만, 본 발명에서는 층간절연막의 막두께가 작고, 접속구멍의 애스팩트비도 크지 않기 때문에 전면 CVD법을 사용하여도 용이하게 접속구멍을 매립할 수 있다.

상기 접속구멍을 매립한 후, 표면을 평탄화하는 것은 후공정을 행하기 위해 극히 바람직하다. 이 표면 평탄화는 화학적 기계적 연마법으로 행하는 것이 가장 바람직하고, 메모리셀 어레이부와 주변회로에 각각 형성된 깊이(두께)가 서로 다른 접속플러그의 상면을 동시에 평탄화할 수 있다. 화학적 기계적 연마법에 사용되는 연마제는 연마해야할 재료에 따라서 적절히 선택되고, 주지의 것을 사용할 수 있다.

화학적 기계적 연마법에 의한 표면 평탄화는, 층간절연막의 표면의 평탄화에 적용하여도 극히 유효하다. 이 경우, 표면을 연마해서 평탄화해야할 층간절연막보다 화학적 기계적 연마법에 의한 연마속도가 작은 막을 연마해야할 층간절연막의 아래에 배치해서 화학적 기계적 연마를 행하면, 이 하층막이 화학적 기계적 연마의 스톱퍼막으로서 작용하기 때문에, 베이스에 대한 영향이 방지되어 화학적 기계적 연마를 극히 용이하고, 높은 정밀도로 행할 수 있다.

상기 접속구멍을 형성할 때에도, 상기 화학적 기계적 연마의 경우와 같이, 에칭 스톱퍼막을 사용해서 행할 수 있다. 이들 화학적 기계적 연마의 스톱퍼막 및 에칭 스톱퍼막으로서는 같은 종류의 막을 사용할 수 있고, 질화실리콘막을 사용하는 것이 가장 바람직하다.

이하, 본 발명의 실시예에 관해서 도면을 참조하여 상세히 설명한다.

<실시예 1>

본 실시예는 3층의 배선층을 가지는 DRAM 반도체 집적회로장치에 본 발명을 적용한 예로서, 최소 가공치수를 0.2㎛로 하여, 단위 메모리셀의 크기가 0.8×0.6㎛인 256Mb DRAM을 형성하였다.

도 1에 본 실시예로 되는 DRAM 반도체 집적회로장치의 전체 구성을 나타낸다. DRAM 칩(1000)은 메모리셀 어레이부(1001), I/O 제어회로부(1002), 열 디코더부(1003), 행 디코더부(1004), 입출력 인터페이스부(1005)로 구성되어 있다.

도 2에 메모리셀 어레이부(1001)를 구성하는 메모리셀의 2비트분의 등가회로를 나타낸다. 하나의 메모리셀은 하나의 절연게이트 전계효과형 트랜지스터(구체적으로는, MOS형 트랜지스터)(1011)와 하나의 전하축적 커패시터(1012)로 구성되어 있다.

도 3, 도 4, 도 5는 각각 본 실시예로 되는 DRAM의 주요부 단면도이다. 도 3과 도 5는 각각 메모리셀 어레이부를, 도 4는 주변회로부를 나타내고 있다. 또한, 도 6은 본 실시예로 되는 DRAM의 메모리셀 어레이부의 상면도이고, 도 3, 도 4, 도 5에서 제1층 배선(11)까지를 형성한 경우의 평면 배치를 나타내고 있다. 도 5에 나타낸 메모리셀 어레이부의 단면구조는 도 6의 A-A'선에 따른 단면구조이고, 도 3 에 나타낸 메모리셀 어레이부의 단면구조는 도 6의 B-B'선에 따른 단면구조이다. 또, 도 46~도 49에는 도 6에서의 각층마다의 배치관계를 나타낸다. 즉, 도 46은 도 6에서의 확산층(3)의 배치관계를 나타내고, 도 47은 도 6에서의 게이트 전극(4)의 배치관계를 나타내며, 도 48은 도 6에서의 SNCT(스토리지 노드 콘택트) 및 BLCT(비트라인 콘택트)의 배치관계를 나타내고, 도 49는 도 6에서의 비트라인(제1층 배선)(11)의 배치관계를 나타내고 있다.

도 3, 도 4, 도 5에서 명백해진 바와 같이, 하나의 실리콘 기판(1)상에는 소자분리용 산화실리콘막(2), 확산층(source drain region)(3), 게이트 전극(4) 등이 형성되어 있고, 또 그 위에는 제1~제3층 배선(11,14,17), 제1~제4 접속플러그(10,13,16,19) 및 제1~제4 층간절연막(8,12,15,18)으로 구성되는 배선층이 형성되어 있다.

메모리셀 어레이부에 있어서, 제1층 배선(11)은 게이트 전극(4)과 직교(直交)방향으로 배치된 비트라인으로서 기능하고, 제2층 배선(14)은 게이트 전극(4)과 동(同)방향으로 배치된 서브 워드라인으로서 기능한다. 이들의 상방에 하부전극(20), 용량절연막(21) 및 상부전극(22)으로 구성되는 전하축적 커패시터가 배치되어 있다.

메모리셀 어레이부에서는, 단면 직경(포토마스크의 설계상에서는 정사각형)이 최소 가공치수 0.2㎛로 설계된 제1～제4 접속플러그(10,13,16,19)가 배선이나 배선패드를 통하지 않고 차례대로 전기적으로 직접 접속되고, 이들 제1～제4 접속플러그(10,13,16,19)에 의해 MOS 트랜지스터의 확산층(3)과 전하축적 커패시터의 하부전극(20)이 서로 접속되어 있다. 또, 도면에는 나타나 있지 않지만, 게이트 전극(4)의 아래에는 두께 10㎚ 이하의 게이트 산화막이 형성되어 있다.

제1 접속플러그(10)는 게이트 전극(4)과 자기정합(自己整合)으로 형성되어 있기 때문에, 도 6에 있어서 y 방향의 치수는 최소 가공치수의 4배까지 축소되고, 한편 x 방향의 치수는 최소 가공치수의 3배까지 축소되었다. 이와 같은 미세화가 실현된 것은 제1 접속플러그(10)와 제2 접속플러그(13)와의 접속을 배선패드를 통해서 행한 경우에 필요하였던 배선패드와 제1층 배선(11)(비트라인) 사이의 맞춤 여유가 본 실시예에서는 불필요하게 되었기 때문이다. 배선패드를 끼우지 않는 이와 같은 구조 때문에, 메모리셀 어레이부에서는 셀 면적의 축소가 실현되었다.

한편, 도 4에 나타낸 주변회로부(b)에서는, 제1～제4 접속플러그(10,13,16,19)가 포토리소그래피에 의해 에칭 가공된 도체, 즉 배선이나 배선패드를 통해서 서로 전기적으로 접속되어 있기 때문에 그 점유 면적은 메모리셀 어레이부보다도 크지만, 각 접속플러그간의 접촉저항을 포함한 배선 저항은 충분히 작게 되었다.

또한, 메모리셀 어레이부에 형성된 제1～제4 접속플러그와 주변회로부에 형성된 제1～제4 접속플러그는 어느 것이나 텅스텐막과 질화티탄막 등 동일한 금속재료로 이루어지고, 동시에 형성되고 있다. 그 때문에, 필요한 공정수가 감소하여 제조 코스트가 저하하고, 더구나 주변회로부의 접속플러그를 포함한 배선 저항이 저감되어 있다. 또, 제1～제4 접속플러그의 재료로서는, 예를들면 도 43에 나타낸 것과 같은 구성의 경우에는 도 45에 나타낸 금속(A)중에서 선택된 단독재료라도 되고, 도 44에 나타낸 것과 같은 구성의 경우에는 도 45에 나타낸 금속(B) 및 금속(C)중에서 각각 선택된 2종류의 재료의 조합이라도 된다. 또, 금속(A), 금속(B) 및 금속(C)중에서 각각 선택된 재료를 적어도 포함하는 3종류 이상의 재료의 조합을 사용하여도 된다.

상기 설명에서 명백해진 바와 같이, 본 실시예의 DRAM은 메모리셀 어레이부에서의 미세화와 주변회로부에서의 배선 저항의 저감이 동시에 달성되고, 또 제조 코스트가 저감되어 있다. 또한, 본 실시예의 DRAM에서는 애스팩트비가 큰 구멍의 형성 및 이와 같은 애스팩트비가 큰 구멍내로의 금속막의 매립을 행하지 않고 커패시터가 배선층의 상방에 배치된 구조의 반도체 집적회로장치를 제조할 수 있다.

다음에, 본 실시예 1의 상기한 DRAM의 제조방법을 설명한다.

우선, 도 7, 도 8에 나타낸 바와 같이, p형(100) 실리콘 기판(1)상에 두께 350㎚의 소자분리용 산화실리콘막(LOCOS막)(2), 웰층(도시하지 않음) 및 채널층(도시하지 않음) 등을 열산화법 및 포토리소그래피 기술 등 주지의 기술을 사용해서 형성하였다. 또, 소자분리에는 상기 LOCOS막 대신에 보다 미세화, 평탄화가 가능한 천구분리법(shallow trench isolation method)이 적용될 수 있다.

다음에, 도 9, 도 10에 나타낸 바와 같이, 주지의 열산화법을 사용해서 두께 7㎚의 게이트 산화막(도시하지 않음)을 형성한 후, 인(P)을 도프한 두께 70㎚의 다결정 실리콘막 및 두께 120㎚의 텅스텐 실리사이드막으로 구성되는 적층막(4)을 주지의 저압 CVD법을 사용해서 형성하였다. 또, 그 위에 두께가 10㎚인 산화실리콘막과 두께가 100㎚인 질화실리콘막을 각각 열 CVD법 및 플라즈마 저압 CVD법으로 형성하여 적층 절연막(5)을 형성하였다. 이 적층 절연막(5)의 소정 부분을 주지의 포토리소그래피 기술과 드라이 에칭 기술을 사용해서 선택적으로 제거하여, 도 10에 나타낸 바와 같이, 상기 적층막(4)과 접속플러그 사이의 접속영역(6)에 접속구멍을 형성하였다.

이어서, 도 11, 도 12에 나타낸 바와 같이, 상기 적층 절연막(5) 및 상기 적층막(4)을 주지의 포토리소그래피 기술과 드라이 에칭기술을 사용해서 소정의 형상으로 패터닝하여 게이트 길이 0.2㎛의 게이트 전극(4)을 형성하였다. 다음에, 주지의 이온주입 기술을 사용해서 상기 게이트 전극(4)을 마스크로 하는 n형 불순물의 이온주입을 행했다. 다음에, 두께 80㎚의 질화실리콘막을 전면(全面)에 형성한 후 반응성 이온에칭법에 의해 전면 이방성 에칭을 행해서 상기 질화실리콘막중 게이트 전극(4)의 측벽상에 형성된 부분을 남기고, 스페이서 길이 50㎚의 측벽 스페이서(7)를 형성하였다. 또, 게이트 전극(4) 및 측벽 스페이서(7)를 마스크로 해서 다시 이온주입을 행한 후 열처리를 행하여 n형 확산층(3)을 형성하였다. 또, 본 발명과는 직접 관계가 없기 때문에, 도 11, 도 12에서는 확산층(3)의 단면 형상은 간략화하여 나타내고 있다.

다음에, 도 13, 도 14에 나타낸 바와 같이, 제1 층간절연막으로서 두께 700㎚의 BPSG(불화인규산 글라스)막(8)을 형성한 후, 열처리를 행해 BPSG막(8)을 리플로(reflow)시켰다. 이 BPSG막(8)을 주지의 CMP법(화학 기계 연마법)으로 연마하여 표면을 평탄화하고, 소자 분리영역의 게이트 전극(4)상에서 막두께를 300㎚로 하였다. 또, 상기 확산층(3) 및 게이트 전극(4)에 각각 도달하는 구멍 지름 0.2㎛의 콘택트 구멍을 주지의 포토리소그래피 기술과 드라이 에칭 기술을 사용해서 동시에 형성하였다.

그 후, 주지의 스퍼터법을 사용해서 두께 20㎚의 티탄(Ti)막과 두께 30㎚의 질화티탄(TiN)막을 적층해서 형성한 후, 수소(H_2) 가스와 6불화 텅스텐(WF_6) 가스를 원료가스로서 사용한 주지의 CVD법으로 두께 100㎚의 텅스텐(W)막을 그 위에 형성하였다. 상기 티탄막, 질화티탄막 및 텅스텐막중 상기 BPSG막(8)상에 형성된 부분을 주지의 CMP법으로 제거하여 상기 콘택트 구멍내에만 이들 금속막을 잔존시켜 제1 접속플러그(10)를 형성하였다.

다음에, 두께 50㎚의 텅스텐막, 두께 300㎚의 알루미늄막 및 두께 50㎚의 질화티탄막을 각각 스퍼터법으로 차례대로 적층하여 형성한 후, 주지의 포토리소그래피 기술과 드라이 에칭기술을 사용해서 소정의 형상으로 패터닝하여 도 16에 나타낸 바와 같이 제1층 배선(11)을 형성하였다. 이 제1층 배선(11)은 DRAM의 메모리셀 어레이부에서는 제1 층간절연막(8) 상을 게이트 전극(4)과 직교방향으로 연장되어 비트선으로서 기능한다.

이 경우, 메모리셀 어레이부에서의 제1 접속플러그(10)와 제2 접속플러그(13)와의 접속부분에서는 상기 텅스텐막, 알루미늄막 및 질화티탄막은 상기 패터닝에 의해 제거되고, 이 부분에는 상기 제1층 배선(11)은 형성되지 않는다. 따라서, 도 15에 나타낸 바와 같이, 메모리셀 어레이부에서는 상기 제1 접속플러그(10)는 상기 제2 접속플러그(13)와 직접 접속된다. 그 때문에, 제1 접속플러그(10)와 제2 접속플러그(13)와의 접촉 면적이 작아지게 되어 접촉 저항이 크지만, MOS 트랜지스터의 확산층(3)과 전하축적 커패시터의 하부전극(20) 사이의 접속에는 그다지 저저항이 요구되지 않기 때문에, 특별히 문제는 안된다.

한편, 주변회로부에서는 도 16에 나타낸 바와 같이, 접속플러그 사이의 접촉 저항을 저감하기 위해 2개의 접속플러그(10,13)는 제1 층간절연막(8)상에 패턴 형성된 배선층(배선 접속패드)(11)을 통해서 서로 접속된다. 이와 같이, 접속플러그의 접촉저항과 치수가 메모리셀 어레이부와 주변회로부에서는 각각 서로 다르기 때문에, 제1 접속플러그(10)와 제2 접속플러그(13)의 사이에 배선층이나 배선패드를 끼우지 않고 양자를 직접 접속시키는 직접 접속부분(메모리셀 어레이부)과, 양자간에 배선층(11)을 끼워서 양자를 간접 접속시키는 간접 접속부분(주변회로부)을 동일한 LSI 칩내에 동시에 형성할 수 있어 미세하고 접촉저항의 안정성이 높은 다층 배선이 얻어진다.

상기 제1층 배선(11)을 형성한 후, 또 도 15, 도 16에 나타낸 바와 같이, 모노실란(SiH_4) 가스와 산소(O_2) 가스를 원료가스로서 사용한 주지의 고밀도 플라즈마 CVD법에 의해 두께 600㎚의 산화실리콘막으로 이루어지는 제2 층간절연막(12)(즉,제1층 배선11과 제2층 배선 사이의 층간절연막)을 형성하였다. 이 결과, 상기 제1층 배선(11)이 형성되어 있지 않은 부분은 상기 제2 층간절연막(12)으로 매립되었다.

이어서, 주지의 CMP법으로 상기 제2 층간절연막(12)을 상기 제1층 배선(11)상에서의 두께가 200㎚로 될 때까지 연마해서 그 표면을 평탄화한 후, TEOS 가스를 주 원료로 한 주지의 플라즈마 CVD법으로 두께 200㎚의 산화실리콘막(도시하지 않음)을 그 위에 형성하였다.

주지의 포토리소그래피 기술과 드라이 에칭기술을 사용해서 상기 제2 층간절연막(12)에 접속구멍을 형성하였다. 이 접속구멍은 메모리셀 어레이부에서는 상기 제2 층간절연막(12)을 관통해서 상기 제1 접속플러그(10)의 상단부가 노출되고, 한편 주변회로부에서는 상기 제1층 배선(11)의 표면이 노출되도록 하였다. 상기 모노실란 가스와 6불화 텅스텐 가스를 원료가스로서 사용하는 주지의 선택 CVD법으로 막두께 1㎛의 텅스텐막을 형성하고, 상기 접속구멍을 텅스텐막으로 충진하였다. 이때, 메모리셀부 및 주변회로부도 함께 접속구멍에 텅스텐막을 오버필(over fill)(과충진)하였다.

상기 오버필된 여분의 텅스텐막 및 퇴적의 선택성 부족 때문에 상기 제2 층간절연막(12)상에 형성된 텅스텐막을 CMP법으로 연마하여 제거하고, 상기 접속구멍내에만 텅스텐막을 잔존시켜 제2 접속플러그(13)를 형성하였다. 이와 같이, 선택 CVD법과 CMP법을 사용해서 접속구멍의 매립을 행하는 것에 의해 깊이가 서로 다른 복수의 접속구멍내를 텅스텐으로 동시에 충진하여 깊이가 서로 다른 제2 접속플러그(13)를 메모리셀 어레이부와 주변회로부에 각각 동시에 형성할 수 있었다. 또한, 접속구멍의 깊이가 0.8㎛ 정도로 그다지 깊지 않기 때문에 공동(空洞) 등의 발생없이 양호한 접속플러그를 형성할 수 있었다.

다음에, 도 17, 도 18에 나타낸 바와 같이, 접속 도체로서의 제2층 배선(14)을 상기 제1층 배선(11)과 같은 형태로 형성하고, 이하 제3 층간절연막(15)(제2층 배선과 제3층 배선간의 층간절연막), 제3 접속플러그(16), 접속 도체로서의 제3층 배선(17), 제4 층간절연막(18)(제3층 배선과 제4층 배선간의 층간절연막) 및 제4 접속플러그(19)를 상기 제2 층간절연막(12), 제2 접속플러그(13) 및 제2층 배선(14)과 같은 방법으로 차례대로 형성하였다.

이어서, 전하축적 커패시터를 형성하였다. 우선, 도 3에 나타낸 바와 같이, 커패시터 하부전극(20)으로서 두께 100㎚의 백금(Pt)막을 주지의 스퍼터법으로 형성한 후, 크기가 0.7×0.5㎛인 전극 형상으로 가공하였다. 이 Pt막의 위에 용량절연막(21)으로서 두께 100㎚의 BST막과 커패시터 상부전극(22)으로서 두께 100㎚의 백금막을 차례대로 형성하고, 이들 막을 소정의 형상으로 가공하여 도 3에 나타낸 구조를 형성하였다.

본 실시예에서 형성된 커패시터의 1셀당 전하축적량은 22fF(femto·farad)이고, 256Mb DRAM의 전하축적량으로서 충분하였다. 또한, 커패시터 상부전극(22)으로서 사용한 백금막은 주변회로부에서는 배선층으로서 기능하기 때문에 배선의 설계 자유도가 향상되었다.

본 실시예에 의해 형성된 DRAM 메모리셀 어레이의 단위 셀의 면적은, 커패시터가 배선층 군(群)의 상방에 배치된 것에도 상관없이 메모리셀 어레이부의 상면도(도 6)에 나타낸 바와 같이, 커패시터가 배선층 군의 하부에 배치된 종래의 경우와 동등하였다. 이것은, 제1 접속플러그(10), 제2 접속플러그(13), 제3 접속플러그(16) 및 제4 접속플러그(19)간의 접속이 배선 접속패드를 통하지 않고 각각 직접 접속되어 접속패드 자체 및 각 접속패드간의 맞춤여유에 필요한 면적이 불필요하게 되었기 때문이다. 본 실시예에 나타내는 접속플러그의 접속방법을 RISC 칩으로 대표되는 로직 LSI의 다층 배선에 적용한 경우에도 설계 자유도가 향상되는 효과가 얻어졌다. 또, 로직 LSI 등과 같이, 일반적으로 제1 접속플러그에 비해서 제2층 배선 이상의 배선간 접속플러그의 밀도가 높은 경우는, 본 발명에 의한 플러그의 접속방법을 제2층 배선보다 위의 부분, 즉 제2 접속플러그 이후로 한해 적용하여도 된다.

본 실시예에 있어서는 DRAM의 커패시터를 배선층 군의 상방에 배치하였지만, 애스팩트비가 큰 구멍의 형성 및 이와 같은 구멍으로의 매립 등의 곤란한 프로세스를 행할 필요가 없기 때문에 제조시의 불량 발생은 극히 적고, 실용상 문제로 되지 않았다.

또한, 커패시터를 배선층 군의 상방에 배치하였기 때문에, 포커스 마진에 의한 미세화의 제한이 완화된다는 이점 이외에 하기의 이점이 얻어졌다. 즉, BST막이나 PZT막 등의 고유전체막을 커패시터막으로서 사용하는 경우, 커패시터 형성 후의 열이력에 의해 이들 고유전체막의 특성이 열화한다는 문제가 있다. 그러나, 본 실시예에 있어서는 커패시터는 배선층의 상방에 형성되기 때문에, 커패시터의 형성은 배선층을 형성한 이후로 되고, 상기 열이력에 의한 고유전체막의 특성 열화는 현저하게 저감되었다. 이 이점은 강유전체 메모리의 커패시터를 배선층의 상방에 배치한 경우에도 마찬가지로 얻어지기 때문에, 본 발명은 이 경우에도 유효하게 적용할 수 있다는 것은 말할 필요도 없다.

또한, 커패시터가 배선층의 상방에 배치된 구조로 하는 것에 의해, DRAM, 강유전체 메모리, SRAM 및 그 이외의 로직 LSI를 동일한 제조라인에서 제조하거나 혹은 동일 칩상에 제조하는 것이 가능하게 되고, 제조 프로세스가 표준화되어 코스트가 저하함과 동시에, 각종 회로의 혼재에 의해 다기능 LSI의 제조가 가능하게 된다.

도 19는 그 일예이고, DRAM의 메모리셀 어레이부와 주변회로부에 부가해서 또 로직회로를 설치한 반도체 집적회로장치를 나타낸다. DRAM의 메모리셀 어레이부에서는 배선층의 상방에 배치된 커패시터의 하부전극과 MOS 트랜지스터의 확산층을 접속하는 복수의 접속플러그는, 배선패드나 배선을 통하지 않고 직접 서로 접속되어 있다. 한편, 주변회로부에서는 복수의 접속플러그는 배선패드나 배선을 통해서 서로 접속되어 있다. 그 때문에, 메모리셀 어레이부에서 요구되는 미세성과 주변회로부와 로직회로에서 필요한 작은 접속저항이 동시에 달성된다. 또한, 적층된 복수의 층간절연막을 각각 관통하는 각 접속플러그가 동일한 금속재료로 형성되기 때문에, 상기 메모리셀 어레이부, 주변회로부 및 로직회로에서의 접속플러그를 동일한 공정에서 동시에 형성할 수 있고, 필요한 공정수가 감소하여 코스트가 저하한다.

<실시예 2>

본 실시예는 본 발명을 DRAM에 적용한 제2 예이다. 앞의 실시예 1과의 다른 점은 접속구멍을 형성할 때 드라이 에칭 및 층간절연막의 CMP 처리를 각각 에칭 스톱퍼막 및 연마 스톱퍼막을 사용해서 행한 점이다. 이들 에칭 스톱퍼막 및 연마 스톱퍼막으로서는 어느 것이나 질화실리콘막을 사용해서 공정을 간략화 하였다.

도 20은 본 실시예 2에서 형성된 DRAM의 메모리셀 어레이부를 나타내는 부분적인 단면도이다. 도 21은 본 실시예 2에서 형성된 DRAM의 주변회로부를 나타내는 부분적인 단면도이다. 도 22~도 31은 상기 DRAM의 제조방법을 나타내는 공정 단면도이다. 또, 도 22, 도 24, 도 26, 도 28, 도 30은 도 20에 나타낸 메모리셀 어레이부의 제조공정을 나타내는 단면도이고, 도 23, 도 25, 도 27, 도 29, 도 31은 도 21에 나타낸 주변회로부의 제조공정을 나타내는 단면도이다.

이하, 도 22~도 31을 참조해서 본 실시예 2에 의한 DRAM의 제조방법을 설명한다.

우선, 도 22, 도 23에 나타낸 바와 같이, 실리콘 기판(101)상에 소자분리용 산화실리콘막(102), 상기 실리콘 기판(101)과는 반대의 도전형을 가지는 확산층(103), 게이트 전극(104), 산화실리콘막과 질화실리콘막의 적층막(105), 게이트 전극의 측벽 스페이서(107), 제1 층간절연막인 BPSG막(108) 및 제1 접속플러그(110)를 상기 실시예 1과 같은 방법을 사용해서 차례대로 형성하였다.

다음에, 도 24, 도 25에 나타낸 바와 같이, 텅스텐막, 알루미늄막 및 질화티탄막의 3층의 적층막으로 구성되는 소정의 형상을 가지는 제1층 배선(111)을 주지의 방법을 사용해서 형성한 후, 두께 75㎚의 질화실리콘막(141)을 전면에 형성하였다. 이 질화실리콘막(141)은 후공정에서 행해지는 제2 층간절연막(112)의 연마 및 제2 접속플러그(113)를 위한 접속구멍을 형성할 때 에칭에서의 에칭 스톱퍼막으로서 각각 사용된다.

다음에, 도 26, 도 27에 나타낸 바와 같이, 고밀도 플라즈마 CVD법으로 두께 600㎚의 산화실리콘막을 형성한 후, CMP법으로 연마하여 표면을 평탄화 하였다. 이때, 상기 질화실리콘막(141)은 연마 스톱퍼막으로서 작용하고, 제1층 배선(111)의 상방의 상기 산화실리콘막을 전부 연마해서 제거하며, 상기 제1층 배선(111)이 형성되어 있지 않은 부분에만 상기 산화실리콘막을 남겼다. 계속해서, TEOS(tetraethyl orthosilicate)가스를 주 원료로 한 주지의 플라즈마 CVD법으로 두께 200㎚의 산화실리콘막을 형성하여 제2 층간절연막(112)을 형성하였다.

다음에, 도 28, 도 29에 나타낸 바와 같이, 상기 제2 층간절연막(112)(산화실리콘막)의 소정 부분을 에칭해서 제거한 후, 노출된 질화실리콘막(141)을 제거해서 접속구멍을 형성하였다. 상기 제2 층간절연막(112)(산화실리콘막)의 소정 부분을 에칭 제거할 때, 상기 질화실리콘막(141)은 에칭 스톱퍼막으로서 작용하고, 상기 제1층 배선(111)이 에칭되는 것을 효과적으로 방지할 수 있었다. 앞의 실시예 1의 경우는 에칭 스톱퍼막이 사용되지 않기 때문에, 접속구멍을 형성할 때 배선층(11)이 오버 에칭되어 에칭 조건의 여유가 작았지만, 본 실시예에서는 질화실리콘막(141)이 에칭 스톱퍼막으로서 작용하기 때문에, 에칭 조건은 대폭 완화되었다.

이렇게 해서 형성된 접속구멍내에 선택 CVD법을 사용해서 텅스텐막을 매립하여 제2 접속플러그(113)를 형성하였다.

다음에, 제2층 배선(114), 제3 층간절연막(115), 제3 접속플러그(116), 제3층 배선(117), 제4 층간절연막(118) 및 제4 접속플러그(119)를 상기 제2 층간절연막(112), 제1 접속플러그(113) 및 제1층 배선(111)과 같은 방법을 각각 사용해서 차례대로 형성하여 도 30, 도 31에 나타낸 구조를 형성한 후, 실시예 1과 같은 형태로 해서 커패시터 하부전극(120), 용량절연막(121) 및 커패시터 상부전극(122)으로 구성되는 전하축적 커패시터를 형성하여도 도 20, 도 21에 나타낸 구조를 형성하였다.

본 실시예에 의하면, CMP 스톱퍼막 및 에칭 스톱퍼막이 각각 사용되기 때문에, 층간절연막의 평탄화 및 접속구멍의 형성시 드라이 에칭의 마진이 확대되어 양공정의 제어성을 향상하였다. 또한, 제2 층간절연막(112)은 실시예 1의 경우보다 얇기 때문에 접속구멍의 애스팩트비가 작아지게 되어 접속구멍의 형성 및 접속구멍의 매립도 용이하게 되고, 선택 CVD법 뿐만 아니라 스퍼터법이나 전면 CVD법 등을 사용하여도 접속구멍을 매립할 수 있었다.

<실시예 3>

본 실시예는 본 발명을 DRAM의 형성에 적용한 제3 실시예이다.

도 32~도 35에 본 실시예에 의한 DRAM의 주요부 단면구조를 나타낸다. 또한, 도 37~도 42에는 그 제조공정을 나타낸다. 또, 제조공정을 나타내는 도 37~도 42중에서 도 37, 도 39, 도 40, 도 42는 본 실시예에 의한 DRAM 메모리셀 어레이부의 제조공정을 나타내는 공정단면도이고, 도 38, 도 41은 주변회로부의 제조공정을 나타내는 공정단면도이다. 또한, 도 36은 본 실시예에 의한 DRAM 메모리셀 어레이부의 상면도이고, 도 32, 도 34, 도 35에 나타낸 메모리셀 어레이부의 제조공정에 의해 제1층 배선(211)까지를 형성한 시점에서의 메모리셀 어레이부의 평면배치를 나타내고 있다. 또, 도 50~도 53에 도 36에서의 각층 마다의 배치관계를 나타냈다. 즉, 도 50은 도 36에서의 확산층(203)의 배치관계를 나타내고, 도 51은 도 36에서의 게이트 전극(204)의 배치관계를 나타내며, 도 52는 도 36에서의 SNCT(스토리지 노드 콘택트) 및 BLCT(비트라인 콘택트)의 배치관계를 나타내고, 도 49는 도 36에서의 비트라인(제1층 배선)(211)의 배치관계를 나타내고 있다.

본 실시예의 특징은 도 32~도 35에 나타낸 바와 같이, 제1층 배선(비트라인)(211)의 측면상에 질화실리콘막으로 이루어지는 배선 측벽 스페이서(241)를 형성함으로써 해당 제1층 배선(211)과 제2 접속플러그(213)의 사이를 절연 분리하고, 양자간의 거리를 짧게 채택되도록 한 것이다. 그 때문에, 도 36에 나타낸 바와 같이, 단위 메모리셀의 크기는 y방향에서는 상기 실시예 1의 경우와 같이 4×f로 하는 한편, x방향에서는 2×(f+ a)까지 축소되었다(f는 최소 가공치수, a는 맞춤여유, 본 실시예에서는 f=0.2㎛, a=0.04㎛). 또한, 본 실시예에서는 미세 면적의 셀 구조를 실현하기 위해 접속플러그의 측면은 경사지지 않고 저면에 대해서 거의 수직으로 하고, 상면과 하면과의 치수를 서로 같게 하였다.

또, 도 36은 메모리셀 어레이부에서의 접속플러그가 형성된 층의 평면 배치를 나타내는 마스크 패턴이다. 도 34에서의 메모리셀 어레이부의 단면구조는 도 36의 A-A'선에 따른 단면구조이고, 도 32에서의 메모리셀 어레이부의 단면구조는 도 36의 B-B'선에 따른 단면구조이며, 또한 도 35에서의 메모리셀 어레이부의 단면구조는 도 36의 C-C'선에 따른 단면구조이다.

도 37~도 42를 참조해서 본 실시예에서의 DRAM의 제조방법을 설명한다.

앞의 실시예 1과 같이 실리콘 기판(201)상에 소자분리용 산화실리콘막(202), 확산층(203), 게이트 전극(204), 제1 층간절연막(208), 제1 접속플러그(210) 및 제1층 배선(211) 등을 형성해서 도 37~도 39에 나타내는 구조를 얻었다.

다음에, 막두께 50㎚의 질화실리콘막을 전면에 형성한 후, 전면 이방성 에칭을 행해서 상기 질화실리콘막중 상기 제1층 배선(211)의 측면상에 형성된 부분만을 남기고 다른 부분을 전부 제거하여, 도 40~도 42에 나타낸 바와 같이, 상기 제1층 배선(211)의 측면상에 질화실리콘막으로 이루어지는 배선 측벽 스페이서(241)를 형성하였다.

이하, 상기 실시예 1과 같은 형태로 해서 제2 층간절연막(212)을 형성한 후, 선택 CVD법과 CMP법을 사용해서 텅스텐막으로 이루어지는 제2 접속플러그(213)를 형성하고, 또 제2층 배선(214), 제3 층간절연막(215), 제3 접속플러그(216), 제3층 배선(217), 제4 층간절연막(218), 제4 접속플러그(219) 및 커패시터 하부전극(220), 용량절연막(221) 및 커패시터 상부전극(222)으로 구성되는 커패시터를 차례대로 형성하여 도 32~도 35에 나타내는 구조를 얻었다.

도 32~도 35에서 명백해진 바와 같이, 본 실시예에서는 제2 접속플러그(213)와 제1층 배선(211)이 질화실리콘막으로 이루어지는 배선 측벽 스페이서(241)에 의해 서로 절연 분리되어 있기 때문에, 양자간의 거리를 작게 채택할 수 있고, 극히 미세한 셀 구조가 얻어졌다.

발명의 효과

이상 설명한 부분으로부터 명백해진 바와 같이, 본 발명에 의하면, 다층 배선의 미세화 및 그 설계 자유도를 향상한 결과, 반도체 집적회로의 설계에 필요한 시간이 대폭 단축되었다. 또한, 전하축적 커패시터가 배선층의 상방에 배치된 반도체 집적회로를 애스팩트비가 큰 구멍의 형성 및 그와 같은 애스팩트비가 큰구멍내로의 금속막 매립을 행하지 않고 제조할 수 있기 때문에, 제조시의 불량발생 요인은 대폭 삭감되고, 반도체 집적회로의 설계 및 제조시에서의 코스트가 대폭 저감되었다.

(57) 청구의 범위

청구항 1.

I/O 제어회로부와 디코더부로 이루어지는 주변회로부 및 메모리 셀 어레이부를 가지고, 상기 메모리셀 어레이부에 형성된 MOS형 트랜지스터의 확산층은 상기 MOS형 트랜지스터의 위에 적층되어 형성된 복수의 층간절연막을 각각 관통하여 순차적으로 직접 접속된 복수의 접속 플러그를 통하여 상기 복수의 층간절연막 위에 형성된 커패시터의 하부전극과 전기적으로 접속되고, 상기 주변회로부에 형성된 복수의 접속플러그는 배선 혹은 배선접속패드를 통하여 서로 접속되어 있는 반도체 집적회로장치에 있어서,

상기 메모리 셀 어레이부의 상기 복수의 층간절연막의 상면과 상기 주변회로부의 상기 복수의 층간절연막의 상면은 실질적으로 평탄하고, 상기 메모리 셀 어레이부의 상기 복수의 층간절연막의 상면의 높이와 상기 주변회로부의 상기 복수의 층간절연막의 상면의 높이는 실질적으로 같으며, 상기 복수의 층간절연막은 (i)메모리 셀 어레이부에서는 층간절연막의 두께와 실질적으로 같은 높이의 플러그, (ii)주변회로부에서는 층간절연막의 두께보다 낮은 플러그의 각각 2종류의 플러그를 가지고 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2.

제1 항에 있어서,

상기 주변회로부는 로직회로부를 더 가지고,

상기 로직회로부에서는 상기 복수의 층간절연막에 각각 형성된 복수의 접속플러그가, 패선 혹은 배선접속패드를 통하여 순차적으로 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 3.

제1 항 또는 제2 항에 있어서,

상기 주변회로부 및 메모리셀 어레이부에 각각 형성된 상기 접속플러그는, 동일한 금속재료로 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4.

제3 항에 있어서,

상기 금속재료는, 텅스텐, 질화텅스텐, 티탄 및 질화티탄으로 이루어지는 군(群)에서 선택된 적어도 1종류인 것을 특징으로 하는 반도체 집적회로장치.

청구항 5.

제1 항 또는 제2 항에 있어서,

상기 접속플러그의 상면 크기는, 상기 접속플러그의 저면 크기와 실질적으로 같고,

상기 접속플러그의 측면은, 상기 저면에 실질적으로 수직인 것을 특징으로 하는 반도체 집적회로장치.

청구항 6.

제1 항 내지 제2 항에 있어서,

상기 메모리셀 어레이부가 DRAM의 메모리셀 어레이부인 것을 특징으로 하는 반도체 집적회로장치.

청구항 7.

제6 항에 있어서,

상기 DRAM의 메모리셀 어레이부의 단위 메모리셀이 하나의 MOS형 트랜지스터와 하나의 전하축적 커패시터로 구성되고,

상기 메모리셀의 면적이 $8\times f\times(f+a)$ 이하(단, f는 최소 가공치수, a는 프로세스 여유)인 것을 특징으로 하는 반도체 집적회로장치.

청구항 8.

제1 항 또는 제2 항에 있어서,

상기 메모리셀 어레이부중에 형성된 상기 커패시터는, 비트라인의 위에 배치되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 9.

제1 항 또는 제2 항에 있어서,

상기 메모리셀 어레이부에 형성된 상기 커패시터는, 전체 배선층의 위에 배치되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10.

제1 항 또는 제2 항에 있어서,

상기 커패시터의 용량절연막은, 산화탄탈막, PZT막 및 BST막으로 이루어지는 군(群)에서 선택되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 11.

제1 항 또는 제2 항에 있어서,

상기 메모리셀 어레이부가 강유전체 메모리의 메모리셀 어레이부인 것을 특징으로 하는 반도체 집적회로장치.

청구항 12.

제11 항에 있어서,

상기 강유전체 메모리가 가지는 커패시터의 커패시터 절연막은, PZT막 혹은 BST막으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 13.

제1 항 또는 제2 항에 있어서,

상기 커패시터의 상부전극 및 하부전극은, 각각 금속막으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

청구항 14.

제1 항 또는 제2 항에 있어서,

상기 복수의 층간절연막의 막두께는 각각 0.3㎛ 이상, 1.0㎛ 이하인 것을 특징으로 하는 반도체 집적회로장치.

청구항 15.

적어도 메모리셀 어레이부와 주변회로부를 가지는 반도체 집적회로장치의 제조방법에서, 제1 층간절연막을 반도체기판상에 형성하는 공정과, 상기 제1 층간절연막의 소정부분을 선택적으로 제거하여 측면이 저부에 대해 실질적으로 수직으로 상기 제1 층간절연막을 관통하는 제1 접속구멍을 형성하는 공정과, 사이 제1 접속구멍 내에 금속막을 매립함으로써 제1 접속 플러그를 형성하는 공정과, 상기 제1 층간절연막 상에 제2 층간절연막을 형성하는 공정과, 상기 제2 층간절연막의 소정 부분을 선택적으로 제거하여 측면이 저부에 대해 실질적으로 수직으로 상기 제2 층간절연막을 관통하는 제2 접속구멍을 형성하는 공정과, 상기 제2 접속구멍 내에 금속막을 매립하여 상기 제1 접속 플러그와 직접 접속된 제2 접속 플러그를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법에 있어서,

상기 제1 층간절연막과 상기 제2 층간절연막의 상면은 상기 메모리셀 어레이부와 상기 주변회로부에서 실질적으로 평탄하게 형성하고, 상기 제1 층간절연막과상기 제2 층간절연막의 상면의 높이는 상기 메모리셀 어레이부와 상기 주변회로부에서 실질적으로 같게 형성하고, 상기 접속 플러그는 메모리셀 어레이부에서는 상기 층간절연막의 두께에 실질적으로 같은 높이로 형성하고, 상기 접속 플러그는 주 변회로부에서는 상기 층간절연막의 두께보다 짧은 높이로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16.

제15 항에 있어서,

상기 제1 층간절연막을 형성하는 공정의 전에, 반도체 기판에 MOS형 트랜지스터를 형성하는 공정이 부가되고, 상기 제1 접속구멍은 상기 MOS 트랜지스터의 확산층의 표면을 노출하도록 형성되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 17.

제15 항 또는 제16 항에 있어서,

상기 제1 층간절연막 및 제2 층간절연막의 상면을 각각 평탄화하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 18.

제17 항에 있어서,

상면을 각각 평탄화하는 공정은, 화학적 기계적 연마법에 의해 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 19.

제18 항에 있어서,

상기 제2 층간절연막은, 상기 제2 층간절연막보다도 상기 화학적 기계적 연마법에 의한 연마속도가 작은 막의 위에 형성되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 20.

제19 항에 있어서,

상기 연마속도가 작은 막은, 질화실리콘막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 21.

제15 항에 있어서,

상기 제2 층간절연막은, 상기 제2 층간절연막보다도 드라이 에칭에 의한 에칭속도가 작은 막의 위에 형성되고,

상기 제2 개구부(開口部)를 형성하는 공정은, 상기 에칭속도가 작은 막의 표면이 노출될 때까지 상기 제2 층간절연막의 소정부분을 선택적으로 제거한 후, 상기 에칭속도가 작은 막이 노출된 부분을 제거함으로써 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 22.

제21 항에 있어서,

상기 에칭속도가 작은 막은, 질화실리콘막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 23.

제21 항에 있어서,

상기 연마속도가 작은 막과 상기 에칭속도가 작은 막은, 같은 막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 24.

제15항에 있어서,

상기 금속막을 상기 접속구멍 내에 매립하는 공정은, 선택 CVD법 또는 전면 CVD법을 이용해서 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 25.

제24 항에 있어서,

상기 금속막을 상기 접속구멍 내에 매립하는 공정 이후에, 상기 금속막을 연마해서 그 표면을 평탄화하는 공정이 행해지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

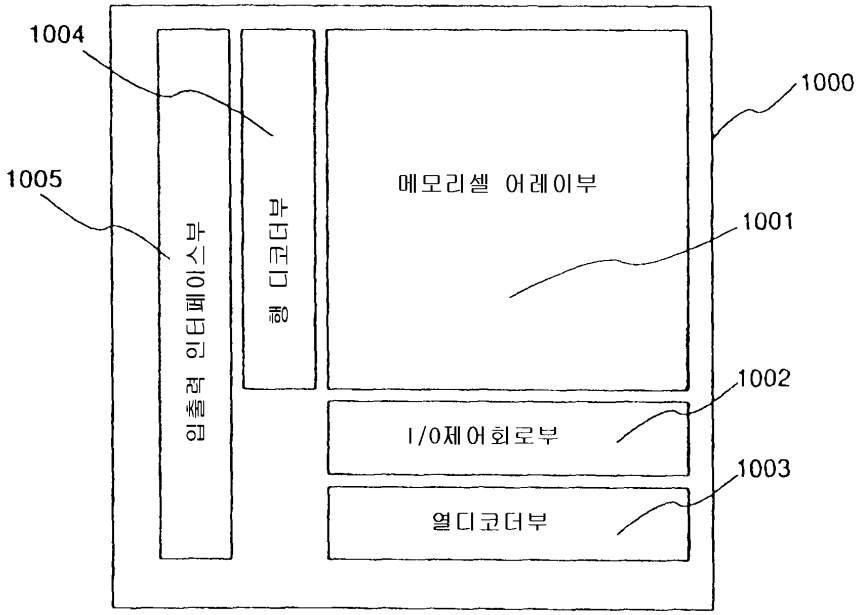
청구항 26.

제15 항에 있어서,

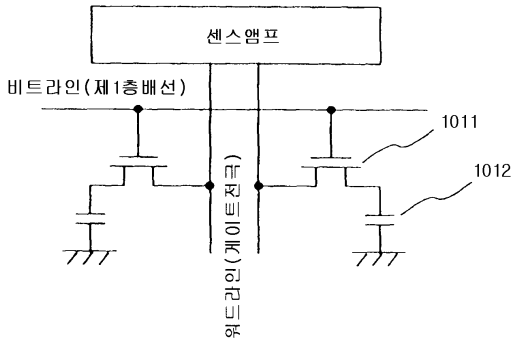
상기 제1 및 제2 층간절연막의 막두께는, 1.0㎛ 이하, 0.3㎛ 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

도면

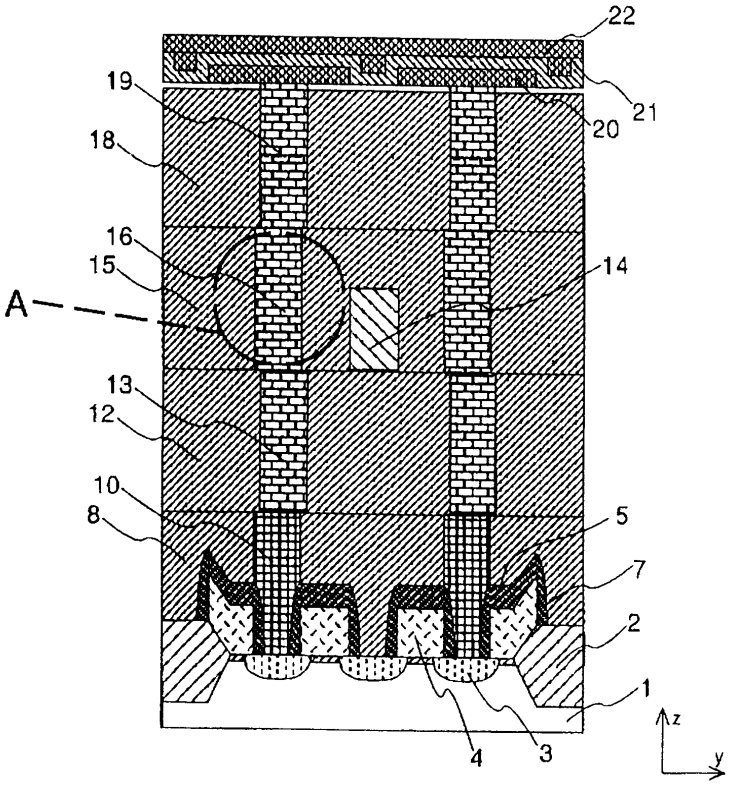
도면1



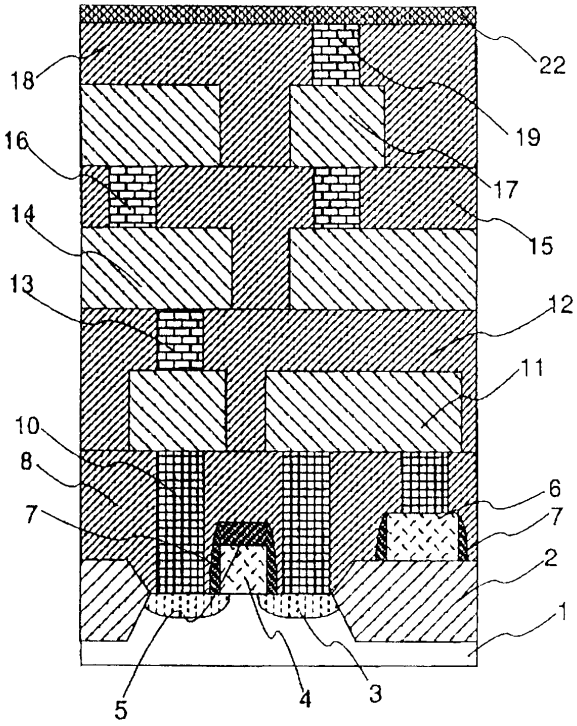
도면2


센스앰프
비트라인(제1층배선)
1011
1012
워드라인(게이트전극)

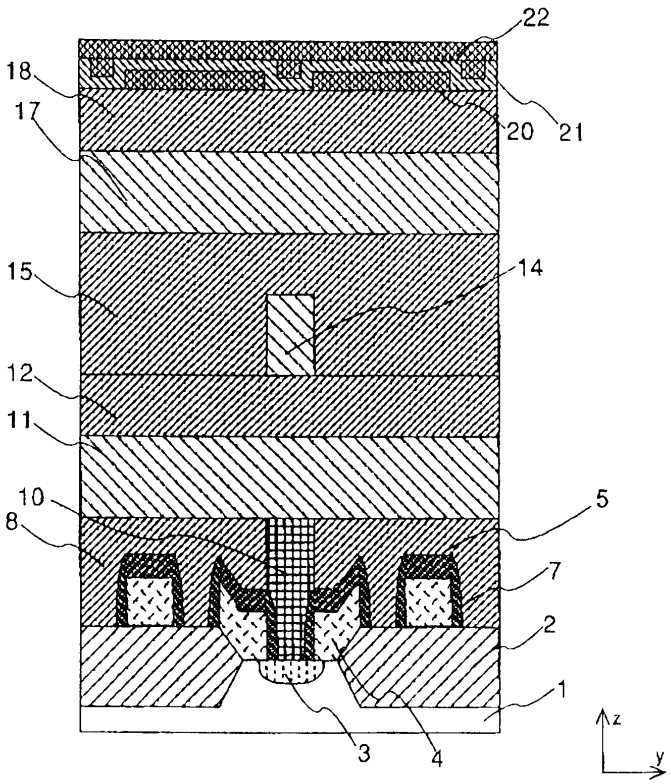
도면3


22
19
21
20
18
16
15
14
A
13
12
10
8
5
7
2
1
4
3
z
y

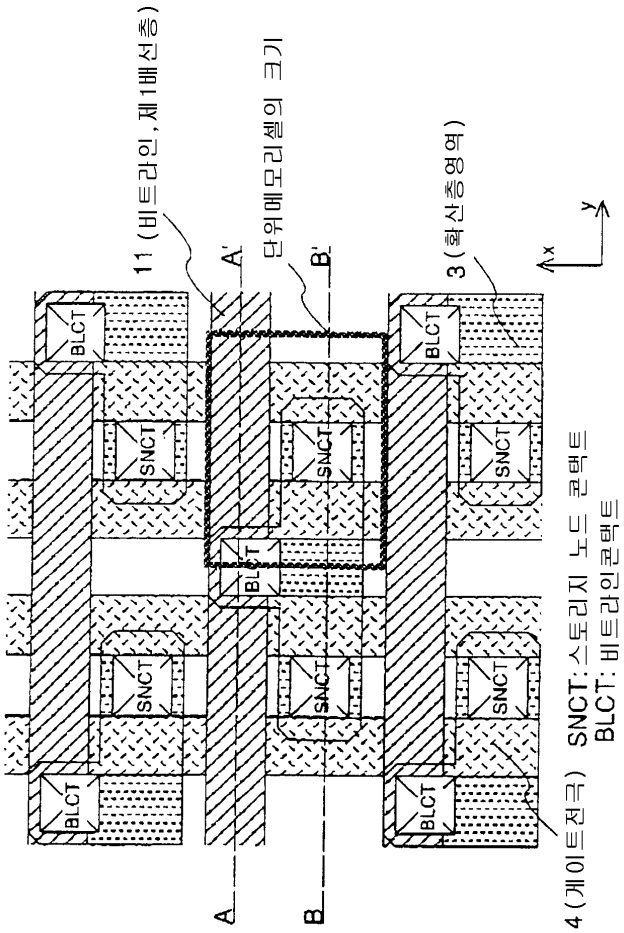
도면4


18
22
19
16
17
14
15
13
12
11
10
8
6
7
7
2
1
5
4
3

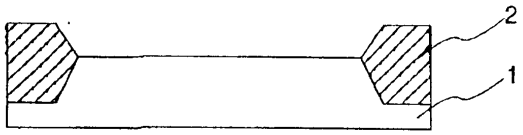
도면5


22
18
17
20
21
15
14
12
11
10
8
5
7
2
1
3
4
z
y

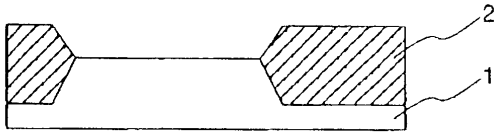
도면6


11 (비트라인, 제1배선층)
단위메모리셀의 크기
3 (확산층영역)
A'
B'
A
B
BLCT
SNCT
4 (게이트전극)
SNCT: 스토리지 노드 콘택트
BLCT: 비트라인콘택트

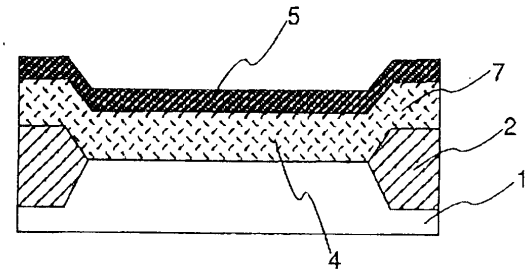
도면7


2
1

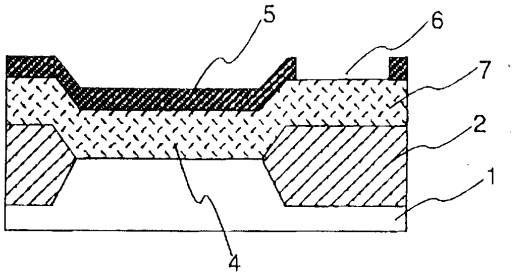
도면8


2
1

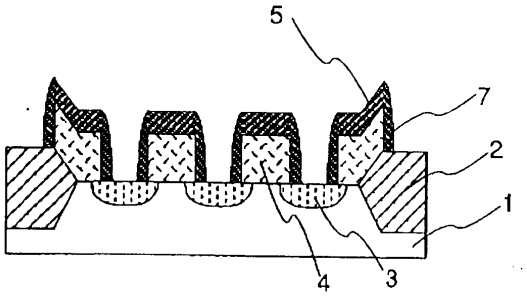
도면9



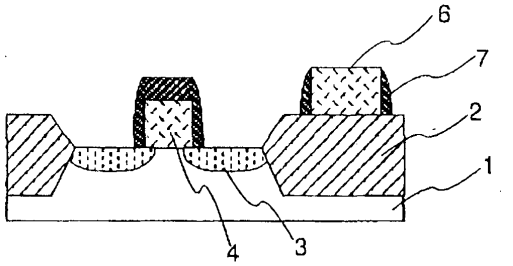
도면10



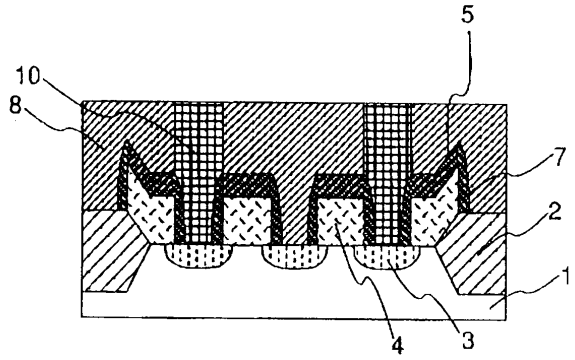
도면11



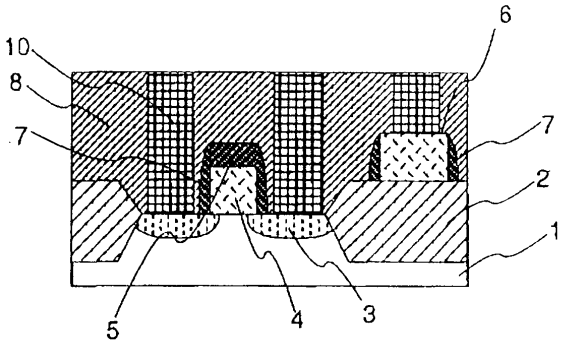
도면12



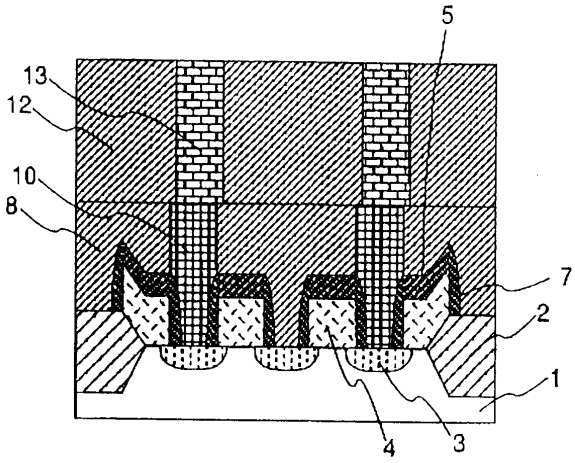
도면13



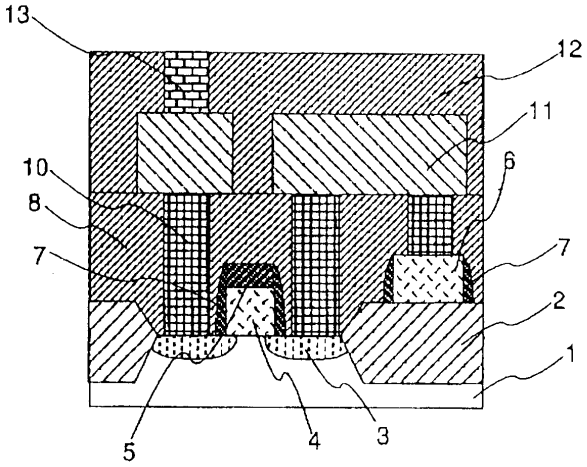
도면14



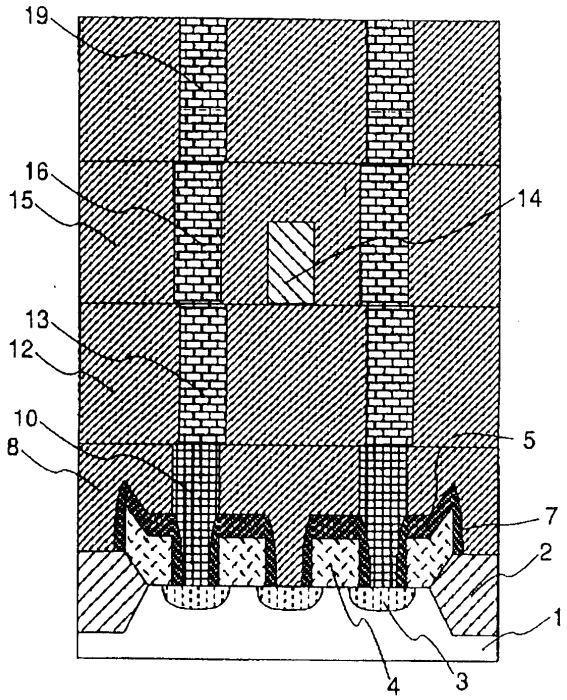
도면15



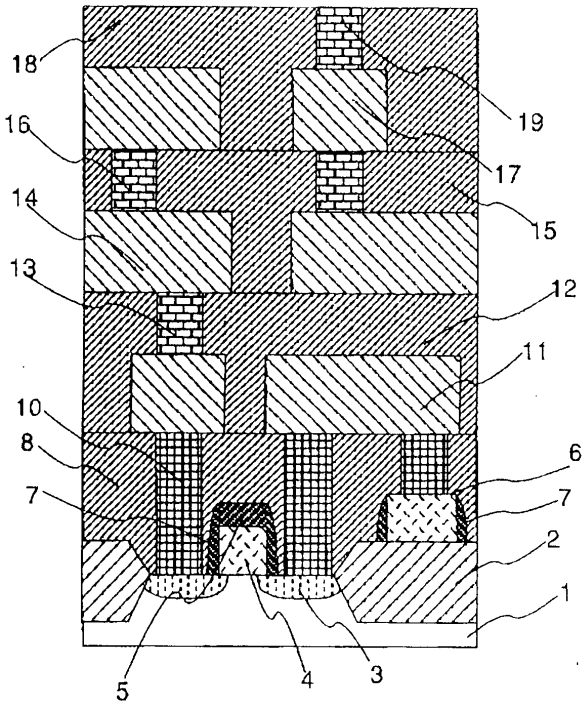
도면16



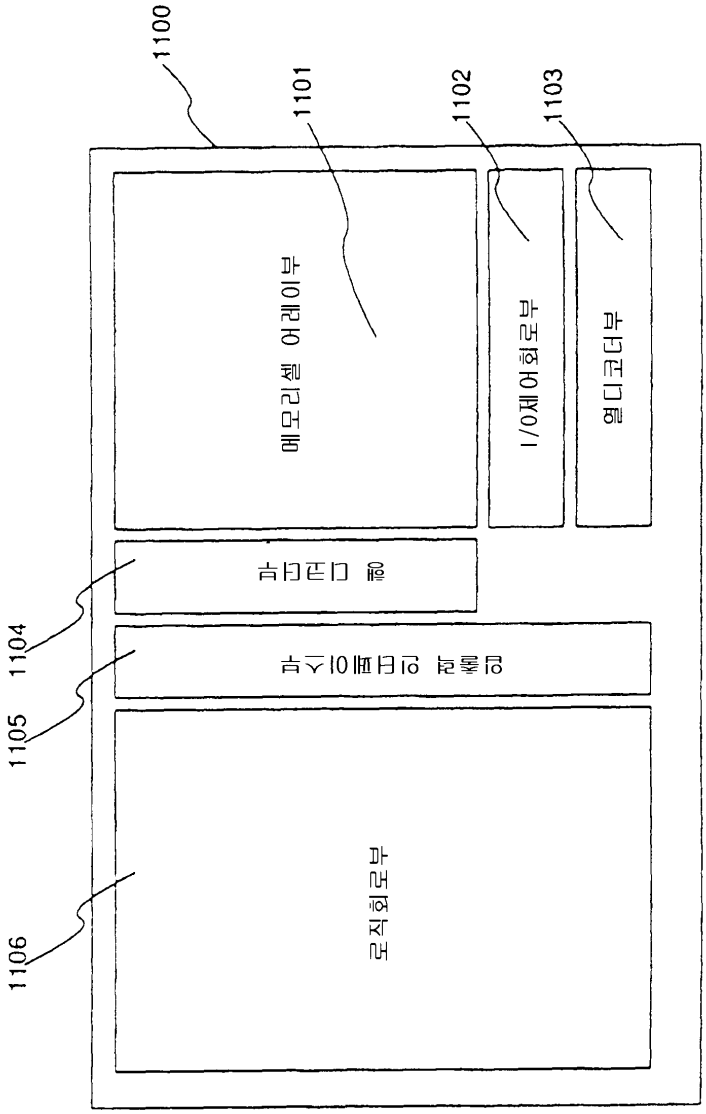
도면17



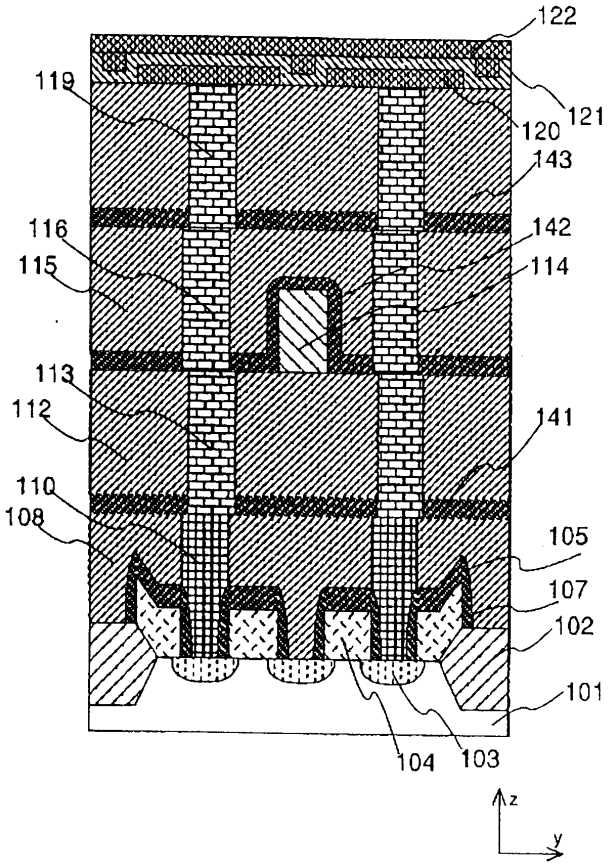
도면18



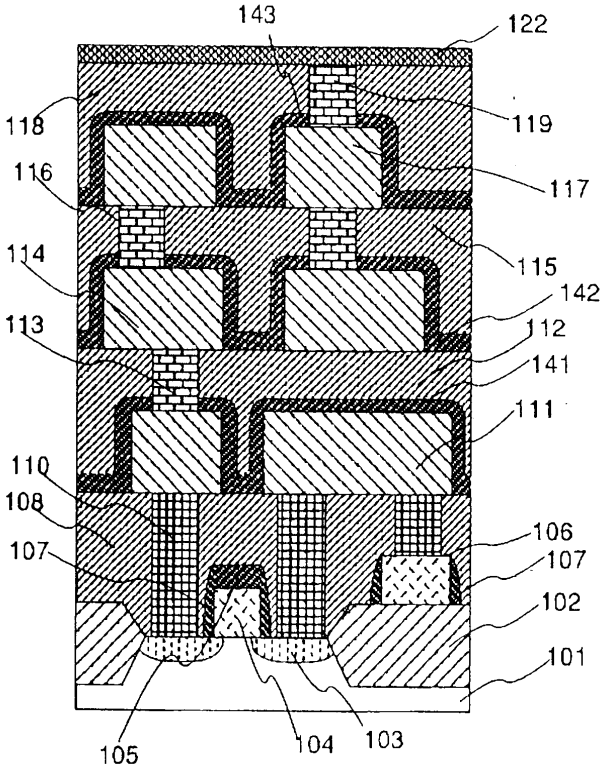
도면19


1100
1101
1102
1103
메모리셀 어레이부
I/O제어회로부
열디코더부
행 디코더부
입출력 인터페이스부
로직회로부
1104
1105
1106

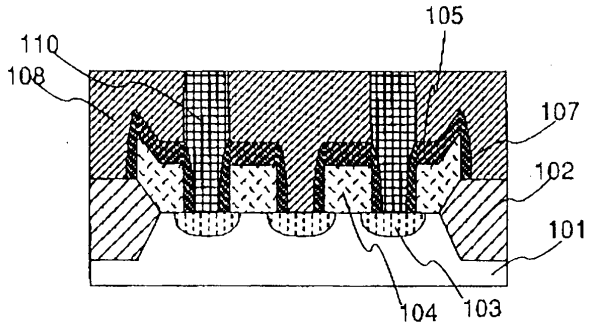
도면20


122
119
121
120
143
116
142
115
114
113
112
141
110
108
105
107
102
101
104
103
z
y

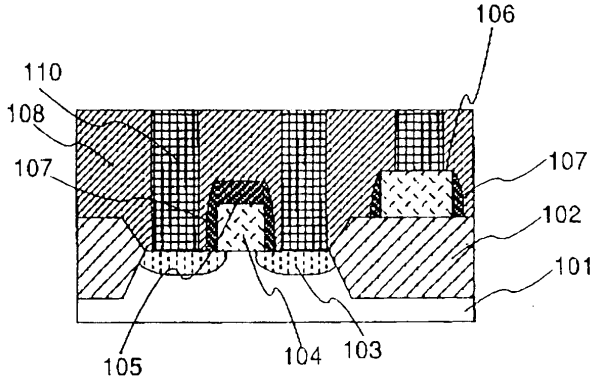
도면21


143
122
118
119
116
117
114
115
142
113
112
141
111
110
108
106
107
107
102
101
105
104
103

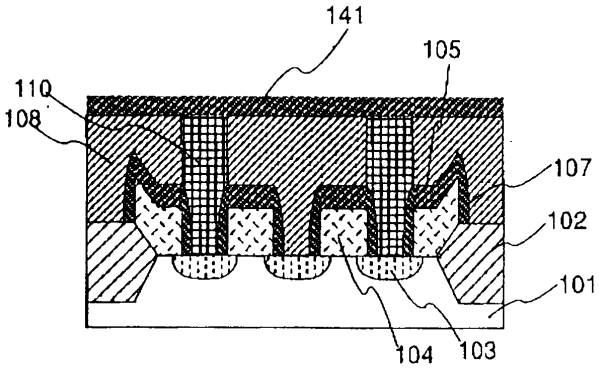
도면22



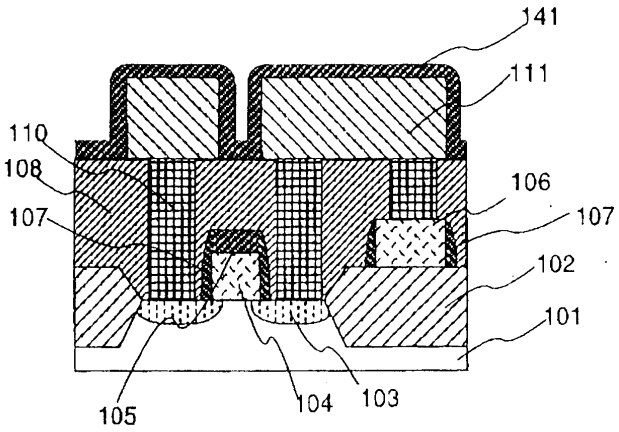
도면23



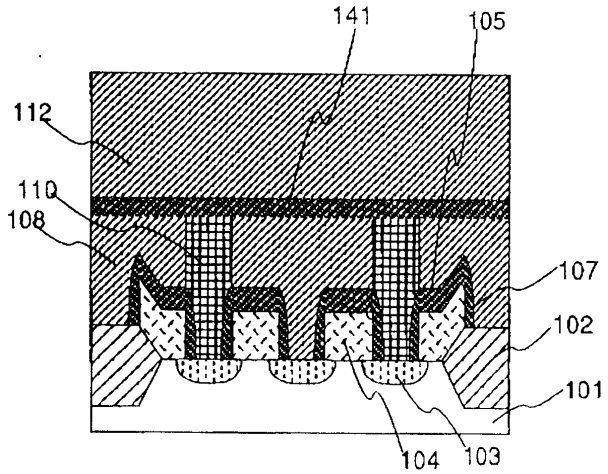
도면24



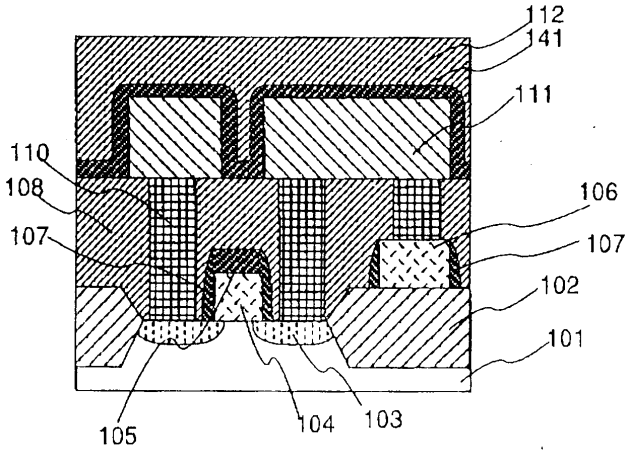
도면25



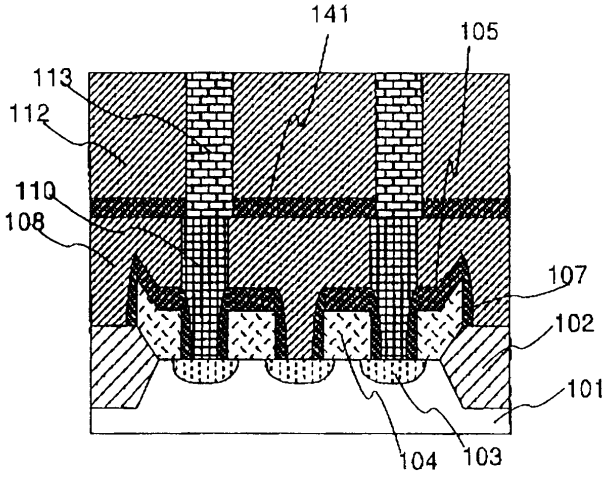
도면26



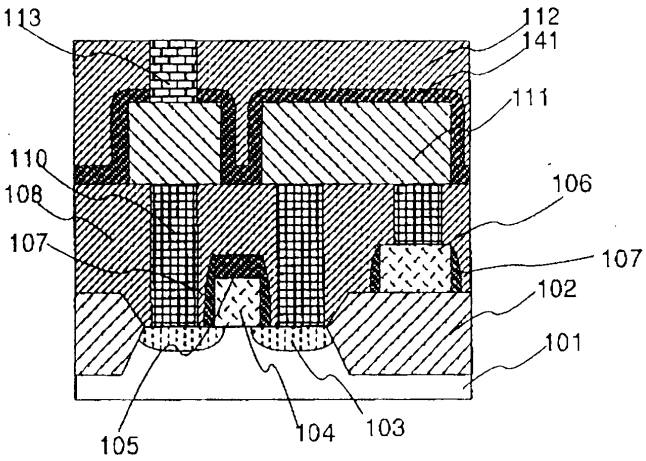
도면27



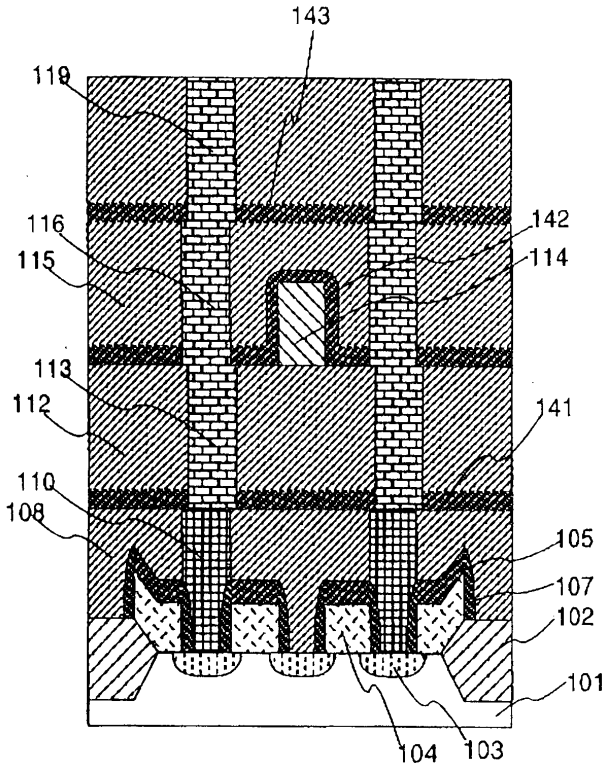
도면28


141
105
113
112
110
108
107
102
101
104
103

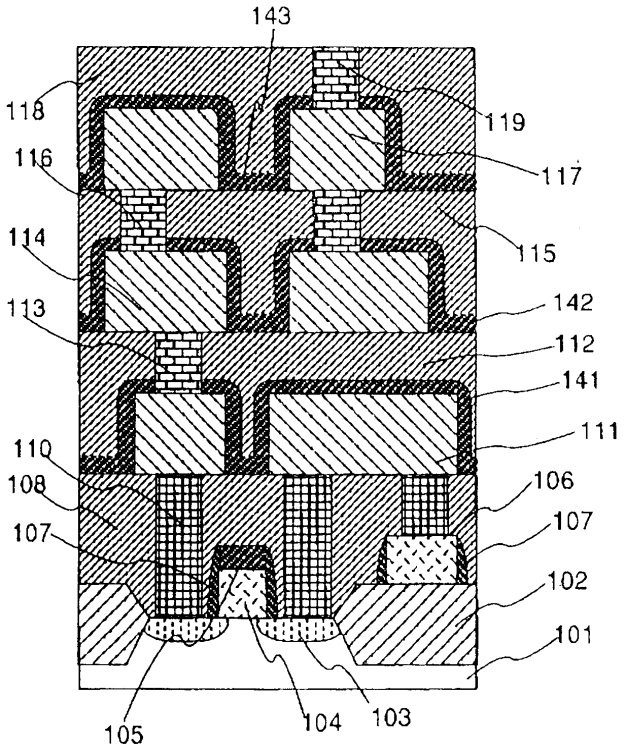
도면29


113
112
141
111
110
108
106
107
107
102
101
105
104
103

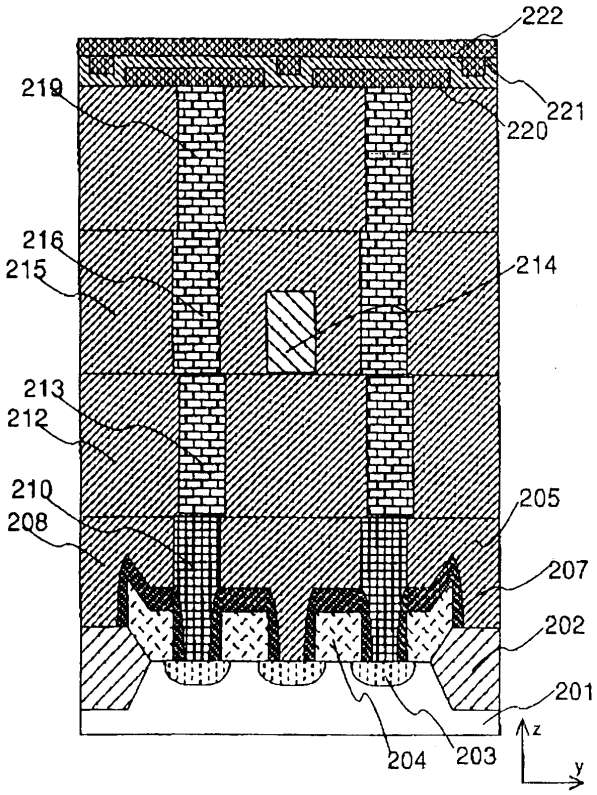
도면30


143
119
116
115
142
114
113
112
141
110
108
105
107
102
101
104
103

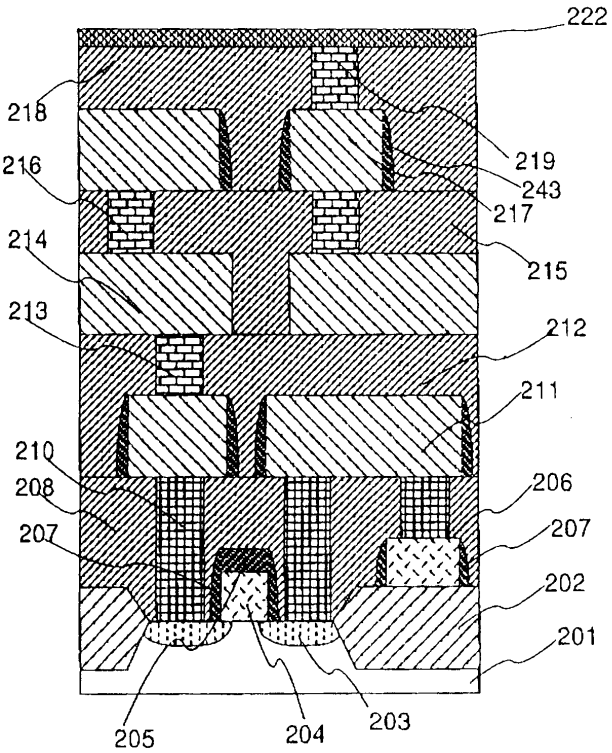
도면31


143
118
119
116
117
114
115
113
142
112
141
111
110
108
106
107
102
101
105
104
103

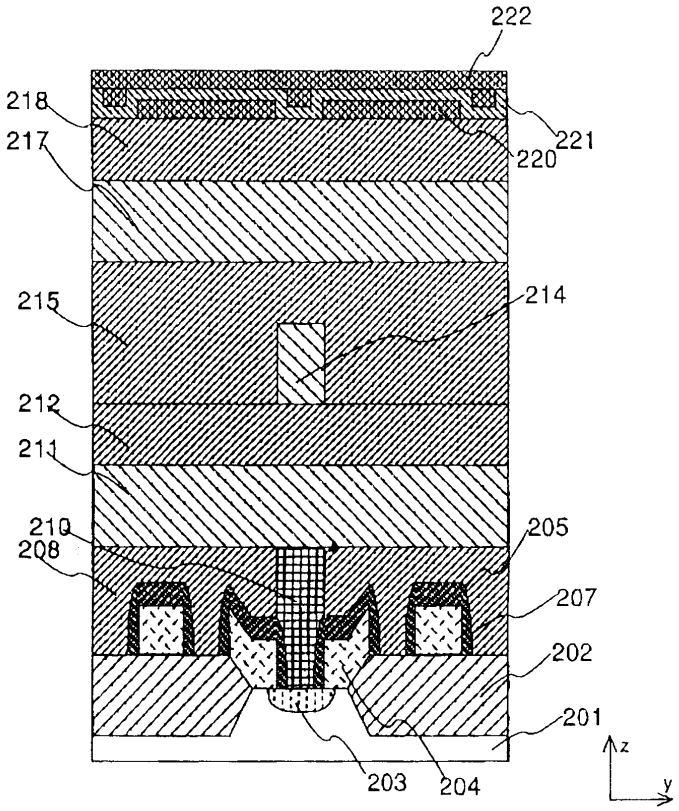
도면32


222
219
221
220
216
215
214
213
212
210
208
205
207
202
201
204
203
z
y

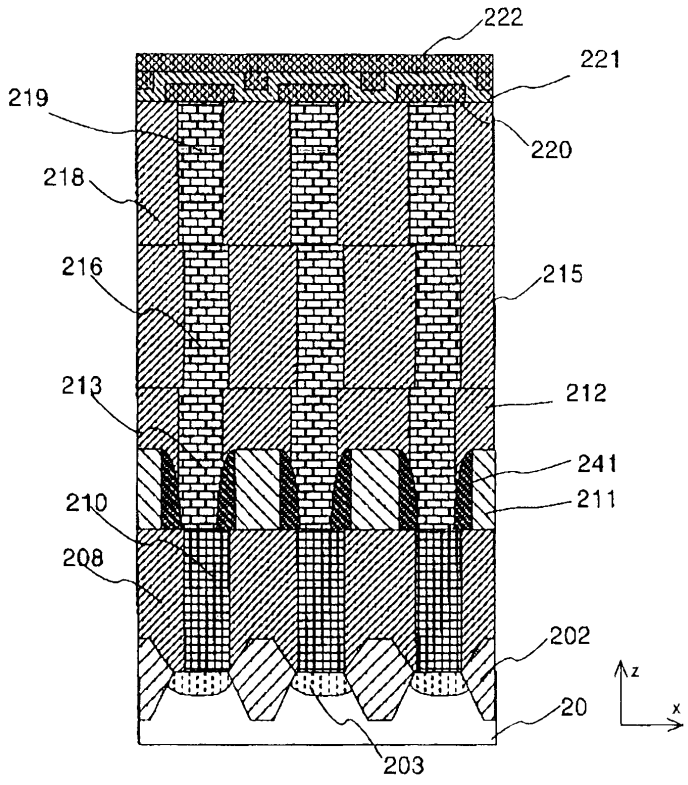
도면33


222
218
219
216
243
217
214
215
213
212
211
210
208
206
207
207
202
201
205
204
203

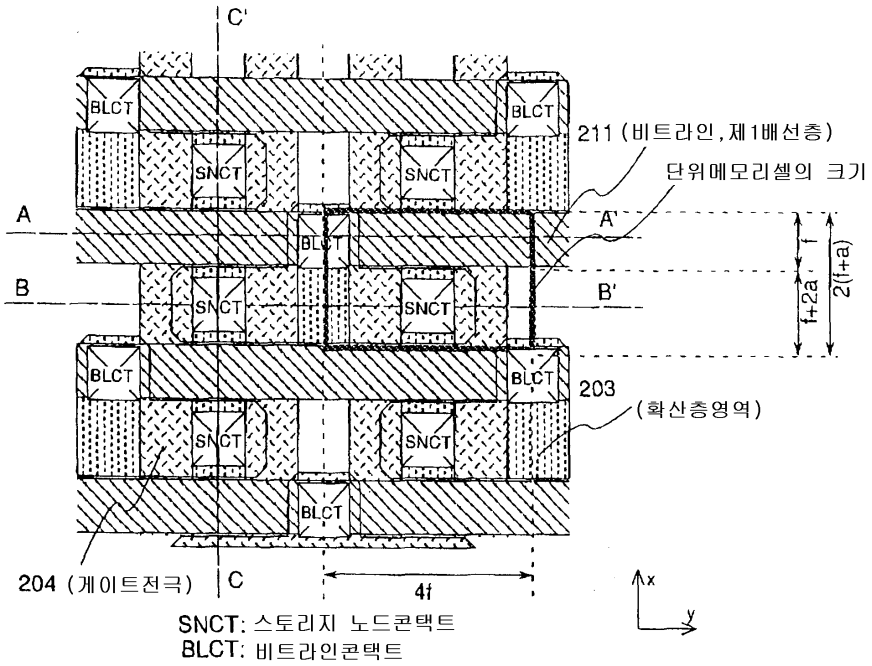
도면34


222
218
217
221
220
215
214
212
211
210
208
205
207
202
201
203
204
z
y

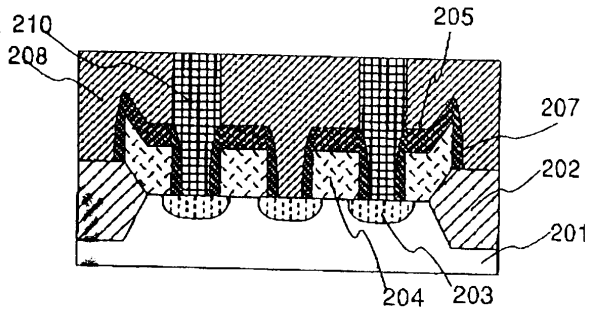
도면35


222
221
219
220
218
216
215
213
212
241
210
211
208
202
20
203
z
x

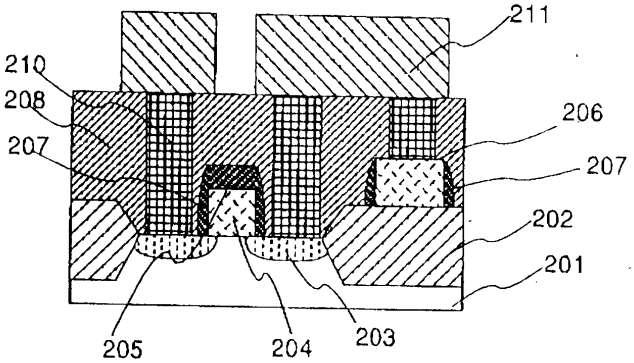
도면36



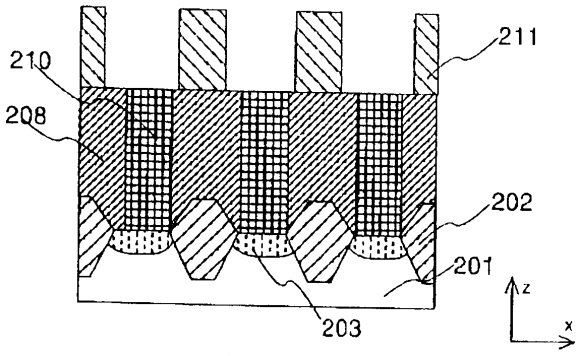
도면37



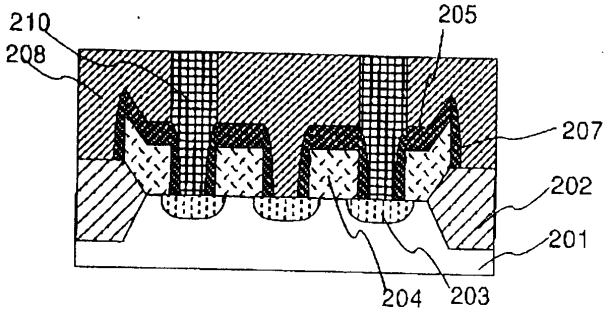
도면38



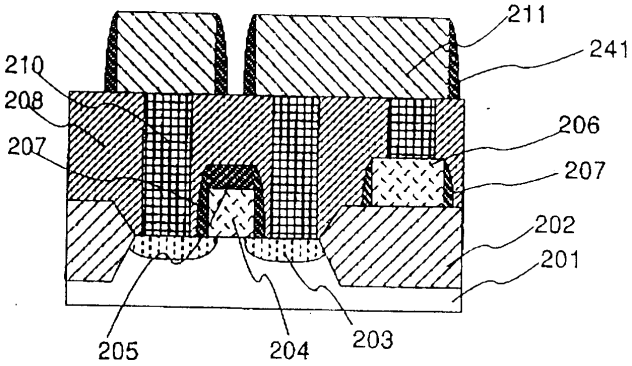
도면39



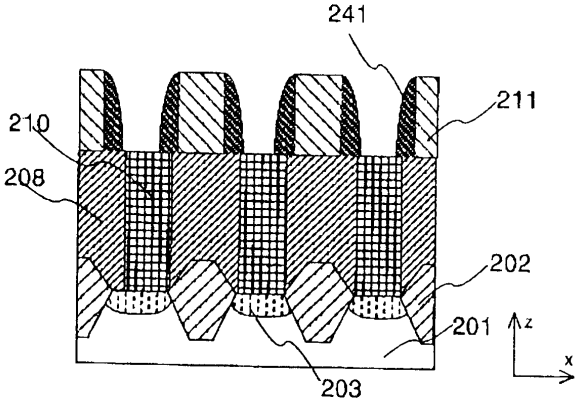
도면40



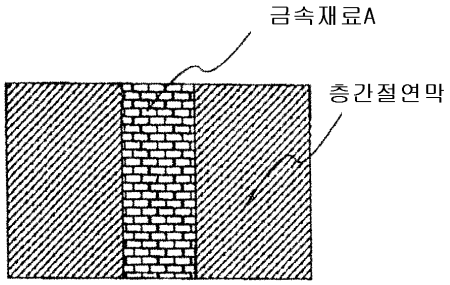
도면41



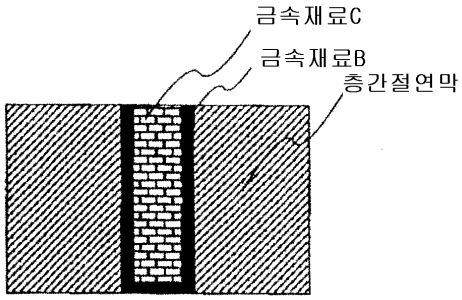
도면42



도면43



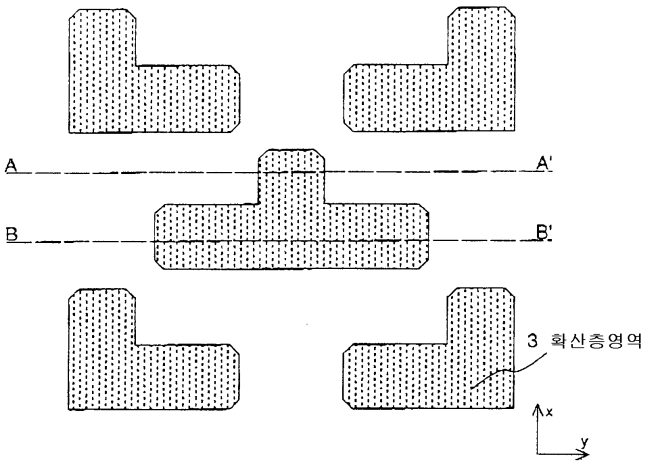
도면44



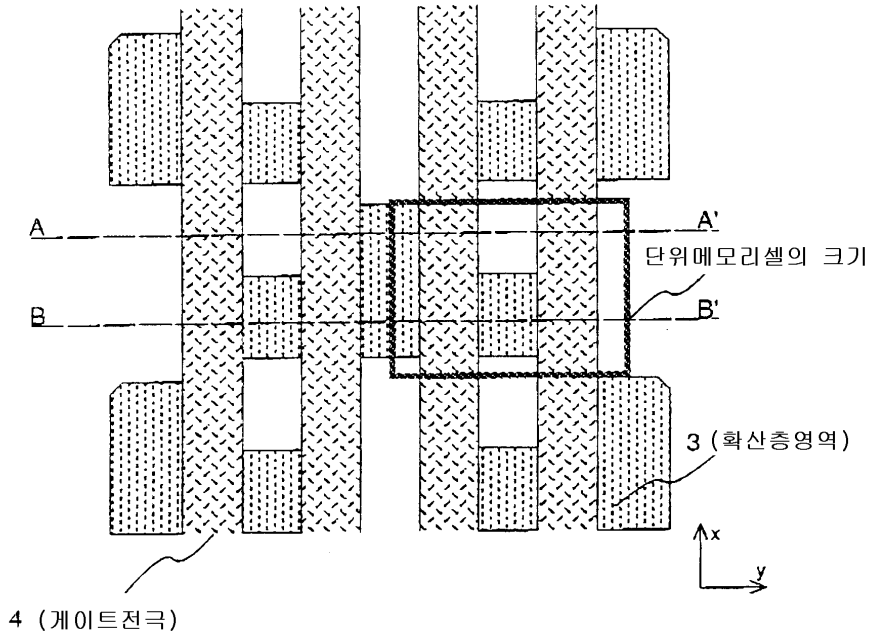
도면45

금속재료A	금속재료B	금속재료C
텅스텐(W) 질화텅스텐(WN) 규화텅스텐(WSix) 질화티탄(TiN) 규화티탄(TISix) 알류미늄(Al) 규화몰리브텐(MoSix)	텅스텐(W) 질화텅스텐(WN) 규화텅스텐(WSix) 질화티탄(TiN) 규화티탄(TISix) 티탄텅스텐(TiW) 티탄(Ti)	텅스텐(W) 알루미늄(Al) 동(Cu)

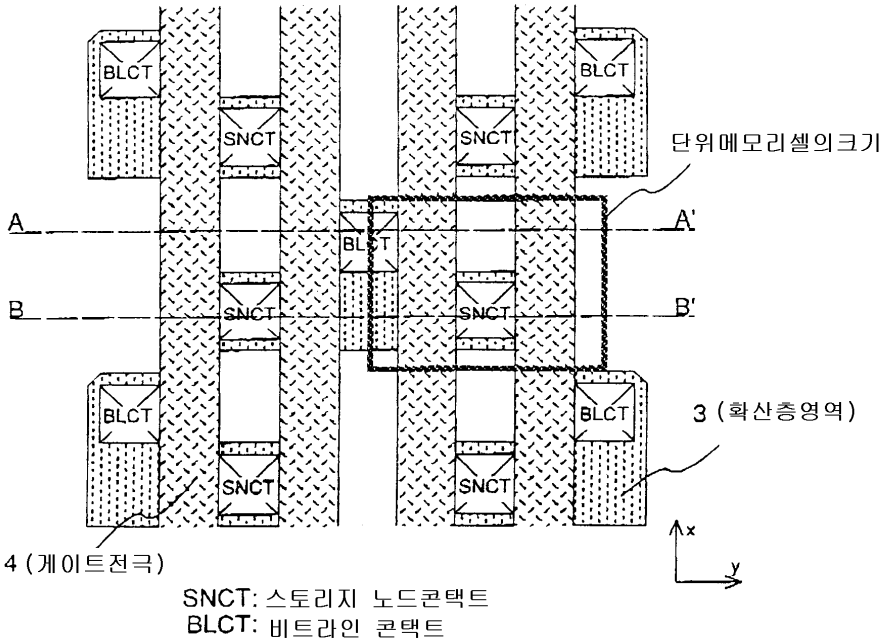
도면46



도면47

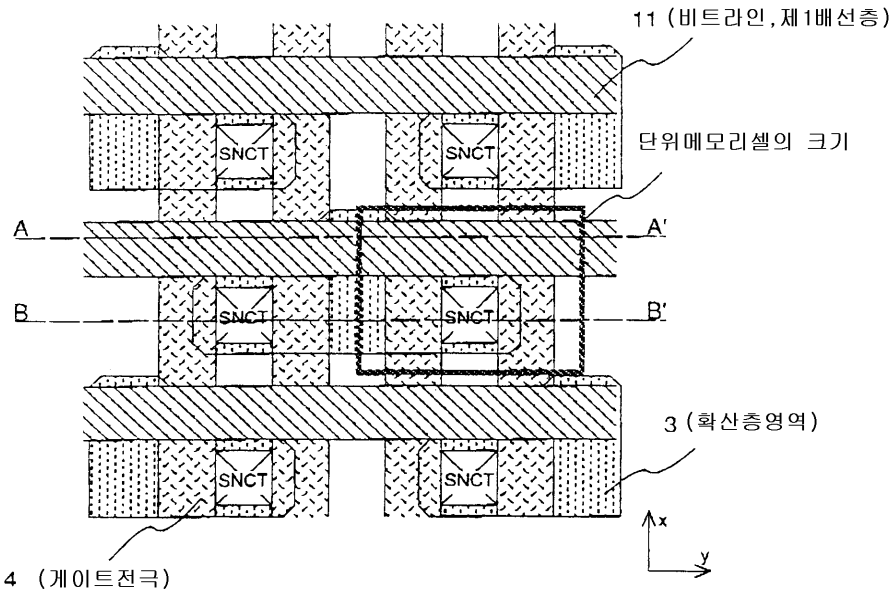


도면48

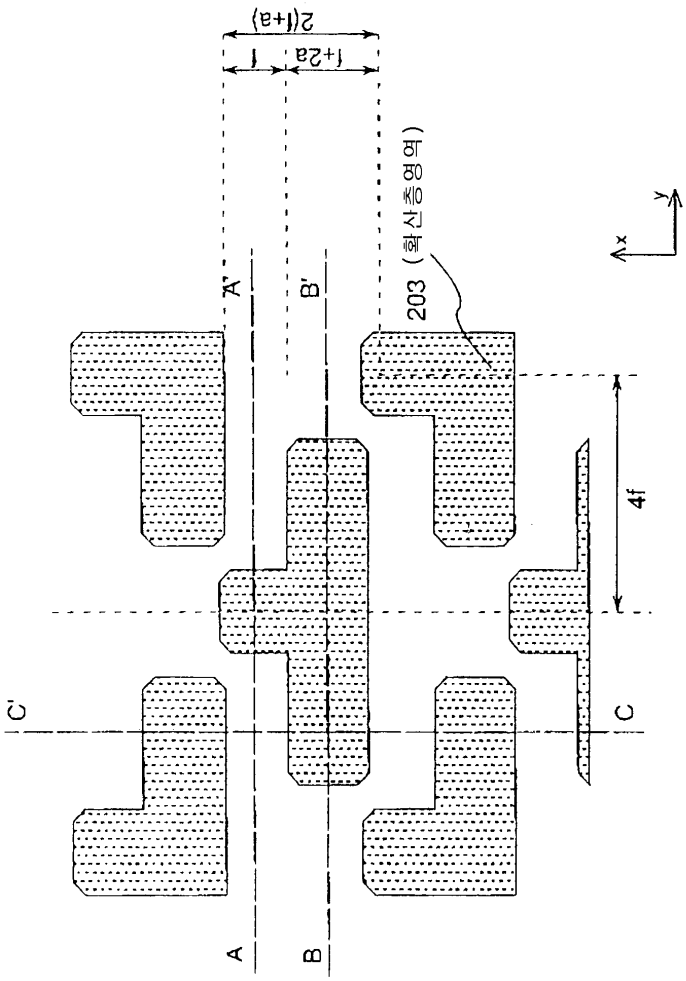


SNCT: 스토리지 노드콘택트
BLCT: 비트라인 콘택트

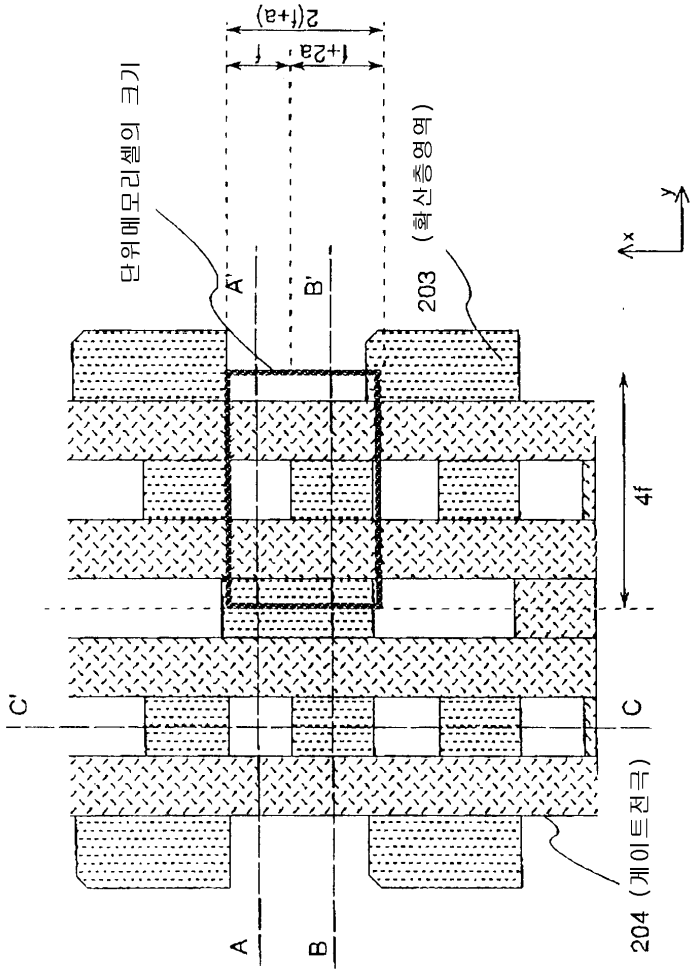
도면49


11 (비트라인, 제1배선층)
단위메모리셀의 크기
SNCT
A
A'
B
B'
3 (확산층영역)
4 (게이트전극)
x
y

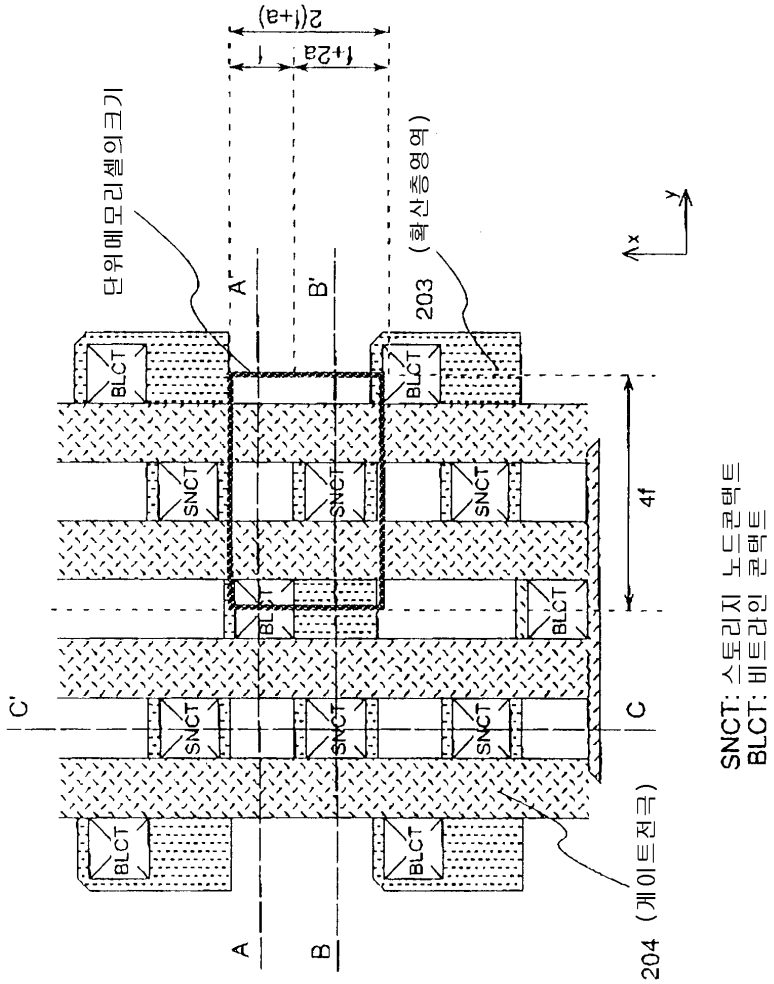
도면50


2(f+a)
f+2a
f
A'
B'
203 (확산층영역)
y
x
4f
C
C
A
B

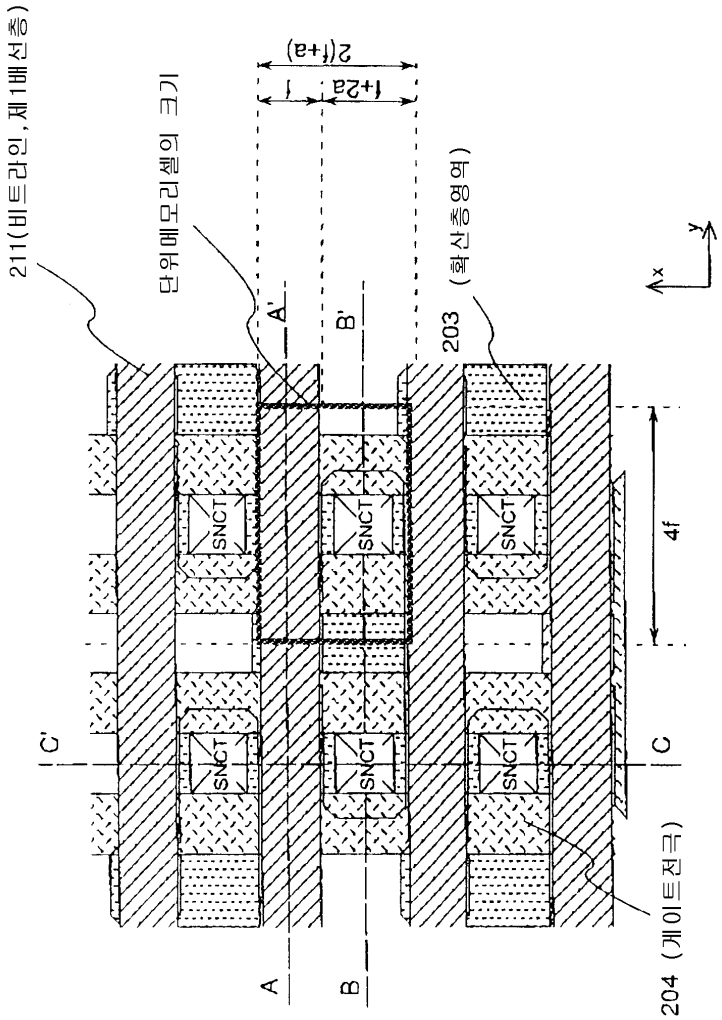
도면51



도면52


2(f+a)
f+2a
f
단위메모리셀의크기
A'
B'
203 (확산층영역)
y
x
BLCT
SNCT
BLCT
4f
C'
C
A
B
204 (게이트전극)
SNCT: 스토리지 노드콘택트
BLCT: 비트라인 콘택트

도면53


211(비트라인, 제1배선층)
단위메모리셀의 크기
2(f+a)
f+2a
f
A'
B'
203 (확산층영역)
y
x
SNCT
4f
C'
C
A
B
204 (게이트전극)