

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2009年5月14日 (14.05.2009)

PCT

(10) 国際公開番号  
WO 2009/060763 A1

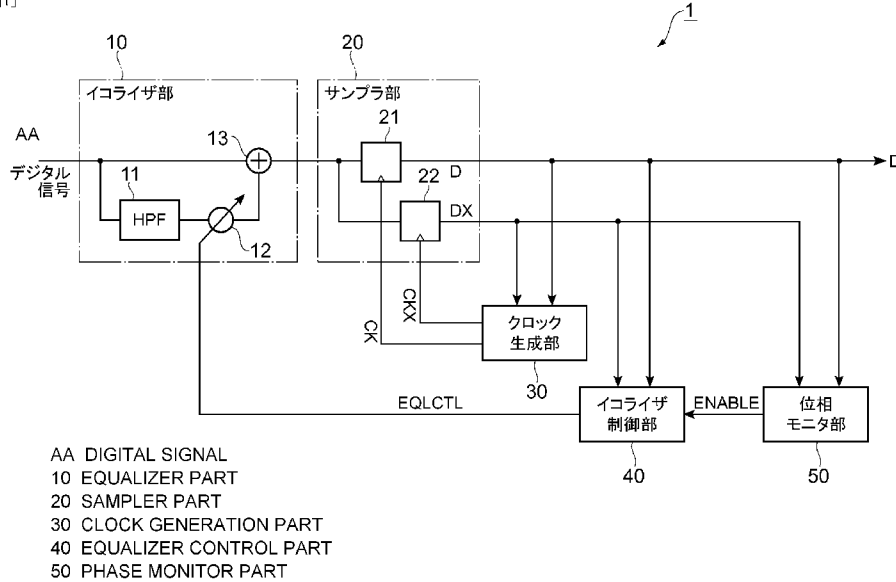
- (51) 国際特許分類:  
H04L 7/033 (2006.01) H04L 25/03 (2006.01)
- (21) 国際出願番号: PCT/JP2008/069555
- (22) 国際出願日: 2008年10月28日 (28.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2007-289011 2007年11月6日 (06.11.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ザイン  
エレクトロニクス株式会社 (THINE ELECTRONICS,  
INC.) [JP/JP]; 〒1030023 東京都中央区日本橋本町三  
丁目3番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小沢 誠一  
(OZAWA, Seiichi) [JP/JP]; 〒1030023 東京都中央区日  
本橋本町三丁目3番6号ザインエレクトロニクス  
株式会社内 Tokyo (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.);  
〒1040061 東京都中央区銀座一丁目10番6号銀座  
ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,  
BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,  
DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,  
GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN,  
KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,  
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,  
NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: CLOCK DATA RESTORATION DEVICE

(54) 発明の名称: クロックデータ復元装置

[図1]



(57) Abstract: A clock data restoration device (1) which restores a clock signal and data on the basis of an inputted digital signal has an equalizer part (10), a sampler part (20), a clock generation part (30), an equalizer control part (40), and a phase monitor part (50). Loop processing by the sampler part (20) and the clock generation part (30) generates a clock signal (CK or CKX) as the clock signal restored on the basis of the inputted digital signal. Loop processing by the equalizer part (10), the sampler part (20), and the equalizer control part (40) controls the level adjustment quantity of a high frequency component of the digital signal at the equalizer part (10).

(57) 要約: クロックデータ復元装置1は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、イコライザ部10、サンブラ部20、クロック生成部30、イコライザ制御部40および位相モニタ部50を備える。サンブラ部20およびクロック生成部30

[続葉有]



WO 2009/060763 A1



SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,  
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:  
— 国際調査報告書

## 明 細 書

## クロックデータ復元装置

## 技術分野

[0001] 本発明は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置に関するものである。

## 背景技術

[0002] 送信器から出力されたデジタル信号は、その送信器から伝送路を経て受信器へ伝送される間に波形が劣化することから、その受信器側においてクロック信号およびデータが復元される必要がある。このような復元を行うためのクロックデータ復元装置は、例えば特許文献1, 2に開示されている。

[0003] これらの文献に開示された装置は、波形劣化したデジタル信号においてデータが遷移する時刻が変動することを考慮して、3つのタイミングで各ビットのデータを検出する。このとき、各ビットのデータを検出する際の3つのタイミングのうち、第1のタイミングは、当該ビットのデータ安定期間の初期時刻の近傍に設定され、第2のタイミングは、当該ビットのデータ安定期間の終期時刻の近傍に設定され、また、第3のタイミングは、第1のタイミングと第2のタイミングとの間の中央の時刻に設定される。

[0004] そして、特許文献1に開示された装置は、各ビットについて3つのタイミングで検出したデータが全て一致するように各タイミングを調整することによりクロック信号を復元し、また、そのとき中央の第3のタイミングで各ビットのデータを検出することによりデータを復元する。

[0005] 一方、特許文献2に開示された装置は、第1のタイミングおよび第2のタイミングそれぞれにおけるビットエラーレート(すなわち、これらの各タイミングで検出したデータが、中央の第3のタイミングで検出したデータと異なる割合)が互いに等しく且つ初期設定範囲内となるように各タイミングを調整することによりクロック信号を復元し、また、そのとき中央の第3のタイミングで各ビットのデータを検出することによりデータを復元する。

特許文献1:特開平7-221800号公報

特許文献2:特表2004-507963号公報

発明の開示

発明が解決しようとする課題

[0006] ところで、入力デジタル信号のデータ遷移時刻は、デジタル信号を送出した送信器における電源電圧変動その他のノイズに因り生じるトランスミッタ・クロック・ジッタに起因して変動し、また、デジタル信号における不規則なデータパターンと伝送路における減衰との混合に因る符号間干渉等に起因して変動する。これらトランスミッタ・クロック・ジッタや符号間干渉が大きい場合に、上記の従来の装置は、クロック信号およびデータを復元することができない場合がある。

[0007] 本発明は、上記問題点を解消する為になされたものであり、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても安定してクロック信号およびデータを復元することができるクロックデータ復元装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係るクロックデータ復元装置は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、イコライザ部、サンプラ部、クロック生成部およびイコライザ制御部を備える。また、本発明に係るクロックデータ復元装置は、位相モニタ部を更に備えるのが好適である。

[0009] イコライザ部は、入力したデジタル信号のうちの高周波成分のレベルを調整して、その調整後のデジタル信号を出力する。

[0010] サンプラ部は、同一の周期 $T$ を有するクロック信号 $CK$ およびクロック信号 $CKX$ を入力するとともに、イコライザ部から出力されたデジタル信号を入力する。そして、サンプラ部は、当該周期の第 $n$ の期間 $T(n)$ それぞれにおいて、クロック信号 $CK$ が指示する時刻 $t_c$ でのデジタル信号の値 $D(n)$ をサンプリングしホールドして出力し、クロック信号 $CKX$ が指示する時刻 $t_x$ でのデジタル信号の値 $DX(n)$ をサンプリングしホールドして出力する。ただし、「 $t_c < t_x$ 」であり、 $n$ は整数である。

[0011] クロック生成部は、各期間 $T(n)$ において、サンプラ部から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、クロック信号 $CK$ とデジタル信号との間の位相差が小さくなるように周期 $T$ または位相を調整し、「 $t_x - t_c = T/2$ 」なる関係を満たすクロック信号 $CK$

およびクロック信号CKXをサンプラ部へ出力する。

- [0012] イコライザ制御部は、各期間T(n)において、サンプラ部から出力された値D(n)および値DX(n)に基づいて、イコライザ部におけるデジタル信号のうちの高周波成分のレベル調整量の制御を行う。
- [0013] 位相モニタ部は、各期間T(n)において、サンプラ部から出力された値D(n)および値DX(n)に基づいて、クロック信号CKとデジタル信号との間の位相関係を検出し、当該位相差が所定値より大きいときに、イコライザ制御部によるデジタル信号のレベル調整量の制御を停止させる。
- [0014] このクロックデータ復元装置に入力されたデジタル信号は、先ずイコライザ部において高周波成分がレベル調整されて、サンプラ部に入力される。このサンプラ部には、同一の周期Tを有するクロック信号CKおよびクロック信号CKXも入力される。そして、サンプラ部において、当該周期の第nの期間T(n)それぞれにおいて、クロック信号CKが指示する時刻でのデジタル信号の値D(n)がサンプリングしホールドされて出力され、また、クロック信号CKXが指示する時刻でのデジタル信号の値DX(n)がサンプリングしホールドされて出力される。サンプラ部から出力された値D(n)および値DX(n)は、クロック生成部、イコライザ制御部および位相モニタ部それぞれに入力される。
- [0015] クロック生成部では、サンプラ部から出力された値D(n)および値DX(n)に基づいて、クロック信号CKとデジタル信号との間の位相差が小さくなるように周期Tまたは位相が調整されて、「 $t_x - t_c = T/2$ 」なる関係を満たすクロック信号CKおよびクロック信号CKXがサンプラ部へ出力される。サンプラ部およびクロック生成部によるループ処理により、入力デジタル信号に基づいて復元されたクロック信号として、クロック信号CKまたはCKXが生成される。
- [0016] イコライザ制御部では、サンプラ部から出力された値D(n)および値DX(n)に基づいて、イコライザ部におけるデジタル信号のうちの高周波成分のレベル調整量の制御が行われる。
- [0017] このイコライザ制御部による制御は、位相モニタ部による位相関係の検出結果に基づいて許可または停止されるのが好ましい。すなわち、位相モニタ部では、サンプラ部から出力された値D(n)および値DX(n)に基づいて、クロック信号CKとデジタル信

号との間の位相関係が検出される。そして、当該位相差が所定値より大きいときには、イコライザ制御部によるデジタル信号のレベル調整量の制御が停止され、当該位相差が所定値以下であるときには、イコライザ制御部によるデジタル信号のレベル調整量の制御が許可される。

[0018] 以上のように、本発明に係るクロックデータ復元装置では、イコライザ部、サンプラ部およびイコライザ制御部によるループ処理により、イコライザ部におけるデジタル信号のうちの高周波成分のレベル調整量の制御が行われる。なお、クロック信号CKとデジタル信号との間の位相差が所定値より大きいときには当該制御が位相モニタ部により停止されるのが好ましい。これにより、より正確にクロック信号およびデータが復元され得る。

[0019] クロック生成部は、「 $D(n-1) \neq DX(n-1) = D(n)$ 」であるときに有意値となるUP信号、および、「 $D(n-1) = DX(n-1) \neq D(n)$ 」であるときに有意値となるDN信号に基づいて、周期Tまたは位相を調整して、クロック信号CKおよびクロック信号CKXを出力するのが好適である。

[0020] 位相モニタ部は、「 $D(n-1) \neq DX(n-1) = D(n)$ 」であるときに有意値となるUP信号、および、「 $D(n-1) = DX(n-1) \neq D(n)$ 」であるときに有意値となるDN信号に基づいて、クロック信号CKとデジタル信号との間の位相関係を検出するのが好適である。

[0021] 位相モニタ部は、各期間T(n)において、該期間を含む過去の連続する10期間(T(n-9)~T(n))内にUP信号およびDN信号の何れかが有意値とならなかったときに、位相差が所定値より大きいと判定して、イコライザ制御部によるデジタル信号のレベル調整量の制御を停止させるのが好適である。

### 発明の効果

[0022] 本発明によれば、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても、安定してクロック信号およびデータを復元することができる。

### 図面の簡単な説明

[0023] [図1]図1は本実施形態に係るクロックデータ復元装置1の構成図である。

[図2]図2は本実施形態に係るクロックデータ復元装置1におけるデジタル信号のデータをサンプリングするタイミングを示す図である。

[図3]図3は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10の回路図である。

[図4]図4はイコライザ部10の増幅特性等を示す図である。

[図5]図5は本実施形態に係るクロックデータ復元装置1に含まれるクロック生成部30の構成図である。

[図6]図6はクロック生成部30に含まれる位相関係検出回路31の入出力値の真理値表を示す図表である。

[図7]図7はクロック生成部30に含まれる位相関係検出回路31の回路図である。

[図8]図8は本実施形態に係るクロックデータ復元装置1に含まれる位相モニタ部50の構成図である。

[図9]図9は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ制御部40における処理を説明するフローチャートである。

[図10]図10は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ制御部40における処理で用いられる変数INFLGおよび変数EDGFLGそれぞれの値を求めるための回路図である。

[図11]図11は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10に入力されるデジタル信号の波形を示す図である。

[図12]図12は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10から出力されるデジタル信号の波形を示す図である。

[図13]図13は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10から出力されるデジタル信号の波形を示す図である。

[図14]図14は本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10から出力されるデジタル信号の波形を示す図である。

## 符号の説明

- [0024] 1 クロックデータ復元装置
- 10 イコライザ部
- 20 サンプラ部
- 30 クロック生成部

40 イコライザ制御部

50 位相モニタ部

発明を実施するための最良の形態

- [0025] 以下、添付図面を参照して、本発明を実施するための最良の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。
- [0026] 図1は、本実施形態に係るクロックデータ復元装置1の構成図である。この図に示されるクロックデータ復元装置1は、入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であって、イコライザ部10、サンプラ部20、クロック生成部30、イコライザ制御部40および位相モニタ部50を備える。
- [0027] 図2は、本実施形態に係るクロックデータ復元装置1におけるデジタル信号のデータをサンプリングするタイミングを示す図である。この図には、入力デジタル信号のアイパターンが模式的に示されており、クロック生成部30から出力されサンプラ部20に入力されるクロック信号CKおよびクロック信号CKXそれぞれのタイミングも示され、また、サンプラ部20から出力されるデジタル値D(n)および値DX(n)それぞれのタイミングも示されている。
- [0028] イコライザ部10は、入力したデジタル信号のうちの高周波成分のレベルを調整して、その調整後のデジタル信号をサンプラ部20へ出力する。イコライザ部10は、ハイパスフィルタ回路(HPF)11、増幅回路12および加算回路13を含む。ただし、後述するように、イコライザ部10は、これら3つの回路に必ずしも明確に区分されるものではない。
- [0029] ハイパスフィルタ回路11は、入力デジタル信号のうち高周波成分を選択的に通過させて増幅回路12へ出力する。増幅回路12は、ハイパスフィルタ回路11から出力された信号を増幅して加算回路13へ出力する。この増幅回路12における利得は、イコライザ制御部40から出力される値EQLCTLを受けて設定される。そして、加算回路13は、入力デジタル信号を入力するとともに、増幅回路12から出力された信号を入力して、これらを加算した結果をサンプラ部20へ出力する。イコライザ部10から出力されてサンプラ部20へ入力されるデジタル信号は、入力デジタル信号の高周波成分

が増幅されたものであり、伝送時にデジタル信号の高周波成分が被った損失が補償されたものとなる。

- [0030] サンプラ部20は、同一の周期Tを有するクロック信号CKおよびクロック信号CKXを入力するとともに、イコライザ部10から出力されたデジタル信号を入力する。そして、サンプラ部20は、当該周期の第nの期間T(n)それぞれにおいて、クロック信号CKが指示する時刻 $t_c$ でのデジタル信号の値D(n)をサンプリングしホールドして出力し、また、クロック信号CKXが指示する時刻 $t_x$ でのデジタル信号の値DX(n)をサンプリングしホールドして出力する。ただし、「 $t_x < t_c$ 」であり、nは整数である。
- [0031] サンプラ部20は、2個のラッチ回路21、22を含む。ラッチ回路21は、イコライザ部10から出力されたデジタル信号を入力するとともに、クロック生成部30から出力されたクロック信号CKをも入力して、各期間T(n)においてクロック信号CKが指示する時刻でのデジタル信号の値D(n)をサンプリングしホールドして出力する。また、ラッチ回路22は、イコライザ部10から出力されたデジタル信号を入力するとともに、クロック生成部30から出力されたクロック信号CKXをも入力して、各期間T(n)においてクロック信号CKXが指示する時刻でのデジタル信号の値DX(n)をサンプリングしホールドして出力する。
- [0032] クロック生成部30は、各期間T(n)において、サンプラ部20から出力された値D(n)および値DX(n)に基づいて、クロック信号CKとデジタル信号との間の位相差が小さくなるように周期Tまたは位相を調整し、「 $t_x - t_c = T/2$ 」なる関係を満たすクロック信号CKおよびクロック信号CKXをサンプラ部20へ出力する。なお、クロック信号CKは、サンプラ部20においてデジタル信号のデータを各ビット期間の中央時刻で検出するタイミングを指示するものであり、クロック信号CKXは、サンプラ部20においてデジタル信号のデータを或るビットから次のビットへの遷移時刻で検出するタイミングを指示するものである。
- [0033] 2つのクロック信号CKおよびクロック信号CKXそれぞれは、単相であってもよいし、多相であってもよい。例えば、クロック信号CKを4相とした場合を考えると、各々の周期が4Tであって位相が $\pi/2$ ずつ異なっている4つのクロック信号CK<1>、CK<2>、CK<3>、CK<4>を用い、また、これらの4つのクロック信号CK<1>~CK<4>に対応し

て4つのラッチ回路をサンプラ部に設けることになる。多相とした場合、サンプラ部の回路規模が大きくなるものの、各回路ブロックに要求されるスピードは緩和される。

- [0034] イコライザ制御部40は、各期間 $T(n)$ において、サンプラ部20から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量の制御を行う。イコライザ制御部40は、その制御を行うための値 $E_{QLCTL}$ をイコライザ部10へ出力する。
- [0035] 位相モニタ部50は、各期間 $T(n)$ において、サンプラ部20から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、クロック信号 $CK$ とデジタル信号との間の位相関係を検出する。そして、位相モニタ部50は、当該位相差が所定値より大きいときに、イコライザ制御部40によるデジタル信号のレベル調整量の制御を停止させ、当該位相差が所定値以下であるときに、イコライザ制御部40によるデジタル信号のレベル調整量の制御を許可する。位相モニタ部50は、イコライザ制御部40における制御の許可または停止を指示するための値 $ENABLE$ をイコライザ制御部40へ出力する。
- [0036] 本実施形態に係るクロックデータ復元装置1では、入力されたデジタル信号は、先ずイコライザ部10において高周波成分がレベル調整されて、サンプラ部20に入力される。このサンプラ部20には、同一の周期 $T$ を有するクロック信号 $CK$ およびクロック信号 $CKX$ も入力される。そして、サンプラ部20において、当該周期の第 $n$ の期間 $T(n)$ それぞれにおいて、クロック信号 $CK$ が指示する時刻でのデジタル信号の値 $D(n)$ がラッチ回路21によりサンプリングしホールドされて出力され、また、クロック信号 $CKX$ が指示する時刻でのデジタル信号の値 $DX(n)$ がラッチ回路22によりサンプリングしホールドされて出力される。サンプラ部20から出力された値 $D(n)$ および値 $DX(n)$ は、クロック生成部30、イコライザ制御部40および位相モニタ部50それぞれに入力される。
- [0037] クロック生成部30では、サンプラ部20から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、クロック信号 $CK$ とデジタル信号との間の位相差が小さくなるように周期 $T$ または位相が調整されて、「 $t_x - t_c = T/2$ 」なる関係を満たすクロック信号 $CK$ およびクロック信号 $CKX$ がサンプラ部20へ出力される。サンプラ部20およびクロック生成部30によるループ処理により、入力デジタル信号に基づいて復元されたクロック信号として、

クロック信号CKまたはCKXが生成される。

- [0038] イコライザ制御部40では、サンプラ部20から出力された値D(n)および値DX(n)に基づいて、イコライザ部20におけるデジタル信号のうちの高周波成分のレベル調整量の制御が行われる。その制御を行うための値EQLCTLが、イコライザ制御部40から出力されてイコライザ部10に入力される。
- [0039] このイコライザ制御部40による制御は、位相モニタ部50による位相関係の検出結果に基づいて許可または停止されるのが好ましい。すなわち、位相モニタ部50では、サンプラ部20から出力された値D(n)および値DX(n)に基づいて、クロック信号CKとデジタル信号との間の位相関係が検出される。そして、当該位相差が所定値より大きいときには、イコライザ制御部40によるデジタル信号のレベル調整量の制御が停止され、当該位相差が所定値以下であるときには、イコライザ制御部40によるデジタル信号のレベル調整量の制御が許可される。イコライザ制御部40における制御の許可または停止を指示するための値ENABLEが、位相モニタ部50から出力されてイコライザ制御部40に入力される。
- [0040] 以上のように、本実施形態に係るクロックデータ復元装置1では、イコライザ部10、サンプラ部20およびイコライザ制御部30によるループ処理により、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量の制御が行われる。なお、クロック信号CKとデジタル信号との間の位相差が所定値より大きいときには当該制御が位相モニタ部50により停止されるのが好ましい。これにより、より正確にクロック信号およびデータが復元され得る。
- [0041] 図3は、本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10の回路図である。イコライザ部10は、抵抗器111～114、電界効果トランジスタ121～124、定電流源131～134、抵抗器141, 143、および、コンデンサ142, 144を含む。コンデンサ142, 144それぞれの容量値は、可変であって、イコライザ制御部40から出力される値EQLCTLを受けて設定される。
- [0042] 抵抗器111, 電界効果トランジスタ121および定電流源131は、この順に直列的に接続されていて、抵抗器111側が基準電圧を印加され、定電流源131側が接地される。抵抗器112, 電界効果トランジスタ122および定電流源132は、この順に直列的

に接続されていて、抵抗器112側が基準電圧を印加され、定電流源132側が接地される。抵抗器113, 電界効果トランジスタ123および定電流源133は、この順に直列的に接続されていて、抵抗器113側が基準電圧を印加され、定電流源133側が接地される。また、抵抗器114, 電界効果トランジスタ124および定電流源134は、この順に直列的に接続されていて、抵抗器114側が基準電圧を印加され、定電流源134側が接地される。

- [0043] 抵抗器141およびコンデンサ142は、互いに並列的に接続されていて、電界効果トランジスタ121と定電流源131との接続点と、電界効果トランジスタ122と定電流源132との接続点と、の間に設けられている。抵抗器143およびコンデンサ144は、互いに並列的に接続されていて、電界効果トランジスタ123と定電流源133との接続点と、電界効果トランジスタ124と定電流源134との接続点と、の間に設けられている。電界効果トランジスタ123のゲート端子は、抵抗器111と電界効果トランジスタ121との接続点に接続されている。また、電界効果トランジスタ124のゲート端子は、抵抗器112と電界効果トランジスタ122との接続点に接続されている。
- [0044] イコライザ10に入力されるデジタル信号(IN+ / IN-)は、電界効果トランジスタ121, 122のゲート端子間に入力される。イコライザ10から出力されるデジタル信号(OUT+ / OUT-)は、抵抗器113と電界効果トランジスタ123との接続点と、抵抗器114と電界効果トランジスタ124との接続点と、の間の電位差として出力される。
- [0045] このように構成されるイコライザ部10では、値EQLCTLに応じて、コンデンサ142, 144それぞれの容量値が設定され、入力デジタル信号のうちの高周波成分のゲインが設定される。コンデンサ142, 144それぞれの容量値が大きいほど、入力デジタル信号のうちの高周波成分のゲインは大きい。そして、入力デジタル信号(IN+ / IN-)のうちの高周波成分がゲインに応じて増幅されて、出力デジタル信号(OUT+ / OUT-)として出力される。
- [0046] 図4は、イコライザ部10の増幅特性等を示す図である。図4(a)は、クロックデータ復元装置1の入力端に繋がる伝送路の損失特性を示す。図4(b)は、イコライザ部10の増幅特性を示す。また、図4(c)は、伝送路の損失特性とイコライザ部10の増幅特性とを総合した特性を示す。図4(a)に示されるように、伝送路を経てクロックデータ復元

装置1の入力端に入力されるデジタル信号は、その伝送時に信号帯域のうち高周波成分が損失を被る。そこで、イコライザ部10は、伝送時にデジタル信号の高周波成分が被った損失を補償するために、イコライザ制御値C\_EQL(EQLCTL)を増加させ、図4(b)に示されるように入力デジタル信号の高周波成分を増幅して、図4(c)に示されるように当該補償後の出力デジタル信号を出力する。

[0047] 図4(b), 図4(c)において、一点鎖線Aは、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が過小であって、当該補償後の出力デジタル信号の高周波成分が小さいままである場合を示す。破線Bは、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が過大であって、当該補償後の出力デジタル信号の高周波成分が大きくなっている場合を示す。また、実線Cは、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が適正範囲内にあつて、当該補償後の出力デジタル信号が信号帯域において略フラットとなっている場合を示す。

[0048] イコライザ部10における補償(高周波成分の増幅の際のゲイン)の大きさは、イコライザ制御部40から出力される値EQLCTLに応じて設定されるコンデンサ142, 144それぞれの容量値による。そこで、本実施形態に係るクロックデータ復元装置1は、イコライザ制御部40において値EQLCTLを適正範囲内に調整することで、イコライザ部10における補償(高周波成分の増幅の際のゲイン)を適正範囲内に維持するよう制御を行う。

[0049] 図5は、本実施形態に係るクロックデータ復元装置1に含まれるクロック生成部30の構成図である。クロック生成部30は、サンプラ部20から出力された値D(n)および値DX(n)に基づいてクロック信号CKおよびクロック信号CKXを生成するものであつて、位相関係検出回路(BBPHD)31, チャージポンプ回路(CP)32, ローパスフィルタ回路(LPF)33および電圧制御発振回路(VCO)34を含む。

[0050] 位相関係検出回路31は、サンプラ部20から出力された値D(n)および値DX(n)に基づいて、図6に示される真理値表に従う論理演算を行つて、UP信号およびDN信号を出力する。すなわち、位相関係検出回路31は、「 $D(n-1) \neq DX(n-1) = D(n)$ 」であるときに有意値となるUP信号、および、「 $D(n-1) = DX(n-1) \neq D(n)$ 」であるときに有意値となるDN信号を、位相関係を表す信号として出力する。

- [0051] 位相関係検出回路31は、図7に回路図が示されるように、値 $D(n-1)$ および値 $D(n)$ を入力する排他的論理和回路311、値 $D(n-1)$ および値 $DX(n)$ を入力する排他的論理和回路312、排他的論理和回路311および排他的論理和回路312それぞれの出力値を入力してUP信号を出力する論理積回路313、ならびに、排他的論理和回路311の出力値および排他的論理和回路312の出力値の論理反転値を入力してDN信号を出力する論理積回路314、を含んで構成され得る。
- [0052] UP信号が有意値であるとき、入力デジタル信号に対してクロック信号CKの位相が遅れているから、クロック信号CKおよびクロック信号CKXの位相を早める必要がある。一方、DN信号が有意値であるとき、入力デジタル信号に対してクロック信号CKの位相が進んでいるから、クロック信号CKおよびクロック信号CKXの位相を遅らせる必要がある。
- [0053] そこで、チャージポンプ回路32は、位相関係検出回路31から出力されたUP信号およびDN信号の何れが有意値であるかに応じて、充電および放電の何れかの電流パルスをローパスフィルタ回路33へ出力する。ローパスフィルタ回路33は、チャージポンプ回路32から出力された電流パルスを入力して、その入力した電流パルスが充電および放電の何れであるかによって、出力電圧値を増減する。そして、電圧制御発振回路34は、ローパスフィルタ回路33からの出力電圧値に応じた周期のクロック信号CKおよびクロック信号CKXを発生する。このようにしてクロック生成部30において生成されたクロック信号CKおよびクロック信号CKXは、UP信号およびDN信号に基づいて周期が調整されたものとなる。
- [0054] 図8は、本実施形態に係るクロックデータ復元装置1に含まれる位相モニタ部50の回路図である。位相モニタ部50は、排他的論理和回路51、52、論理積回路53、54、シフトレジスタ回路55、56、論理和回路57、58、および、論理積回路59を含んで構成される。
- [0055] 排他的論理和回路51は、値 $D(n-1)$ および値 $D(n)$ を入力して、これら2つの値の排他的論理和の値を出力する。排他的論理和回路52は、値 $D(n-1)$ および値 $DX(n)$ を入力して、これら2つの値の排他的論理和の値を出力する。論理積回路53は、排他的論理和回路51および排他的論理和回路52それぞれの出力値を入力して、これら

の2つの値の論理積である値UP(n)を出力する。論理積回路54は、排他的論理和回路51の出力値および排他的論理和回路52の出力値の論理反転値を入力して、これらの2つの値の論理積である値DN(n)を出力する。すなわち、「 $D(n-1) \neq DX(n-1) = D(n)$ 」であるときに値UP(n)は有意値となり、「 $D(n-1) = DX(n-1) \neq D(n)$ 」であるときに値DN(n)は有意値となる。

[0056] シフトレジスタ回路55は、各期間T(n)において、論理積回路53から出力された値UP(n)を入力して、その期間を含む過去の連続する10期間(T(n-9)~T(n))の値UP(n-9)~UP(n)を記憶し出力する。また、シフトレジスタ回路56は、各期間T(n)において、論理積回路54から出力された値DN(n)を入力して、その期間を含む過去の連続する10期間(T(n-9)~T(n))の値DN(n-9)~DN(n)を記憶し出力する。

[0057] 論理和回路57は、シフトレジスタ回路55から出力された値UP(n-9)~UP(n)を入力して、これら10個の値の論理和値を出力する。論理和回路58は、シフトレジスタ回路56から出力された値DN(n-9)~DN(n)を入力して、これら10個の値の論理和値を出力する。論理積回路59は、論理和回路57および論理和回路58それぞれから出力された値を入力して、これら2つの値の論理積である値ENABLEを出力する。

[0058] すなわち、値UP(n-9)~UP(n)のうち少なくとも1つが有意値であり、且つ、値DN(n-9)~DN(n)のうち少なくとも1つが有意値であるときに、論理積回路59から出力される値ENABLEは有意値となる。一方、値UP(n-9)~UP(n)の全てが非有意値であるとき、又は、値DN(n-9)~DN(n)の全てが非有意値であるときに、論理積回路59から出力される値ENABLEは非有意値となる。値ENABLEが非有意値であることは、クロック信号CKとデジタル信号との間の位相差が所定値より大きいことを表している。

[0059] なお、位相モニタ部50における値ENABLEの出力は、各期間T(n)に1回行われてもよいし、M期間(例えば10期間)毎に1回行われてもよい。前者の場合、或る期間T(n)を含む過去の連続する10期間(T(n-9)~T(n))について値ENABLEが求められ、次の期間T(n+1)に10期間(T(n-8)~T(n+1))について次の値ENABLEが求められる。後者の場合、或る期間T(n)を含む過去の連続する10期間(T(n-9)~T(n))について値ENABLEが求められ、これからM期間後に10期間(T(n+M-9)~T(n+M))について次の値ENABLEが求められる。

- [0060] UP信号およびDN信号それぞれが有意値となった期間が存在するか否かを10期間に亘って判断することとしたのは以下の理由による。すなわち、入力デジタル信号の或るビットと次のビットとの間でデータ遷移がある場合、UP信号およびDN信号のうちの一方が有意値となり他方が非有意値となる。入力デジタル信号の或るビットと次のビットとの間でデータ遷移が無い場合、UP信号およびDN信号の双方が非有意値となる。
- [0061] クロック信号CKおよびクロック信号CKXそれぞれの位相が適切であれば、或る連続する複数の期間の間に、UP信号が有意値となる期間が存在し、DN信号が有意値となる期間も存在する。しかし、クロック信号CKおよびクロック信号CKXそれぞれの位相がずれていれば、或る連続する複数の期間の間に、UP信号が常に非有意値となり、或いは、DN信号が常に非有意値となる。
- [0062] シリアルデータ通信において用いられる8B10B符号では、10ビットの間にデータ遷移が2回以上あることが保証されている。したがって、UP信号およびDN信号それぞれが有意値となった期間が存在するか否かを10期間に亘って判断することにすれば、クロック信号CKおよびクロック信号CKXそれぞれの位相が適切であれば、その10期間のうちに、UP信号が有意値となる期間が必ず存在し、DN信号が有意値となる期間も必ず存在する。
- [0063] 逆に、10期間に亘ってDN信号が常に非有意値である場合、または、10期間に亘ってUP信号が常に非有意値である場合には、クロック信号CKおよびクロック信号CKXそれぞれの位相がずれていると判定され、それ故、オフセット付与量 $V_{off}$ の適正值からのずれが正しく検知され得ない。以上のような理由から、UP信号およびDN信号それぞれが有意値となった期間が存在するか否かを10期間に亘って判断するのが好ましい。
- [0064] 位相モニタ部50から出力される値ENABLEはイコライザ制御部40に入力される。イコライザ制御部40は、この値ENABLEが有意値であるときに、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量(すなわち、入力デジタル信号の高周波成分のゲイン)の制御を行う。一方、イコライザ制御部40は、この値ENABLEが非有意値であるときに、イコライザ部10におけるデジタル信号のレベル調整量の

制御を停止する。

- [0065] 図9は、本実施形態に係るクロックデータ復元装置1に含まれるイコライザ制御部40における処理を説明するフローチャートである。イコライザ制御部40は、位相モニタ部50から出力された値ENABLEを用いるとともに、変数INCNT、変数EDGCNT、変数INFLG、変数EDGFLG、定数INCNTTHおよび定数EDGCNTTHを用いて、イコライザ部10に含まれる増幅回路12へ与えられるべき値EQLCTLを求める。変数INFLGおよび変数EDGFLGそれぞれの値は、図10に示される論理回路により、値D(n)および値DX(n)から求められ、「 $EDGFLG(n) = D(n-1) \wedge D(n)$ 」、「 $INFLG(n) = EDGFLG(n) * \{D(n-2) \vee DX(n-1)\}$ 」と表される。ここで、演算記号「 $\wedge$ 」は排他的論理和を表す。
- [0066] ステップS10では、変数INCNTおよび変数EDGCNTそれぞれの値を初期値0に設定する。続くステップS11では、位相モニタ部50から出力された値ENABLEが有意値であるか否かを判断して、値ENABLEが有意値であればステップS12に進み、そうでなければステップS11に留まる。ステップS12では、変数INCNTの値に変数INFLGの値を加算して、その加算値を変数INCNTの新たな値とする。また、ステップS12では、変数EDGCNTの値に変数EDGFLGの値を加算して、その加算値を変数EDGCNTの新たな値とする。
- [0067] 続くステップS13では、変数EDGCNTの値が定数EDGCNTTHより大きいか否かを判定して、変数EDGCNTの値が定数EDGCNTTHより大きければステップS14へ進み、変数EDGCNTの値が定数EDGCNTTH以下であればステップS11へ戻る。すなわち、ステップS13において変数EDGCNTの値が定数EDGCNTTHより大きくなったと判定されるまで、ステップS11～S13それぞれの処理は行われる。
- [0068] イコライザ制御部40におけるステップS11～S13それぞれの処理は、位相モニタ部50における値ENABLEの出力と同様に、各期間T(n)に1回行われてもよいし、M期間(例えば10期間)毎に1回行われてもよい。後者の場合、ステップS12では、M期間それぞれに対して得られた変数INFLGの総和値を変数INCNTの値に加算し、M期間それぞれに対して得られた変数EDGFLGの総和値を変数EDGCNTの値に加算する。
- [0069] ステップS14では、以下に示すような3つの場合(a)～(c)に分けて異なる処理をする

。すなわち、定数INCNTTHより変数INCNTの値が小さい場合には、値EQLCTLを増加させて、新たな値EQLCTLを増幅回路12へ通知する。変数EDGCNTの値から定数INCNTTHを差し引いた値より変数INCNTの値が大きい場合には、値EQLCTLを減少させて、新たな値EQLCTLを増幅回路12へ通知する。また、上記の2つの場合の何れでもない場合には、値EQLCTLを維持する。そして、ステップS14の処理が終了すると、ステップS10に戻り、これまでに説明した処理を繰り返す。

[数1]

- |                                     |              |
|-------------------------------------|--------------|
| (a) 「INCNT < INCNTTH」である場合          | ⇒ EQLCTL を増加 |
| (b) 「INCNT > EDGCNT - INCNTTH」である場合 | ⇒ EQLCTL を減少 |
| (c) その他の場合                          | ⇒ EQLCTL を維持 |

以上のようなイコライザ制御部40の処理により、一定の適正範囲 (INCNTTH ~ EDGCNT - INCNTTH) 内に変数INCNT の値が存在するように値EQLCTLが調整され、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量が調整される。このようにすることにより、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量が適正範囲内の値に設定される。

[0070] また、イコライザ制御部40において、位相モニタ部50から出力された値ENABLEが有意値である場合 (すなわち、値UP(n-9)~UP(n)のうち少なくとも1つが有意値であり、且つ、値DN(n-9)~DN(n)のうち少なくとも1つが有意値である場合) には、その間の値Dおよび値DXは値EQLCTLの更新の際に参照され、イコライザ部10におけるデジタル信号のうちの高周波成分のレベル調整量の制御は行われる。

[0071] しかし、イコライザ制御部40において、位相モニタ部50から出力された値ENABLEが非有意値である場合 (すなわち、値UP(n-9)~UP(n)の全てが非有意値である場合、又は、値DN(n-9)~DN(n)の全てが非有意値である場合) には、クロック信号CKとデジタル信号との間の位相差が所定値より大きいので、その間の値Dおよび値DXは値EQLCTLの更新の際に参照されず、イコライザ部10におけるデジタル信号のレベル調整量の制御は停止される。

[0072] このようにして、本実施形態に係るクロックデータ復元装置1では、デジタル信号が伝送時に被る損失が変動する場合等にも、イコライザ部10におけるデジタル信号の

うちの高周波成分のレベル調整量が適正範囲内の値に設定されて、より正確にクロック信号およびデータが復元され得る。

[0073] 図11は、本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10に入力されるデジタル信号の波形を示す図である。以下のグラフにおいて、横軸の@Xは、X秒の位置を示し、縦軸は電圧(任意定数)を示している。図12～図14は、本実施形態に係るクロックデータ復元装置1に含まれるイコライザ部10から出力されるデジタル信号の波形を示す図である。図12～図14は、図11に波形が示されるデジタル信号がイコライザ部10に入力されたときに該イコライザ部10から出力されるデジタル信号の波形のシミュレーション結果を示している。図12は、値EQLCTLが適正範囲より小さい場合(上記(a)の場合)を示す。図13は、値EQLCTLが適正範囲より大きい場合(上記(b)の場合)を示す。また、図14は、値EQLCTLが適正範囲内である場合(上記(c)の場合)を示す。

[0074] 図12に示されるように、値EQLCTLが適正範囲より小さい場合には、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が過小であって、当該補償後の出力デジタル信号の高周波成分が小さいままであり、デジタル信号のビット間のデータ遷移時のレベル変動幅が大きい。

[0075] 一方、図13に示されるように、値EQLCTLが適正範囲より大きい場合には、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が過大であって、当該補償後の出力デジタル信号の高周波成分が大きくなり、入力デジタル信号と比べてもデジタル信号のビット間のデータ遷移時のレベル変動幅が大きい。

[0076] これらに対して、図14に示されるように、値EQLCTLが適正範囲内である場合には、イコライザ部10における補償(高周波成分の増幅の際のゲイン)が適正範囲内にあって、当該補償後の出力デジタル信号が信号帯域において略フラットとなっており、デジタル信号のビット間のデータ遷移時(クロック信号CKXが指示する時刻)のレベル変動幅が小さく、しかも、ビットの中心時刻(クロック信号CKが指示する時刻)におけるアイが大きく開いている。

[0077] 本実施形態に係るクロックデータ復元装置1では、イコライザ制御部40により、図14に示されるようにイコライザ部10から出力されるデジタル信号のビット間のデータ遷

移時のレベル変動幅が小さくなるように、値EQLCTLが適正範囲内に維持されるよう制御が行われる。これにより、トランスミッタ・クロック・ジッタや符号間干渉が大きい場合であっても、安定してクロック信号およびデータが復元され得る。

- [0078] 図12~14に示すように、イコライザの出力波形はパターンに応じて波形がなまり、アイ開口が小さくなる。アイ開口を拡げるためには、クロスポイントを小さくする必要がある。図12~14において、 $D(n-2)$ 、 $D(n-1)$ 、 $D(n)$ はCKでのサンプリング結果であり、 $DX(n-1)$ はCKXでのサンプリング結果を示す。 $D(n-1)$ から $D(n)$ に遷移がある場合、すなわち $D(n-1) \neq D(n)$ の場合に限って考えると、図12のイコライズ過小の波形では、 $D(n-2)$ がHighの場合、 $DX(n-1)$ がHighになり、 $D(n-2)$ がLowの場合、 $DX(n-1)$ がLowになっている。
- [0079] 図13のイコライズ過大の波形では、 $D(n-2)$ がHighの場合、 $DX(n-1)$ がLowになり、 $D(n-2)$ がLowの場合、 $DX(n-1)$ がHighになっている。図14のイコライズ過大の波形では、 $D(n-2)$ の値に $DX(n-1)$ は依存しない。従って、 $D(n-1) \wedge D(n)$ がHighの場合について、 $D(n-2) \wedge DX(n-1)$ がHighの場合とLowの場合とで数が等しくなれば良い。
- [0080] 図9のEDGCNTは $D(n-1) \wedge D(n)$ がHighの数を数えている。INCNTは $D(n-2) \wedge DX(n-1)$ がHighの数を数えている。凡そ「 $INCNT \approx 0.5 \times EDGCNT$ 」になるようにEQLCTLを制御すれば、イコライザは最適に制御される。

## 請求の範囲

- [1] 入力したデジタル信号に基づいてクロック信号およびデータを復元する装置であつて、
- 入力したデジタル信号のうちの高周波成分のレベルを調整して、その調整後のデジタル信号を出力するイコライザ部と、
- 同一の周期 $T$ を有するクロック信号 $CK$ およびクロック信号 $CKX$ を入力するとともに、前記イコライザ部から出力されたデジタル信号を入力し、当該周期の第 $n$ の期間 $T(n)$ それぞれにおいて、前記クロック信号 $CK$ が指示する時刻 $t_c$ での前記デジタル信号の値 $D(n)$ をサンプリングしホールドして出力し、前記クロック信号 $CKX$ が指示する時刻 $t_x$ での前記デジタル信号の値 $DX(n)$ をサンプリングしホールドして出力するサンプラ部と、
- 各期間 $T(n)$ において、前記サンプラ部から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、前記クロック信号 $CK$ と前記デジタル信号との間の位相差が小さくなるように周期 $T$ または位相を調整し、 $t_x - t_c = T/2$ なる関係を満たす前記クロック信号 $CK$ および前記クロック信号 $CKX$ を前記サンプラ部へ出力するクロック生成部と、
- 各期間 $T(n)$ において、前記サンプラ部から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、前記イコライザ部における前記デジタル信号のうちの高周波成分のレベル調整量の制御を行うイコライザ制御部と、
- を備え、
- $t_c < t_x$ 、 $n$ は整数とする、
- ことを特徴とするクロックデータ復元装置。
- [2] 前記クロック生成部は、
- $D(n-1) \neq DX(n-1) = D(n)$ であるときに有意値となるUP信号、および、 $D(n-1) = DX(n-1) \neq D(n)$ であるときに有意値となるDN信号に基づいて、周期 $T$ または位相を調整して、前記クロック信号 $CK$ および前記クロック信号 $CKX$ を出力する、ことを特徴とする請求項1記載のクロックデータ復元装置。
- [3] 各期間 $T(n)$ において、前記サンプラ部から出力された値 $D(n)$ および値 $DX(n)$ に基づいて、前記クロック信号 $CK$ と前記デジタル信号との間の位相関係を検出し、当該

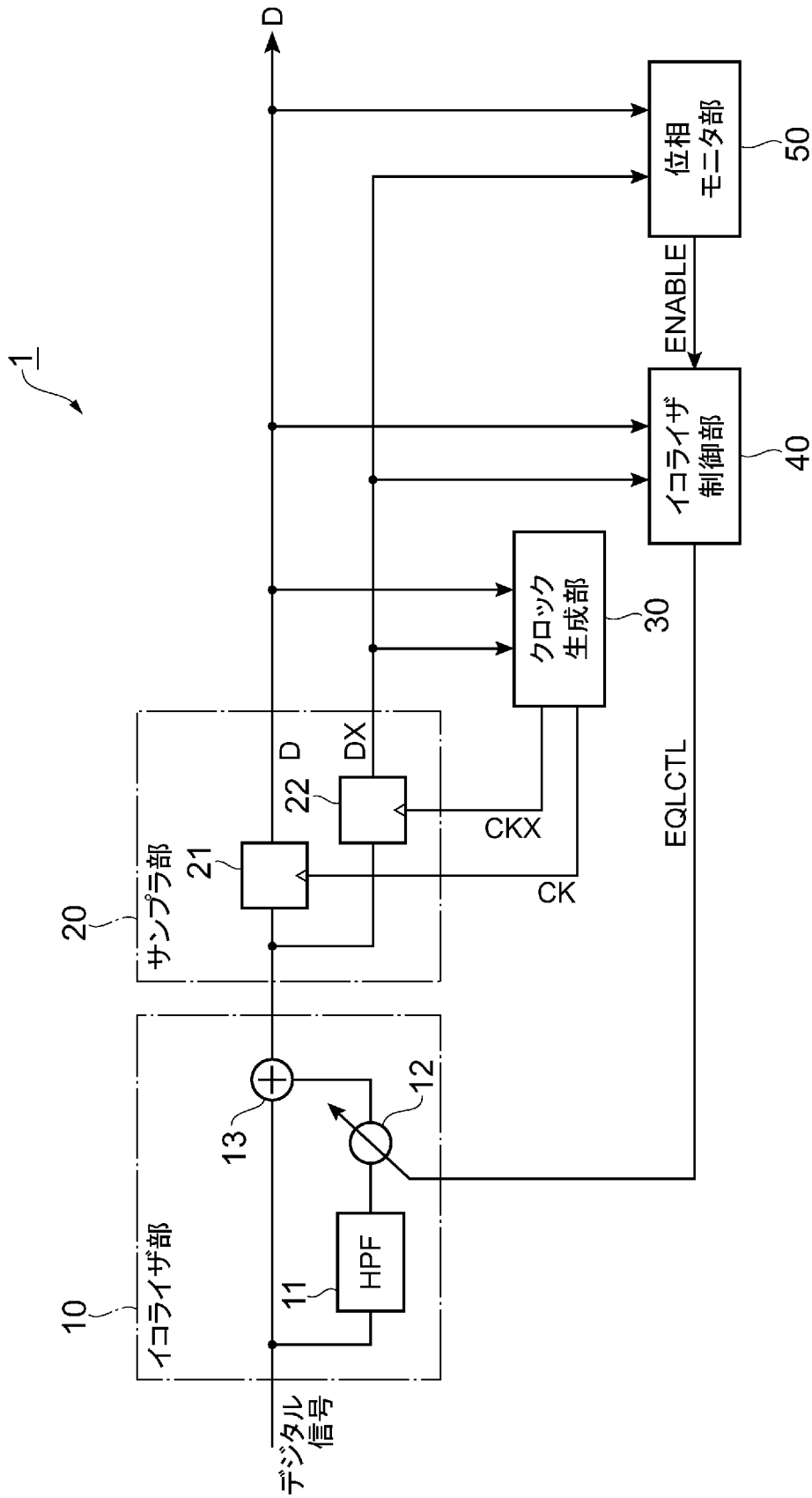
位相差が所定値より大きいときに、前記イコライザ制御部による前記デジタル信号のレベル調整量の制御を停止させる位相モニタ部を更に備えることを特徴とする請求項1記載のクロックデータ復元装置。

[4] 前記位相モニタ部は、

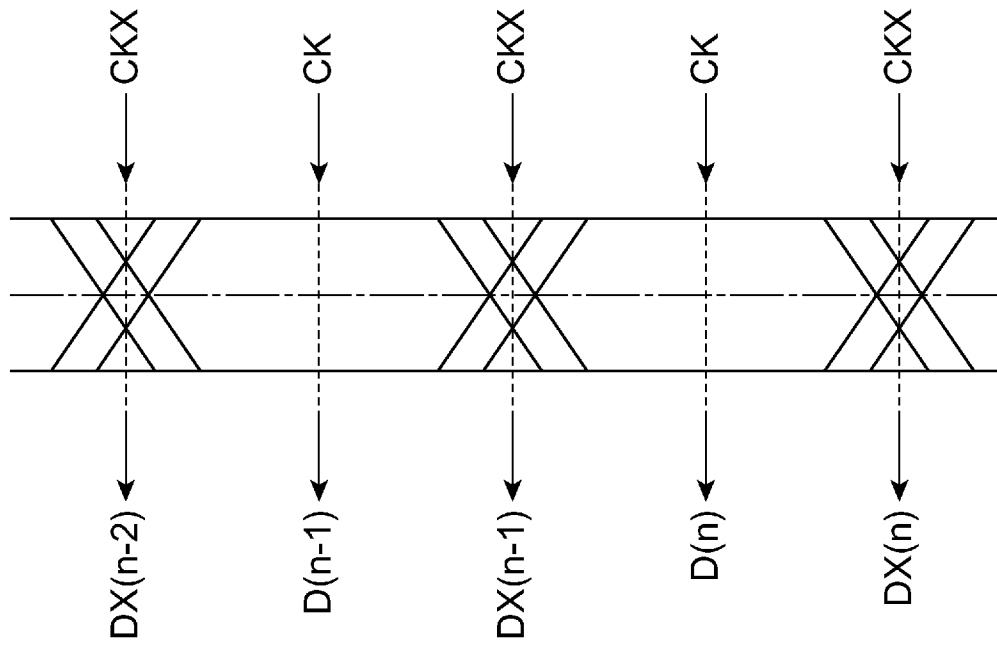
$D(n-1) \neq DX(n-1) = D(n)$ であるときに有意値となるUP信号、および、 $D(n-1) = DX(n-1) \neq D(n)$ であるときに有意値となるDN信号に基づいて、前記クロック信号CKと前記デジタル信号との間の位相関係を検出する、ことを特徴とする請求項3記載のクロックデータ復元装置。

[5] 前記位相モニタ部は、各期間 $T(n)$ において、該期間を含む過去の連続する10期間( $T(n-9) \sim T(n)$ )内に前記UP信号および前記DN信号の何れかが有意値とならなかったときに、位相差が所定値より大きいと判定して、前記イコライザ制御部による前記デジタル信号のレベル調整量の制御を停止させる、ことを特徴とする請求項4記載のクロックデータ復元装置。

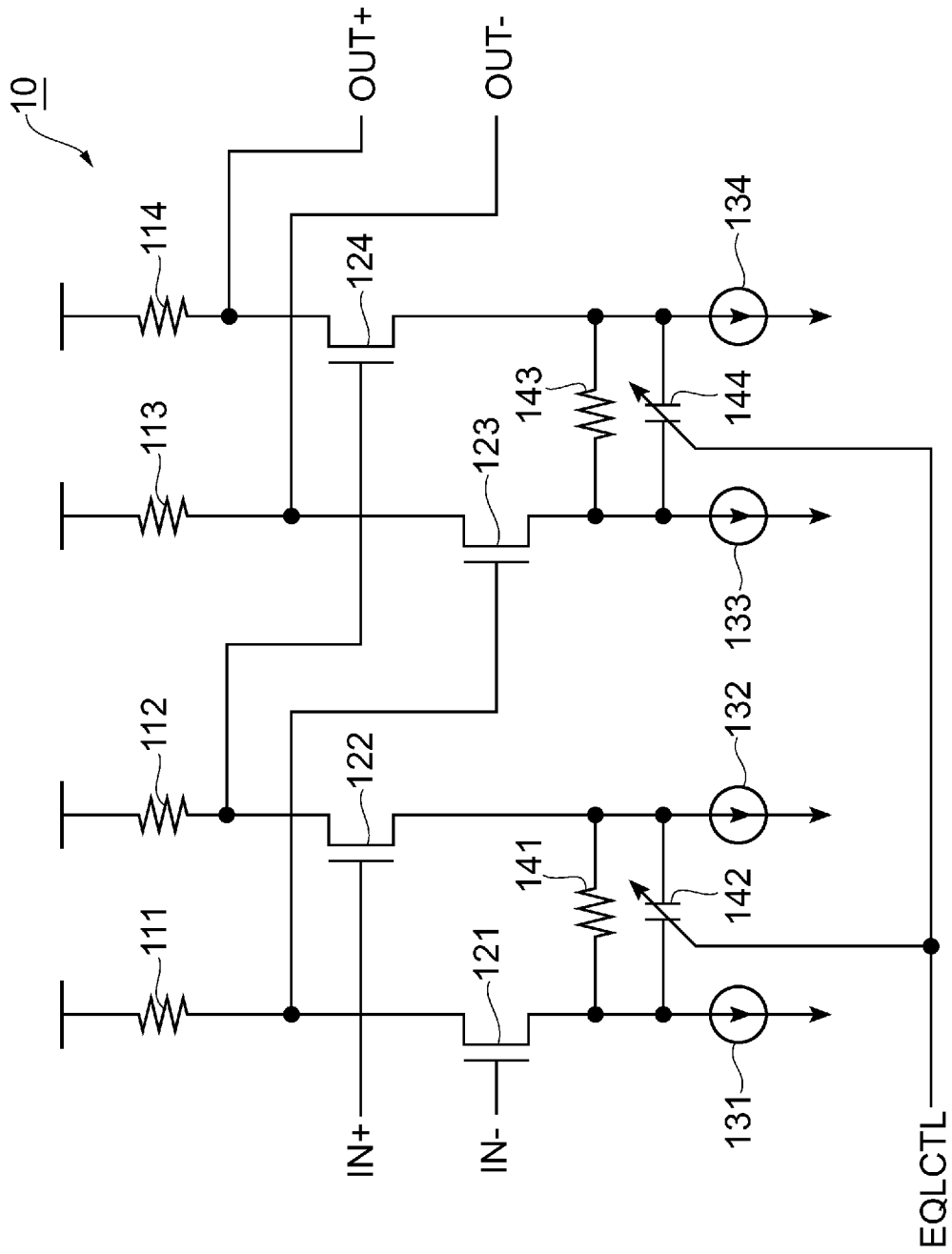
[図1]



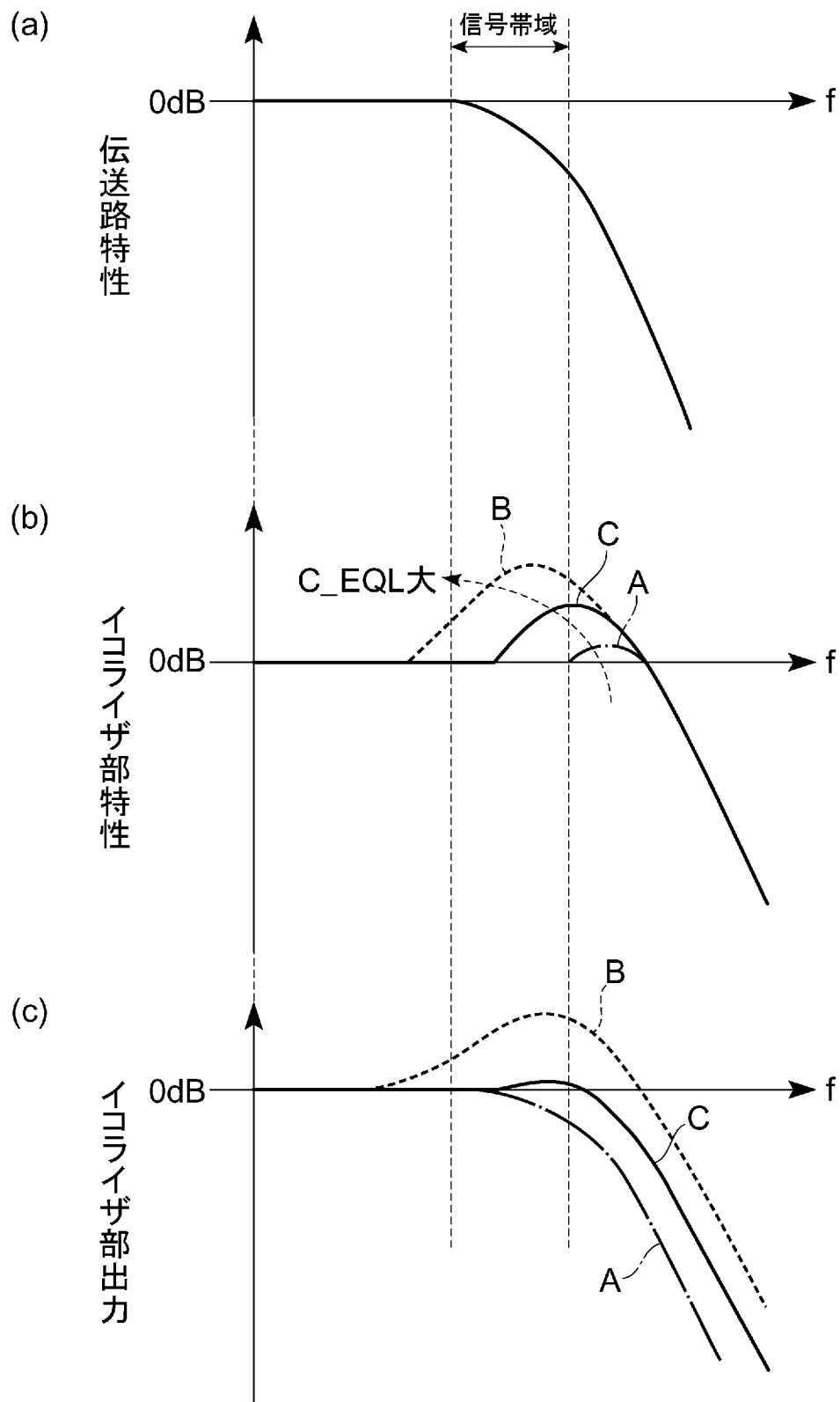
[図2]



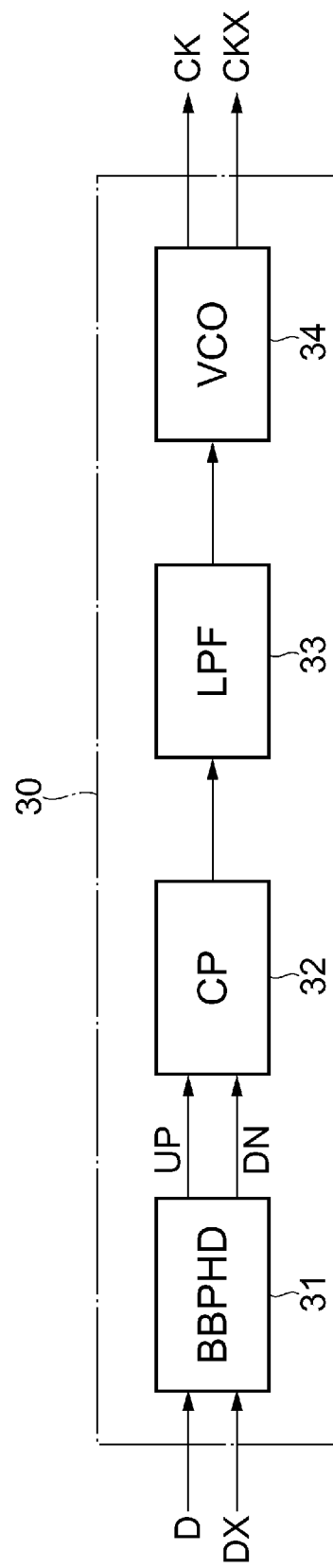
[図3]



[図4]



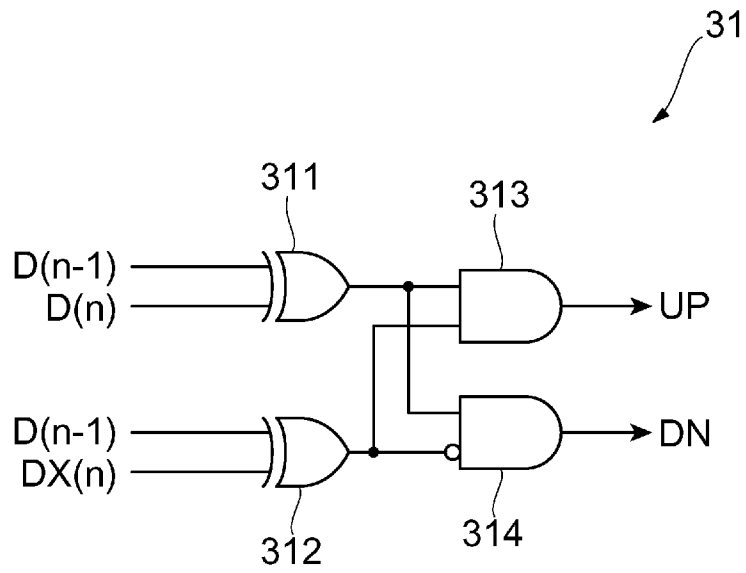
[図5]



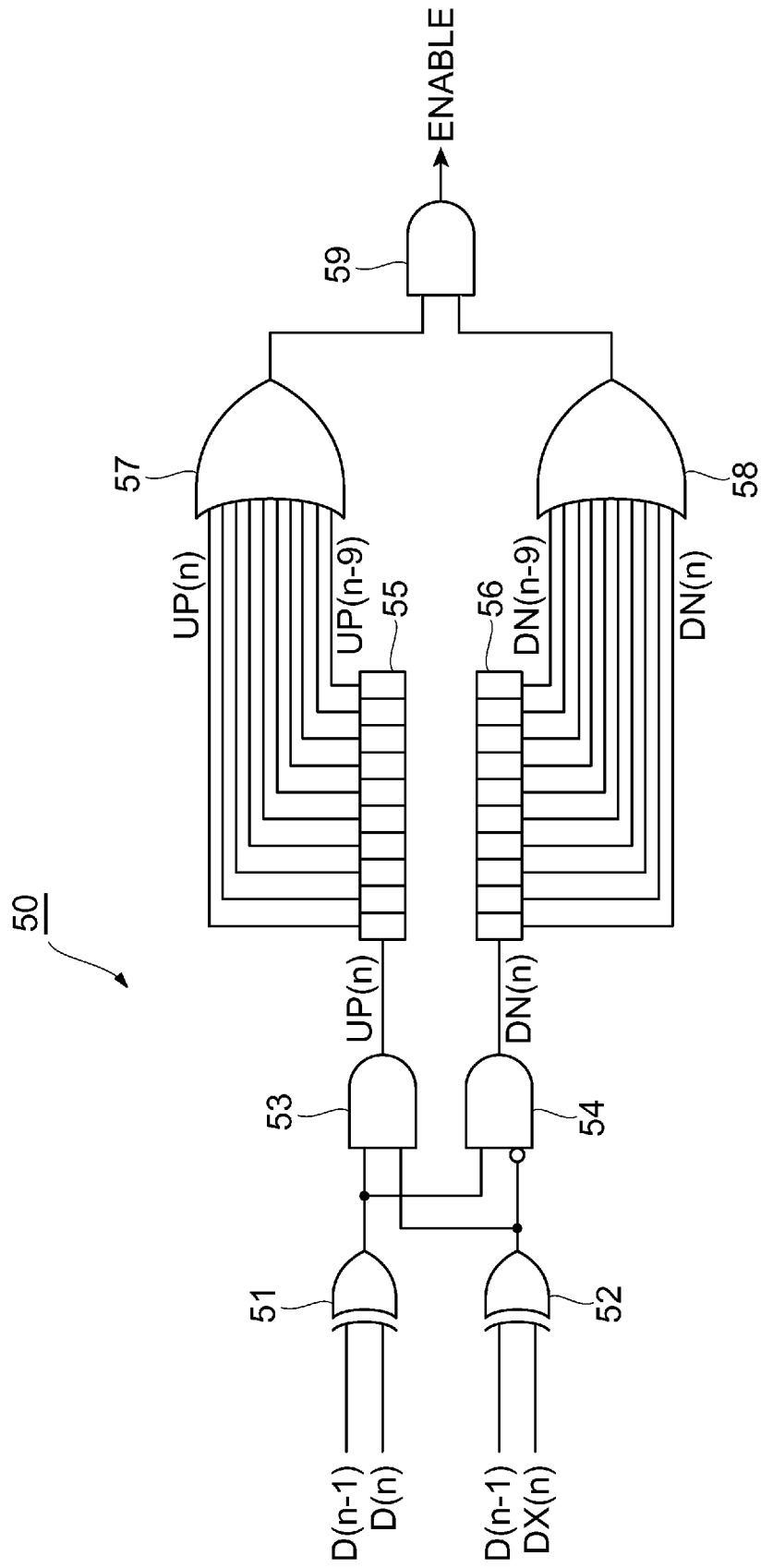
[図6]

D(n-1)	DX(n-1)	D(n)	UP	DN
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

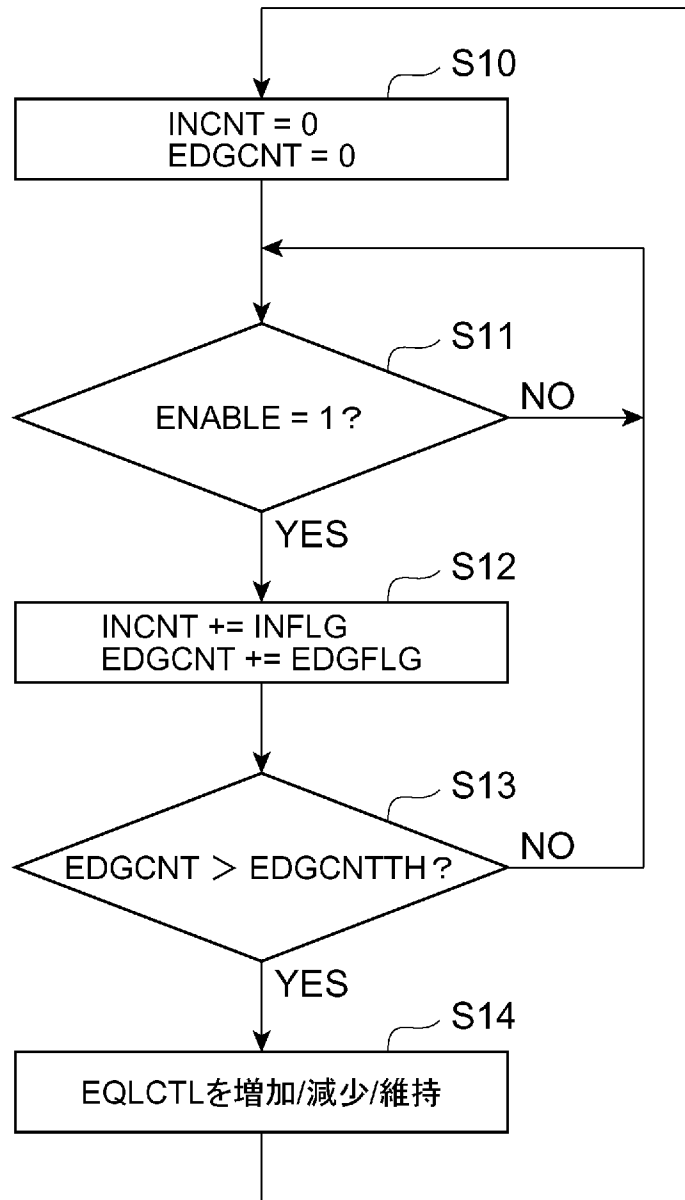
[図7]



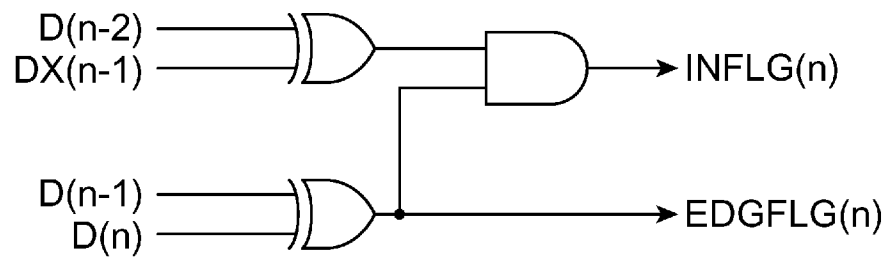
[図8]



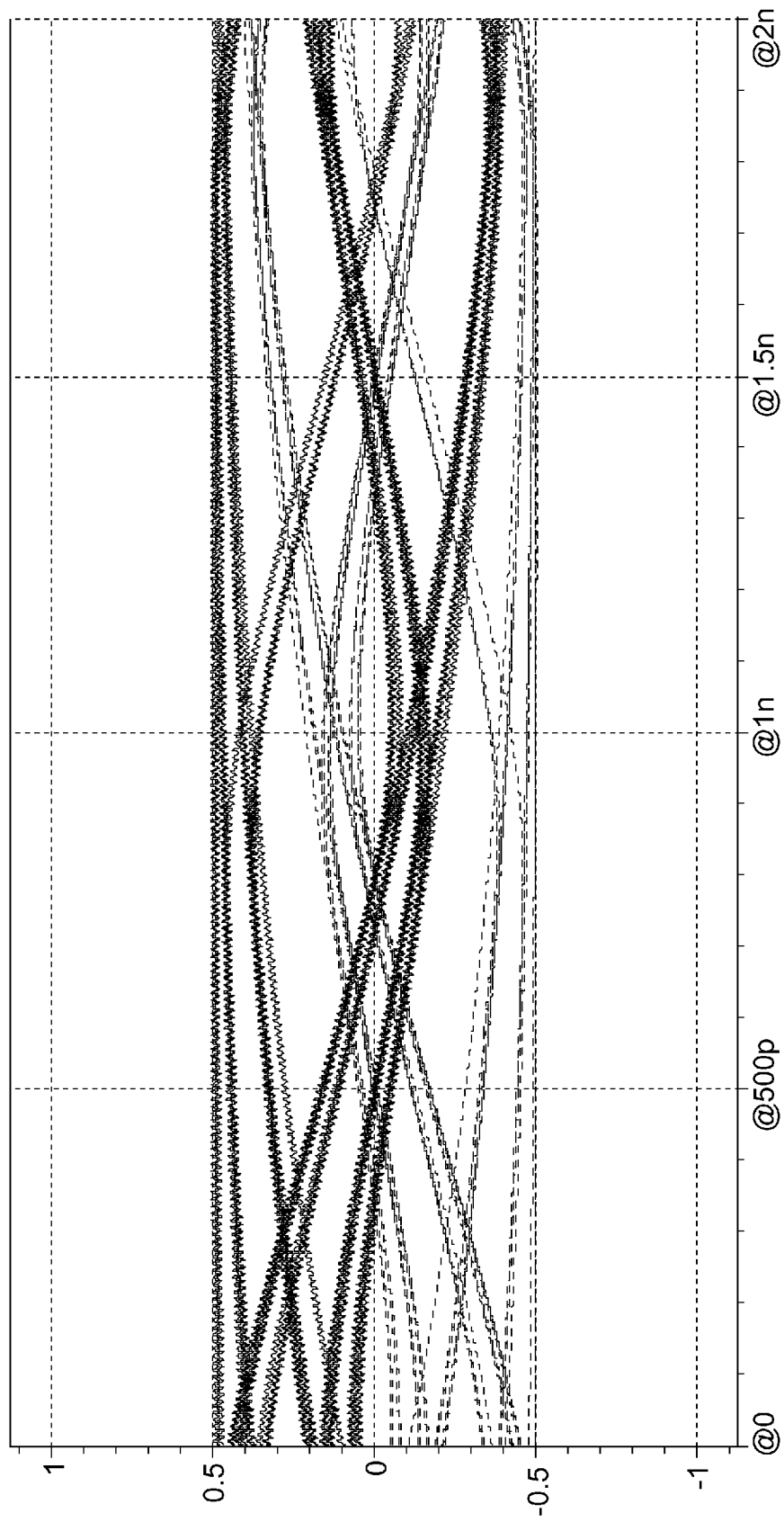
[図9]



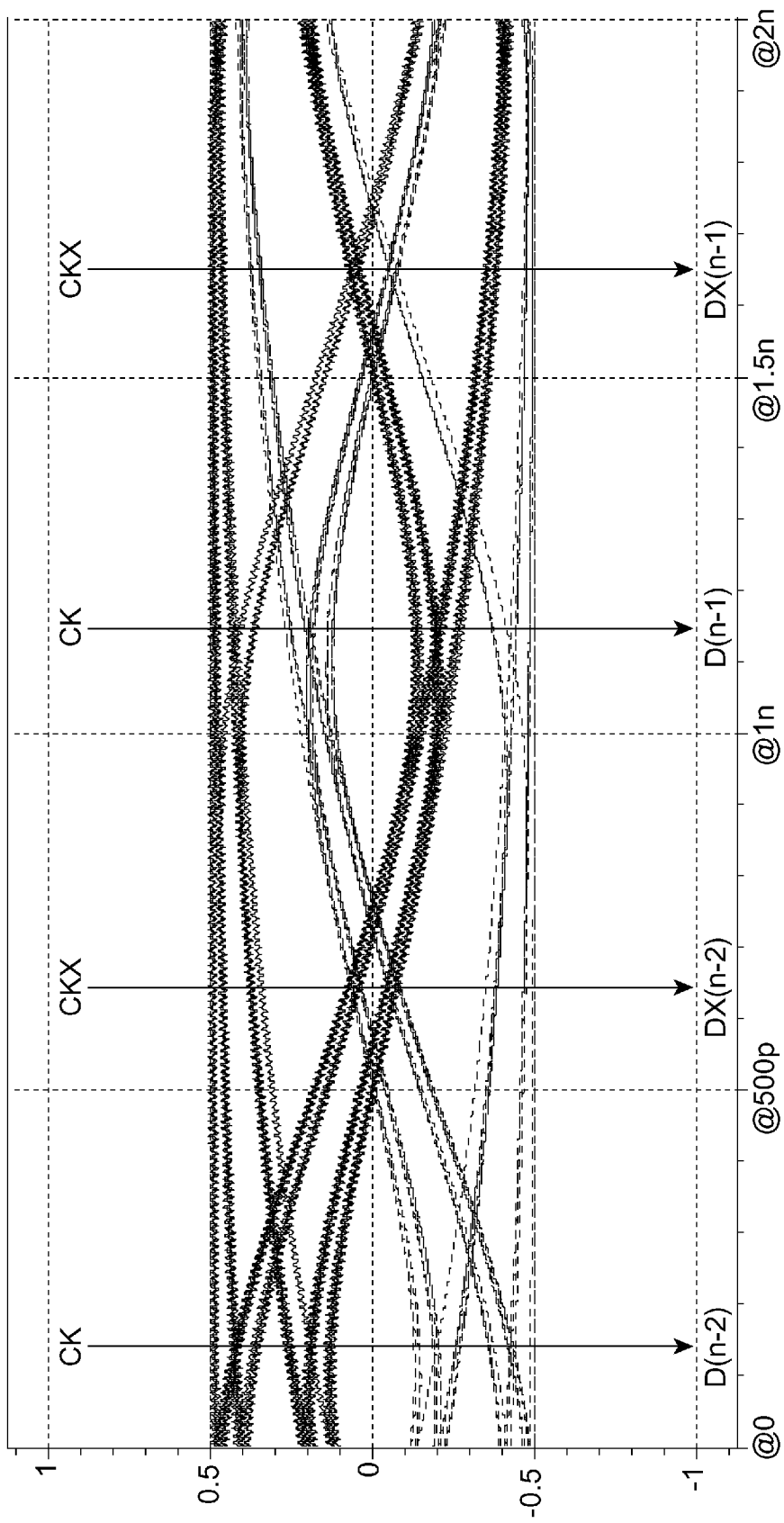
[図10]



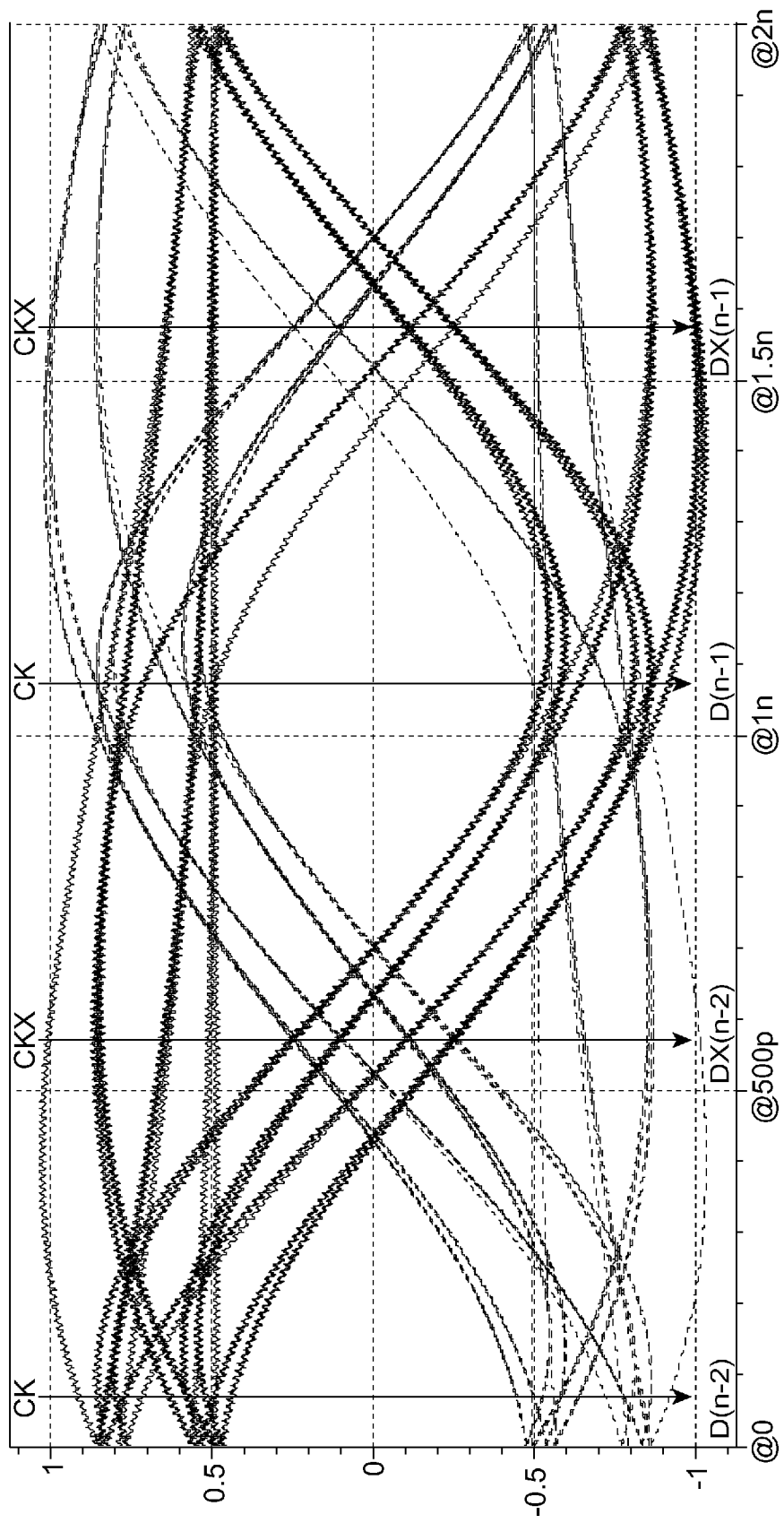
[図11]



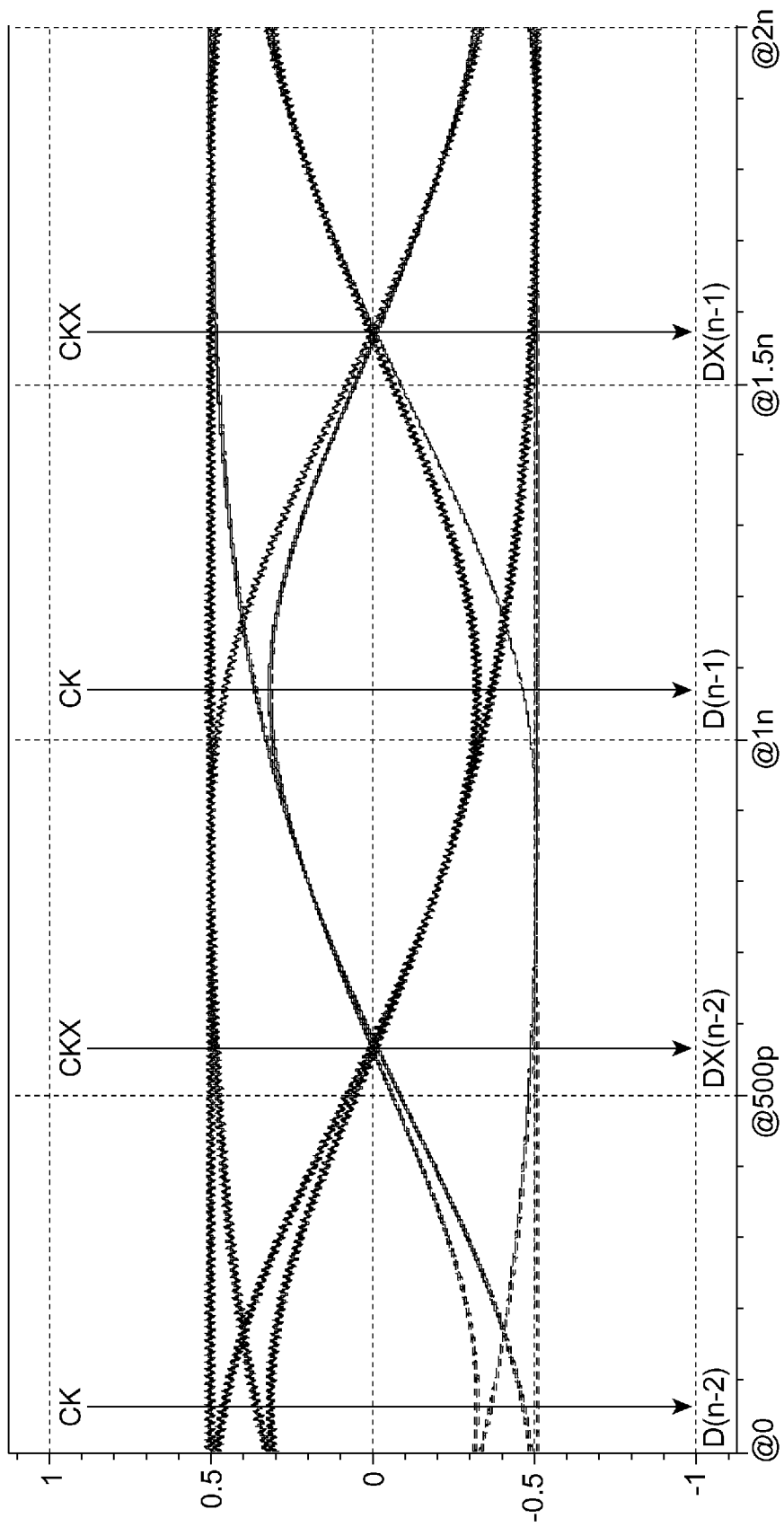
[図12]



[図13]



[図14]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2008/069555

A. CLASSIFICATION OF SUBJECT MATTER  
H04L7/033 (2006.01) i, H04L25/03 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
H04L7/00-7/10, H04L25/00-25/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-75653 A (Shaye Communications, Ltd.), 26 March, 1993 (26.03.93), Full text; all drawings & US 5297164 A & GB 2253547 A & EP 499397 A3 & DE 69231714 T & NO 920481 A & AU 650947 B & HK 149995 A & FI 920567 A & ES 2154635 T	1-5
A	JP 62-29236 A (Mishieru Seruvuru), 07 February, 1987 (07.02.87), Full text; all drawings (Family: none)	1-5

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 December, 2008 (18.12.08)	Date of mailing of the international search report 06 January, 2009 (06.01.09)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/069555

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-151044 A (Fujitsu Ltd.), 14 June, 2007 (14.06.07), Full text; all drawings & US 2007/0121767 A1	1-5
P,A	WO 2008/044406 A1 (Thine Electronics, Inc.), 17 April, 2008 (17.04.08), Full text; all drawings & JP 2008-99017 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H04L7/033(2006.01)i, H04L25/03(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H04L7/00-7/10, H04L25/00-25/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-75653 A (シエイ コミュニケーションズ リミテツド) 1993.03.26, 全文, 全図 & US 5297164 A & GB 2253547 A & EP 499397 A3 & DE 69231714 T & NO 920481 A & AU 650947 B & HK 149995 A & FI 920567 A & ES 2154635 T	1-5

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 18.12.2008	国際調査報告の発送日 06.01.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 亮 5 K   3363 電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 62-29236 A (ミシエル セルヴル) 1987.02.07, 全文, 全図 (ファミリーなし)	1-5
A	JP 2007-151044 A (富士通株式会社) 2007.06.14, 全文, 全図 & US 2007/0121767 A1	1-5
P, A	WO 2008/044406 A1 (ザインエレクトロニクス株式会社) 2008.04.17, 全文, 全図 & JP 2008-99017 A	1-5