



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

253 466

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 06 85
(21) /PV 4733-85/

(51) Int. Cl.⁴ G 06 K 9/20

(40) Zveřejněno 12 03 87
(45) Vydáno 01 02 89

(75)

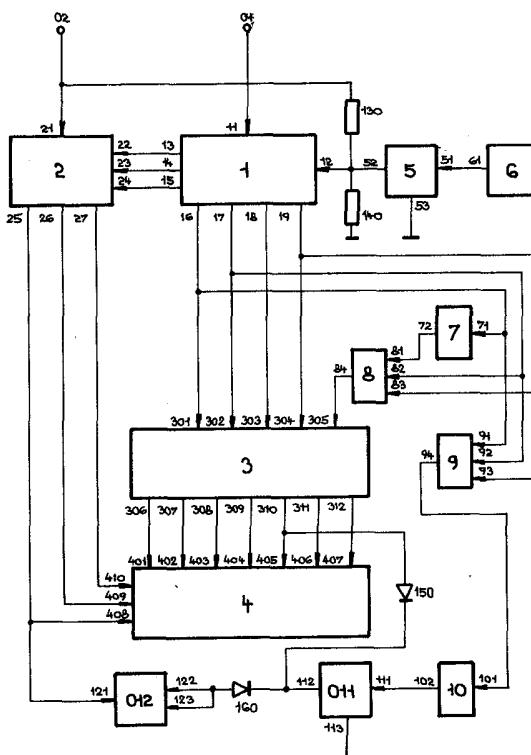
Autor vynálezu

BOJANOVSKÝ JOSEF ing.,
BALCAR JIŘÍ ing.,
ROD PETR ing., PRAHA

(54)

Zapojení řídicích obvodů číslicového ukazatele

Řešení se týká zapojení řídicích obvodů číslicového ukazatele pracujícího v multiplexním provozu a využívajícího analogově číslicového převodníku ve spojení s dekodérem datových signálů, řádovým spínačem a třímístným sedmissegmentovým zobrazovačem. Po provedení jednoho analogově číslicového převodu se převodník na určitou spojitě nastavitelnou dobu zablokuje, během této doby se na zobrazovači zachovává beze změny číselný údaj o lpovídající poslednímu provedenému měření. Překročení maximální měřitelné hodnoty vstupního napětí analogově číslicového převodníku se na zobrazovači projeví zobrazením číselného údaje ve tvaru 1000, při záporném vstupním napětí se potlačuje zobrazení symbolů vytvářených dekodérem datových signálů. Zapojení se využije v panelových číslicových ukazovacích přístrojích používajících jednoduchého zapojení analogově číslicového převodníku spolu s jedním dekodérem datových signálů a sedmissegmentovým zobrazovačem.



Vynález se týká zapojení řídicích obvodů číslicového ukazatele pracujícího v multiplexním režimu a využívajícího analogově číslicového převodníku ve spojení s dekodérem datových signálů, řádovým spínačem a třímístným sedmisegmentovým zobrazovačem.

Při regulaci a řízení technologických procesů se příslušné fyzikální veličiny měří nejčastěji pomocí snímačů s elektrickým výstupním signálem. Tento signál obsahuje často kromě stejnosměrné složky definující střední hodnotu měřené veličiny též střídavou složku způsobenou pulzacemi této veličiny. Amplituda střídavé složky je zpravidla mnohem menší než stejnosměrná složka a při měření výstupního signálu snímače analogovým ukazovacím přístrojem se rušivě neprojeví. Při použití třímístného číslicového ukazovacího přístroje však dochází k neustálým změnám číselného údaje na posledním místě zobrazovače, případně i na jeho předposledním místě. Frekvence změn je určena rychlostí použitého analogově číslicového převodníku, tj. počtem převodů za sekundu. Tato nestálost číselného údaje působí velmi rušivě, znesnadňuje odečtení údaje a unavuje obsluhu při sledování přístrojů. Potlačení střídavé složky měřeného signálu jednoduchým analogovým filtrem na vstupu analogově číslicového převodníku není vhodné, neboť vzhledem k nízkým frekvencím střídavé složky, které bývají řádově jednotky Hz, by byl nutný filtr s velkou časovou konstantou, který by pak zpomaloval odezvu ukazovacího přístroje na změnu stejnosměrné složky měřeného signálu. Použití složitějších, například nelineárních filtrů není výhodné vzhledem k jejich značné obvodové náročnosti.

Při použití analogově číslicového převodníku spolu s dekodérem datových signálů a třímístným číslicovým zobrazovačem je maximální číselný údaj na zobrazovači 999. Při dalším zvyšování vstupního signálu analogově číslicového převodníku se na zobrazovači zobrazují symboly překročení rozsahu měření, jejichž tvar je určen dekodérem datových signálů. Tento způsob zobrazení je na závadu při měření výstupních signálů snímačů, jejichž rozsah je celočíselným násobkem čísla 10. V tom případě se požaduje, aby číselný údaj 999 odpovídal 99,9 % signálu a 100 % signálu se pak zobrazuje pomocí symbolů zobrazujících překročení rozsahu měření, což při sledování přístrojů působí rušivě.

Záporné napětí na vstupu analogově číslicového převodníku se znázorňuje zobrazením symbolu, jehož tvar je určen dekodérem datových signálů, na prvním místě zobrazovače, případně na všech místech zobrazovače při vstupním napětí větším než je maximální měřitelná hodnota. Rovněž tyto symboly působí na ukazateli rušivě, polaritu signálu je vhodnější vyjadřovat pomocí obvyklých symbolů + nebo - .

Tyto nedostatky odstraňuje zapojení řídicích obvodů číslicového ukazatele podle vynálezu, u kterého jsou datové výstupy analogově číslicového převodníku spojeny s odpovídajícími vstupy dekodéru datových signálů, jehož jednotlivé výstupy jsou spojeny s příslušnými segmentovými vstupy třímístného sedmissegmentového zobrazovače. Anodové vstupy třímístného sedmissegmentového zobrazovače jsou spojeny s odpovídajícími výstupy řádového spínače, jehož napájecí vstup je spojen s kladnou napájecí svorkou zapojení. Řídicí vstupy zapojení jsou připojeny k příslušným řádovým výstupům analogově číslicového převodníku. Vstup analogově číslicového převodníku je spojen se vstupní svorkou zapojení. Podstata vynálezu spočívá v tom, že zhášecí vstup dekodéru datových signálů je spojen s výstu-

pem prvního součinného obvodu, jehož první vstup je spojen s výstupem prvního invertoru. Vstup prvního invertoru je spojen s prvním vstupem druhého součinného obvodu a s prvním datovým výstupem analogově číslicového převodníku. Druhý datový výstup analogově číslicového převodníku je spojen se druhým vstupem druhého součinného obvodu a se druhým vstupem prvního součinného obvodu. Třetí vstup prvního součinného obvodu je spojen se čtvrtým datovým výstupem analogově číslicového převodníku a se třetím vstupem druhého součinného obvodu. Výstup druhého součinného obvodu je spojen se vstupem druhého invertoru. Výstup druhého invertoru je spojen s řídicím vstupem druhého tranzistorového spínače. První výstup druhého tranzistorového spínače je spojen s každou první součtové diody a s katodou druhé součtové diody. Anoda druhé součtové diody je spojena s prvním segmentovým vstupem jednociferného zobrazovače a se druhým segmentovým vstupem jednociferného zobrazovače. Anodový vstup jednociferného zobrazovače je spojen s prvním anodovým vstupem třímístného sedmissegmentového zobrazovače. Pátý segmentový vstup třímístného sedmissegmentového zobrazovače je spojen s anodou první součtové diody. Výstup generátoru řídicích signálů je spojen s řídicím vstupem prvního tranzistorového spínače, jehož první výstup je spojen s blokovacím vstupem analogově číslicového převodníku, s prvním vývodem prvního odporu a s prvním vývodem druhého odporu. Druhý vývod prvního odporu je spojen s kladnou napájecí svorkou zapojení. Druhý vývod druhého odporu, druhý výstup prvního tranzistorového spínače a druhý výstup druhého tranzistorového spínače jsou spojeny se zemí.

Výhodou zapojení podle vynálezu je to, že při jednoduchém zapojení číslicového ukazovacího přístroje využívajícím analogově číslicového převodníku ve spojení s jedním dekodérem datových signálů a sedmissegmentovým zobrazovačem v blokovacím převodníku o nastavitelném časovém intervalu odstra-

ňuje neustálé přeskokování číselného údaje na posledních místech zobrazovače projevující se při měření pulsujeících veličin. Navíc upravuje výstupní signály dekodéru datových signálů tak, že umožňuje zobrazení maximálního číselného údaje ve tvaru 1000 a potlačuje nežádoucí zobrazení symbolu záporného vstupního signálu.

Zapojení je znázorněno v blokovém schematu na připojeném výkrese.

Jednotlivé bloky zapojení je možno charakterizovat takto. Analogově číslicový převodník 1 je realizován pomocí integrovaného obvodu. Převádí napětí přivedené na jeho vstup na trojciferný číslicový údaj, přičemž na jeho datových výstupech je obsažen binárně dekadický kód číslice, jejíž řád je určen stavem jeho řádových výstupů. Rychlost převodníku, tj. počet převodů za sekundu se řídí velikostí napětí přiváděného do jeho blokovacího vstupu. Řádový spínač 2 je sestaven ze tří tranzistorů a slouží k přivádění kladného napájecího napětí na společné anody jednotlivých číslicovek zobrazovače 4 v tom časovém okamžiku, kdy je na datových výstupech analogově číslicového převodníku 1 obsažena příslušná číslice.

Dekodér 3 datových signálů je vytvořen v integrovaném provedení. Převádí binární kód signálu přiváděného na jeho vstupy na signály potřebné k ovládání sedmissegmentového zobrazovače, připojeného k segmentovým výstupům dekodéru. Třímístný sedmissegmentový zobrazovač 4 je sestaven ze tří číslicovek se společnou anodou a se vzájemně propojenými katodami odpovídajících si segmentů opatřených předřadnými odpory. Slouží pro zobrazení výstupu analogově číslicového převodníku 1.

Tranzistorový spínač 5 stejně jako tranzistorový spínač 011 je realizován spínacím tranzistorem ovládaným přes odporový dělič logickým signálem. Je-li na řídicím vstupu

tranzistorového spínače signál úrovně logické jedničky, jsou mezi sebou propojeny první a druhý výstup spínače. Při signálu s úrovní logické nuly na řídicím vstupu je mezi prvním a druhým výstupem spínače velká impedance daná uzavřeným tranzistorem.

Generátor 6 řídicích impulsů je zapojen jako astabilní multivibrátor s nezávisle nastavitelnou šířkou impulsu i prodlevou mezi impulsy. Slouží k vytváření kladných impulsů určených pro řízení činnosti analogově číslicového převodníku 1.

Oba invertory 7 a 10 i oba součinnové obvody 8 a 9 jsou vytvořeny z hradel typu NAND. Tato hradla jsou částí integrovaného obvodu, slouží k vytvoření potřebných logických funkcí zapojení.

Jednociferný zobrazovač 012 je tvořen číslicovkou se dvěma segmenty se společnou anodou umožňujícími zobrazení číslice 1, jejichž katody jsou opatřeny příslušnými předřadnými odpory. Slouží k zobrazení číslice 1 před číselným údajem třímístného sedmissegmentového zobrazovače 4.

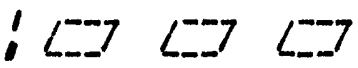
Zapojení jednotlivých bloků je provedeno následovně. Vstupní svorka 01 zapojení je spojena se vstupem 11 analogově číslicového převodníku 1. První až třetí řádový výstup 13 až 15 analogově číslicového převodníku 1 je spojen s odpovídajícím řídicím vstupem 22 až 24 řádového spínače 2. První datový výstup 16 analogově číslicového převodníku 1 je spojen s prvním vstupem 301 dekodéru 3 datových signálů, se vstupem 71 prvního invertoru 7 a 8 a s prvním vstupem 91 druhého součinnového obvodu 9. Druhý datový výstup 17 analogově číslicového převodníku 1 je spojen se druhým vstupem 302 dekodéru 3 datových signálů, se druhým vstupem 82 prvního součinnového obvodu 8 a se druhým vstupem 92 druhého součinnového obvodu 9.

Třetí datový výstup 18 analogově číslicového převodníku 1 je spojen se třetím vstupem 303 dekodéru 3 datových signálů. Čtvrtý datový výstup 19 analogově číslicového převodníku 1 je spojen se čtvrtým vstupem 304 dekodéru 3 datových signálů, se třetím vstupem 83 prvního součinného obvodu 8 a se třetím vstupem 93 druhého součinného obvodu 9. Výstup 72 prvního invertoru 7 je spojen s prvním vstupem 81 prvního součinného obvodu 8. Výstup 84 prvního součinného obvodu 8 je spojen se zhášecím vstupem 305 dekodéru 3 datových signálů. Výstup 94 druhého součinného obvodu 9 je spojen se vstupem 101 druhého invertoru 10. Výstup 102 druhého invertoru 10 je spojen s řídicím vstupem 111 druhého tranzistorového spínače 011. První výstup 112 druhého tranzistorového spínače 011 je spojen s katodou první součtové diody 150 a s katodou druhé součtové diody 160. Druhý výstup 113 druhého tranzistorového spínače 011 je spojen se zemí. První až sedmý výstup 306 až 312 dekodéru 3 datových signálů je spojen s odpovídajícím prvním až sedmým segmentovým vstupem 401 až 407 třímístného sedmsegmentového zobrazovače 4. Pátý segmentový vstup 405 třímístného sedmsegmentového zobrazovače 4 je dále spojen s anodou první součtové diody 150. První až třetí výstup 25 až 27 řádového spínače 2 je spojen s odpovídajícím prvním až třetím anodovým vstupem 408 až 410 třímístného sedmsegmentového zobrazovače 4. První anodový vstup 408 třímístného sedmsegmentového zobrazovače 4 je dále spojen s anodovým vstupem 121 jednociferného zobrazovače 12, jehož první segmentový vstup 122 je spojen s jeho druhým segmentovým vstupem 123 a s anodou druhé součtové diody 160. Výstup 61 generátoru 6 řídicích impulsů je spojen s řídicím vstupem 51 prvního tranzistorového spínače 5. První výstup 52 prvního tranzistorového spínače 5 je spojen s prvním vývodem prvního odporu 130, s prvním vývodem druhého odporu 140 a s blokovacím vstupem 12 analogově číslicového převodníku 1. Druhý výstup 53

prvního tranzistorového spínače 5 a druhý vývod druhého odporu 140 jsou spojeny se zemí. Kladná napájecí svorka 02 zapojení je spojena s napájecím vstupem 21 řádového spínače 2 a se druhým vývodem prvního odporu 130.

Zapojení pracuje takto. Generátor 6 řídicích impulsů vytváří kladné napěťové impulsy, jejichž délka se při seřizování zapojení nastaví tak, aby byla větší než doba trvání jednoho analogově číslicového převodu a současně menší než doba trvání dvou analogově číslicových převodů realizovaných převodníkem 1. Přivedením kladného impulsu na řídicí vstup 51 prvního tranzistorového spínače 5 tento spínač sepne a na blokovacím vstupu 12 převodníku 1 je napětí blízké nule. Za této podmínky analogově číslicový převodník 1 pracuje. Po skončení kladného impulsu na řídicím vstupu 51 prvního tranzistorového spínače 5 se tento spínač rozpojí a napětí na blokovacím vstupu 12 analogově číslicového převodníku 1 je určeno dělicím poměrem prvního odporu 130 a druhého odporu 140. Velikost prvního odporu 130 a druhého odporu 140 se volí tak, že toto napětí má právě takovou velikost, při níž se činnost analogově číslicového převodníku 1 blokuje a na všech jeho datových výstupech 16, 17, 18 a 19 se zachovává poslední naměřený údaj. Tím se zajistí, že vždy po provedení jednoho převodu se až do příchodu dalšího kladného impulsu z generátoru 6 řídicích impulsů blokuje analogově číslicový převodník 1 a na třímístném sedmisegmentovém zobrazovači 4 se zachovává číselný údaj beze změny. Doba mezi dvěma po sobě následujícími kladnými výstupními impulsy generátoru 6 řídicích impulsů je nastavitelná v širokém rozsahu a volí se s ohledem na časovou konstantu měřené veličiny.

Při překročení hodnoty 999 mV na vstupu 11 analogově číslicového převodníku 1 se prostřednictvím dekodéru 3

datových signálů indikují na třímístném sedmissegmentovém zobrazovači 4 symboly 7 7 7, to znamená, že se rozsvítí třetí, čtvrté a sedmé segmenty. Přitom jsou logické signály na prvním datovém vstupu 16, na druhém datovém vstupu 17 a na čtvrtém datovém vstupu 19 analogově číslicového převodníku 1 na úrovni logické jedničky. Tím je na výstupu 94 druhého součinnového obvodu 9 signál na úrovni logické nuly a současně je na výstupu 102 druhého invertoru 10 signál na úrovni logické jedničky. Tím se sepne druhý tranzistorový spínač 011 a přes první součtovou diodu 150 se uzemní katody pátých segmentů třímístného sedmissegmentového zobrazovače 4. Přes druhou součtovou diodu 160 se uzemní katody obou segmentů jednociferného zobrazovače 012 zobrazujících číslici 1, takže výsledné zobrazení má tvar 

Při záporném vstupním signálu na vstupu 11 analogově číslicového převodníku 1 má logický signál na jeho prvním datovém výstupu 16 úroveň logické nuly, signály na jeho druhém datovém výstupu 17 a čtvrtém datovém výstupu 19 mají úroveň logické jedničky. Na výstupu 72 prvního invertoru 7 je signál úrovně logické jedničky a na výstupu 84 prvního součinnového obvodu 8 signál úrovně logické nuly, který po přivedení do zhášecího vstupu 305 dekodéru 3 datových signálů potlačí zobrazení na třímístném sedmissegmentovém zobrazovači 4, místo symbolu záporného vstupního signálu bude prázdný znak.

Vynálezu se použije v zapojení panelových číslicových ukazovacích přístrojů využívajících jednoduchého zapojení analogově číslicového převodníku spolu s jedním dekodérem datových signálů, řádivým spínačem a sedmissegmentovým zobrazovačem.

PŘEDMĚT VYNÁLEZU

253 466

Zapojení řídicích obvodů číslicového ukazatele, u kterého jsou datové výstupy analogově číslicového převodníku spojeny s odpovídajícími vstupy dekodéru datových signálů, jehož jednotlivé výstupy jsou spojeny s odpovídajícími segmentovými vstupy třímístného sedmisegmentového zobrazovače, jehož anodové vstupy jsou spojeny s odpovídajícími výstupy řádového spínače, jehož napájecí vstup je spojen s kladnou napájecí svorkou zapojení a jehož řídicí vstupy jsou spojeny s příslušnými řádovými výstupy analogově číslicového převodníku, jehož vstup je spojen se vstupní svorkou zapojení, vyznačující se tím, že zhášecí vstup (305) dekodéru (3) datových signálů je spojen s výstupem (84) prvního součinnového obvodu (8), jehož první vstup (81) je spojen s výstupem (72) prvního invertoru (7), jehož vstup (71) je spojen s prvním vstupem (91) druhého součinnového obvodu (9) a prvním datovým výstupem (16) analogově číslicového převodníku (1), jehož druhý datový výstup (17) je spojen se druhým vstupem (92) druhého součinnového obvodu (9) a se druhým vstupem (82) prvního součinnového obvodu (8), jehož třetí vstup (83) je spojen se čtvrtým datovým výstupem (19) analogově číslicového převodníku (1) a se třetím vstupem (93) druhého součinnového obvodu (9), jehož výstup (94) je spojen se vstupem (101) druhého invertoru (10), jehož výstup (102) je spojen s řídicím vstupem (111) druhého tranzistorového spínače (011), jehož první výstup (112) je spojen s katodou první součtové diody (150) a s katodou druhé součtové diody (160), jejíž anoda je spojena s prvním segmentovým vstupem (122) a se druhým segmentovým vstupem (123) jednociferného zobrazovače (012), jehož anodový vstup (121) je spojen s prvním anodovým vstupem (408) třímístného sedmisegmentového zobrazovače (4), jehož pátý segmentový vstup

(405) je spojen s anodou první součtové diody (150), zatímco výstup (61) generátoru (6) řídicích signálů je spojen s řídicím vstupem (51) prvního tranzistorového spínače (5), jehož první výstup (52) je spojen s blokovacím vstupem (12) analogově číslicového převodníku (1), s prvním vývodem druhého odporu (140) a prvním vývodem prvního odporu (130), jehož druhý vývod je spojen s kladnou napájecí svorkou (02) zapojení, přičemž druhý vývod druhého odporu (140), druhý výstup (53) prvního tranzistorového spínače (5) a druhý výstup (113) druhého tranzistorového spínače (011) jsou spojeny se zemí.

1 výkres

