



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I688962 B

(45) 公告日：中華民國 109 (2020) 年 03 月 21 日

(21) 申請案號：107126630 (22) 申請日：中華民國 107 (2018) 年 08 月 01 日

(51) Int. Cl. : G11C29/08 (2006.01) G06F9/30 (2018.01)

(30) 優先權：2017/08/04 美國 15/669,055

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國(72) 發明人：貝辛佳 蓋瑞 F BESINGA, GARY F. (US)；費彭 FEI, PENG (CN)；米勒 麥可
G MILLER, MICHAEL G. (US)；吳希 羅南 J AWUSIE, ROLAND J. (US)；
穆榭爾拉 奇修爾 佑瑪 MUCHHERLA, KISHORE KUMAR (IN)；帕迪拉 瑞那
杜 C PADILLA, RENATO C. (US)；辛格蒂 哈利許 R SINGIDI, HARISH R.
(IN)；輝 俊勝 HOEI, JUNG SHENG (US)；毆莎蘇瓦 吉尼 S ALSASUA,
GIANNI S. (US)

(74) 代理人：陳長文

(56) 參考文獻：

US 9621160B2 US 2009/0027970A1

US 2012/0236662A1 US 2016/0148701A1

US 2016/0148702A1

審查人員：劉耀允

申請專利範圍項數：29 項 圖式數：6 共 39 頁

(54) 名稱

具有讀取位準校準之記憶體裝置

(57) 摘要

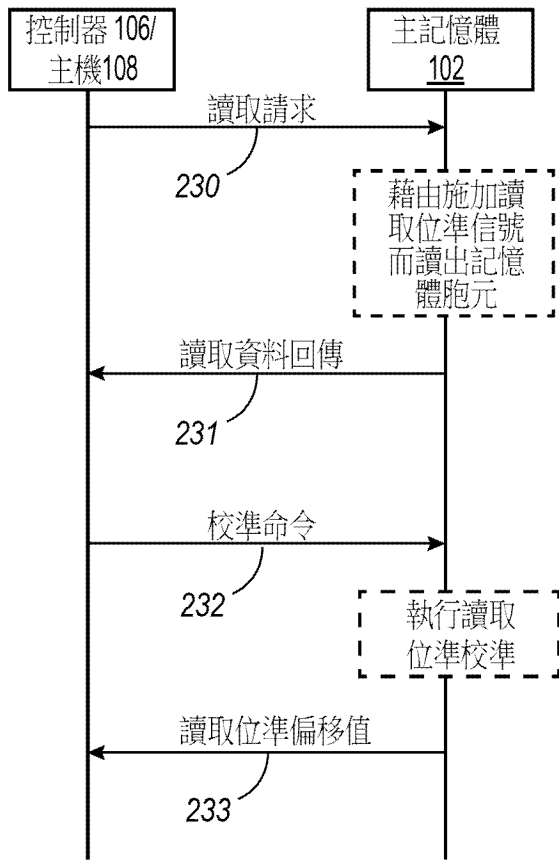
本文揭示具有讀取位準校準之記憶體裝置及系統之若干實施例。在一實施例中，一記憶體裝置包含可操作耦合至具有至少一記憶體區域及校準電路之一主記憶體之一控制器。該校準電路可操作耦合至該至少一記憶體區域且經組態以判定對應於該至少一記憶體區域之一讀取位準信號之一讀取位準偏移值。在一些實施例中，該校準電路經組態以獲得該主記憶體內部之該讀取位準偏移值。該校準電路經進一步組態以將該讀取位準偏移值輸出至該控制器。

Several embodiments of memory devices and systems with read level calibration are disclosed herein. In one embodiment, a memory device includes a controller operably coupled to a main memory having at least one memory region and calibration circuitry. The calibration circuitry is operably coupled to the at least one memory region and is configured to determine a read level offset value corresponding to a read level signal of the at least one memory region. In some embodiments, the calibration circuitry is configured to obtain the read level offset value internal to the main memory. The calibration circuitry is further configured to output the read level offset value to the controller.

指定代表圖：

符號簡單說明：

- 102 . . . 主記憶體
- 106 . . . 控制器
- 108 . . . 主機裝置
- 230 . . . 讀取請求
- 231 . . . 讀取資料回傳訊息
- 232 . . . 校準命令
- 233 . . . 讀取位準偏移值



【圖2】

【發明說明書】

【中文發明名稱】

具有讀取位準校準之記憶體裝置

【英文發明名稱】

MEMORY DEVICES WITH READ LEVEL CALIBRATION

【技術領域】

【0001】 所揭示之實施例係關於記憶體裝置及系統，且特定言之，所揭示之實施例係關於具有讀取位準校準之記憶體裝置。

【先前技術】

【0002】 記憶體裝置可採用快閃媒體以持續儲存諸如一行動裝置、一個人電腦或一伺服器之一主機裝置之大量資料。快閃媒體包含「反或」快閃」及「反及」快閃」媒體。基於「反及」之媒體通常有利於大量資料儲存，因為其具有比「反或」媒體高之一儲存容量、比「反或」媒體低之成本及比「反或」媒體快之寫入速度。「反及」快閃中之記憶體胞元採用用於儲存電荷以表示不同資料狀態之一電荷儲存結構(例如一浮動閘結構或一電荷捕集結構)。胞元藉由將電子透過一薄介電層(例如一穿隧氧化物)自一通道轉移至(例如)電荷儲存結構內之一浮動閘或一電荷捕集層而程式化。儲存於一記憶體胞元中之電荷之量表示指示在通道內形成一導電路徑所需之電壓之一或多個臨限電壓(例如取決於儲存於浮動閘或電荷捕集層上之電子之量)。

【0003】 快閃記憶體及其他非揮發性記憶體之一缺點係個別記憶體胞元之臨限電壓可隨時間改變，記憶體裝置擦除及寫入資料至記憶體。例如，在多個擦除及寫入循環內，電子可捕集於一記憶體胞元之穿隧氧化物

內以引起胞元之(若干)臨限電壓逐漸增加。此現象(若未校正)可在儲存於記憶體胞元中之資料之一讀取期間導致位元錯誤。

【0004】 在一些情況中，若位元錯誤之數目不超過碼之校正能力，則錯誤校正碼(ECC)技術可用於偵測及校正位元錯誤。然而，最終，當更多電子捕集於一記憶體裝置中之越來越多的記憶體胞元之穿隧氧化物層內時，具有無法讀取之資料狀態之記憶體胞元之數目(例如歸因於移位臨限電壓)可超過ECC之校正能力。當此發生時，記憶體控制器不再能夠有效地或適當地自受影響之記憶體區域讀出資料。

【發明內容】

【0005】 在一實施例中，一種記憶體裝置包括：一控制器；及一主記憶體，其可操作耦合至該控制器，其中該主記憶體包含：一記憶體區域，其具有複數個記憶體胞元，及校準電路，其可操作耦合至該記憶體區域且經組態以：針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性，基於所量測之效能特性而判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值，及將該讀取位準偏移值輸出至該控制器。

【0006】 在另一實施例中，一種用於校準一記憶體裝置之一記憶體區域之方法包括：針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性；基於所量測之效能特性而判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值；及輸出該讀取位準偏移值。

【0007】 在又一實施例中，一系統包括：一主機裝置；及一記憶體裝置，其包含：一控制器；及一主記憶體，其經由該控制器可操作耦合至

該主機裝置，其中：該主記憶體包含具有複數個記憶體胞元之一記憶體區域，及可操作耦合至該記憶體區域之校準電路，且該校準電路經組態以：針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性，基於所量測之效能特性而判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值，及將該讀取位準偏移值輸出至該控制器。

【圖式簡單說明】

【0008】 圖1係具有根據本發明之一實施例組態之一記憶體裝置之一系統之一方塊圖。

【0009】 圖2係繪示根據本發明之一實施例之一記憶體裝置之組件之間的各種資料交換之一訊息流程圖。

【0010】 圖3A及圖3B係一記憶體裝置之一記憶體區域內之一記憶體胞元之通道電流相對於所施加之電壓之作圖。

【0011】 圖4A至圖4E係繪示根據本發明之一記憶體區域之讀取位準校準之各種作圖、表及圖。

【0012】 圖5A及圖5B係繪示根據本發明之一實施例之用於操作一記憶體裝置之方法之流程圖。

【0013】 圖6係根據本發明之實施例之包含一記憶體裝置之一系統之一示意圖。

【實施方式】

【0014】 如下文所更詳細描述，本發明係關於具有讀取位準校準之記憶體裝置及相關系統。然而，熟習技術者應瞭解本發明可具有額外實施例且可在無需下文參考圖1至圖6所描述之實施例之若干細節之情況下實踐

本發明。在下文所繪示之實施例中，在裝置併入基於「反及」之儲存媒體(例如「反及」快閃)之內文中描述記憶體裝置。然而，根據本發明之其他實施例組態之記憶體裝置可包含其他類型之記憶體裝置及/或可包含並非基於「反及」(例如基於「反或」)或僅部分基於「反及」之主記憶體。

【0015】 本發明之一實施例係包括一控制器及一主記憶體之一記憶體裝置。該主記憶體包含具有複數個記憶體胞元之一記憶體區域。該主記憶體亦包含可操作耦合至該記憶體區域之校準電路。該校準電路經組態以(1)量測對應於該記憶體區域之部分之複數個讀取位準測試信號之各者之一效能特性；(2)基於該等效能特性判定一讀取位準偏移值；及(3)將該讀取位準偏移值輸出至該控制器。

【0016】 一讀取位準偏移值可用於更新記憶體區域之一部分之一對應當前讀取位準信號。依此方式，可校準記憶體裝置之主記憶體之該當前讀取位準信號以解釋主記憶體之記憶體胞元中之臨限電壓之移位，其繼而減少位元錯誤之發生及增加記憶體裝置之壽命。

【0017】 圖1係具有根據本發明之一實施例組態之一記憶體裝置100之一系統101之一方塊圖。如圖中所展示，記憶體裝置100包含一主記憶體102(例如「反及」快閃)及將主記憶體102可操作耦合至一主機裝置108(例如一上游中央處理器(CPU))之一控制器106。主記憶體102包含複數個記憶體區域或記憶體單元120，其各包含複數個記憶體胞元122。記憶體單元120可為個別記憶體晶粒、一單一記憶體晶粒中之記憶體平面、與貫穿矽通路(TSV)垂直連接之記憶體晶粒之一堆疊或其類似者。在一實施例中，記憶體單元120之各者可由一半導體晶粒形成且與其他記憶體單元晶粒配置在一單一記憶體封裝(圖中未展示)中。在其他實施例中，記憶體單

元120之一或多者可共同位於一單一晶粒上及/或分佈於多個裝置封裝中。記憶體胞元122可包含(例如)浮動閘、電荷陷阱、相變、鐵電、磁阻儲存元件及/或經組態以持續或半持續儲存資料之其他適合儲存元件。主記憶體102及/或個別記憶體單元120亦可包含用於存取及/或程式化(例如寫入)記憶體胞元122及其他功能(諸如用於處理資訊及/或與控制器106通信)之其他電路組件(圖中未展示)，諸如多工器、解碼器、緩衝器、讀取/寫入驅動器、位址暫存器、資料輸出/資料輸入暫存器等等。

【0018】 記憶體胞元122可配置在列124 (各對應於一字線)及行126 (各對應於一位元線)中。此外，相鄰字線124可配置成構成一記憶體區塊128之一或多個字線群組。各字線124可橫跨一或多個記憶體分頁，此取決於該字線124之記憶體胞元122經組態以儲存之資料狀態之數目。例如，其中記憶體胞元122儲存兩個資料狀態之一者之記憶體胞元122 (例如經組態以各儲存一位元之SLC記憶體胞元)之一單一字線124可橫跨一單一記憶體分頁。替代地，其中各記憶體胞元122儲存四個資料狀態之一者之記憶體胞元122 (例如經組態以各儲存兩個位元之MLC記憶體胞元)之一單一字線124可橫跨兩個記憶體分頁。再者，記憶體分頁可交錯使得包括經組態以在各胞元(例如SLC記憶體胞元)中儲存兩個資料狀態之一者之記憶體胞元122之一字線124可橫跨呈一「偶數-奇數位元線架構」之兩個記憶體分頁，其中一單一字線124之奇數行126中之所有記憶體胞元122分組為一第一記憶體分頁，且相同字線124之偶數行126中之所有記憶體胞元122分組為一第二記憶體分頁。當偶數-奇數位元線架構用於在各胞元(例如組態為MLC、TLC、QLC等等)之記憶體胞元)中儲存較大數目個資料狀態之記憶體胞元122之一字線124中時，每字線124之記憶體分頁之數目甚至可

更高(例如4個、6個、8個等等)。

【0019】 各行126可包含耦合至一共同源極之一串串聯耦合至記憶體胞元122。各串之記憶體胞元122可串聯連接於一源極選擇電晶體(例如一場效電晶體)與一汲極選擇電晶體(例如一場效電晶體)之間。源極選擇電晶體通常可耦合至一源極選擇線，而汲極選擇電晶體通常可耦合至一汲極選擇線。

【0020】 在其他實施例中，記憶體胞元122可配置在不同於所繪示之實施例中所展示之類型之類型之群組及/或階層中。此外，儘管在所繪示之實施例中為了繪示而展示為具有一特定數目個記憶體胞元、列、行、區塊及記憶體單元，但在其他實施例中，記憶體胞元、列、行、區塊及記憶體單元之數目可變動，且可在規模上大於或小於所繪示之實例中所展示之規模。例如，在一些實施例中，記憶體裝置100可僅包含一記憶體單元120。替代地，記憶體裝置100可包含兩個、三個、四個、八個、十個或更多(例如16個、32個、64個或更多)記憶體單元120。儘管記憶體單元120在圖1中展示為各包含兩個記憶體區塊128，但在其他實施例中，各記憶體單元120可包含一個、三個、四個、八個或更多(例如16個、32個、64個、100個、128個、256個或更多記憶體區塊)。在一些實施例中，各記憶體區塊128可包含(例如) 2^{15} 個記憶體分頁，且一區塊內之各記憶體分頁可包含(例如) 2^{12} 個記憶體胞元122 (例如一「4k」分頁)。

【0021】 主記憶體102進一步包含可操作耦合至記憶體單元120之至少一者之一校準組件或校準電路110 (示意性地展示)。在一些實施例中，校準電路110可位於相同於一個別記憶體單元120之記憶體晶粒上。在此等及其他實施例中，校準電路110可專用於一對應記憶體單元120或多個

記憶體單元，其包含不同晶粒上之記憶體單元。校準電路110可包含諸如多工器、解碼器、緩衝器、讀取/寫入驅動器、位址暫存器、資料輸出/資料輸入暫存器等等之電路組件。在一些實施例中，校準電路110可為與用於存取及/或程式化(例如讀取及/或寫入)記憶體胞元122及/或用於提供其他功能(諸如用於處理資訊及/或與控制器106通信)之其他晶片上電路分離之電路。

【0022】 控制器106可為一微控制器、專用邏輯電路(例如一場可程式閘陣列(FPGA)、一應用特定積體電路(ASIC)等等)或其他適合處理器。控制器106可包含經組態以執行儲存於記憶體中之指令之一處理器130。在圖中所繪示之實例中，控制器106之記憶體包含經組態以執行用於控制記憶體裝置100之操作(包含管理主記憶體102及處置記憶體裝置100與主機裝置108之間的通信)各種程序、邏輯流程及常式之一嵌入式記憶體132。在一些實施例中，嵌入式記憶體132可包含儲存(例如)記憶體指標、所擷取之資料等等之記憶體暫存器。嵌入式記憶體132亦可包含用於儲存微碼之唯讀記憶體(ROM)。儘管圖1中所繪示之例示性記憶體裝置100已繪示為包含一控制器106，但在本發明之另一實施例中，一記憶體裝置可不包含一控制器，且可替代地依靠外部控制(例如由一外部主機提供或由與該記憶體裝置分離之一處理器或控制器提供)。

【0023】 在操作時，控制器106可直接寫入或以其他方式程式化(例如擦除)主記憶體102之各種記憶體區域，諸如藉由寫入記憶體分頁及/或記憶體區塊128之群組。在基於「反及」之記憶體中，一寫入操作通常包含以特定資料值程式化一選定記憶體分頁(例如具有邏輯0或邏輯1之一值之一串資料位元)中之記憶體胞元122。除擦除操作重新程式化整個記憶體

區塊128或多個記憶體區塊128至相同資料狀態(例如邏輯0)之外，一擦除操作類似於一寫入操作。

【0024】 控制器106經由一主機裝置介面115與主機裝置108通信。在一些實施例中，主機裝置108及控制器106可經由諸如一串列附接SCSI (SAS)、一串列AT附接(SATA)介面、一周邊組件互連快速(PCIe)或其他適合介面(例如一並列介面)之一串列介面通信。主機裝置108可發送各種請求(以(例如)一封包或封包之流之形式)至控制器106。一請求可包含寫入、擦除、回傳資訊及/或執行一特定操作(例如一TRIM操作)之一命令。

【0025】 控制器106亦可校準用於程式化主記憶體102及自主記憶體102讀取之信號。在下文所描述之各種實施例中，控制器106可發送一校準信號至校準電路110以指示校準電路110自校準主記憶體102之一或多個記憶體區域，其可改良或最佳化用於讀取諸如記憶體胞元122之一選定群組(例如與一字線相關聯之多個記憶體分頁；圖中未展示)之個別記憶體胞元122之資料狀態之傳訊(例如電壓傳訊)。

【0026】 圖2係繪示根據本發明之一實施例之記憶體裝置100 (圖1)之主記憶體102 (圖1)與控制器106 (圖1)及/或主機裝置108 (圖1)之間之各種資料交換之一訊息流程圖。控制器106可藉由發送一讀取請求230至主記憶體102而自主記憶體102讀取。讀取請求230可包含主記憶體102內之一或多個記憶體區域之實體位址及/或該等記憶體區域之讀取位準信號(例如讀取位準電壓)。回應於讀取請求230，主記憶體102可將讀取位準信號施加於對應記憶體區域且讀出儲存於記憶體區域內之記憶體胞元122 (圖1)上之資料狀態。主記憶體102可在一讀取資料回傳訊息231中將記憶體胞元122之資料狀態回傳至控制器106。

【0027】 控制器106亦可週期性地校準主記憶體102內之一或多個選定記憶體區域之讀取位準信號。讀取位準信號可經週期性校準以解釋(例如)記憶體區域內之記憶體胞元之一或多個臨限電壓之一移位。為校準主記憶體102內之選定記憶體區域之讀取位準信號，控制器106可發送一校準命令232至主記憶體102。校準命令232可包含選定記憶體區域之實體位址及/或選定記憶體區域之當前讀取位準信號(例如預設讀取位準信號及/或先前校準讀取位準信號)。根據本發明之一實施例，主記憶體102可回應於校準命令232而校準選定記憶體區域。作為校準之部分，主記憶體102可回傳可表示自選定記憶體區域之當前讀取位準信號之所計算之偏移之一或多個讀取位準偏移值233至控制器106。接著，控制器106可使用讀取位準偏移值233更新當前讀取位準信號以達到選定記憶體區域之一改良讀取位準信號。接著，控制器106及主機裝置108可使用經校準之讀取位準信號繼續程式及/或讀取主記憶體102。

【0028】 如圖2中所展示，根據本發明之讀取位準校準發生在主記憶體102內部。因此，本發明大幅最小化執行讀取位準校準所需之時間，因為其消除控制器106由主記憶體102之間的多個訊息之需要。例如，根據本發明之一實施例，控制器106發送一單一校準信號232至主記憶體102。作為回應，主記憶體102之校準電路110內部執行讀取位準校準(如下文所更詳細描述)及將一讀取位準偏移值233輸出至控制器106。因此，控制器106不需要發送多個讀取信號至主記憶體102以在讀取位準校準期間校準一或多個選定記憶體區域。因此，減少根據本發明之讀取位準校準之執行時間，從而空出記憶體裝置100以執行其他請求及/或任務。

【0029】 圖3A及圖3B係通道電流相對於諸如主記憶體102 (圖1)之

一記憶體區域內之記憶體胞元122 (圖1)之一者之一記憶體胞元之所施加之電壓之作圖。參考圖3A，記憶體胞元具有分別表示在經程式化以具有一第一資料狀態(例如「0」)及一第二資料狀態(例如「1」)之記憶體胞元之通道中產生一導電路徑所需之電壓之一第一資料狀態臨限電壓 V_{T1} 及一第二資料狀態臨限電壓 V_{T2} 。含有記憶體胞元之記憶體區域在第一資料狀態臨限電壓 V_{T1} 與第二資料狀態臨限電壓 V_{T2} 之間具有一讀取位準信號 V_a (例如一讀取位準電壓)。當讀取位準信號 V_a 施加於記憶體區域時，可自記憶體胞元判定(讀取)儲存於記憶體胞元上之資料狀態。例如，若讀取位準信號 V_a 施加於記憶體區域且回應於讀取位準信號 V_a 之自記憶體胞元讀取之電流不可忽略(例如並非零及/或超過一臨限值)，則儲存於記憶體胞元上之資料狀態判定為在第一資料狀態(例如「0」)中。然而，若自記憶體胞元讀取之電流可忽略(例如為零及/或低於一臨限值)，則儲存於圖3A中所繪示之記憶體胞元上之資料狀態判定為在第二資料狀態(例如「1」)中。

【0030】 在一些記憶體裝置中，一記憶體區域之讀取位準信號最初由一記憶體裝置之製造商程式化(例如在製造或初始組態時)且之後可在記憶體裝置之壽命內保持不變。然而，當記憶體區域重複程式及/或擦除時，記憶體區域內之記憶體胞元之臨限電壓可改變(例如歸因於其穿隧氧化物中之電子之捕集)。圖3B繪示根據本發明之一實施例之此現象對記憶體胞元之臨限電壓之影響。在圖3B中所繪示之實施例中，第一資料狀態臨限電壓 V_{T1} 及第二資料狀態臨限電壓 V_{T2} 已相對於含有記憶體胞元之記憶體區域之讀取位準信號 V_a 增加。如圖中所展示，施加讀取位準信號 V_a 將導致自記憶體胞元讀取之一可忽略電流而不管記憶體胞元是否已經程式化以具有第一資料狀態或第二資料狀態。換言之，記憶體胞元之臨限電壓相

對於記憶體區域之讀取位準信號之一移位導致來自該記憶體胞元之一位元錯誤之可能性增加。當位元錯誤之出現開始在記憶體區域內之多個記憶體胞元中逐漸增加時，錯誤校正碼(ECC)技術最終變得無效，在該點下控制器106 (圖1)可能不能夠適當地讀出儲存於記憶體區域中之資料。因此，校準一記憶體裝置內之記憶體區域之讀取位準信號可顯著增加記憶體裝置之壽命。

【0031】 儘管圖3A至圖3B中之記憶體胞元繪示為具有兩個臨限電壓，但記憶體胞元可具有表示兩個以上資料狀態(例如四個、八個等等資料狀態)之一不同數目個臨限電壓(例如四個、八個等等臨限電壓)。類似地，含有此等記憶體胞元之記憶體區域可具有一個以上讀取位準信號(例如三個、七個等等讀取位準信號)。具有較大數目個臨限電壓之記憶體胞元(例如MLC記憶體胞元及TLC記憶體胞元)更傾向於發生位元錯誤，因為記憶體胞元內之資料狀態之間的容限較小。因此，與在具有較少臨限電壓之記憶體胞元(例如SLC記憶體胞元)中相比，即使此等記憶體胞元之臨限電壓中之一小移位亦可開始在較少寫入及擦除循環內引起位元錯誤。因此，含有具有較大數目個臨限電壓之記憶體胞元之記憶體區域可體驗到來自讀取位準信號校準之一更大益處。

【0032】 圖4A至圖4E係繪示根據本發明之實施例之一記憶體區域之讀取位準校準之各種作圖、表及圖。在主記憶體102 (圖1)自包含(例如)記憶體區域之(若干)實體位址之控制器106 (圖1)接收一校準命令232 (圖2)之後，主記憶體102之校準電路110 (圖1)可將各種測試信號(例如測試電壓)施加於記憶體區域以校準記憶體區域之當前讀取位準信號(例如當前讀取位準電壓)之一或多者。當前讀取位準信號可為最初由製造商程式化之

預設讀取位準信號(例如預設讀取位準電壓)及/或當前讀取位準信號可為先前校準之讀取位準信號。在圖4A至圖4E中所繪示之實施例中，展示一記憶體區域之當前讀取位準信號 V_A (例如讀取位準信號 V_a ；圖3A至圖3B)之讀取位準校準。如圖4A之作圖440中所展示，校準電路110將五個測試信號施加於含有所描繪之記憶體胞元之記憶體區域。更具體而言，校準電路110施加當前讀取位準信號 V_A (即，中心測試信號 V_A)、中心測試信號 V_A 上之兩個上測試信號 V_{U1} 、 V_{U2} 偏移(例如依20 mV間隔)及中心測試信號 V_A 下之兩個下測試信號 V_{L1} 、 V_{L2} 偏移(例如依20 mV間隔)。在其他實施例中，校準電路110可將一不同數目個測試信號(例如三個、七個、九個等等測試信號)施加於記憶體區域及/或可將測試信號之一不同配置(例如三個上測試信號及一個下測試信號或反之亦然)施加於記憶體區域。在此等及其他實施例中，測試信號可均勻地隔開及/或測試信號之間的時間可變動。

【0033】 參考圖4B及圖4C，當校準電路110將測試信號之各者施加於記憶體區域時，校準電路110可判定輸出一指定資料狀態(例如超過一臨限值之一電流及/或低於一臨限值之一電流)之記憶體區域內之記憶體胞元之數目(即，一計數)。在圖4B中所繪示之實施例中，當測試信號 V_{L2} 、 V_{L1} 、 V_A 、 V_{U1} 、 V_{U2} 之各者施加於記憶體區域時，校準電路110可判定一計數。如圖4B之表450中所展示，當校準電路110將較低測試信號 V_{L2} 施加於記憶體區域時，586個記憶體胞元輸出指定資料狀態。類似地，當校準電路110施加較低測試信號 V_{L1} 時，534個記憶體胞元輸出指定資料狀態；當校準電路110施加中心測試信號 V_A 時，493個記憶體胞元輸出指定資料狀態；當校準電路110施加較上測試信號 V_{U1} 時，467個記憶體胞元輸出指定資料狀態；且當校準電路110施加較上測試信號 V_{U2} 至記憶體區域時，411個

記憶體胞元輸出指定資料狀態。

【0034】 在校準電路110獲得指示當各測試信號施加於記憶體區域時輸出指定資料狀態之記憶體胞元之數目之計數之後，校準電路110可計算對應於相鄰測試信號之計數之間的計數差。例如且如圖4B之表450中所展示，校準電路110按如下計算四個計數差 cd_1 至 cd_4 ：(1)下測試信號 V_{L2} 與下測試信號 V_{L1} 之間的計數差；(2)下測試信號 V_{L1} 與中心測試信號 V_A 之間的計數差；(3)中心測試信號 V_A 與上測試信號 V_{U1} 之間的計數差；及(4)上測試信號 V_{U1} 與上測試信號 V_{U2} 之間的計數差。接著，校準電路110可比較計數差以判定一最小計數差。如圖4B之表450及圖4C之直方圖460中所展示，計數差 cd_3 (即，中心測試信號 V_A 與上測試信號 V_{U1} 之間的計數差)判定為圖4A至圖4E中所繪示之實施例中之最小計數差 m 。

【0035】 現參考圖4D，一旦校準電路110獲得最小計數差，校準電路110可計算其他計數差與最小計數差之間的差值(即相對於最小計數差之差值)。例如且如圖4D之表470中所展示，校準電路110可計算計數差 cd_1 、 cd_2 、 cd_4 之各者與最小計數差 m (即，計數差 cd_3)之間的相對差 rd_1 至 rd_3 。如圖中所繪示之實施例中所展示，計數差 cd_1 與最小計數差 m 之間的相對差 rd_1 係26。類似地，計數差 cd_2 與最小計數差 m 之間的相對差 rd_2 係15，且最小計數差 m 與計數差 cd_4 之間的相對差 rd_3 係-29。相對差 rd_3 表示為圖中所繪示之實施例中之一負值，因為此相對差對應於在最小計數差 m 之上方及右邊偏移之測試信號、計數及一計數差。

【0036】 在校準電路110計算其他計數差與最小計數差之間的相對差之後，校準電路110可外推具有相反正負號之相鄰相對差之間(即，對應於鄰近於且圍繞最小計數差之計數差之相對差之間)的一值。圖4E係圖形

地表示外推計算之一作圖480。如圖中所展示，一正負號改變發生在相對差 rd_2 之圖形表示與相對差 rd_3 之圖形表示之間。因此，相對差 rd_2 與相對差 rd_3 係對應於鄰近於且圍繞最小計數差 m 之計數差之相對差。相比而言，無正負號改變發生在相對差 rd_1 之圖形表示與相對差 rd_2 之圖形表示之間。因此，在圖中所繪示之實施例中，校準電路110外推相對差 rd_2 與相對差 rd_3 之間的一值483。在圖4E之作圖480中，一外推曲線482展示為與相對差 rd_2 之圖形表示及相對差 rd_3 之圖形表示之峰值交叉。在此實施例中，外推曲線483對應於外推曲線492與作圖480之x軸交叉之點。依循此外推，校準電路110可判定對應於當前讀取位準信號(例如中心測試信號 V_A)與外推值之間的一距離之一讀取位準偏移值。

【0037】 在一些實施例中，讀取位準偏移值可捨入一最近偏移步進值(例如最近5 mV或10 mV偏移步進值)以促進較容易儲存為一整數值(例如一位元組及/或一帶正負號整數值)。例如，在圖4E中所繪示之實施例中(其中中心測試信號 V_A 及上測試信號 V_{U1} 分離達20 mV)，讀取位準偏移值可表示中心測試信號 V_A 上之大約7 mV之一偏移。若記憶體裝置經組態以捨入讀取位準偏移值至最近 ± 10 mV偏移步進值，則+7 mV之讀取位準偏移值將捨入為+10 mV之一值(例如校準電路110將回傳+10 mV之一值，從而指示讀取位準信號應為超過中心測試信號 V_A 大約10 mV)。類似地，若針對另一記憶體區域計算之讀取位準偏移值為超過中心測試信號 V_A 4 mV，且記憶體裝置經組態以捨入一讀取位準偏移值至最近 ± 10 mV偏移步進值，則+4 mV之讀取位準偏移值將捨入至0 mV之一值(例如校準將回傳一0 mV值，從而指示讀取位準信號不需要一偏移)。

【0038】 在一些實施例中，記憶體區域可為一較大記憶體區域(例如

一記憶體區塊、一記憶體單元等等)內之一記憶體分頁及/或一較大記憶體區域(例如一記憶體單元)內之一記憶體區塊。在此等及其他實施例中，可對一較大記憶體區域內之一個以上記憶體分頁及/或一個以上記憶體區塊執行讀取位準校準。因此，校準電路110可藉由對較大記憶體區域(例如對所有記憶體分頁或記憶體分頁之一子集及/或對包括較大記憶體區域之所有記憶體區塊或記憶體區塊之一子集)執行讀取位準校準而產生多個讀取位準偏移值。在此一實施例中，校準電路110可依下文參考圖5A至圖5B更詳細描述之方式自多個讀取位準偏移值計算較大記憶體區域之一平均讀取位準偏移值。

【0039】 圖5A及圖5B係分別繪示根據本發明之一實施例之用於操作一記憶體裝置之常式570及常式580之流程圖。常式570可由(例如)記憶體裝置100 (圖1)之控制器106 (圖1)執行，而常式580可由(例如)記憶體裝置100之主記憶體102 (圖1)之校準電路110 (圖1)執行。在一實施例中，常式570及常式580可在控制器106已程式化(例如寫入及/或擦除)主記憶體102之一或多個記憶體區域一預定數目個次數(例如1次、25次、100次、400次、800次、1000次、10000次等等)之後自動實施。在其他實施例中，常式570及常式580可回應於源自主機裝置108 (圖1)之一校準命令而實施。在其他實施例中，常式570及常式580可在發生其他事件之後(例如在已經過一指定時間量之後、在記憶體裝置100首次通電或連接至一主機裝置之後及/或完成其他命令(例如讀取命令之後))實施。

【0040】 參考圖5A，常式570開始於發送諸如圖2之校準命令232之一校準命令(區塊571)至含有(例如)主記憶體102之選定記憶體區域之(例如一或多個選定記憶體分頁、區塊、邏輯單元等等之)一或多個邏輯位址及

選定記憶體區域之一或多個當前讀取位準信號(例如當前讀取位準電壓)之常式580。如上文所討論，當前讀取位準信號可為最初由製造商程式化之預設讀取位準信號(例如預設讀取位準電壓)及/或當前讀取位準信號可為先前根據本發明校準之讀取位準信號(例如讀取位準電壓)。在一些實施例中，該一或多個記憶體區域由校準命令571指示(例如區域可由控制器106或主機裝置108選擇)。在其他實施例中，校準電路110可回應於校準命令571而選擇該一或多個記憶體區域及/或擷取(例如自儲存於主記憶體102及/或控制器106之嵌入式記憶體132內之一表)該(等)選定記憶體區域之該(等)對應當前讀取位準信號。

【0041】 現參考圖5B，常式580接收校準命令(區塊581)。常式580前進至根據上述圖4A至圖4E之討論對選定記憶體區域執行讀取位準校準以產生一或多個讀取位準偏移值(區塊582)。例如，選定記憶體區域可為一或多個記憶體單元且常式580可藉由(例如)對各記憶體區塊之每字線群組之一預定數目個記憶體分頁(例如每字線群組兩個邊緣記憶體分頁及一中間記憶體分頁)執行讀取位準校準而對各記憶體單元之一預定數目個記憶體區塊(例如記憶體區塊之一取樣子集)執行讀取位準校準。在其他實施例中，選定記憶體區域可為一或多個記憶體區塊，且常式580可對選定記憶體區塊內之每字線群組之一預定數目個記憶體分頁(例如，每字線群組之記憶體分頁之一取樣子集)執行讀取位準校準。

【0042】 在常式580獲得藉由對該(等)選定記憶體區域執行讀取位準校準而產生之一或多個讀取位準偏移值(區塊582)之後，常式580可自所獲得之該(等)讀取位準偏移指計算一平均讀取位準偏移值(例如每記憶體分頁、每字線群組、每記憶體區塊、每記憶體單元等等)(區塊583)。例如，

常式580可藉由採用所獲得之讀取位準偏移值之中位數(例如一中位數位元組及/或一中位數帶正負號整數)而計算一平均讀取位準偏移值。在其他實施例中，常式580可使用其他平均化技術(例如平均數、眾數等等)計算平均讀取位準偏移值。在此等及其他實施例中，常式580可在計算平均讀取位準偏移值(區塊583)之前忽略自對該(等)選定記憶體區域執行讀取位準校準(區塊582)獲得之離群值讀取位準偏移值(例如大於 ± 10 數位至類比(DAC)偏移之值)。在一些實施例中，常式580可在捨入最近偏移步進值之前計算平均讀取位準偏移值。在其他實施例中，常式580可在將所獲得之讀取位準偏移值捨入最近偏移步進值之後計算平均讀取位準偏移值。此外，在在對該(等)選定記憶體區域執行讀取位準校準之後產生一單一讀取位準偏移值之實施例中，該單一讀取位準偏移值可被視為該(等)選定記憶體區域之一平均讀取位準偏移值。常式580可將該平均讀取位準偏移值輸出至常式570 (區塊584)。

【0043】 再次參考圖5A，常式570可自常式580接收平均讀取位準偏移值(區塊572)。接著，常式570可使用平均讀取位準偏移值更新選定記憶體區域之當前讀取位準信號(區塊573)。例如，常式570可使用平均讀取位準偏移值(例如當平均讀取位準偏移值表示為一位元組及/或一帶正負號整數值)以更新選定記憶體區域之讀取位準信號之所儲存之一校準值(區塊584)。在此等實施例中，選定記憶體區域之當前讀取位準信號可表示為(例如)預設讀取位準加上一校準值加上其他系統偏移。當記憶體裝置100經初始組態(例如在製造之時間時或在初始化之後)時，校準值最初可設定為等於零，且常式570可藉由(例如)將自常式580接收之平均讀取位準偏移值添加至先前校準值以獲得一新校準至而更新校準值。例如，在一實施例

中，若先前校準值係+5 mV (例如表示一原始讀取位準信號上之一5 mV 偏移)，且由一讀取位準校準操作判定之平均讀取位準偏移值係+10 mV (例如表示讀取位準校準之一中心測試信號上之一10 mV 偏移)，則常式580可藉由求和所儲存之校準值及平均讀取位準偏移值以獲得一更新校準值(例如+5 mV與+10 mV求和回傳+15 mV)而更新所儲存之校準值。

【0044】 因此，在選定記憶體區域之讀取位準校準之後續反覆中，可藉由將自常式580新獲得之該(等)平均讀取位準偏移值添加至所儲存之校準值而更新校準值。因此，該(等)更新校準值可表示相對於選定記憶體區域之一先前讀取位準信號增加或減少記憶體區域之當前讀取位準信號(例如達±5 mV、±10 mV、±20 mV及/或其他電壓值)以達到記憶體區域之一改良讀取位準信號之指令。在此等及其他實施例中，常式570可將更新校準值及/或更新當前讀取位準信號儲存於(例如)儲存於記憶體裝置100之主記憶體102及/或控制器106之嵌入記憶體132上之一表中，使得常式570可繼續追蹤此等值(例如作為待在記憶體裝置100之各加電之後載入之持續資料)。

【0045】 儘管在前述例示性實施例中，讀取位準校準操作已描述為輸出表示讀取位準信號可藉由其索引之偏移之值，但本發明不受限於此配置。在其他實施例中，常式570可將平均讀取位準偏移值轉換為(例如)可表示施加於記憶體區域之當前讀取位準信號以達到一改良讀取位準信號之一比例因數之一純量值。在其他實施例中，一讀取位準校準操作可將經計算之一平均讀取位準偏移值轉換為其他指令以更新或以其他方式修改當前讀取位準信號(例如作為一讀取位準信號值，而非所儲存之一值之一偏移等等)。

【0046】圖6係根據本發明之實施例之包含一記憶體裝置之一系統之一示意圖。上文參考圖1至圖5B所描述之前述記憶體裝置之任一者可併入無數更大及/或更複雜系統之一之任何者中，系統之一代表性實例係圖6中示意性地展示之系統690。系統690可包含一半導體裝置總成600、一電源692、一驅動器694、一處理器696及/或其他子系統及組件698。半導體裝置總成600可包含大體上類似於上文參考圖1至圖5B所描述之記憶體裝置之特徵之特徵且因此，可包含校準讀取位準信號之各種特徵。所得系統690可執行多種功能之任何者，諸如記憶體儲存、資料處理及/或其他適合功能。因此，代表性系統690可包含(但不限於)手持裝置(例如行動電話、平板電腦、數位閱讀器及數位音訊播放機)、電腦、載具、設備及其他產品。系統690之組件可容置於一單一單元中或分佈於多個互連單元中(例如透過一通信網路)。系統690之組件亦可包含遠端裝置及多種電腦可讀媒體之任何者。

【0047】自前述內容，應瞭解已為了繪示而在本文中描述本發明之特定實施例，但可在不自本發明偏離之情況下進行各種修改。例如，在一實施例中，校準電路110(圖1)可選擇一或多個記憶體區域在無需一校準命令(例如來自控制器106及/或來自主機裝置108之一校準命令232；圖1至圖2)之情況進行校準。校準電路110可(例如)基於以下項選擇記憶體區域進行校準：諸如一記憶體區域已被讀取、擦除及/或寫入之次數；該記憶體區域上一次校準之後已經過之時間之量；(例如一記憶體區塊內之一或多個記憶體分頁、一記憶體單元內之一或多個記憶體區塊等等)之隨機取樣；及/或根據記憶體區域之一預定義順序。在此等及其他實施例中，系統101(圖1)之一單一組件(例如校準電路110)可執行上文參考圖5A至圖5B

所討論之常式570及常式580之步驟之各者(例如無需一校準命令)。另外，特定實施例之內文中所描述之新技術之特定態樣亦可在其他實施例中組合或消除。再者，儘管已在該等實施例之內文中描述與新技術之特定實施例相關聯之優點，但其他實施例亦可展現此等優點且並非所有實施例皆必須展現此等優點以落入本發明之範疇內。因此，本發明及相關聯之技術可涵蓋未明確展示或描述之其他實施例。

【符號說明】

【0048】

- 100 記憶體裝置
- 101 系統
- 102 主記憶體
- 106 控制器
- 108 主機裝置
- 110 校準電路
- 115 主機裝置介面
- 120 記憶體單元
- 122 記憶體胞元
- 124 列/字線
- 126 行
- 128 記憶體區塊
- 130 處理器
- 132 嵌入式記憶體
- 230 讀取請求

- 231 讀取資料回傳訊息
- 232 校準命令
- 233 讀取位準偏移值
- 440 作圖
- 450 表
- 460 直方圖
- 470 表
- 480 作圖
- 482 外推曲線
- 483 外推曲線
- 492 外推曲線
- 570 常式
- 571 區塊
- 572 區塊
- 573 區塊
- 580 常式
- 581 區塊
- 582 區塊
- 583 區塊
- 584 區塊
- 600 半導體裝置總成
- 690 系統
- 692 電源

- 694 驅動器
- 696 處理器
- 698 子系統/組件
- cd₁至cd₄ 計數差
- m 最小計數差
- rd₁至rd₃ 相對差
- V_A 中心測試信號/當前讀取位準信號
- V_a 讀取位準信號
- V_{L1} 下測試信號
- V_{L2} 下測試信號
- V_{T1} 第一資料狀態臨限電壓
- V_{T2} 第二資料狀態臨限電壓
- V_{U1} 上測試信號
- V_{U2} 上測試信號



I688962

【發明摘要】

IPC分類號：G11C 29/08 (2006.01)
G06F 9/30 (2018.01)

【中文發明名稱】

具有讀取位準校準之記憶體裝置

【英文發明名稱】

MEMORY DEVICES WITH READ LEVEL CALIBRATION

【中文】

本文揭示具有讀取位準校準之記憶體裝置及系統之若干實施例。在一實施例中，一記憶體裝置包含可操作耦合至具有至少一記憶體區域及校準電路之一主記憶體之一控制器。該校準電路可操作耦合至該至少一記憶體區域且經組態以判定對應於該至少一記憶體區域之一讀取位準信號之一讀取位準偏移值。在一些實施例中，該校準電路經組態以獲得該主記憶體內部之該讀取位準偏移值。該校準電路經進一步組態以將該讀取位準偏移值輸出至該控制器。

【英文】

Several embodiments of memory devices and systems with read level calibration are disclosed herein. In one embodiment, a memory device includes a controller operably coupled to a main memory having at least one memory region and calibration circuitry. The calibration circuitry is operably coupled to the at least one memory region and is configured to determine a read level offset value corresponding to a read level signal of the at least one memory region. In some embodiments, the calibration circuitry is configured to obtain the read level offset value internal to the main memory. The calibration circuitry is further

configured to output the read level offset value to the controller.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

- 102 主記憶體
- 106 控制器
- 108 主機裝置
- 230 讀取請求
- 231 讀取資料回傳訊息
- 232 校準命令
- 233 讀取位準偏移值

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

一控制器；及

一主記憶體，其可操作耦合至該控制器，其中該主記憶體包含：

一記憶體區域，其具有複數個記憶體胞元，及

校準電路，其可操作耦合至該記憶體區域且經組態以：

針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性，其中該效能特性包括回應於一對應讀取位準測試信號而輸出一第一資料狀態之記憶體胞元之計數；

至少部分地基於針對相鄰讀取位準測試信號輸出該第一資料狀態之記憶體胞元之該等計數之間的差異而判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值，及

將該讀取位準偏移值輸出至該控制器。

【第2項】

如請求項1之記憶體裝置，其中該記憶體區域包括包含複數個字線群組之一記憶體區塊，且其中該部分包括該複數個字線群組之一子集。

【第3項】

如請求項1之記憶體裝置，其中該記憶體區域包括包含複數個字線群組之一記憶體區塊，各字線群組具有複數個記憶體分頁，且其中該部分包括來自各字線群組之兩個最末端記憶體分頁及一內記憶體分頁。

【第4項】

如請求項3之記憶體裝置，其中藉由平均化對應於該兩個最末端記憶體分頁及一中間記憶體分頁之複數個偏移值而判定該讀取位準偏移值。

【第5項】

如請求項1之記憶體裝置，其中該校準電路經組態以回應於自該控制器接收之一校準命令而輸出該讀取位準偏移值。

【第6項】

如請求項5之記憶體裝置，其中該控制器經組態以當該記憶體區域完成一第一預定數目個程式循環、一第二預定數目個擦除循環或一第三預定數目個程式或擦除循環時發送該校準命令。

【第7項】

如請求項5之記憶體裝置，其中該控制器經組態以當該記憶體裝置連接至一主機時、在自從上一次發送該校準命令已經過一預定時間量之後或自從上一次發送該校準命令已對該記憶體區域執行一預定數目個讀取循環之後發送該校準命令。

【第8項】

如請求項5之記憶體裝置，其中該控制器經組態以回應於自可操作連接至該記憶體裝置之一主機裝置接收之一命令而發送該校準命令。

【第9項】

如請求項1之記憶體裝置，其中該控制器經組態以基於該讀取位準偏移值而更新對應於該記憶體區域之一讀取位準。

【第10項】

如請求項1之記憶體裝置，其中該校準電路位於相同於該記憶體區域之一記憶體晶粒上。

【第11項】

一種記憶體裝置，其包含：

一控制器；及

一主記憶體，其可操作耦合至該控制器，其中該主記憶體包含：

一記憶體區域，其具有複數個記憶體胞元，及

校準電路，其可操作耦合至該記憶體區域且經組態以：

針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性，

其中該複數個讀取位準測試信號包含該記憶體區域之一讀取位準信號，該讀取位準信號上之至少兩個信號偏移，及該讀取位準信號下之至少兩個信號偏移；及

其中量測該效能特性包含：

將該複數個讀取位準測試信號之各者施加於該記憶體區域內之記憶體胞元之一子集，及

偵測回應於該等讀取位準測試信號之各者而輸出一第一資料狀態之記憶體胞元之該子集中之記憶體胞元之計數；

基於經量測之該效能特性以判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值，及

輸出該讀取位準偏移值至該控制器。

【第12項】

如請求項11之記憶體裝置，其中判定該讀取位準偏移值包含：

量測記憶體胞元之相鄰計數之間的計數差，

計算至少鄰近於該最小計數差之該等計數差與該最小計數差之間的

相對差，

外推該等相對差之間的該外推位準，及
將該讀取位準偏移值判定為該外推位準與該記憶體區域之該讀取位準信號
之間的一距離。

【第13項】

一種用於校準一記憶體裝置之一記憶體區域之方法，該方法包括：

針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之
一效能特性，其中該效能特性包括回應於一對應讀取位準測試信號而輸出
一第一資料狀態之記憶體胞元之計數；

至少部分地基於針對相鄰讀取位準測試信號輸出該第一資料狀態之
記憶體胞元之該等計數之間的差異而判定對應於該複數個讀取位準測試信
號之兩者之間的一外推位準之一讀取位準偏移值；及

輸出該讀取位準偏移值。

【第14項】

如請求項13之方法，其中：

該複數個讀取位準測試信號包含該記憶體區域之一讀取位準信號，
該讀取位準信號上之至少兩個信號偏移，及該讀取位準信號下之至少兩個
信號偏移；且

量測一效能特性包含：

將該複數個讀取位準測試信號之各者施加於該記憶體區域之該部
分內之記憶體胞元之一子集，及

偵測回應於該複數個讀取位準測試信號之各者而輸出該第一資料
狀態之記憶體胞元之該子集中之記憶體胞元之該等計數。

【第15項】

如請求項14之方法，其中判定該讀取位準偏移包含：

量測記憶體胞元之相鄰計數之間的計數差，

計算至少鄰近於該最小計數差之該等計數差與該最小計數差之間的相對差，

外推該等相對差之間的該外推位準，及

將該讀取位準偏移值判定為該外推位準與該記憶體區域之該讀取位準信號之間的一距離；且

其中該量測及判定發生在包括該記憶體區域之一主記憶體內部。

【第16項】

如請求項13之方法，其中該記憶體區域包括包含複數個字線群組之一記憶體區塊，且其中該部分包括該複數個字線群組之一子集。

【第17項】

如請求項13之方法，其中該記憶體區域包括包含複數個字線群組之一記憶體區塊，各字線群組具有複數個記憶體分頁，且其中該部分包括來自各字線群組之兩個最末端記憶體分頁及一中間記憶體分頁。

【第18項】

如請求項17之方法，其中判定該讀取位準偏移值包含平均化對應於該兩個最末端記憶體分頁及一中間記憶體分頁之複數個偏移值。

【第19項】

如請求項18之方法，其中該平均化包含在判定該讀取位準偏移值之前自該複數個偏移值忽略離群值偏移值。

【第20項】

如請求項13之方法，其中該量測、判定及輸出排定為在該記憶體區域已經歷一第一預定數目個程式循環、一第二預定數目個擦除循環或一第三預定數目個程式循環或擦除循環之後執行。

【第21項】

如請求項13之方法，其進一步包括使用該讀取位準偏移值更新該記憶體區域之一讀取位準信號。

【第22項】

如請求項21之方法，其中更新該讀取位準信號包含更新對應於該讀取位準偏移值之一校準值。

【第23項】

如請求項22之方法，其進一步包括儲存該更新校準值作為儲存於該記憶體裝置上之一表中之持續資料，其中

該校準值表示添加至該記憶體區域之一對應讀取位準信號或自該記憶體區域之一對應讀取位準信號減去之一電壓值，且

該持續資料在該記憶體裝置之各加電之後載入。

【第24項】

一種系統，其包括：

一主機裝置；及

一記憶體裝置，其包含：

一控制器；及

一主記憶體，其經由該控制器可操作耦合至該主機裝置，其中：

該主記憶體包含包括複數個記憶體胞元之一記憶體區域，及可操作耦合至該記憶體區域之校準電路，且

該校準電路經組態以：

針對該記憶體區域之一部分量測複數個讀取位準測試信號之各者之一效能特性，其中該效能特性包括回應於一對應讀取位準測試信號而輸出一第一資料狀態之記憶體胞元之計數，

至少部分地基於針對該等讀取位準測試信號之各者輸出該第一資料狀態之記憶體胞元之該等計數之間的差異而判定對應於該複數個讀取位準測試信號之兩者之間的一外推位準之一讀取位準偏移值，及

將該讀取位準偏移值輸出至該控制器。

【第25項】

如請求項24之系統，其中該校準電路經組態以回應於來自該控制器之一校準命令而輸出該讀取位準偏移值。

【第26項】

如請求項25之系統，其中該控制器經組態以回應於來自該主機裝置之一校準指令而發送該校準命令。

【第27項】

如請求項24之系統，其中：

該複數個讀取位準測試信號包含該記憶體區域之一讀取位準信號，該讀取位準信號上之至少兩個信號偏移，及該讀取位準信號下之至少兩個信號偏移；且

量測該效能特性包含：

將該複數個讀取位準測試信號之各者施加於該記憶體區域內之記憶體胞元之一子集，及

偵測回應於該等讀取位準測試信號之各者而輸出該第一資料狀態之記憶體胞元之該等計數。

【第28項】

如請求項27之系統，其中：

判定該讀取位準偏移值包含：

量測相鄰計數之間的計數差；

計算至少鄰近於該最小計數差之該等計數差與該最小計數差之間的相對差；

外推該等相對差之間的該外推位準；及

將該讀取位準偏移值判定為該外推位準與該記憶體區域之該讀取位準信號之間的一距離。

【第29項】

如請求項24之系統，其中該記憶體裝置經組態以當該校準電路量測該效能特性、判定該讀取位準偏移值或輸出該讀取位準偏移值時防止該主機裝置讀取、程式化及擦除該記憶體裝置之該主記憶體。