

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 十分なラッチアップ耐量を得られ、かつ、集積化が可能となる技術を提供する。ワイドバンドギャップ半導体装置は、コレクタ領域(10)と、ドリフト領域よりも高い不純物濃度を有する電荷蓄積領域(21)と、ベース領域(30)と、ベース領域よりも高い不純物濃度を有する電荷引き抜き領域(32)と、エミッタ領域(40)と、ショットキー電極(71)と、ゲート絶縁膜(50)と、ゲート電極(60)と、エミッタ電極(80)と、コレクタ電極(81)とを備える。

明 細 書

発明の名称：

ワイドバンドギャップ半導体装置、および、電力変換装置

技術分野

[0001] 本願明細書に開示される技術は、ワイドバンドギャップ半導体装置、および、電力変換装置に関するものである。

背景技術

[0002] ワイドバンドギャップ半導体のトランジスタは、主に金属－酸化膜－半導体電界効果トランジスタ（`metal-oxide-semiconductor field-effect transistor`、すなわち、`MOSFET`）型を主体として開発されている。しかしながら、超高耐圧下では導通損の低減が必要となるため、バイポーラ型のトランジスタが注目されている。絶縁ゲート型バイポーラトランジスタ（`insulated gate bipolar transistor`、すなわち、`IGBT`）では、低オン抵抗、低スイッチング損失、かつ、耐久性の高いデバイスが求められている。

[0003] `IGBT`において、デバイスに不具合が発生するモードとして、主電流が流れているオン状態から、主電流が流れないオフ状態へ移行する際に、`P`型のベース領域に流れるホール電流による電圧降下が、`N`型の不純物を比較的高濃度（`N+`）で有するエミッタ領域と`P`型のベース領域との間のビルトイン電圧を超えてしまうと、寄生サイリスタがオン状態となり、さらに、電流が流れ続けるラッチアップ状態となって、デバイスの損傷に至るラッチアップモードが挙げられる。

[0004] また、主電流が流れているオン状態の場合に、`P`型のコレクタ領域から`N`型のドリフト領域に注入されたホールのほとんどが`P`型のベース領域へ抜けてしまうと、`N`型のドリフト領域内のキャリア濃度が増加されず、オン抵抗を下げることができない。

[0005] 以上のように、オン状態においては、ホールをN型のドリフト領域内に蓄積し、オン状態からオフ状態へ移行する際は、P型のベース領域へ流れるホール電流を低減しなければならない。

[0006] このような問題に対して、たとえば特許文献1には、トレンチゲートを有するIGBTにおいて、主電流を流すメインセルの他に、ホール電流をエミッタ電極へ流すことができるダミーセルが形成されている。さらに、ダミーセルには、直列に接続された整流素子を有する構造が開示されている。

[0007] この構造においては、オン状態からオフ状態に移行する際にはダミーセルへホールが流れるため、ダミーセルと並列に接続されたメインセルのN型のエミッタ領域の直下を流れるホール電流は低減され、ラッチアップ耐量は増加する。

[0008] さらにオン状態においては、整流素子にビルトイン電圧（およそ0.7V）以下の電圧しか印加されないので、ホールは排出されない。よって、高いラッチアップ耐量と低いオン抵抗とを確保することができる。

先行技術文献

特許文献

[0009] 特許文献1：特開2004-153112号公報

発明の概要

発明が解決しようとする課題

[0010] 特許文献1に開示された構成では、整流素子のビルトイン電圧はおよそ0.7Vであり、SiのPN接合のビルトインポテンシャルに相当する。

[0011] エミッタ領域とベース領域との間のPN接合がSiで形成された場合、このPN接合は、前述の整流素子と同じくビルトイン電圧が0.7V程度である。当該整流素子に0.7Vの電圧が印加されて導通する場合、エミッタ領域とベース領域との間のPN接合にも、0.7V程度の電圧が印加されて導通する可能性がある。

[0012] IGBTと整流素子とがSiCのPN接合で作成された場合も同様で、ど

これらのビルトイン電圧もおおよそ2.5Vとなり、十分なラッチアップ耐量が得られない。

[0013] IGBTをSiCで作製し、整流素子をSiで作製することによってビルトイン電圧に差を付けることができるが、IGBTと整流素子とを密集させて形成することができないため、単位面積あたりの抵抗値を低減することができない。

[0014] また、特許文献1に開示された構成では、整流素子がデバイスの外部に設けられている。そのため、ダミーセル内のP型の領域と当該整流素子とを接続するために、ゲート電極またはエミッタ電極とは異なる電極（具体的には、ダイバータ電極）が必要となっている。

[0015] ダイバータ電極と整流素子とは、たとえば、ワイヤーボンディングなどの方法で接続される。そのため、ある程度面積の広い電極パッド（具体的には、ダイバータ電極パッド）がデバイス上に形成される必要があり、集積化が困難であった。

[0016] 本願明細書に開示される技術は、以上に記載されたような問題を解決するためになされたものであり、十分なラッチアップ耐量が得られ、かつ、集積化が可能となる技術を提供することを目的とするものである。

課題を解決するための手段

[0017] 本願明細書に開示される技術の第1の態様は、第1の導電型のワイドバンドギャップ半導体からなるドリフト領域と、前記ドリフト領域の下面に形成される、第2の導電型のワイドバンドギャップ半導体からなるコレクタ領域と、前記ドリフト領域の上面に形成され、かつ、前記ドリフト領域よりも高い不純物濃度を有する、第1の導電型のワイドバンドギャップ半導体からなる電荷蓄積領域と、前記電荷蓄積領域の表層において部分的に形成される、第2の導電型のベース領域と、前記電荷蓄積領域の表層において前記ベース領域から離間して形成され、かつ、前記ベース領域よりも高い不純物濃度を有する、第2の導電型の電荷引き抜き領域と、前記ベース領域の表層において部分的に形成され、かつ、前記電荷蓄積領域よりも高い不純物濃度を有す

る、第1の導電型のエミッタ領域と、前記電荷引き抜き領域に接触して形成され、かつ、前記電荷引き抜き領域とショットキー接続するショットキー電極と、前記電荷蓄積領域と前記エミッタ領域とに挟まれる位置の前記ベース領域に接触して形成されるゲート絶縁膜と、前記ゲート絶縁膜に接触して形成されるゲート電極と、前記ショットキー電極とエミッタ領域とを覆って形成されるエミッタ電極と、前記コレクタ領域の下面に形成されるコレクタ電極とを備える。

[0018] また、本願明細書に開示される技術の第2の態様は、上記のワイドバンドギャップ半導体装置を有し、かつ、入力される電力を変換して出力する変換回路と、前記ワイドバンドギャップ半導体装置を駆動するための駆動信号を前記ワイドバンドギャップ半導体装置に出力する駆動回路と、前記駆動回路を制御するための制御信号を前記駆動回路に出力する制御回路とを備える。

発明の効果

[0019] 本願明細書に開示される技術の第1の態様は、第1の導電型のワイドバンドギャップ半導体からなるドリフト領域と、前記ドリフト領域の下面に形成される、第2の導電型のワイドバンドギャップ半導体からなるコレクタ領域と、前記ドリフト領域の上面に形成され、かつ、前記ドリフト領域よりも高い不純物濃度を有する、第1の導電型のワイドバンドギャップ半導体からなる電荷蓄積領域と、前記電荷蓄積領域の表層において部分的に形成される、第2の導電型のベース領域と、前記電荷蓄積領域の表層において前記ベース領域から離間して形成され、かつ、前記ベース領域よりも高い不純物濃度を有する、第2の導電型の電荷引き抜き領域と、前記ベース領域の表層において部分的に形成され、かつ、前記電荷蓄積領域よりも高い不純物濃度を有する、第1の導電型のエミッタ領域と、前記電荷引き抜き領域に接触して形成され、かつ、前記電荷引き抜き領域とショットキー接続するショットキー電極と、前記電荷蓄積領域と前記エミッタ領域とに挟まれる位置の前記ベース領域に接触して形成されるゲート絶縁膜と、前記ゲート絶縁膜に接触して形成されるゲート電極と、前記ショットキー電極とエミッタ領域とを覆って形

成されるエミッタ電極と、前記コレクタ領域の下面に形成されるコレクタ電極とを備える。このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面のPN接続よりも低い電圧で導通するため、PN接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、ワイドバンドギャップ半導体装置の信頼性が向上する。また、ショットキー接続を有する構造をベース領域と同じセル内に形成するため、素子の集積化が可能となる。そのため、単位面積あたりの抵抗を低減することができる。

[0020] また、本願明細書に開示される技術の第2の態様は、上記のワイドバンドギャップ半導体装置を有し、かつ、入力される電力を変換して出力する変換回路と、前記ワイドバンドギャップ半導体装置を駆動するための駆動信号を前記ワイドバンドギャップ半導体装置に出力する駆動回路と、前記駆動回路を制御するための制御信号を前記駆動回路に出力する制御回路とを備える。このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面のPN接続よりも低い電圧で導通するため、PN接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、電力変換装置の信頼性が向上する。また、ショットキー接続を有する構造をベース領域と同じセル内に形成するため、素子の集積化が可能となる。そのため、単位面積あたりの抵抗を低減することができる。

[0021] また、本願明細書に開示される技術に関する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

図面の簡単な説明

[0022] [図1]実施の形態に関する、半導体装置としてのIGBTの構成の例を概略的に示す断面図である。

[図2]半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図3]単位セルが櫛状に配置される場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図4]単位セルが梯子状に配置される場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図5]単位セルがストライプ状に配置される場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図6]実施の形態に関する、IGBTの構成の例を概略的に示す断面図である。

[図7]実施の形態に関する、IGBTの構成の例を概略的に示す断面図である。

[図8]実施の形態に関する、IGBTの構成の例を概略的に示す断面図である。

[図9]半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図10]実施の形態に関する、IGBTの構成の例を概略的に示す断面図である。

[図11]半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図12]実施の形態に関する、IGBTの構成の例を概略的に示す断面図である。

[図13]半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図14]半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[図15]実施の形態に関する、ＩＧＢＴの構成の例を概略的に示す断面図である。

[図16]実施の形態に関する、電力変換装置を含む電力変換システムの構成の例を概念的に示す図である。

発明を実施するための形態

[0023] 以下、添付される図面を参照しながら実施の形態について説明する。

[0024] なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化がなされるものである。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、断面図ではない平面図などの図面においても、実施の形態の内容を理解することを容易にするために、ハッチングが付される場合がある。

[0025] また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。

[0026] また、以下に記載される説明において、「上」、「下」、「左」、「右」、「側」、「底」、「表」または「裏」などの特定の位置と方向とを意味する用語が用いられる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられるものであり、実際に実施される際の方向とは関係しないものである。

[0027] また、以下に記載される説明において、「第１の」、または、「第２の」などの序数が用いられる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられるものであり、これらの序数によって生じ得る順序などに限定されるものではない。

[0028] ＜第１の実施の形態＞

以下、本実施の形態に関するワイドバンドギャップ半導体装置、および、ワイドバンドギャップ半導体装置の製造方法について説明する。

[0029] ＜ＩＧＢＴの構成について＞

図1は、本実施の形態に関する半導体装置としてのIGBT100の構成の例を概略的に示す断面図である。図2は、半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図1は、図2におけるA-A'断面に相当する。

[0030] なお、図2では、単位セルが格子状に配置された例が示されているが、単位セルの配置は、他にも、楕状に配置される場合、梯子状に配置される場合、または、ストライプ状に配置される場合も想定される。

[0031] 図3は、単位セルが楕状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。また、図4は、単位セルが梯子状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。また、図5は、単位セルがストライプ状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図1は、図3、図4、および、図5それぞれにおけるA-A'断面に相当する。

[0032] 図1に例が示されるように、IGBT100は、P型の不純物を比較的高濃度(P⁺)で有するP型のコレクタ領域10と、コレクタ領域10の一方の主面上(すなわち、上面)に積層されたN型のドリフト領域20と、ドリフト領域20の上面に積層されたN型の電荷蓄積領域21とを備える。ここで、電荷蓄積領域21は、ドリフト領域20よりも高い不純物濃度を有する。

[0033] なお、IGBT100に用いられる半導体物質は、シリコン半導体よりもバンドギャップが大きいワイドバンドギャップ半導体とし、たとえば、炭化珪素であってもよい。

[0034] ここで、ワイドバンドギャップ半導体とは、一般に、およそ2 eV以上の禁制帯幅をもつ半導体を指し、窒化ガリウム(GaN)などの3族窒化物、酸化亜鉛(ZnO)などの2族酸化物、セレン化亜鉛(ZnSe)などの2族カルコゲナイド、ダイヤモンドおよび炭化珪素(SiC)などが知られる。

- [0035] 本実施の形態では炭化珪素（S i C）を用いた場合を説明するが、他の半導体およびワイドバンドギャップ半導体であっても、同様に適用できる。
- [0036] また、本実施の形態では、チャネル領域が I G B T 1 0 0 の厚み方向（すなわち、図 1 における上下方向）に対して垂直に形成される、プレーナゲート型の S i C - I G B T を例として説明する。
- [0037] 電荷蓄積領域 2 1 の表層には、P 型のワイドバンドギャップ半導体で構成される複数のベース領域 3 0 が選択的に設けられている。また、ベース領域 3 0 のそれぞれの表層には、ベース領域 3 0 の外周から所定の間隔だけ内部の位置に、N 型のワイドバンドギャップ半導体で構成されるエミッタ領域 4 0 が形成されている。また、エミッタ領域 4 0 は、電荷蓄積領域 2 1 よりも高い不純物濃度を有する。
- [0038] それぞれのエミッタ領域 4 0 の内側には、低抵抗 P 型のワイドバンドギャップ半導体で構成されるウェルコンタクト領域 3 1 が形成されている。ウェルコンタクト領域 3 1 は、エミッタ領域 4 0 の上面からベース領域 3 0 に達して形成される。
- [0039] また、電荷蓄積領域 2 1 の表層には、ベース領域 3 0 と離間するように、P 型のワイドバンドギャップ半導体で構成される電荷引き抜き領域 3 2 が形成されている。また、電荷引き抜き領域 3 2 は、ベース領域 3 0 よりも高い不純物濃度を有する。
- [0040] エミッタ領域 4 0 の上面の一部とウェルコンタクト領域 3 1 の上面の一部とに跨って、オーミック電極 7 0 が形成される。オーミック電極 7 0 は、ワイドバンドギャップ半導体とオーミック接続する。
- [0041] 電荷引き抜き領域 3 2 の上面には、ショットキー電極 7 1 が形成されている。ショットキー電極 7 1 は、P 型の炭化珪素半導体層（電荷引き抜き領域 3 2）に対してショットキー接続する。
- [0042] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0. 2 V 以上、かつ、2. 0 V 以下となるように設定する。当該立ち上がり電圧は、たとえば、1. 0 V であってもよい。

- [0043] また、ベース領域 30 の上面と電荷引き抜き領域 32 の上面とに跨って、ゲート絶縁膜 50 が形成されている。ゲート絶縁膜 50 は、電荷蓄積領域 21 とエミッタ領域 40 とに挟まれる位置のベース領域 30 に接触して形成される。また、平面視においてベース領域 30 と重なる位置には、ゲート絶縁膜 50 を介して、ゲート電極 60 が形成されている。また、ゲート電極 60 を覆って、層間絶縁膜 55 が形成されている。
- [0044] また、開口されているオーミック電極 70 の上面、開口されているショットキー電極 71 の上面、および、層間絶縁膜 55 の上面を覆って、エミッタ電極 80 が形成されている。
- [0045] エミッタ電極 80 は、オーミック電極 70 およびショットキー電極 71 と電氣的に接続されている。エミッタ電極 80 とゲート電極 60 との間には層間絶縁膜 55 が形成されている。また、コレクタ領域 10 の下面には、コレクタ電極 81 が形成されている。
- [0046] 図 2 は、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図 2 に例が示されるように、IGBT100 は、ウェルコンタクト領域 31 を囲んでエミッタ領域 40 が形成される。また、エミッタ領域 40 を囲んでベース領域 30 が形成される。また、ベース領域 30 を囲んで電荷蓄積領域 21 が形成される。
- [0047] このように形成されたそれぞれのセル領域は互いに離間して形成される。そして、それぞれのセル領域は、図 2 における左右方向および上下方向に 2 次元的に配列される。
- [0048] 図 2 において、セル領域が形成されない領域には、電荷引き抜き領域 32 が形成される。電荷引き抜き領域 32 は、セル領域が形成されない左右方向に延びる領域と、セル領域が形成されない上下方向に延びる領域とにそれぞれ形成される。
- [0049] 図 3 は、単位セルが櫛状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図 3 に例が示されるように、IGBT100A は、ウェルコンタクト領域 31A を挟んでエミッタ領域

40Aが形成される。また、エミッタ領域40Aを挟んでベース領域30Aが形成される。また、ベース領域30Aを挟んで電荷蓄積領域21Aが形成される。このように形成された櫛状のセル領域は互いに離間して形成され、セル領域同士の間領域には、電荷引き抜き領域32Aが形成される。

[0050] 図4は、単位セルが梯子状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図4に例が示されるように、IGBT100Bは、長手方向において間欠的に形成されるウェルコンタクト領域31Bを挟んで、エミッタ領域40Bが形成される。また、エミッタ領域40Bを挟んでベース領域30Bが形成される。また、ベース領域30Bを挟んで電荷蓄積領域21Bが形成される。このように形成された梯子状のセル領域は互いに離間して形成され、セル領域同士の間領域には、電荷引き抜き領域32Bが形成される。

[0051] 図5は、単位セルがストライプ状に配置される場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。図5に例が示されるように、IGBT100Cは、長手方向において間欠的に形成されるウェルコンタクト領域31Cを挟んで、エミッタ領域40Cが形成される。また、エミッタ領域40Cを挟みつつ、ウェルコンタクト領域31Cと部分的に接触してベース領域30Cが形成される。また、ベース領域30Cを挟んで電荷蓄積領域21Cが形成される。このように形成されたストライプ状のセル領域は互いに離間して形成され、セル領域同士の間領域には、電荷引き抜き領域32Cが形成される。

[0052] <IGBTの製造方法について>

次に、本実施の形態に関する半導体装置としてのIGBT100の製造方法について、以下説明する。以下では、半導体物質として、たとえば、SiCを用いる。

[0053] まず、コレクタ領域10の上面に、化学気相堆積(chemical vapor deposition、すなわち、CVD)法によって、不純物濃度が、たとえば、 $5 \times 10^{13} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{15} \text{ cm}^{-3}$ 以下で

、膜厚が、たとえば、 $50\text{ }\mu\text{m}$ 以上、かつ、 $200\text{ }\mu\text{m}$ 以下であるN型の炭化珪素からなるドリフト領域20をエピタキシャル成長させる。

[0054] ここで、コレクタ領域10は、第1の主面の面方位がオフ角を有する（ 0001 ）面であり、かつ、4Hのポリタイプを有する、P型で低抵抗の炭化珪素からなるものとする。

[0055] さらに、不純物濃度が、たとえば、 $1\times 10^{15}\text{ cm}^{-3}$ 以上、かつ、 $1\times 10^{17}\text{ cm}^{-3}$ 以下で、膜厚が、たとえば、 $1\text{ }\mu\text{m}$ 以上、かつ、 $10\text{ }\mu\text{m}$ 以下である電荷蓄積領域21を、ドリフト領域20の上面にエピタキシャル成長させる。

[0056] つづいて、電荷蓄積領域21の上面の所定の領域にフォトリジストなどによって注入マスクを形成する。そして、P型の不純物であるAl（アルミニウム）をイオン注入する。

[0057] このとき、Alのイオン注入の深さは、たとえば、 $0.5\text{ }\mu\text{m}$ 以上、かつ、 $3\text{ }\mu\text{m}$ 以下とする。また、イオン注入されたAlの不純物濃度は、たとえば、 $1\times 10^{17}\text{ cm}^{-3}$ 以上、かつ、 $1\times 10^{19}\text{ cm}^{-3}$ 以下の範囲であり、電荷蓄積領域21の不純物濃度（第1の不純物濃度）よりも高い不純物濃度（第2の不純物濃度）とする。

[0058] その後、注入マスクを除去する。そして、本工程によって、Alがイオン注入された領域がベース領域30となる。

[0059] つづいて、同様に、電荷蓄積領域21の上面にフォトリジストなどによって注入マスクを形成する。そして、P型の不純物であるAlをイオン注入する。

[0060] このとき、Alのイオン注入の深さは、たとえば、 $0.5\text{ }\mu\text{m}$ 以上、かつ、 $3\text{ }\mu\text{m}$ 以下とする。また、イオン注入されたAlの不純物濃度は、たとえば、 $1\times 10^{17}\text{ cm}^{-3}$ 以上、かつ、 $1\times 10^{19}\text{ cm}^{-3}$ 以下の範囲であり、電荷蓄積領域21の不純物濃度（第1の不純物濃度）よりも高く、ベース領域30の不純物濃度（第2の不純物濃度）よりも高いものとする。

[0061] その後、注入マスクを除去する。そして、本工程によって、Alがイオン

注入された領域がウェルコンタクト領域 31 および電荷引き抜き領域 32 となる。

[0062] ここで、図 2 の A-A' 断面で見た場合の電荷引き抜き領域 32 の幅は、ベース領域 30 の幅の、たとえば、0.3 倍以上、かつ、0.5 倍以下とする。

[0063] つづいて、電荷蓄積領域 21 の上面におけるベース領域 30 の内側の所定の箇所が開口するように、フォトレジストなどによって注入マスクを形成する。そして、N 型の不純物である N（窒素）をイオン注入する。

[0064] このとき、N のイオン注入深さは、ベース領域 30 の厚さよりも浅いものとする。また、イオン注入された N の不純物濃度は、たとえば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上、かつ、 $1 \times 10^{21} \text{ cm}^{-3}$ 以下の範囲であり、ベース領域 30 の P 型の不純物濃度（第 2 の不純物濃度）を超えるものとする。

[0065] 本工程によって、N が注入された領域のうち N 型を示す領域がエミッタ領域 40 となる。

[0066] 次に、熱処理装置によって、アルゴン（Ar）ガスなどの不活性ガス雰囲気中で、たとえば、 1300°C 以上、かつ、 1900°C 以下の温度範囲で、たとえば、30 秒以上、かつ、1 時間以下のアニール処理を行う。このアニール処理によって、イオン注入された Al および N を電氣的に活性化させる。

[0067] つづいて、化学気相堆積（chemical vapor deposition、すなわち、CVD）法、または、フォトリソグラフィー技術などを用いて、活性領域以外の領域の炭化珪素半導体層の上面に、膜厚が、たとえば、 $0.5 \mu\text{m}$ 以上、かつ、 $2 \mu\text{m}$ 以下の二酸化珪素からなるフィールド絶縁膜を形成する。

[0068] 上記は、たとえば、フィールド絶縁膜を、炭化珪素半導体層の上面の全面に形成した後、活性領域にほぼ対応する位置のフィールド絶縁膜を、フォトリソグラフィー技術またはエッチングなどによって除去すればよい。

[0069] 次に、フィールド絶縁膜に覆われていない炭化珪素半導体層の表面を熱酸

化することによって、所望の厚みを有するゲート絶縁膜 50 である酸化珪素膜を形成する。

[0070] つづいて、ゲート絶縁膜 50 上面およびフィールド絶縁膜の上面に、導電性を有する多結晶珪素膜を減圧 CVD 法を用いて形成する。そして、形成された多結晶珪素膜をパターニングすることによって、ゲート電極 60 を形成する。次に、酸化珪素からなる層間絶縁膜 55 を、減圧 CVD 法を用いて形成する。

[0071] つづいて、層間絶縁膜 55 とゲート絶縁膜 50 とを貫き、かつ、活性領域内のエミッタ領域 40 に到達するコンタクトホールを形成する。

[0072] スパッタ法などによって、Ni を主成分とする金属膜を当該コンタクトホール内に形成する。そして、その後、たとえば、600℃以上、かつ、1100℃以下の温度で熱処理を行い、Ni を主成分とする金属膜と、コンタクトホール内の炭化珪素半導体層とを反応させて、炭化珪素半導体層と金属膜との間にシリサイドを形成する。

[0073] つづいて、上記の熱処理によって形成されたシリサイド以外の残留している金属膜を、ウェットエッチングによって除去する。このようにして形成されたシリサイドによって、オーミック電極 70 が形成される。

[0074] つづいて、コレクタ領域 10 の下面に、Al および Ti を主成分とする金属膜を形成し、さらに、熱処理を行う。そうすることによって、コレクタ領域 10 の裏側に裏面オーミック電極（ここでは、図示しない）を形成する。

[0075] 次に、フォトリソなどによるパターニングを用いて、電荷引き抜き領域 32 の上面における層間絶縁膜 55 とゲート絶縁膜 50 とを除去する。

[0076] 上記の除去する方法としては、ショットキー界面となる炭化珪素半導体層の表面にダメージを与えない方法、たとえば、ウェットエッチングとする。

[0077] そして、スパッタ法などによって、ショットキー電極 71 となる金属膜を堆積させ、さらに、フォトリソなどによるパターニングを用いて、コンタクトホール内の電荷引き抜き領域 32 の上面にショットキー電極 71 を形成する。

[0078] ショットキー電極 71 となる金属膜は、Al、Mo、Au、Ti、Ni または V などを含む単層膜で形成されてもよく、さらには、これらが組み合わせられた複層膜で形成されてもよい。

[0079] 次に、ここまで処理してきた素子の表面に、スパッタ法または蒸着法などによって Al などの配線金属を形成する。そして、フォトリソグラフィ技術によって当該配線金属を所定の形状に加工することによって、エミッタ側でオーミック電極 70 とショットキー電極 71 とに接触するエミッタ電極 80 を形成し、また、ゲート電極 60 に接触するゲートパッドとゲート配線とを形成する。

[0080] さらに、コレクタ領域 10 の裏側に形成された裏面オーミック電極の下面に、金属膜であるコレクタ電極 81 を形成すれば、図 1 に例が示された IGBT100 を得ることができる。

[0081] <IGBT の動作について>

次に、本実施の形態に関する半導体装置としての SiC-IGBT (IGBT100) の動作を、3つの状態に分けて説明する。

[0082] 1つ目の状態は、エミッタ電極 80 に対してコレクタ電極 81 に正の電圧が印加され、かつ、ゲート電極 60 にしきい値以上の正の電圧が印加されている状態で、以下「オン状態」と呼ぶ。

[0083] このオン状態では、チャネル領域に反転チャネルが形成され、N型のエミッタ領域 40 と N型の電荷蓄積領域 21 との間にキャリアであるホールと電子とが流れる経路が形成される。

[0084] 一方、電荷引き抜き領域 32 とショットキー電極 71 との間に形成されたショットキーバリアダイオード (Schottky barrier diode、すなわち、SBD) には、順方向の電圧が印加されるもののしきい値電圧 (たとえば、1.0V) に達しない。そのため、当該箇所には電流は流れない。

[0085] エミッタ電極 80 からコレクタ電極 81 へ流れ込む電子は、コレクタ電極 81 に印加される正電圧によって形成される電界にしたがって、エミッタ電

極 80 から、オーミック電極 70、エミッタ領域 40、ベース領域 30、電荷蓄積領域 21、ドリフト領域 20、さらには、コレクタ領域 10 を経由して、コレクタ電極 81 に到達する。

[0086] コレクタ電極 81 からエミッタ電極 80 へ流れ込むホールは、コレクタ電極 81 に印加される正電圧によって形成される電界にしたがって、コレクタ電極 81 から、コレクタ領域 10、ドリフト領域 20、電荷蓄積領域 21、ベース領域 30、エミッタ領域 40、さらには、オーミック電極 70 を経由して、エミッタ電極 80 に到達する。

[0087] この場合、ドリフト領域 20 から電荷蓄積領域 21 へ進むホールの一部は、ドリフト領域 20 と電荷蓄積領域 21 との間の界面のポテンシャルによって阻まれてドリフト領域 20 に留まる。それによって、ドリフト領域 20 のキャリア密度は上昇する。

[0088] この効果によって、本実施の形態に関する構造は、電荷蓄積領域 21 を形成しない場合と比べてオン抵抗を下げることができる。

[0089] 以上の動作によって、ゲート電極 60 に正電圧を印加することによって、コレクタ電極 81 からエミッタ電極 80 へオン電流が流れる。

[0090] この場合にエミッタ電極 80 とコレクタ電極 81 との間に印加される電圧をオン電圧と呼び、オン電圧をオン電流の密度で除した値をオン抵抗と呼ぶ。オン抵抗は、上記の電子およびホールが流れる経路の抵抗の合計に等しい。

[0091] オン電流の二乗とオン抵抗との積は、IGBT が通電時に消費する通電損失に等しい。そのため、オン抵抗は低いほうが好ましい。なお、オン電流は、チャネル領域が存在する活性領域のみを流れ、活性領域以外の終端領域および無効領域には流れない。

[0092] 2 つ目の状態は、エミッタ電極 80 に対してコレクタ電極 81 に高電圧が印加され、かつ、ゲート電極 60 にしきい値以下の電圧が印加されている場合で、以下「オフ状態」と呼ぶ。

[0093] このオフ状態では、チャネル領域に反転チャネルが形成されない。そのた

め、オン電流は流れない。そして、高電圧が IGBT のエミッタ電極 80 とコレクタ電極 81 との間に印加される。

[0094] この際、ゲート電極 60 の電圧はエミッタ電極 80 の電圧とほぼ等しいことから、ゲート電極 60 とコレクタ電極 81 との間にも高い電圧が印加されることになる。

[0095] オフ状態の場合、活性領域では、ベース領域 30 と電荷蓄積領域 21 との間に形成される PN 接合に逆バイアスがかかり、相対的に濃度の低い電荷蓄積領域 21 およびドリフト領域 20 に向かって厚い空乏層が広がる。それによって、高い電圧がゲート絶縁膜 50 に印加されることが抑制される。

[0096] 電荷引き抜き領域 32 と電荷蓄積領域 21 との間に形成される PN 接合にも逆バイアスがかかり、空乏層が広がる。そのため、ショットキー電極 71 のショットキー接合には、大きな電圧は印加されない。

[0097] 3 つ目の状態は、オン状態からオフ状態へ移行する場合で、以下「ターンオフ過渡期」と呼ぶ。ターンオフ過渡期の場合、IGBT においてデバイスに不具合が発生するモード（たとえば、ラッチアップモード）が生じる可能性がある。

[0098] 主電流が流れているオン状態から、主電流が流れないオフ状態へ移行する際に、P 型のベース領域 30 に流れるホール電流によって生じる電圧降下が、N 型の不純物を比較的高濃度 (N^+) で有するエミッタ領域 40 と P 型のベース領域 30 とのビルトイン電圧を超えてしまうと、寄生サイリスタがオン状態となり、電流が流れ続けるラッチアップ状態となって、デバイスの損傷に至るラッチアップモードとなる。

[0099] ラッチアップ耐性を高めるためには、ベース領域 30 に流れる電流を小さくすることによって、ホール電流がベース領域 30 を流れる際の電圧降下を小さくする必要がある。

[0100] 特に、高温動作ではビルトイン電圧が低下してしまうので、ラッチアップモードは発生しやすくなり、耐久性が低くなる。

[0101] オン状態において、コレクタ領域 10 から注入されたホールの一部は、電

荷蓄積領域 21 とコレクタ領域 10 との界面におけるポテンシャルの壁によって阻まれ、ドリフト領域 20 に蓄積する。そして、ドリフト領域 20 の抵抗を下げる。

[0102] この際、ショットキー接続には 1.0 V 以上の電圧は印加されず動作しないため、ドリフト領域 20 に蓄積されたホールは、ショットキー接続からエミッタ電極 80 へ排出されない。よって、ドリフト領域 20 の低抵抗化は保たれる。

[0103] また、P 型の電荷引き抜き領域 32 を形成することによって、junction field effect transistor (JFET) 領域をキャリアが通過する際の幅が狭くなるが、JFET 領域は電荷蓄積領域 21 によってドリフト領域 20 よりも高濃度化されているため、伝導度は低く保つことができる。

[0104] また、ショットキー接続を有する構造をベース領域 30 と同じセル内に形成するため、たとえば特許文献 1 に例が示されるような整流素子をセルの外に形成する場合よりも、素子の集積化が可能となる。そのため、単位面積あたりの抵抗を低減することができる。

[0105] 従来の、電荷引き抜き領域 32 およびショットキー電極 71 を有さない構造の場合、オフ状態において JFET の中央に位置するゲート絶縁膜 50 に大きな電界が印加されてしまうため、素子破壊の可能性が高くなる。

[0106] しかしながら、本実施の形態に関する構造では、JFET の中央はゲート絶縁膜 50 およびゲート電極 60 の代わりに P 型の電荷引き抜き領域 32 とショットキー電極 71 とが形成されているため、ゲート絶縁膜 50 の信頼性が向上する。

[0107] また、電荷引き抜き領域 32 から広がる空乏層は、ベース領域 30 から広がる空乏層と接続して広がり、ベース領域 30 の下面と側面との間の角に集中しやすい電界は分散される。その結果、アバランシェ電圧を増加させることができる。

[0108] ターンオフ過渡期において、本実施の形態に関する、ワイドバンドギャップ

プ半導体で形成された構造では、エミッタ領域40とベース領域30との界面に形成されたPN接合のビルトイン電圧は、たとえば、2.5Vであり、ショットキー電極71と電荷引き抜き領域32との間に形成されたショットキー接合のビルトイン電圧の、たとえば、1.0Vよりも大きい値である。

[0109] 本実施の形態の構成では、一般的にPN接合よりもビルトイン電圧が低いショットキー接合によってホールを排出する。PN接合とショットキー接続とは並列に接続されているため、PN接合に2.5Vの電圧が印加される前にショットキー接続が導通する。したがって、ドリフト領域20などで電圧降下することによってPN接続にたとえば1.0V以上の電圧は印加されない。その結果、PN接合は動作せずにラッチアップモードは発生しないため、ラッチアップ耐量が増加する。

[0110] <第2の実施の形態>

本実施の形態に関するワイドバンドギャップ半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0111] <IGBTの構成について>

図6は、本実施の形態に関するIGBT200の構成の例を概略的に示す断面図である。図6に例が示されるように、IGBT200は、第1の実施の形態において例が示されたIGBT100と構成が類似している。

[0112] 図6に例が示されるように、IGBT200は、コレクタ領域10と、ドリフト領域20と、電荷蓄積領域21とを備える。

[0113] また、本実施の形態では、チャネル領域がIGBT200の厚み方向（すなわち、図6における上下方向）に対して水平に形成される、トレンチゲート型のSiC-IGBTを例として説明する。

[0114] 電荷蓄積領域21の表層には、P型のワイドバンドギャップ半導体で構成されるベース領域30Dが複数設けられている。また、ベース領域30Dのそれぞれの表層には、N型のワイドバンドギャップ半導体で構成されるエミ

ッタ領域40Dが形成されている。

[0115] それぞれのエミッタ領域40Dの内側には、低抵抗P型のワイドバンドギャップ半導体で構成されるウェルコンタクト領域31Dが形成されている。

[0116] また、電荷蓄積領域21の表層には、ベース領域30Dとの間にトレンチ210が形成される、P型のワイドバンドギャップ半導体で構成される電荷引き抜き領域32Dが形成されている。

[0117] なお、トレンチ210は、エミッタ領域40Dの上面からベース領域30Dよりも深い位置に達して形成される。

[0118] また、ゲート絶縁膜50Dは、トレンチ210内において、電荷蓄積領域21とエミッタ領域40Dとに挟まれるベース領域30Dの側面を覆って形成される。

[0119] 電荷引き抜き領域32Dの上面には、ショットキー電極71Dが形成されている。ショットキー電極71Dは、P型の炭化珪素半導体層（電荷引き抜き領域32D）に対してショットキー接続する。

[0120] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0.2V以上、かつ、2.0V以下となるように設定する。当該立ち上がり電圧は、たとえば、1.0Vであってもよい。

[0121] また、トレンチ210は、エミッタ領域40Dの上面からエミッタ領域40Dを貫通し、さらに、ベース領域30Dの下面および電荷引き抜き領域32Dの下面よりも深い位置まで達して形成され、トレンチ210内には、ゲート絶縁膜50Dが形成されている。

[0122] 電荷引き抜き領域32Dは、隣り合うトレンチ210の間に形成されている。なお、図6における電荷引き抜き領域32Dはトレンチ210に接触して形成されているが、電荷引き抜き領域32Dは、トレンチ210から離間して形成されていてもよい。

[0123] また、トレンチ210内には、ゲート絶縁膜50Dに囲まれるゲート電極60Dが形成されている。また、ゲート電極60Dの上面には、層間絶縁膜55Dが形成されている。

[0124] また、開口されているエミッタ領域40Dの上面の一部、開口されているウェルコンタクト領域31Dの上面、開口されているショットキー電極71Dの上面、および、層間絶縁膜55Dの上面を覆って、エミッタ電極80Dが形成されている。

[0125] エミッタ電極80Dは、エミッタ領域40D、ウェルコンタクト領域31Dおよびショットキー電極71Dと電氣的に接続されている。エミッタ電極80Dとゲート電極60Dとの間には層間絶縁膜55Dが形成されている。また、コレクタ領域10の下面には、コレクタ電極81が形成されている。

[0126] 本実施の形態の構成では、一般的にPN接合よりもビルトイン電圧が低いショットキー接合によってホールを排出する。PN接合とショットキー接続とは並列に接続されているため、PN接合に2.5Vの電圧が印加される前にショットキー接続が導通する。したがって、ドリフト領域20などで電圧降下することによってPN接続に1.0V以上の電圧は印加されない。その結果、PN接合は動作せずにラッチアップモードは発生しないため、ラッチアップ耐量が増加する。

[0127] また、IGBT200によれば、単位セルあたりのピッチ（セルピッチ）を縮小することができる。そのため、限られたデバイス面積に対して単位セルの集積化が可能となり、オン状態において低オン抵抗を実現することができる。

[0128] <IGBTの変形例について>

図7は、本実施の形態に関するIGBT201の構成の例を概略的に示す断面図である。図7に例が示されるように、IGBT201は、第1の実施の形態において例が示されたIGBT200と構成が類似している。

[0129] 図7に例が示されるように、IGBT201は、コレクタ領域10と、ドリフト領域20と、電荷蓄積領域21とを備える。

[0130] また、本実施の形態では、チャネル領域がIGBT201の厚み方向（すなわち、図7における上下方向）に対して水平に形成される、トレンチゲート型のSiC-IGBTを例として説明する。

- [0131] 電荷蓄積領域 21 の表層には、ベース領域 30D が複数設けられている。
また、ベース領域 30D のそれぞれの表層には、エミッタ領域 40D が形成されている。また、それぞれのエミッタ領域 40D の内側には、ウェルコンタクト領域 31D が形成されている。
- [0132] また、電荷蓄積領域 21 の表層には、ベース領域 30D との間にトレンチ 210 が形成される、P 型のワイドバンドギャップ半導体で構成される電荷引き抜き領域 32E が形成されている。
- [0133] 電荷引き抜き領域 32E の、トレンチ 210 とは反対側の側面には、ショットキー電極 71E が形成されている。ショットキー電極 71E は、P 型の炭化珪素半導体層（電荷引き抜き領域 32E）に対してショットキー接続する。
- [0134] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0.2V 以上、かつ、2.0V 以下となるように設定する。当該立ち上がり電圧は、たとえば、1.0V であってもよい。
- [0135] また、トレンチ 210 は、電荷蓄積領域 21 の上面からエミッタ領域 40D を貫通し、さらに、ベース領域 30D の下面および電荷引き抜き領域 32E の下面よりも深い位置まで達して形成され、トレンチ 210 内には、ゲート絶縁膜 50D が形成されている。
- [0136] 電荷引き抜き領域 32E は、隣り合うトレンチ 210 の間に形成されている。なお、図 7 における電荷引き抜き領域 32E はトレンチ 210 に接触して形成されているが、電荷引き抜き領域 32E は、トレンチ 210 から離間して形成されていてもよい。
- [0137] また、トレンチ 210 内には、ゲート絶縁膜 50D に囲まれるゲート電極 60D が形成されている。また、ゲート電極 60D の上面には、層間絶縁膜 55D が形成されている。
- [0138] また、開口されているエミッタ領域 40D の上面の一部、開口されているウェルコンタクト領域 31D の上面、開口されているショットキー電極 71E の側面、および、層間絶縁膜 55D の上面を覆って、エミッタ電極 80E

が形成されている。

[0139] エミッタ電極80Eは、電荷引き抜き領域32Eの上面から電荷引き抜き領域32Eを貫通して形成されたダミートレンチ220内に形成されている。そして、ショットキー電極71Eは、ダミートレンチ220内において、電荷引き抜き領域32Eの側面に形成されている。

[0140] エミッタ電極80Eは、エミッタ領域40D、ウェルコンタクト領域31Dおよびダミートレンチ220内のショットキー電極71Eと電氣的に接続されている。エミッタ電極80Eとゲート電極60Dとの間には層間絶縁膜55Dが形成されている。また、コレクタ領域10の下面には、コレクタ電極81が形成されている。

[0141] 図7に例が示されるように、IGBT201では、ショットキー電極71EがIGBT201の厚み方向に対して水平に形成される。

[0142] そのため、ダミートレンチ220のサイズ（具体的には、深さ、幅、および、奥行き）は、適宜に変更が可能である。たとえば、ダミートレンチ220のサイズを、ゲート電極60Dを備えるトレンチ210と同じサイズとしてもよい。

[0143] 本実施の形態の構成では、一般的にPN接合よりもビルトイン電圧が低いショットキー接合によってホールを排出する。PN接合とショットキー接続とは並列に接続されているため、PN接合に2.5Vの電圧が印加される前にショットキー接続が導通する。したがって、ドリフト領域20などで電圧降下することによってPN接続に1.0V以上の電圧は印加されない。その結果、PN接合は動作せずにラッチアップモードは発生しないため、ラッチアップ耐量が増加する。

[0144] また、IGBT201によれば、電荷引き抜き領域32Eの平面的なサイズの低減が可能となる。そのため、単位セルあたりのピッチ（セルピッチ）を縮小することができる。その結果、限られたデバイス面積に対して単位セルの集積化が可能となり、オン状態において低オン抵抗を実現することができる。

[0145] <第3の実施の形態>

本実施の形態に関するワイドバンドギャップ半導体装置、および、ワイドバンドギャップ半導体装置の製造方法について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0146] <IGBTの構成について>

以上に説明された実施の形態では、電荷蓄積領域21がエピタキシャル成長によってドリフト領域20の上面の全面に形成された。しかしながら、電荷蓄積領域の形成態様はこのような場合に限られるものではない。

[0147] 図8は、本実施の形態に関するIGBT202の構成の例を概略的に示す断面図である。図8に例が示されるように、IGBT202は、コレクタ領域10と、ドリフト領域20と、ドリフト領域20の上面に部分的に積層された電荷蓄積領域21Fとを備える。

[0148] 電荷蓄積領域21Fの表層には、ベース領域30が複数設けられている。また、ベース領域30のそれぞれの表層には、エミッタ領域40が形成されている。それぞれのエミッタ領域40の内側には、ウェルコンタクト領域31が形成されている。また、電荷蓄積領域21Fの表層には、電荷引き抜き領域32が形成されている。

[0149] 電荷蓄積領域21Fは、ドリフト領域20の上面において、電荷引き抜き領域32の一部の直下に接触するN型の離間領域22を挟んで形成されている。N型の離間領域22の不純物濃度は、たとえば、ドリフト領域20の不純物濃度と等しい。

[0150] エミッタ領域40の上面の一部とウェルコンタクト領域31の上面の一部とに跨って、オーミック電極70が形成される。また、電荷引き抜き領域32の上面には、ショットキー電極71が形成されている。

[0151] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0.2V以上、かつ、2.0V以下となるように設定する。当該

立ち上がり電圧は、たとえば、1.0Vであってもよい。

[0152] また、ベース領域30の上面と電荷引き抜き領域32の上面とに跨って、ゲート絶縁膜50が形成されている。また、平面視においてベース領域30と重なる位置には、ゲート絶縁膜50を介して、ゲート電極60が形成されている。また、ゲート電極60を覆って、層間絶縁膜55が形成されている。

[0153] また、開口されているオーミック電極70の上面、開口されているショットキー電極71の上面、および、層間絶縁膜55の上面を覆って、エミッタ電極80が形成されている。また、コレクタ領域10の下面には、コレクタ電極81が形成されている。

[0154] <IGBTの製造方法について>

IGBTの製造方法のうち、特に、電荷蓄積領域21Fの形成方法は、エピタキシャル成長に限られるものではない。

[0155] たとえば、ドリフト領域20の上面にフォトリソなどによってN型の離間領域22を形成する箇所に注入マスクを形成する。そして、N型の不純物であるNをイオン注入する。この際、Nのイオン注入の深さは、たとえば、1.0 μ m以上、かつ、3 μ m以下とする。その後、注入マスクを除去する。

[0156] 当該工程によって、Nイオン注入された領域が電荷蓄積領域21Fとなり、Nイオン注入がされなかった領域がN型の離間領域22となる。

[0157] ターンオフ過渡期において、 dV/dt が極端に大きい場合など、たとえば、図1に例が示された構造のエミッタ領域40とベース領域30との間の界面に形成されたPN接合に、2.5V以上の電圧降下が発生してしまい、ラッチアップモードが発生する可能性がある。

[0158] 一方で、本実施の形態によれば、電荷引き抜き領域32の一部の直下にN型の離間領域22が形成されることによって、ドリフト領域20と電荷蓄積領域21Fとの界面のポテンシャルの壁が低減される。よって、ターンオフ過渡期において多くのホールがショットキー接続へ流れるため、ラッチアップ

プ耐量を増加させることができる。

[0159] <第4の実施の形態>

本実施の形態に関するワイドバンドギャップ半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0160] <IGBTの構成について>

図9は、半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[0161] 図9に例が示されるように、IGBT300は、ウェルコンタクト領域31を囲んでエミッタ領域40が形成される。また、エミッタ領域40を囲んでベース領域30が形成される。また、ベース領域30を囲んで電荷蓄積領域21が形成される。

[0162] このように形成されたそれぞれのセル領域は互いに離間して形成される。そして、それぞれのセル領域は、図9における左右方向および上下方向に2次元的に配列される。

[0163] 図9において、セル領域が形成されない領域には、電荷引き抜き領域32Gが形成される。電荷引き抜き領域32Gは、セル領域が形成されない左右方向に延びる領域とセル領域が形成されない上下方向に延びる領域との交差領域を除く、セル領域が形成されない左右方向に延びる領域と、セル領域が形成されない上下方向に延びる領域とにそれぞれ形成される。

[0164] 図9においては、電荷引き抜き領域32Gは、最も近く位置するセル領域同士の間（すなわち、図9における上下のセル領域間、および、図9における左右のセル領域間）に形成される一方で、平面視において対角に位置するセル領域同士の間には形成されない。

[0165] 図10は、本実施の形態に関するIGBT300の構成の例を概略的に示す断面図である。図10は、図9におけるB-B'断面に相当する。なお、

図9におけるA-A'断面の断面図は、図1に示された構造のうち、電荷引き抜き領域32が電荷引き抜き領域32Gに置き換わったものと同様である。

- [0166] 図10に例が示されるように、IGBT300は、コレクタ領域10と、ドリフト領域20と、電荷蓄積領域21とを備える。
- [0167] 電荷蓄積領域21の表層には、ベース領域30が複数設けられている。また、ベース領域30のそれぞれの表層には、エミッタ領域40が形成されている。
- [0168] それぞれのエミッタ領域40の内側には、ウェルコンタクト領域31が形成されている。エミッタ領域40の上面の一部とウェルコンタクト領域31の上面の一部とに跨って、オーミック電極70が形成される。
- [0169] また、ベース領域30の上面に跨って、ゲート絶縁膜50が形成されている。また、平面視においてベース領域30と重なる位置には、ゲート絶縁膜50を介して、ゲート電極60が形成されている。また、ゲート電極60を覆って、層間絶縁膜55が形成されている。
- [0170] また、開口されているオーミック電極70の上面、および、層間絶縁膜55の上面を覆って、エミッタ電極80が形成されている。
- [0171] エミッタ電極80は、オーミック電極70と電氣的に接続されている。エミッタ電極80とゲート電極60との間には層間絶縁膜55が形成されている。また、コレクタ領域10の下面には、コレクタ電極81が形成されている。
- [0172] 電荷引き抜き領域32Gが形成される領域を、最も近く位置するセル領域同士の間（すなわち、図9におけるベース領域30の近傍）のみに限定することによって、オン状態においてキャリアがJFET領域を通過する際の経路の幅が広がる。そのため、JFETの抵抗を低減することができる。
- [0173] ターンオフ過渡期において、ラッチアップモードの発生の有無はベース領域30に流れる電流の大きさに影響されるが、本実施の形態における構造によれば、ベース領域30の近傍に電荷引き抜き領域32Gが形成されている

ため、ベース領域30へ流れるホール量を減らすことができる。よって、ラッチアップ耐量を増加させることができる。

[0174] <第5の実施の形態>

本実施の形態に関するワイドバンドギャップ半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0175] <IGBTの構成について>

図11は、半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[0176] 図11に例が示されるように、IGBT400は、ウェルコンタクト領域31を囲んでエミッタ領域40が形成される。また、エミッタ領域40を囲んでベース領域30が形成される。また、ベース領域30を囲んで電荷蓄積領域21が形成される。

[0177] このように形成されたそれぞれのセル領域は互いに離間して形成される。そして、それぞれのセル領域は、図11における左右方向および上下方向に2次元的に配列される。

[0178] 図11において、セル領域が形成されない領域には、電荷引き抜き領域32Hが形成される。電荷引き抜き領域32Hは、セル領域が形成されない左右方向に延びる領域と、セル領域が形成されない上下方向に延びる領域とにそれぞれ形成される。

[0179] ここで、電荷引き抜き領域32Hは、たとえば、図2における電荷引き抜き領域32よりも形成される領域の平面視における面積が小さい。具体的には、電荷引き抜き領域32Hは、セル領域が形成されない左右方向に延びる領域の幅方向の一部にのみ形成され、図2における電荷引き抜き領域32よりも幅の狭い領域となっている。同様に、電荷引き抜き領域32Hは、セル領域が形成されない上下方向に延びる領域の幅方向の一部にのみ形成され、

図2における電荷引き抜き領域32よりも幅の狭い領域となっている。

[0180] なお、電荷引き抜き領域32Hの形成される領域の面積は、ベース領域30とエミッタ領域40とウェルコンタクト領域31との面積の和の、たとえば、0.05倍以上、かつ、0.5倍以下とする。

[0181] 図12は、本実施の形態に関するIGBT400の構成の例を概略的に示す断面図である。図12は、図11におけるA-A'断面に相当する。

[0182] 図12に例が示されるように、IGBT400は、コレクタ領域10と、ドリフト領域20と、電荷蓄積領域21とを備える。

[0183] 電荷蓄積領域21の表層には、ベース領域30が複数設けられている。また、ベース領域30のそれぞれの表層には、エミッタ領域40が形成されている。それぞれのエミッタ領域40の内側には、ウェルコンタクト領域31が形成されている。

[0184] また、電荷蓄積領域21の表層には、ベース領域30と離間するように、P型のワイドバンドギャップ半導体で構成される電荷引き抜き領域32Hが形成されている。

[0185] エミッタ領域40の上面の一部とウェルコンタクト領域31の上面の一部とに跨って、オーミック電極70が形成される。電荷引き抜き領域32Hの上面には、ショットキー電極71Hが形成されている。ショットキー電極71Hは、P型の炭化珪素半導体層（電荷引き抜き領域32H）に対してショットキー接続する。

[0186] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0.2V以上、かつ、2.0V以下となるように設定する。当該立ち上がり電圧は、たとえば、1.0Vであってもよい。

[0187] また、ベース領域30の上面と電荷引き抜き領域32Hの上面とに跨って、ゲート絶縁膜50が形成されている。また、平面視においてベース領域30と重なる位置には、ゲート絶縁膜50を介して、ゲート電極60が形成されている。また、ゲート電極60を覆って、層間絶縁膜55が形成されている。

[0188] また、開口されているオーミック電極 70 の上面、開口されているショットキー電極 71 H の上面、および、層間絶縁膜 55 の上面を覆って、エミッタ電極 80 H が形成されている。

[0189] エミッタ電極 80 H は、オーミック電極 70 およびショットキー電極 71 H と電氣的に接続されている。エミッタ電極 80 H とゲート電極 60 との間には層間絶縁膜 55 が形成されている。また、コレクタ領域 10 の下面には、コレクタ電極 81 が形成されている。

[0190] 電荷引き抜き領域 32 H が形成される領域の平面視における面積が、たとえば、図 2 における電荷引き抜き領域 32 よりも小さいことによって、オン状態においてキャリアが J F E T 領域を通過する際の経路の幅が広がる。そのため、J F E T の抵抗を低減することができる。

[0191] また、P N 接合とショットキー接合とはビルトイン電圧に大きな差があるため、平面視におけるショットキー電極 71 H が形成される領域の面積は、平面視におけるオーミック電極 70 が形成される領域の面積と比べて小さくとも、ターンオフ過渡期においてラッチアップ耐量増加の効果は得られる。

[0192] <第 6 の実施の形態>

本実施の形態に関するワイドバンドギャップ半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0193] < I G B T の構成について >

図 13 は、半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[0194] 図 13 に例が示されるように、I G B T 500 は、ウェルコンタクト領域 31 を囲んでエミッタ領域 40 が形成される。また、エミッタ領域 40 を囲んでベース領域 30 が形成される。また、ベース領域 30 を囲んで電荷蓄積領域 21 が形成される。

- [0195] このように形成されたそれぞれのセル領域は互いに離間して形成される。そして、それぞれのセル領域は、図 13 における左右方向および上下方向に 2 次元的に配列される。
- [0196] 図 13 において、セル領域が形成されない領域には、電荷引き抜き領域 321 が形成される。電荷引き抜き領域 321 は、セル領域が形成されない左右方向に延びる領域とセル領域が形成されない上下方向に延びる領域との交差領域を除く、セル領域が形成されない左右方向に延びる領域の一部と、セル領域が形成されない上下方向に延びる領域の一部とにそれぞれ形成される。
- [0197] 図 13 においては、電荷引き抜き領域 321 は、最も近く位置するセル領域同士の間（すなわち、図 13 における上下のセル領域間、および、図 13 における左右のセル領域間）に形成される一方で、平面視において対角に位置するセル領域同士の間には形成されない。
- [0198] さらに、電荷引き抜き領域 321 は、最も近く位置するセル領域同士の間のうちの、一部の箇所のみ形成され、全ての最も近く位置するセル領域同士の間には形成されない。
- [0199] 電荷引き抜き領域 321 が、最も近く位置するセル領域同士の間のうちの一部の箇所のみ形成されることによって、オン状態においてキャリアが J F E T 領域を通過する際の幅が広がる。そのため、J F E T の抵抗を低減することができる。
- [0200] また、P N 接合とショットキー接合とはビルトイン電圧に大きな差があるため、平面視における電荷引き抜き領域 321 が形成される領域の面積が小さくとも、ターンオフ過渡期においてラッチアップ耐量増加の効果は得られる。
- [0201] <第 7 の実施の形態>
- 本実施の形態に関するワイドバンドギャップ半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な

説明については適宜省略するものとする。

[0202] < I G B T の構成について >

図 1 4 は、半導体素子形成以降に形成される上部電極および誘電体膜を割愛した場合の、本実施の形態に関する半導体装置の構成の例を概略的に示す平面図である。

[0203] 図 1 4 に例が示されるように、 I G B T 6 0 0 は、ウェルコンタクト領域 3 1 を囲んでエミッタ領域 4 0 が形成される。また、エミッタ領域 4 0 を囲んでベース領域 3 0 が形成される。また、ベース領域 3 0 を囲んで電荷蓄積領域 2 1 が形成される。このように形成されたそれぞれのセル領域は互いに離間して 2 次元的に配列され、セル領域同士の間の領域には、電荷引き抜き領域 3 2 J が部分的に形成される。

[0204] 電荷引き抜き領域 3 2 J は、セル領域が形成される箇所に当該セル領域に置き換えて配置される。図 1 4 においては、図 1 4 における上下方向および左右方向において、セル領域と電荷引き抜き領域 3 2 J とが交互に配置されている。

[0205] 図 1 5 は、本実施の形態に関する I G B T 6 0 0 の構成の例を概略的に示す断面図である。図 1 5 は、図 1 4 における C - C ' 断面に相当する。

[0206] 図 1 5 に例が示されるように、 I G B T 6 0 0 は、コレクタ領域 1 0 と、ドリフト領域 2 0 と、電荷蓄積領域 2 1 とを備える。

[0207] 電荷蓄積領域 2 1 の表層には、ベース領域 3 0 が設けられている。また、ベース領域 3 0 の表層には、エミッタ領域 4 0 が形成されている。エミッタ領域 4 0 の内側には、ウェルコンタクト領域 3 1 が形成されている。

[0208] また、電荷蓄積領域 2 1 の表層には、ベース領域 3 0 と離間するように、P 型のワイドバンドギャップ半導体で構成される電荷引き抜き領域 3 2 J が形成されている。

[0209] エミッタ領域 4 0 の上面の一部とウェルコンタクト領域 3 1 の上面の一部とに跨って、オーミック電極 7 0 が形成される。電荷引き抜き領域 3 2 J の上面には、ショットキー電極 7 1 J が形成されている。ショットキー電極 7

1 J は、P 型の炭化珪素半導体層（電荷引き抜き領域 3 2 J）に対してショットキー接続する。

[0210] ショットキー接続に順方向の電圧が印加された場合の立ち上がり電圧は、たとえば、0.2 V 以上、かつ、2.0 V 以下となるように設定する。当該立ち上がり電圧は、たとえば、1.0 V であってもよい。

[0211] また、ベース領域 3 0 の上面と電荷引き抜き領域 3 2 J の上面とに跨って、ゲート絶縁膜 5 0 が形成されている。また、平面視においてベース領域 3 0 と重なる位置には、ゲート絶縁膜 5 0 を介して、ゲート電極 6 0 が形成されている。また、ゲート電極 6 0 を覆って、層間絶縁膜 5 5 が形成されている。

[0212] また、開口されているオーミック電極 7 0 の上面、開口されているショットキー電極 7 1 J の上面、および、層間絶縁膜 5 5 の上面を覆って、エミッタ電極 8 0 J が形成されている。

[0213] エミッタ電極 8 0 J は、オーミック電極 7 0 およびショットキー電極 7 1 J と電氣的に接続されている。エミッタ電極 8 0 J とゲート電極 6 0 との間には層間絶縁膜 5 5 が形成されている。また、コレクタ領域 1 0 の下面には、コレクタ電極 8 1 が形成されている。

[0214] <第 8 の実施の形態>

本実施の形態に関する電力変換装置、および、電力変換装置の製造方法について説明する。以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

[0215] <電力変換装置の構成について>

本実施の形態は、以上に記載された実施の形態に関する半導体装置を電力変換装置に適用するものである。適用する電力変換装置は特定の用途のものに限定されるものではないが、以下では、三相のインバータに適用する場合について説明する。

[0216] 図 1 6 は、本実施の形態に関する電力変換装置を含む電力変換システムの

構成の例を概念的に示す図である。

- [0217] 図 16 に例が示されるように、電力変換システムは、電源 1100 と、電力変換装置 1200 と、負荷 1300 とを備える。電源 1100 は、直流電源であり、かつ、電力変換装置 1200 に直流電力を供給する。電源 1100 は種々のもので構成することが可能であり、たとえば、直流系統、太陽電池または蓄電池などで構成することができる。また、電源 1100 は、交流系統に接続された整流回路または AC-DC コンバータなどで構成することができる。また、電源 1100 を、直流系統から出力される直流電力を所定の電力に変換する DC-DC コンバータによって構成することもできる。
- [0218] 電力変換装置 1200 は、電源 1100 と負荷 1300 との間に接続される三相のインバータである。電力変換装置 1200 は、電源 1100 から供給された直流電力を交流電力に変換し、さらに、負荷 1300 に当該交流電力を供給する。
- [0219] また、電力変換装置 1200 は、図 16 に例が示されるように、直流電力を交流電力に変換して出力する変換回路 1201 と、変換回路 1201 のそれぞれのスイッチング素子を駆動するための駆動信号を出力する駆動回路 1202 と、駆動回路 1202 を制御するための制御信号を駆動回路 1202 に出力する制御回路 1203 とを備える。
- [0220] 負荷 1300 は、電力変換装置 1200 から供給された交流電力によって駆動される三相の電動機である。なお、負荷 1300 は特定の用途に限られるものではなく、各種電気機器に搭載される電動機であり、たとえば、ハイブリッド自動車、電気自動車、鉄道車両、エレベーター、または、空調機器向けの電動機として用いられるものである。
- [0221] 以下、電力変換装置 1200 の詳細を説明する。変換回路 1201 は、スイッチング素子と還流ダイオードとを備える（ここでは、図示せず）。そして、スイッチング素子がスイッチング動作をすることによって、電源 1100 から供給される直流電力を交流電力に変換し、さらに、負荷 1300 に供給する。

- [0222] 変換回路 1201 の具体的な回路構成は種々のものがあるが、本実施の形態に関する変換回路 1201 は、2 レベルの三相フルブリッジ回路であり、かつ、6 つのスイッチング素子とそれぞれのスイッチング素子に逆並列に接続される 6 つの還流ダイオードとを備えるものである。
- [0223] 変換回路 1201 におけるそれぞれのスイッチング素子とそれぞれの還流ダイオードの少なくとも一方には、以上に記載された実施の形態のいずれかにおける半導体装置を適用する。6 つのスイッチング素子は 2 つのスイッチング素子ごとに直列接続されて上下アームを構成し、それぞれの上下アームは、フルブリッジ回路の各相（すなわち、U 相、V 相および W 相）を構成する。そして、それぞれの上下アームの出力端子（すなわち、変換回路 1201 の 3 つの出力端子）は、負荷 1300 に接続される。
- [0224] 駆動回路 1202 は、変換回路 1201 のスイッチング素子を駆動するための駆動信号を生成し、さらに、変換回路 1201 のスイッチング素子の制御電極に当該駆動信号を供給する。具体的には、後述する制御回路 1203 から出力される制御信号に基づいて、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とをそれぞれのスイッチング素子の制御電極に出力する。
- [0225] スwitchング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（すなわち、オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（すなわち、オフ信号）となる。
- [0226] 制御回路 1203 は、負荷 1300 に所望の電力が供給されるよう変換回路 1201 のスイッチング素子を制御する。具体的には、負荷 1300 に供給すべき電力に基づいて変換回路 1201 のそれぞれのスイッチング素子がオン状態となるべき時間（すなわち、オン時間）を算出する。たとえば、出力すべき電圧に応じてスイッチング素子のオン時間を変調する PWM 制御によって、変換回路 1201 を制御することができる。
- [0227] そして、制御回路 1203 は、それぞれの時点においてオン状態となるべ

きスイッチング素子にはオン信号が、オフ状態となるべきスイッチング素子にはオフ信号がそれぞれ出力されるように、駆動回路1202に制御指令（すなわち、制御信号）を出力する。駆動回路1202は、当該制御信号に基づいて、それぞれのスイッチング素子の制御電極にオン信号またはオフ信号を駆動信号として出力する。

[0228] 本実施の形態に関する電力変換装置1200では、変換回路1201のスイッチング素子として以上に記載された実施の形態のいずれかにおける半導体装置を適用するため、通電サイクルを経た後のオン抵抗を安定させることができる。

[0229] なお、本実施の形態では、2レベルの三相インバータに以上に記載された実施の形態のいずれかにおける半導体装置を適用する例が説明されたが、適用例はこれに限られるものではなく、種々の電力変換装置に以上に記載された実施の形態のいずれかにおける半導体装置を適用することができる。

[0230] また、本実施の形態では、2レベルの電力変換装置について説明されたが、3レベルまたはマルチレベルの電力変換装置に以上に記載された実施の形態のいずれかにおける半導体装置が適用されてもよい。また、単相負荷に電力を供給する場合には、単相のインバータに以上に記載された実施の形態のいずれかにおける半導体装置が適用されてもよい。

[0231] また、直流負荷などに電力を供給する場合には、DC-DCコンバータまたはAC-DCコンバータに、以上に記載された実施の形態のいずれかにおける半導体装置を適用することもできる。

[0232] また、以上に記載された実施の形態のいずれかにおける半導体装置が適用された電力変換装置は、上述された負荷が電動機である場合に限定されるものではなく、たとえば、放電加工機、レーザー加工機、誘導加熱調理器または非接触器給電システムの電源装置として用いることもできる。また、以上に記載された実施の形態のいずれかにおける半導体装置が適用された電力変換装置は、太陽光発電システムまたは蓄電システムなどにおけるパワーコンディショナーとして用いることもできる。

[0233] <以上に記載された実施の形態によって生じる効果について>

次に、以上に記載された実施の形態によって生じる効果の例を示す。なお、以下の説明においては、以上に記載された実施の形態に例が示された具体的な構成に基づいて当該効果が記載されるが、同様の効果が生じる範囲で、本願明細書に例が示される他の具体的な構成と置き換えられてもよい。

[0234] また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例が示されたそれぞれの構成が組み合わされて、同様の効果が生じる場合であってもよい。

[0235] 以上に記載された実施の形態によれば、ワイドバンドギャップ半導体装置は、第1の導電型（すなわち、N型）のワイドバンドギャップ半導体（たとえば、炭化珪素）からなるドリフト領域20と、ドリフト領域20の下面に形成される、第2の導電型（すなわち、P型）のワイドバンドギャップ半導体からなるコレクタ領域10と、N型のワイドバンドギャップ半導体からなる電荷蓄積領域21と、P型のベース領域30と、P型の電荷引き抜き領域32と、N型のエミッタ領域40と、ショットキー電極71と、ゲート絶縁膜50と、ゲート電極60と、エミッタ電極80と、コレクタ電極81とを備える。電荷蓄積領域21は、ドリフト領域20の上面に形成される。また、電荷蓄積領域21は、ドリフト領域20よりも高い不純物濃度を有する。ベース領域30は、電荷蓄積領域21の表層において部分的に形成される。電荷引き抜き領域32は、電荷蓄積領域21の表層においてベース領域30から離間して形成される。また、電荷引き抜き領域32は、ベース領域30よりも高い不純物濃度を有する。エミッタ領域40は、ベース領域30の表層において部分的に形成される。また、エミッタ領域40は、電荷蓄積領域21よりも高い不純物濃度を有する。ショットキー電極71は、電荷引き抜き領域32に接触して形成される。また、ショットキー電極71は、電荷引き抜き領域32とショットキー接続する。ゲート絶縁膜50は、電荷蓄積領域21とエミッタ領域40とに挟まれる位置のベース領域30に接触して形成される。ゲート電極60は、ゲート絶縁膜50に接触して形成される。エ

ミッタ電極 80 は、ショットキー電極 71 とエミッタ領域 40 とを覆って形成される。コレクタ電極 81 は、コレクタ領域 10 の下面に形成される。

[0236] このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面の P N 接続よりも低い電圧で導通するため P N 接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、ワイドバンドギャップ半導体装置の信頼性が向上する。また、ショットキー接続を有する構造をベース領域 30 と同じセル内に形成するため、素子の集積化が可能となる。そのため、単位面積あたりの抵抗を低減することができる。

[0237] なお、これらの構成以外の本願明細書に例が示される他の構成については適宜省略することができる。すなわち、少なくともこれらの構成を備えていれば、以上に記載された効果を生じさせることができる。

[0238] しかしながら、本願明細書に例が示される他の構成のうちの少なくとも 1 つを、以上に記載された構成に適宜追加した場合、すなわち、以上に記載された構成としては言及されなかった本願明細書に例が示される他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

[0239] また、以上に記載された実施の形態によれば、ショットキー電極 71 と電荷引き抜き領域 32 との間に形成されるショットキーバリアダイオードのビルトイン電圧が、ベース領域 30 とエミッタ領域 40 との間に形成されるダイオードのビルトイン電圧よりも小さい。このような構成によれば、P N 接合とショットキー接続とは並列に接続されているため、P N 接合に 2.5 V の電圧が印加される前にショットキー接続が導通する。したがって、ドリフト領域 20などで電圧降下することによって P N 接続にたとえば 1.0 V 以上の電圧は印加されない。その結果、P N 接合は動作せずにラッチアップモードは発生しないため、ラッチアップ耐量が増加する。

[0240] また、以上に記載された実施の形態によれば、ワイドバンドギャップ半導体装置は、電荷引き抜き領域 32 の一部の下面に接触して形成される、N 型の離間領域 22 を備える。そして、離間領域 22 の不純物濃度は、ドリフト領域 20 の不純物濃度と等しい。このような構成によれば、電荷引き抜き領

域 3 2 の一部の直下に N 型の離間領域 2 2 が形成されることによって、ドリフト領域 2 0 と電荷蓄積領域 2 1 F との界面のポテンシャルの壁が低減される。よって、ターンオフ過渡期において多くのホールがショットキー接続へ流れるため、ラッチアップ耐量を増加させることができる。

[0241] また、以上に記載された実施の形態によれば、平面視において、電荷蓄積領域 2 1 の表層に複数のベース領域 3 0 が配列される。また、複数のベース領域 3 0 は、平面視において、第 1 の方向と、第 1 の方向と直交する第 2 の方向とに 2 次元的に配列される。また、第 1 の方向に延び、かつ、ベース領域が配列されない領域を第 1 の領域とし、第 2 の方向に延び、かつ、ベース領域が配列されない領域を第 2 の領域とする場合、電荷引き抜き領域 3 2 は、平面視において、第 1 の領域および第 2 の領域に形成される。このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面の P N 接続よりも低い電圧で導通するため P N 接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、ワイドバンドギャップ半導体装置の信頼性が向上する。

[0242] また、以上に記載された実施の形態によれば、電荷引き抜き領域 3 2 H は、平面視において、第 1 の領域の幅方向の一部、および、第 2 の領域の幅方向の一部に形成される。このような構成によれば、電荷引き抜き領域 3 2 H が形成される領域の平面視における面積が、たとえば、図 2 における電荷引き抜き領域 3 2 よりも小さいことによって、オン状態においてキャリアが J F E T 領域を通過する際の経路の幅が広がる。

[0243] また、以上に記載された実施の形態によれば、ワイドバンドギャップ半導体装置は、エミッタ領域 4 0 の上面からベース領域 3 0 に達して形成される、P 型のウェルコンタクト領域 3 1 を備える。そして、平面視における電荷引き抜き領域 3 2 H の面積は、平面視における、ベース領域 3 0 の面積とエミッタ領域 4 0 の面積とウェルコンタクト領域 3 1 の面積との和の 0. 0 5 倍以上、かつ、0. 5 倍以下である。このような構成によれば、電荷引き抜き領域 3 2 H が形成される領域の平面視における面積が、たとえば、図 2 に

おける電荷引き抜き領域 32 よりも小さいことによって、オン状態においてキャリアが J F E T 領域を通過する際の経路の幅が広がる。そのため、J F E T の抵抗を低減することができる。また、P N 接合とショットキー接合とはビルトイン電圧に大きな差があるため、平面視におけるショットキー電極 71 H が形成される領域の面積は、平面視におけるオーミック電極 70 が形成される領域の面積と比べて小さくとも、ターンオフ過渡期においてラッチアップ耐量増加の効果は得られる。

[0244] また、以上に記載された実施の形態によれば、第 1 の方向に延び、かつ、ベース領域が配列されない第 1 の領域と、第 2 の方向に延び、かつ、ベース領域が配列されない第 2 の領域とが交差する領域を交差領域とする場合、電荷引き抜き領域 32 G は、平面視において、交差領域を除く、第 1 の領域および第 2 の領域に形成される。このような構成によれば、電荷引き抜き領域 32 G が形成される領域を、最も近く位置するセル領域同士の間（すなわち、図 9 におけるベース領域 30 の近傍）のみに限定することによって、オン状態においてキャリアが J F E T 領域を通過する際の経路の幅が広がる。そのため、J F E T の抵抗を低減することができる。ターンオフ過渡期において、ラッチアップモードの発生の有無はベース領域 30 に流れる電流の大きさに影響されるが、このような構造によれば、ベース領域 30 の近傍に電荷引き抜き領域 32 G が形成されているため、ベース領域 30 へ流れるホールの量を減らすことができる。よって、ラッチアップ耐量を増加させることができる。

[0245] また、以上に記載された実施の形態によれば、電荷引き抜き領域 32 I は、平面視において、交差領域を除く、第 1 の領域の一部および第 2 の領域の一部に形成される。このような構成によれば、オン状態においてキャリアが J F E T 領域を通過する際の幅が広がる。そのため、J F E T の抵抗を低減することができる。また、P N 接合とショットキー接合とはビルトイン電圧に大きな差があるため、平面視における電荷引き抜き領域 32 I が形成される領域の面積が小さくとも、ターンオフ過渡期においてラッチアップ耐量増

加の効果は得られる。

[0246] また、以上に記載された実施の形態によれば、平面視において、電荷蓄積領域 21 の表層に複数のベース領域 30 が配列される。また、複数のベース領域 30 は、平面視において、第 1 の方向と、第 1 の方向と直交する第 2 の方向とに 2 次元的に配列される。そして、電荷引き抜き領域 32 J は、配列される複数のベース領域 30 の一部に置き換えて形成される。このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面の P N 接続よりも低い電圧で導通するため P N 接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、ワイドバンドギャップ半導体装置の信頼性が向上する。

[0247] また、以上に記載された実施の形態によれば、ワイドバンドギャップ半導体装置は、エミッタ領域 40 D の上面からベース領域 30 D よりも深い位置に達して形成されるトレンチ 210 を備える。そして、ゲート絶縁膜 50 D は、トレンチ 210 内において、電荷蓄積領域 21 とエミッタ領域 40 D とに挟まれるベース領域 30 D の側面を覆って形成される。また、ゲート電極 60 D は、トレンチ 210 内において、ゲート絶縁膜 50 D に囲まれて形成される。このような構成によれば、単位セルあたりのピッチ（セルピッチ）を縮小することができる。そのため、限られたデバイス面積に対して単位セルの集積化が可能となり、オン状態において低オン抵抗を実現することができる。

[0248] また、以上に記載された実施の形態によれば、ワイドバンドギャップ半導体装置は、電荷引き抜き領域 32 E の上面から電荷引き抜き領域 32 E よりも深い位置に達して形成されるダミートレンチ 220 を備える。そして、エミッタ電極 80 E は、ダミートレンチ 220 内にも形成される。また、ショットキー電極 71 E は、ダミートレンチ 220 内に形成される。また、ショットキー電極 71 E は、電荷引き抜き領域 32 の側面に接触して形成される。このような構成によれば、ショットキー電極 71 E が I G B T 201 の厚み方向に対して水平に形成される。そのため、ダミートレンチ 220 のサイ

ズは、適宜に変更が可能である。また、電荷引き抜き領域 3 2 E の平面的なサイズの低減が可能となる。そのため、単位セルあたりのピッチ（セルピッチ）を縮小することができる。その結果、限られたデバイス面積に対して単位セルの集積化が可能となり、オン状態において低オン抵抗を実現することができる。

[0249] また、以上に記載された実施の形態によれば、ワイドバンドギャップ半導体が炭化珪素半導体である。このような構成によれば、高耐圧、高周波および高出力の半導体装置を実現することが可能となる。

[0250] また、以上に記載された実施の形態によれば、電力変換装置は、変換回路 1 2 0 1 と、駆動回路 1 2 0 2 と、制御回路 1 2 0 3 とを備える。変換回路 1 2 0 1 は、ワイドバンドギャップ半導体装置を有する。また、変換回路 1 2 0 1 は、入力される電力を変換して出力する。駆動回路 1 2 0 2 は、ワイドバンドギャップ半導体装置を駆動するための駆動信号をワイドバンドギャップ半導体装置に出力する。制御回路 1 2 0 3 は、駆動回路 1 2 0 2 を制御するための制御信号を駆動回路 1 2 0 2 に出力する。

[0251] このような構成によれば、ショットキー接続はベース領域とエミッタ領域の界面の P N 接続よりも低い電圧で導通するため、P N 接合にビルトイン電圧以上の電圧は印加されない。その結果、ラッチアップ耐量は増加し、電力変換装置の信頼性が向上する。また、ショットキー接続を有する構造をベース領域と同じセル内に形成するため、素子の集積化が可能となる。そのため、単位面積あたりの抵抗を低減することができる。

[0252] <以上に記載された実施の形態における変形例について>

以上に記載された実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面においてひとつの例であって、本願明細書に記載されたものに限られることはないものとする。

[0253] したがって、例が示されていない無数の変形例、および、均等物が、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも

も1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施の形態における少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

[0254] また、矛盾が生じない限り、以上に記載された実施の形態において「1つ」備えられるものとして記載された構成要素は、「1つ以上」備えられていてもよいものとする。

[0255] さらに、以上に記載された実施の形態におけるそれぞれの構成要素は概念的な単位であって、本願明細書に開示される技術の範囲内には、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含むものとする。

[0256] また、以上に記載された実施の形態におけるそれぞれの構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれるものとする。

[0257] また、本願明細書における説明は、本技術に関するすべての目的のために参照され、いずれも、従来技術であると認めるものではない。

[0258] また、以上に記載された実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

符号の説明

[0259] 10 コレクタ領域、20 ドリフト領域、21, 21A, 21B, 21C, 21F 電荷蓄積領域、22 離間領域、30, 30A, 30B, 30C, 30D ベース領域、31, 31A, 31B, 31C, 31D ウェルコンタクト領域、32, 32A, 32B, 32C, 32D, 32E, 32G, 32H, 32I, 32J 電荷引き抜き領域、40, 40A, 40B, 40C, 40D エミッタ領域、50, 50D ゲート絶縁膜、55, 55D 層間絶縁膜、60, 60D ゲート電極、70 オーミック電極、71,

71D, 71E, 71H, 71J ショットキー電極、80, 80D, 80E, 80H, 80J エミッタ電極、81 コレクタ電極、100, 100A, 100B, 100C, 200, 201, 202, 300, 400, 500, 600 IGBT、210 トレンチ、220 ダミートレンチ、1100 電源、1200 電力変換装置、1201 変換回路、1202 駆動回路、1203 制御回路、1300 負荷。

請求の範囲

- [請求項1] 第1の導電型のワイドバンドギャップ半導体からなるドリフト領域（20）と、
- 前記ドリフト領域（20）の下面に形成される、第2の導電型のワイドバンドギャップ半導体からなるコレクタ領域（10）と、
- 前記ドリフト領域（20）の上面に形成され、かつ、前記ドリフト領域（20）よりも高い不純物濃度を有する、第1の導電型のワイドバンドギャップ半導体からなる電荷蓄積領域（21）と、
- 前記電荷蓄積領域（21）の表層において部分的に形成される、第2の導電型のベース領域（30）と、
- 前記電荷蓄積領域（21）の表層において前記ベース領域（30）から離間して形成され、かつ、前記ベース領域（30）よりも高い不純物濃度を有する、第2の導電型の電荷引き抜き領域（32）と、
- 前記ベース領域（30）の表層において部分的に形成され、かつ、前記電荷蓄積領域（21）よりも高い不純物濃度を有する、第1の導電型のエミッタ領域（40）と、
- 前記電荷引き抜き領域（32）に接触して形成され、かつ、前記電荷引き抜き領域（32）とショットキー接続するショットキー電極（71）と、
- 前記電荷蓄積領域（21）と前記エミッタ領域（40）とに挟まれる位置の前記ベース領域（30）に接触して形成されるゲート絶縁膜（50）と、
- 前記ゲート絶縁膜（50）に接触して形成されるゲート電極（60）と、
- 前記ショットキー電極（71）とエミッタ領域（40）とを覆って形成されるエミッタ電極（80）と、
- 前記コレクタ領域（10）の下面に形成されるコレクタ電極（81）とを備える、

ワイドバンドギャップ半導体装置。

[請求項2] 前記ショットキー電極（71）と前記電荷引き抜き領域（32）との間に形成されるショットキーバリアダイオードのビルトイン電圧が、前記ベース領域（30）と前記エミッタ領域（40）との間に形成されるダイオードのビルトイン電圧よりも小さい、

請求項1に記載のワイドバンドギャップ半導体装置。

[請求項3] 前記電荷引き抜き領域（32）の一部の下面に接触して形成される、第1の導電型の離間領域（22）をさらに備え、

前記離間領域（22）の不純物濃度は、前記ドリフト領域（20）の不純物濃度と等しい、

請求項1または請求項2に記載のワイドバンドギャップ半導体装置。

[請求項4] 平面視において、前記電荷蓄積領域（21）の表層に複数の前記ベース領域（30）が配列され、

複数の前記ベース領域（30）は、平面視において、第1の方向と、前記第1の方向と直交する第2の方向とに2次元的に配列され、

前記第1の方向に延び、かつ、前記ベース領域が配列されない領域を第1の領域とし、前記第2の方向に延び、かつ、前記ベース領域が配列されない領域を第2の領域とし、

前記電荷引き抜き領域（32）は、平面視において、前記第1の領域および前記第2の領域に形成される、

請求項1から請求項3のうちのいずれか1項に記載のワイドバンドギャップ半導体装置。

[請求項5] 前記電荷引き抜き領域（32H）は、平面視において、前記第1の領域の幅方向の一部、および、前記第2の領域の幅方向の一部に形成される、

請求項4に記載のワイドバンドギャップ半導体装置。

[請求項6] 前記エミッタ領域（40）の上面から前記ベース領域（30）に達

して形成される、第2の導電型のウェルコンタクト領域（31）をさらに備え、

平面視における前記電荷引き抜き領域（32H）の面積は、平面視における、前記ベース領域（30）の面積と前記エミッタ領域（40）の面積と前記ウェルコンタクト領域（31）の面積との和の0.05倍以上、かつ、0.5倍以下である、

請求項4または請求項5に記載のワイドバンドギャップ半導体装置。

[請求項7] 前記第1の方向に延び、かつ、前記ベース領域が配列されない第1の領域と、前記第2の方向に延び、かつ、前記ベース領域が配列されない第2の領域とが交差する領域を交差領域とし、

前記電荷引き抜き領域（32G）は、平面視において、前記交差領域を除く、前記第1の領域および前記第2の領域に形成される、

請求項4から請求項6のうちのいずれか1項に記載のワイドバンドギャップ半導体装置。

[請求項8] 前記電荷引き抜き領域（32I）は、平面視において、前記交差領域を除く、前記第1の領域の一部および前記第2の領域の一部に形成される、

請求項7に記載のワイドバンドギャップ半導体装置。

[請求項9] 平面視において、前記電荷蓄積領域（21）の表層に複数の前記ベース領域（30）が配列され、

複数の前記ベース領域（30）は、平面視において、第1の方向と、前記第1の方向と直交する第2の方向とに2次元的に配列され、

前記電荷引き抜き領域（32J）は、配列される複数の前記ベース領域（30）の一部に置き換えて形成される、

請求項1から請求項3のうちのいずれか1項に記載のワイドバンドギャップ半導体装置。

[請求項10] 前記エミッタ領域（40D）の上面から前記ベース領域（30D）

よりも深い位置に達して形成されるトレンチ（２１０）をさらに備え、

前記ゲート絶縁膜（５０Ｄ）は、前記トレンチ（２１０）内において、前記電荷蓄積領域（２１）と前記エミッタ領域（４０Ｄ）とに挟まれる前記ベース領域（３０Ｄ）の側面を覆って形成され、

前記ゲート電極（６０Ｄ）は、前記トレンチ（２１０）内において、前記ゲート絶縁膜（５０Ｄ）に囲まれて形成される、

請求項１から請求項９のうちのいずれか１項に記載のワイドバンドギャップ半導体装置。

[請求項11] 前記電荷引き抜き領域（３２Ｅ）の上面から前記電荷引き抜き領域（３２Ｅ）よりも深い位置に達して形成されるダミートレンチ（２２０）をさらに備え、

前記エミッタ電極（８０Ｅ）は、前記ダミートレンチ（２２０）内にも形成され、

前記ショットキー電極（７１Ｅ）は、前記ダミートレンチ（２２０）内に形成され、かつ、前記電荷引き抜き領域（３２）の側面に接触して形成される、

請求項１から請求項１０のうちのいずれか１項に記載のワイドバンドギャップ半導体装置。

[請求項12] 前記ワイドバンドギャップ半導体が炭化珪素半導体である、

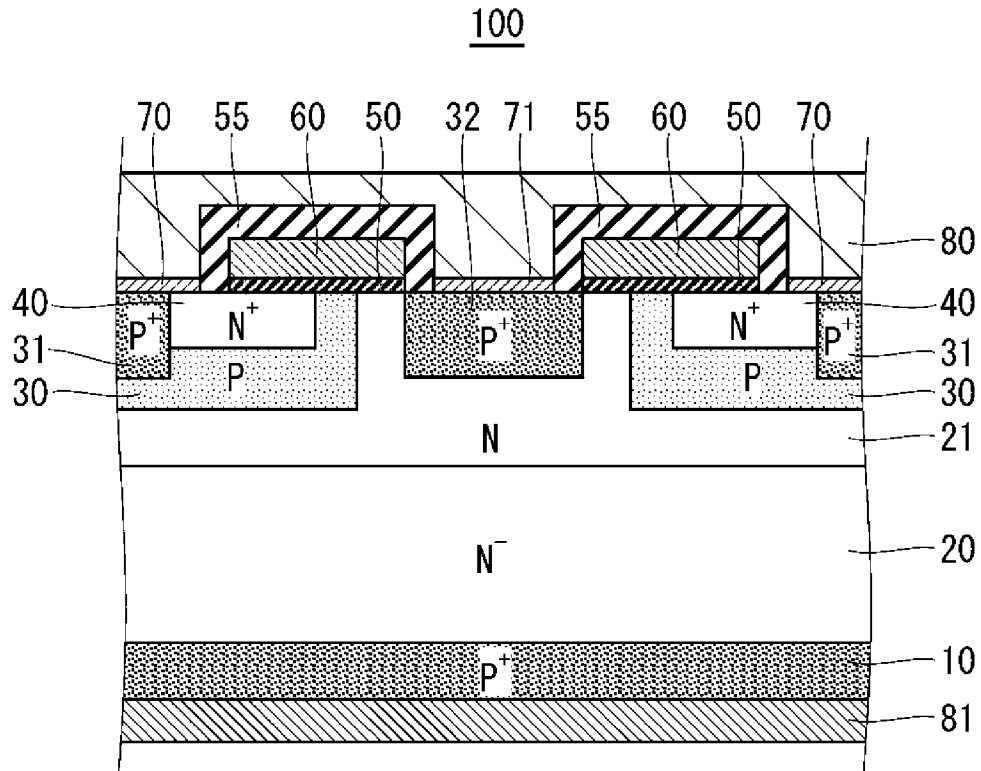
請求項１から請求項１１のうちのいずれか１項に記載のワイドバンドギャップ半導体装置。

[請求項13] 請求項１から請求項１２のうちのいずれか１項に記載のワイドバンドギャップ半導体装置を有し、かつ、入力される電力を変換して出力する変換回路（１２０１）と、

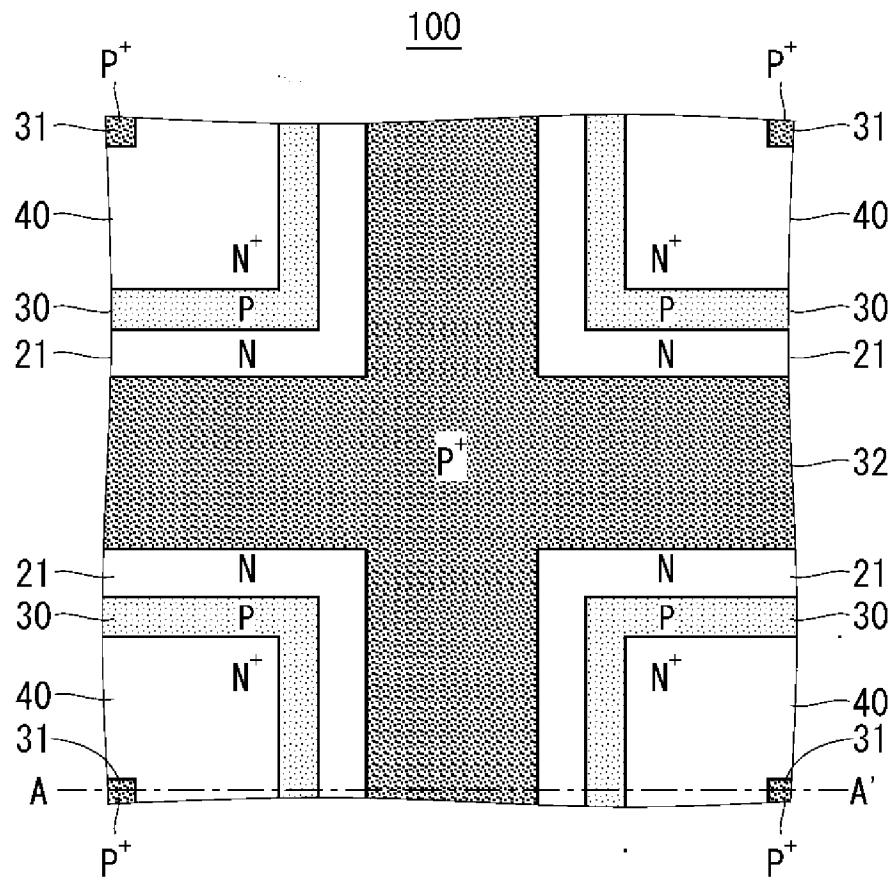
前記ワイドバンドギャップ半導体装置を駆動するための駆動信号を前記ワイドバンドギャップ半導体装置に出力する駆動回路（１２０２）と、

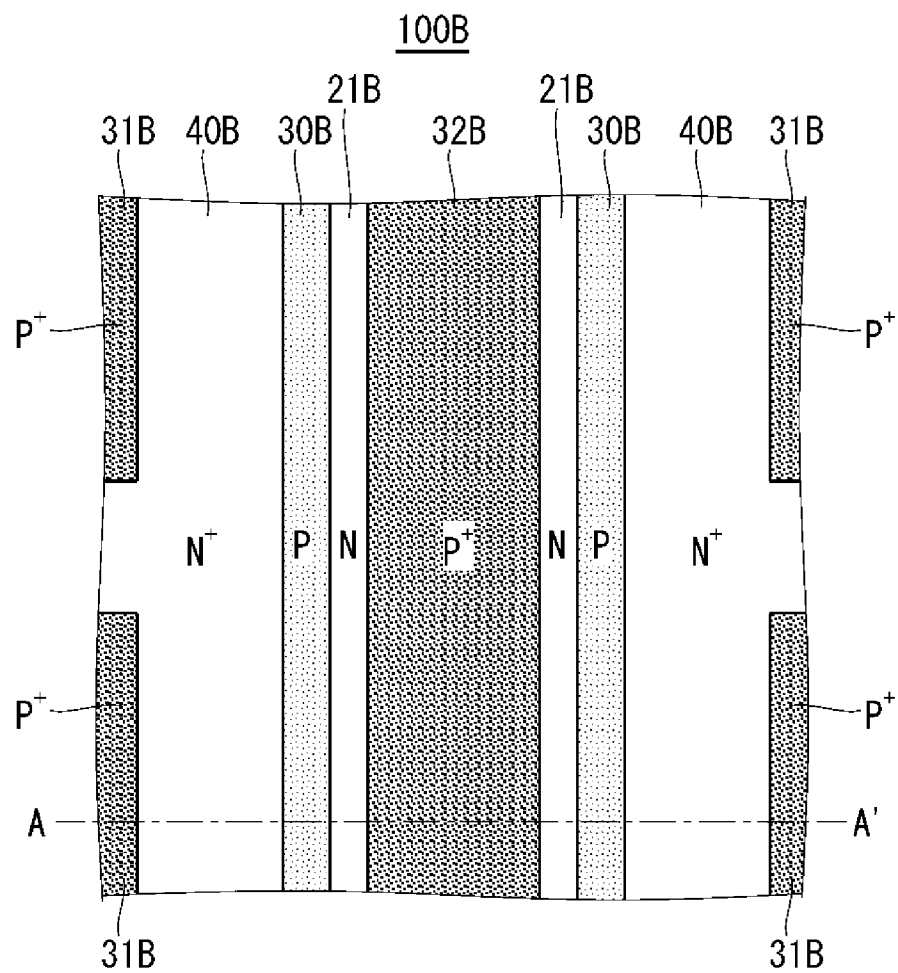
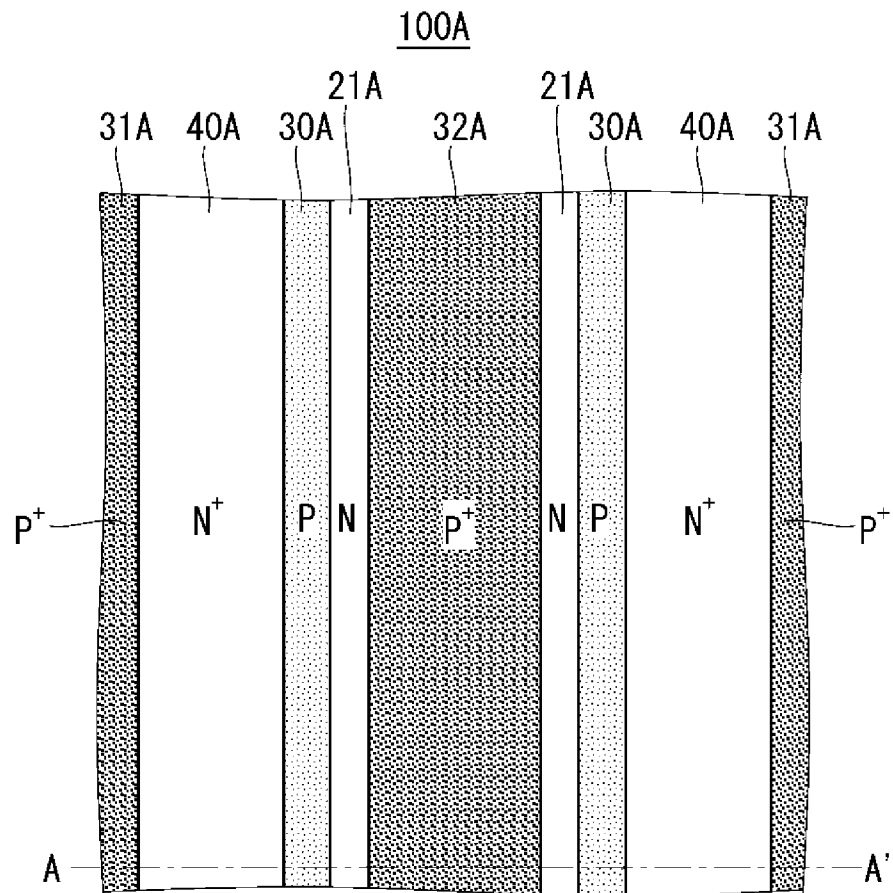
前記駆動回路（１２０２）を制御するための制御信号を前記駆動回路（１２０２）に出力する制御回路（１２０３）とを備える、
電力変換装置。

[図1]

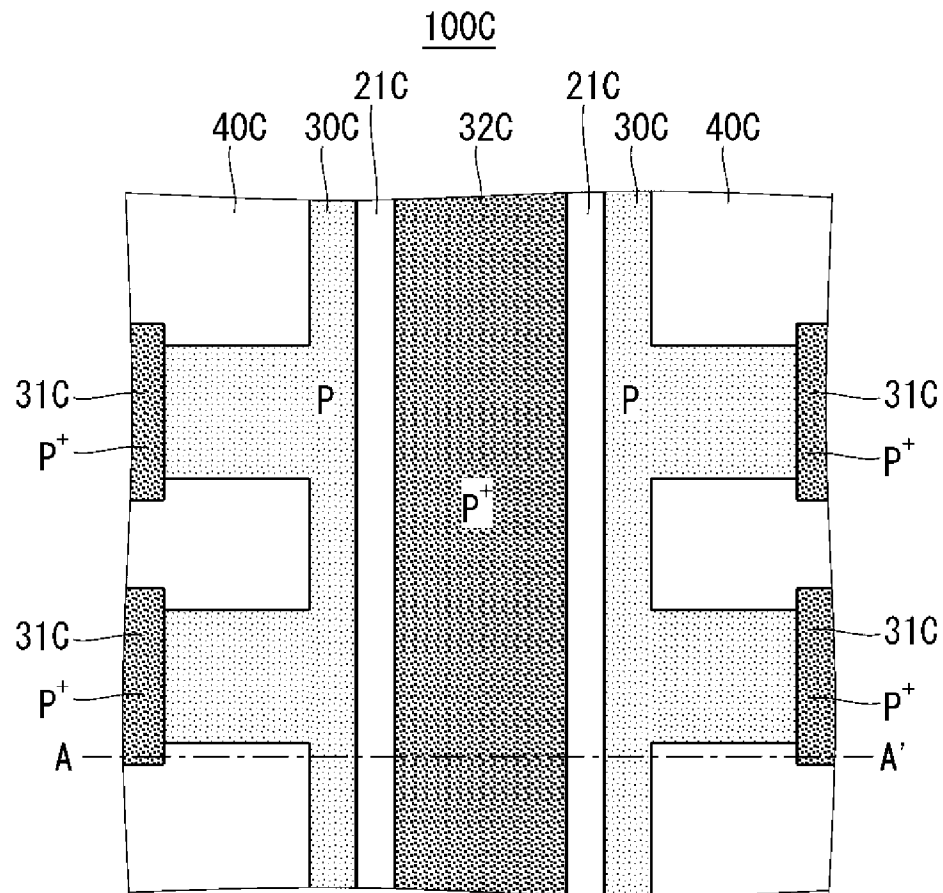


[図2]

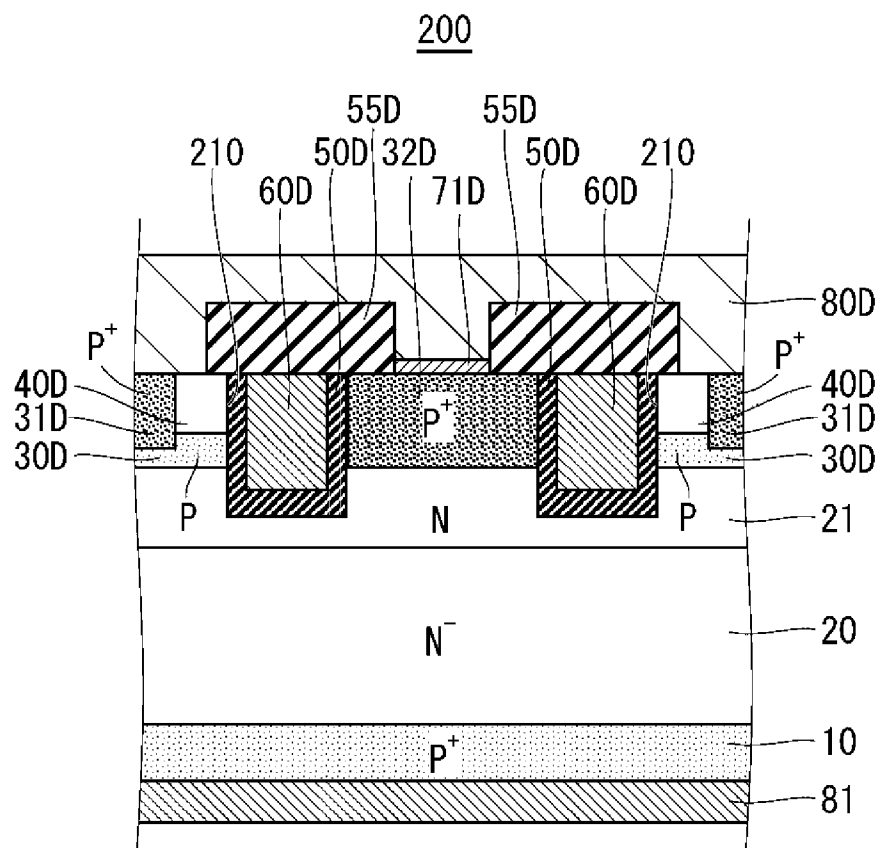




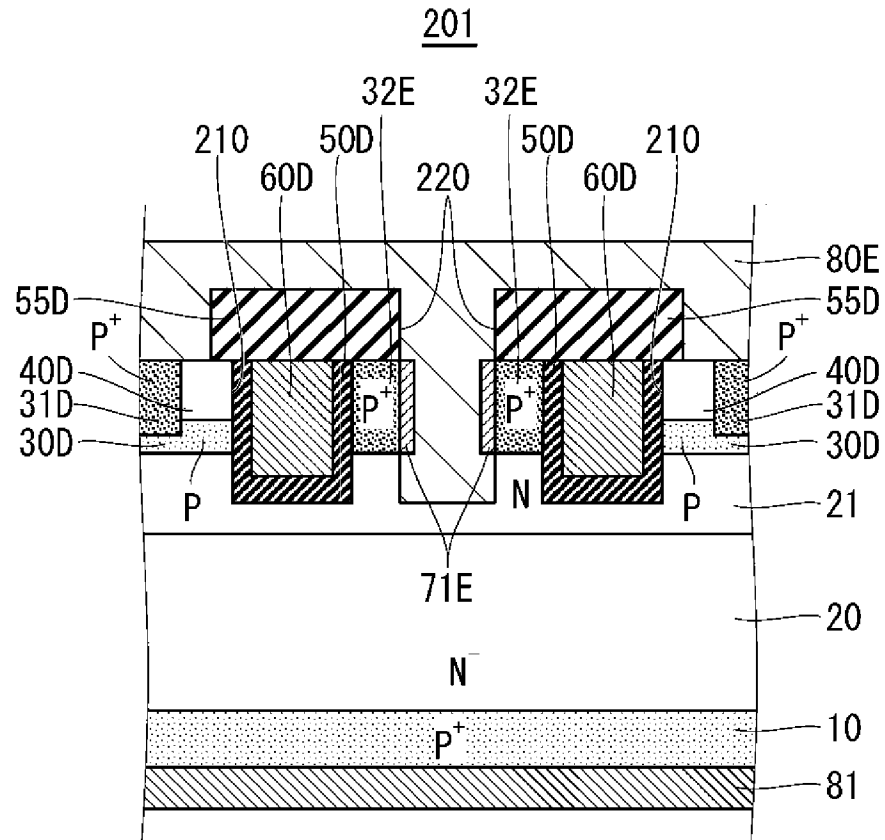
[図5]



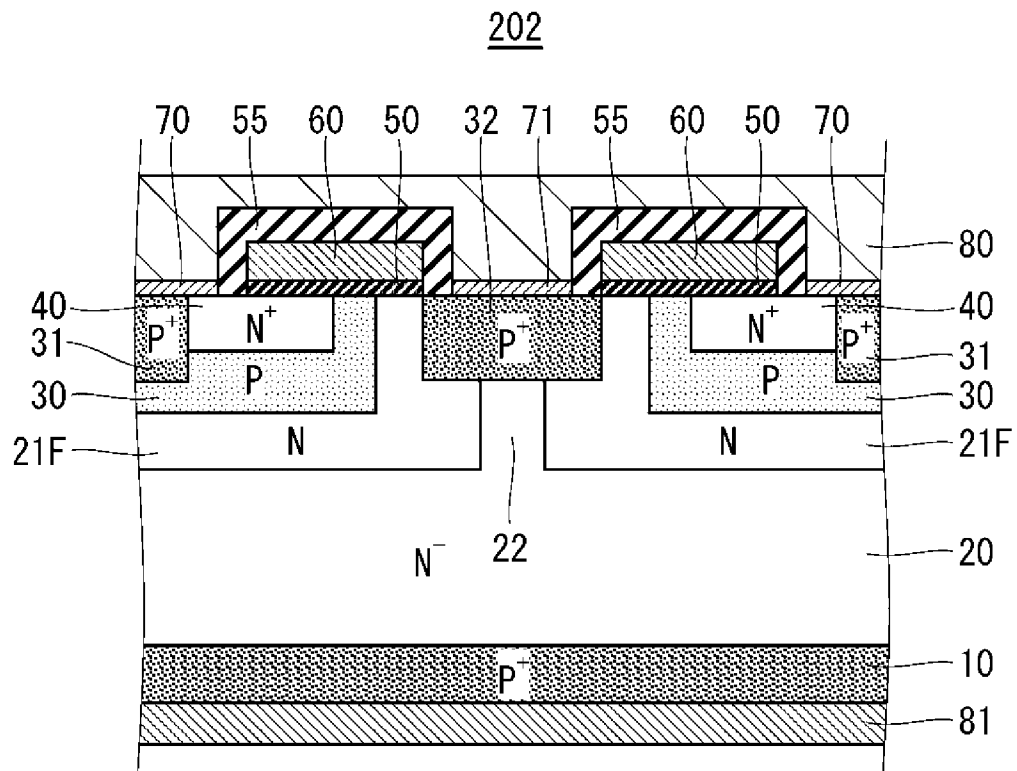
[図6]



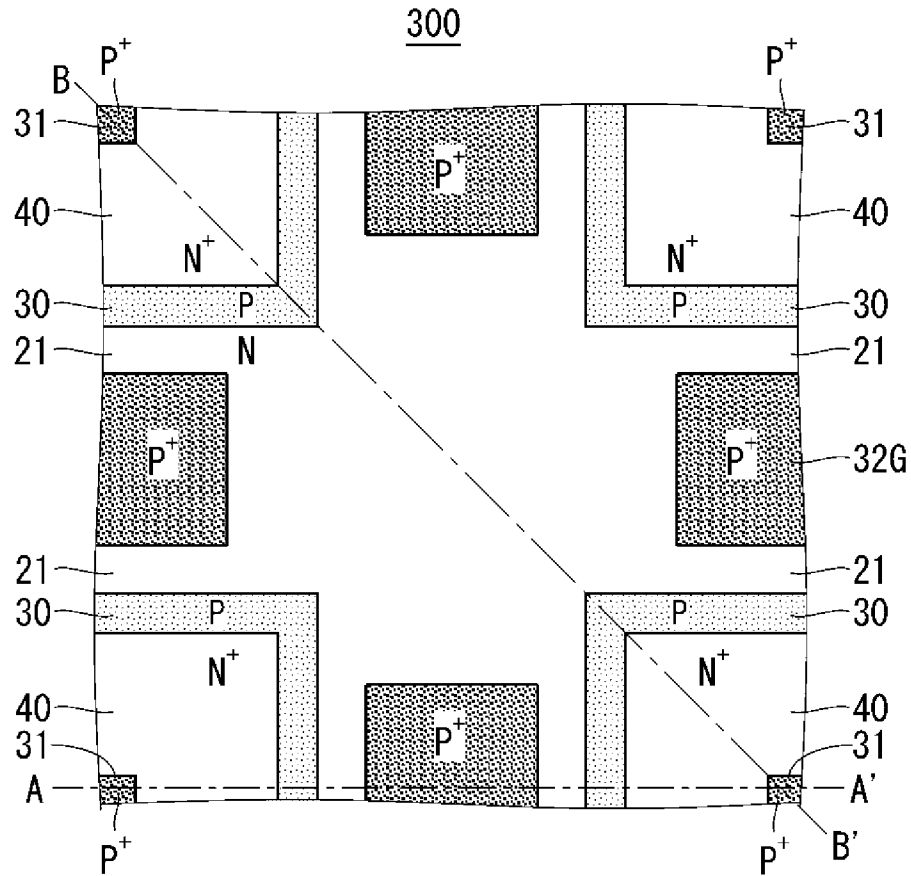
[図7]



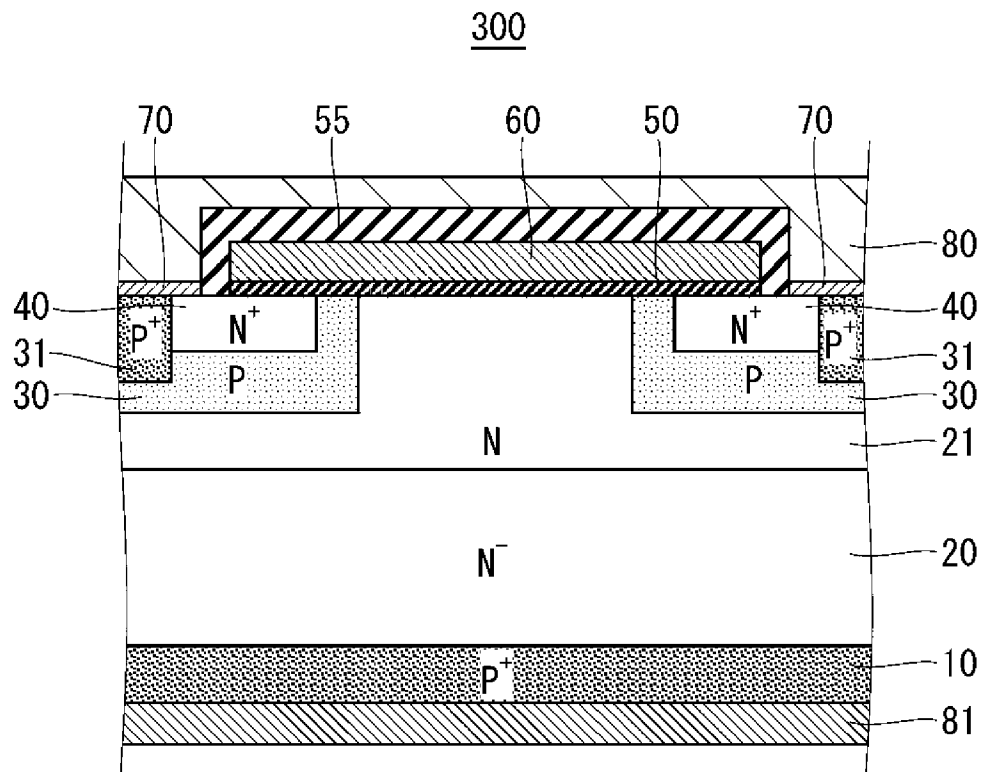
[図8]



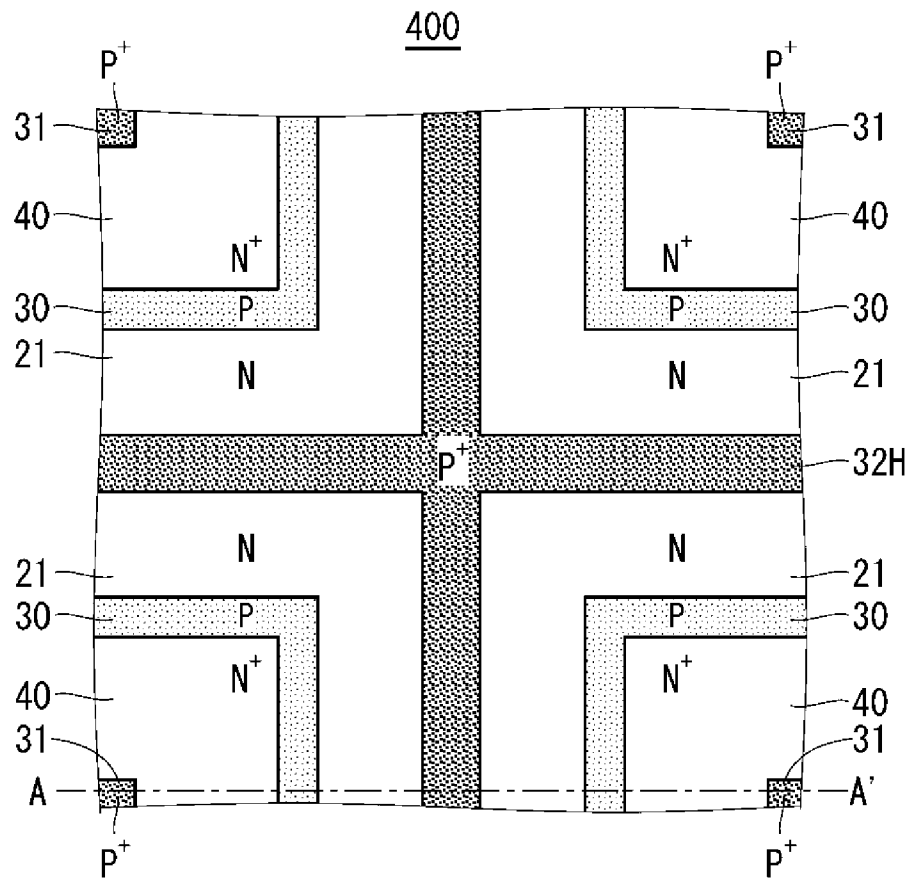
[図9]



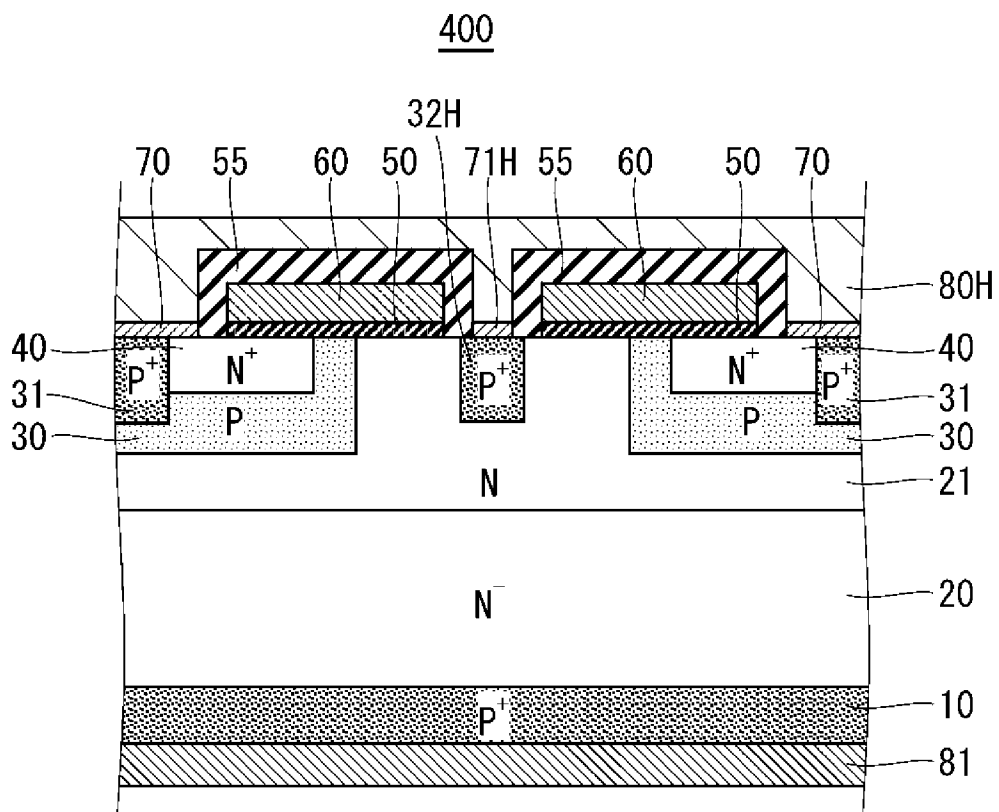
[図10]



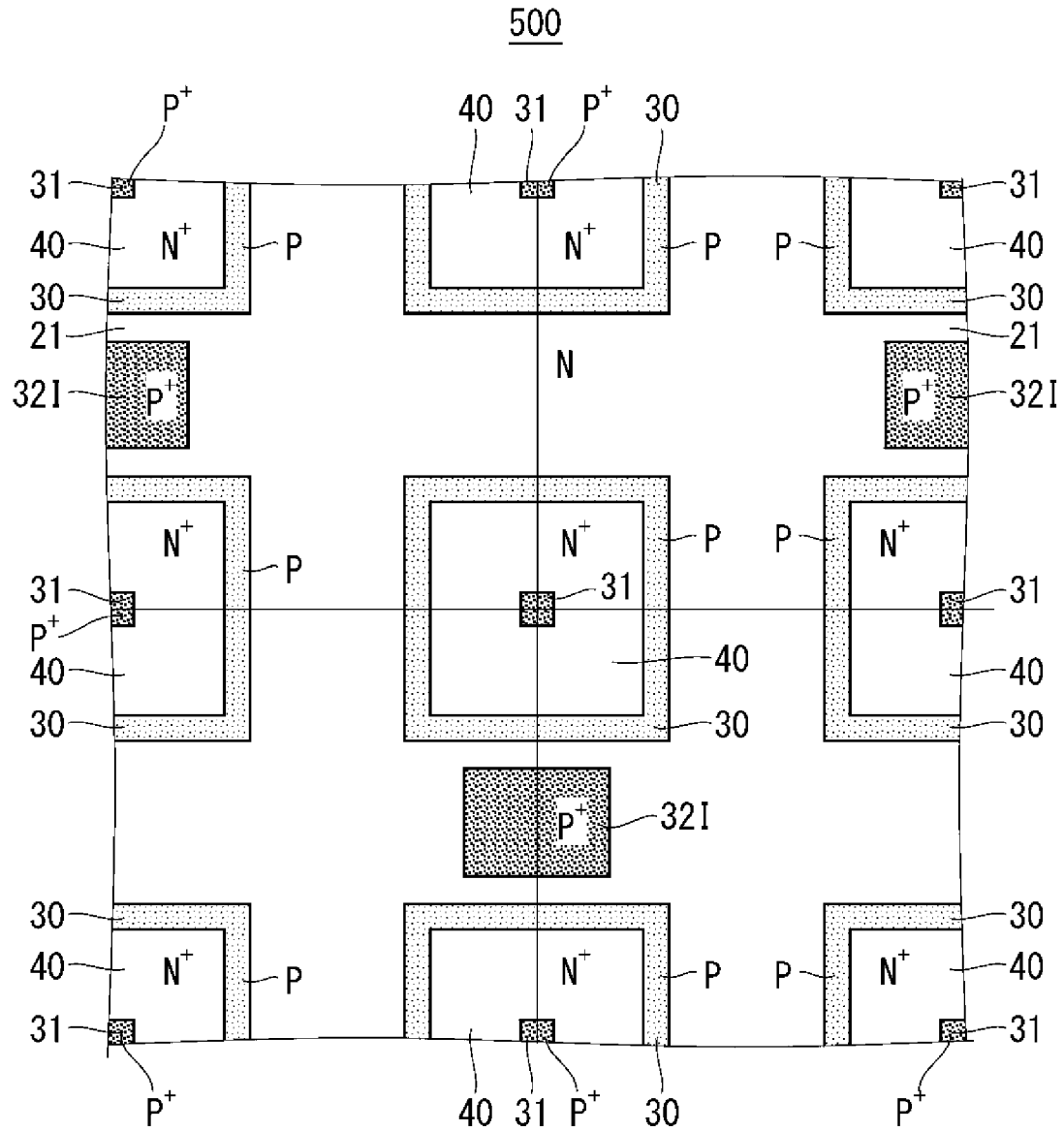
[図11]



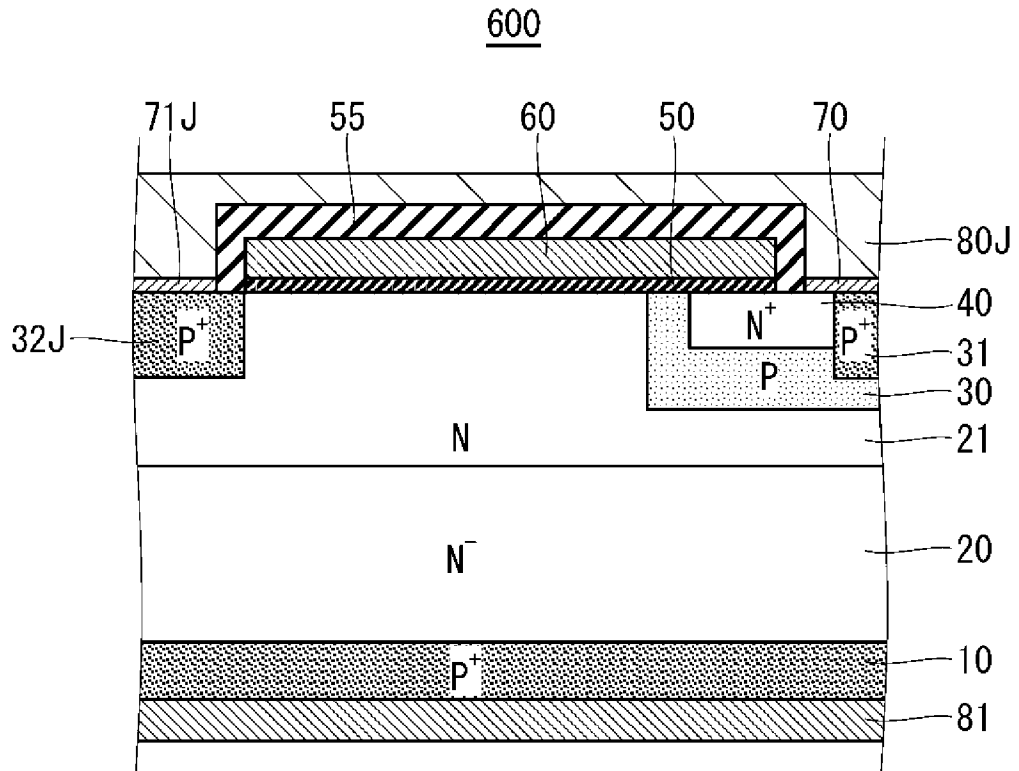
[図12]



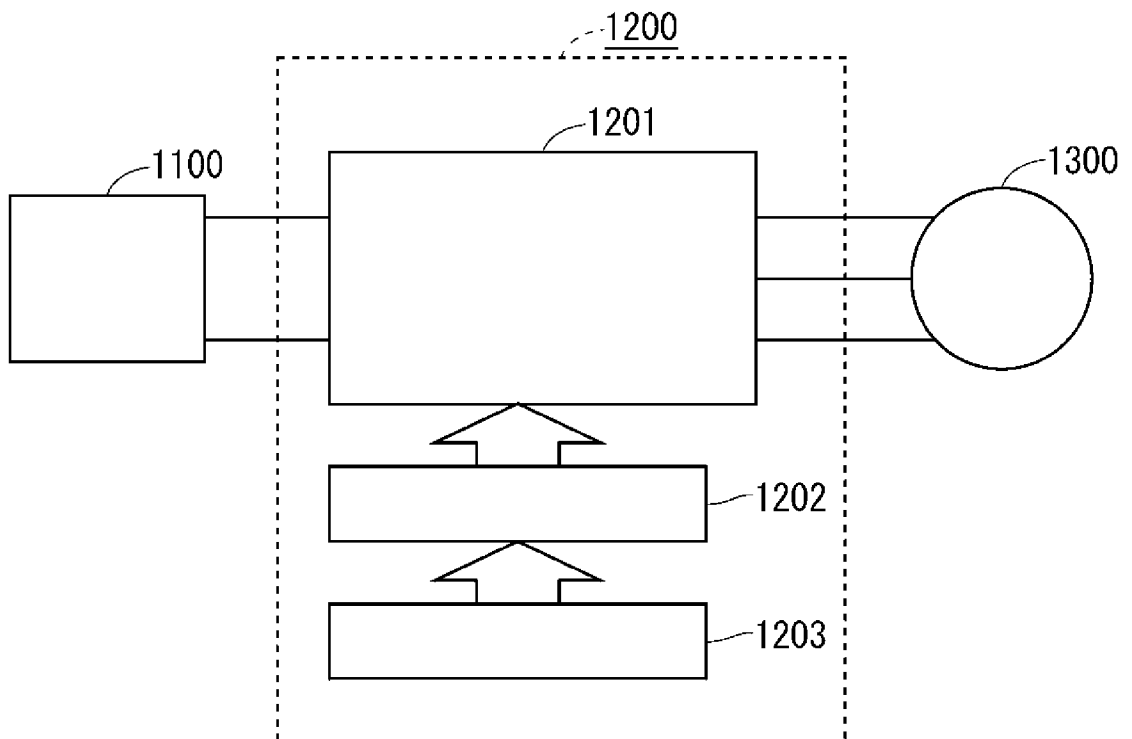
[図13]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/028993

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/739 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-073911 A (DENSO CORPORATION) 10 May 2018, paragraphs [0013]-[0064] & WO 2018/079417 A1	1-13
A	JP 10-335649 A (MITSUBISHI ELECTRIC CORPORATION) 18 December 1998, paragraphs [0060]-[0074] & US 5925899 A, column 10, line 49 to column 11, line 64 & DE 19750897 A1 & FR 2764119 A1 & KR 10-0266388 B1	1-13
A	JP 11-345969 A (TOSHIBA CORPORATION) 14 December 1999, paragraphs [0142]-[0152] (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18.09.2018

Date of mailing of the international search report
02.10.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-073911 A（株式会社デンソー）2018.05.10, 0013 段落 ないし 0064 段落 & WO 2018/079417 A1	1-13
A	JP 10-335649 A（三菱電機株式会社）1998.12.18, 0060 段落ないし 0074 段落 & US 5925899 A, 第 10 欄第 49 行ないし第 11 欄第 64 行 & DE 19750897 A1 & FR 2764119 A1 & KR 10-0266388 B1	1-13
A	JP 11-345969 A（株式会社東芝）1999.12.14, 第 0142 段落ないし 第 0152 段落（ファミリーなし）	1-13

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.09.2018

国際調査報告の発送日

02.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516