

公告本

申請日期：90.6.22.

案號：90115353

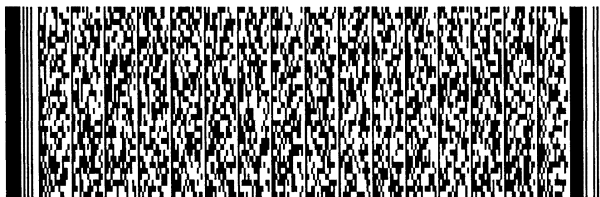
類別：606F 9/06

(以上各欄由本局填註)

發明專利說明書

512277

一、 發明名稱	中文	電腦系統之控制晶片組及其控制方法
	英文	Core Logic of a computer system and control method of the same
二、 發明人	姓名 (中文)	1. 李潤容 2. 蕭見忠 3. 梅林天 4. 白宏達
	姓名 (英文)	1. Ruen-rone LEE 2. Chien-Chung Hsiao 3. Lin-Tien MEI 4. Hung-Ta PAI
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 新竹市南外街55號 2. 澎湖縣白沙鄉城前村4鄰29-1號 3. 新竹縣竹東鎮五豐里康莊街107巷42號 4. 台中縣大甲鎮經國路375巷3號
三、 申請人	姓名 (名稱) (中文)	1. 矽統科技股份有限公司
	姓名 (名稱) (英文)	1. Silicon Integrated Systems Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學園區研新一路16號
	代表人 姓名 (中文)	1. 杜俊元
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

[發明領域]

本發明係關於電腦系統之控制晶片組及控制方法，特別是關於具有3D繪圖加速器之幾何引擎的控制晶片組，藉以降低繪圖加速器之成本，並提昇電腦系統之繪圖性能。

[習知技術]

圖1為一般電腦系統之方塊圖。如該圖所示，控制晶片組103主要是控制中央處理單元(Central Processing Unit, CPU)101、系統記憶體(System Memory)102、3D繪圖加速器(Graphics accelerator)104、以及其他I/O裝置105之間的資料流動。即，中央處理單元101要存取主記憶體102的資料時，或送繪圖指令給3D繪圖加速器104時，均要經過控制晶片組103的控制。因此，如圖2所示，一般的控制晶片組103都會包含許多界面控制器(Interface Controller)，例如主控制器(Host Controller)200、DRAM控制器201、AGP/PCI控制器202、以及其他I/O界面控制器203等。其中資料是經由不同之匯流排(Bus)傳輸，例如CPU是經由主匯流排(Host Bus)與記憶匯流排(Memory Bus)來存取資料。由於各種新的匯流排被指定作各種不同之應用，例如USB、IEEE 1394等介面，使得控制晶片組之襯墊(pad)數目變大。雖然匯流排之控制電路只佔很小之面積，且半導體製造技術持續快速在進步，但是控制晶片組之面積卻因襯墊的數量增加而無法以相同速度減小，此種現象稱之為襯墊限制(Pad-Limited)。



五、發明說明 (2)

另一方面，因3D繪圖之需求，也使得繪圖加速器之功能提昇，使得晶片面積變得非常大。圖3所示為一般電腦系統中之3D繪圖加速器104的架構方塊圖。如該圖所示，一般3D繪圖加速器104包含有一幾何引擎(Geometry Engine)300和一描繪引擎(Rendering Engine)310。幾何引擎300執行轉換(transform)和打光(lighting)之動作，而描繪引擎310執行設定(setup)和描繪(rendering)之動作，並將影像傳給顯示器(圖未示)。

在此之前，幾何引擎300之工作是由電腦內部之軟體所執行。也就是說，中央處理單元需執行幾何引擎300之轉換和打光的工作。而描繪引擎310則是在一個客製化積體電路(Application Specified Integrated Circuit，以下簡稱ASIC)內執行。近來亦有將幾何引擎300配置於ASIC內執行，並與描繪引擎310合併於一個單晶片內，以提高3D繪圖之功能。同時，多重管線(Multiple Pipelines)被廣範使用於描繪操作上，以獲得更高之描繪速度。換言之，會有更多的邏輯閘(Logic gates)被配置於繪圖加速器104內，因此提高了繪圖加速器104之成本。所以雖然半導體之製造技術提高了，但是繪圖加速器之成本卻無法隨之下降。

圖4為電腦系統中另外一種3D繪圖加速器之設計架構方塊圖，其中一部份之局部動態隨機存取記憶體(Local DRAM)106被用來作為幾何引擎300之緩衝器(Buffer)，防止因為在某些時候幾何引擎300與描繪引擎310之處理速度



五、發明說明 (3)

不匹配，造成幾何引擎300或描繪引擎310處於空閒狀態 (Idle)。然而，因為描繪引擎310需要足夠之記憶體頻寬 (Memory Bandwidth)，而圖4之設計可能導致記憶體頻寬減少，使描繪引擎310之性能受到影響。

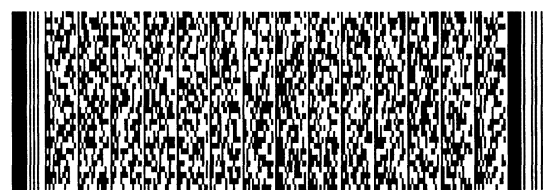
[發明概要]

有鑑於上述問題，本發明之目的係提供一種電腦系統之控制晶片組及控制方法，藉由將3D繪圖加速器的幾何引擎配置於控制晶片組，而提高系統之3D繪圖性能，並降低3D繪圖加速器的成本。

為達成上述目的，本發明電腦系統之控制晶片組包含一主控制器，用以連接CPU，作指令傳輸動作；一DRAM控制器，用以連接系統記憶體與主控制器，以進行資料之存取；一界面控制器，用以連接主控制器和其他輸入及輸出單元，作界面間之控制動作；一AGP/PCI匯流排控制器，係進行AGP/PCI匯流排的控制；一3D引擎，係與AGP/PCI匯流排控制器連接，並具有3D繪圖之部份功能，以輔助所連接之3D繪圖加速器之指令執行；以及一控制電路，用以控制3D繪圖指令於3D引擎之傳輸。

再者，根據本發明之電腦系統之控制晶片組的控制方法，係在一電腦繪圖系統中，控制晶片組與所連接之3D繪圖加速器均具有幾何引擎的功能時，用來控制繪圖指令的分配，該控制方法包含下列步驟：

偵測記憶體存取狀態，藉以判別系統記憶體與繪圖加



五、發明說明 (4)

速器之局部記憶體之忙碌狀態；

若系統記憶體較局部記憶體忙碌時，則關閉控制晶片組之幾何引擎功能，並啟動繪圖加速器之幾何引擎功能；以及，

若局部記憶體較前物系統記憶體忙碌時，則啟動控制晶片組之幾何引擎功能，並關閉繪圖加速器之幾何引擎功能。

由於本發明將3D繪圖加速器的幾何引擎配置於控制晶片組內，不但可降低3D繪圖加速器的成本，同時亦可提高電腦系統之3D繪圖性能。

[較佳實施例之詳細說明]

以下參考圖式說明本發明電腦系統之控制晶片組的實施例。

圖5所示為本發明控制晶片組第一實施例的方塊圖。如該圖所示，控制晶片組50與習知控制晶片組大致相同，亦包含一主控制器200、一DRAM控制器201、一AGP/PCI控制器202、以及其它I/O界面控制器203。該等控制器200、201、202、以及203與習知控制晶片組的相對控制器的功能相同，不再重複說明。本發明之控制晶片組50除了具備上述各種控制器外，還包含一幾何引擎(Geometry Engine)51、以及控制該幾何引擎51之控制單元52。

如圖5所示，幾何引擎51包含一轉換和打光單元511、一解多工器512、以及一多工器513。該轉換和打光控制單



五、發明說明 (5)

元511係接收從解多工器512輸出之繪圖指令，並加以執行後輸出至多工器513。而解多工器512與多工器513是由控制單元52之控制信號521與522所控制，藉以將主控制器200的繪圖指令送至轉換和打光單元511執行，或直接經由AGP/PCI控制器202送到AGP/PCI匯流排。因此，3D繪圖指令可先經過轉換和打光單元511執行，使得所連接之3D繪圖加速器可不必具備該轉換和打光功能，而降低成本。另外，控制單元52用來控制3D繪圖指令之流向，其中控制單元52具有兩個控制信號521、522，分別控制解多工器512及多工器513的選擇動作。該控制單元52可使用暫存器來儲存該等控制信號521、522。

由於控制晶片組50內之幾何引擎51的轉換和打光單元511已將繪圖指令中需要轉換和打光的動作事先執行，因此CPU就不必以軟體執行轉換和打光的動作。同時，幾何引擎的架構亦可由3D繪圖加速器上移除，以降低3D繪圖加速器之成本，且不會降低電腦系統之3D繪圖性能。因控制晶片組50受到襯墊限制(Pad-limited)，具有多餘的邏輯閘可使用，所以雖然配置幾何引擎51與控制單元52，但並不會因此增加控制晶片組50之面積。也就是說，控制晶片組50之成本不會增加。

圖6所示為本發明控制晶片組第二實施例之方塊圖。如該圖所示，本發明第二實施例之控制晶片組60與第一實施例之控制晶片組50相同，亦包含幾何引擎61與控制單元62。但是該幾何引擎61除了包含轉換和打光控制單元

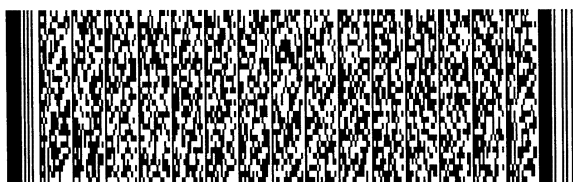


五、發明說明 (6)

611、一第一解多工器612、以及第一多工器613外，還包含一資料流向控制單元614。該資料流向控制單元614是受到控制單元62的控制，且接收轉換和打光單元611所輸出之資料，並藉由控制單元62之控制信號623的控制，將該資料經由DRAM控制器201儲存至系統記憶體，或直接輸出至第一多工器613，或藉由控制單元62之控制信號624的控制，將儲存在系統記憶體之資料經由DRAM控制器201輸出至第一多工器613。資料流向控制單元614可由解多工器615與多工器616所構成。而控制單元62之四個控制信號621、622、623與624，係分別控制該解多工器612、多工器613、解多工器615及多工器616。

由於第二實施例將轉換和打光單元611所輸出的資料經由DRAM控制器201儲存在系統記憶體，且需要資料時，將儲存在系統記憶體之資料經由DRAM控制器201輸出。因此，不但可解決該轉換和打光單元611與所連接之3D加速器的速度不匹配的問題，亦不會影響3D加速器之記憶體頻寬。

再者，幾何引擎51、61除了具有轉換和打光單元511、611之3D繪圖功能外，亦可包含其他3D繪圖功能，例如基本元素排序器(Primitives Sorter)。3D基本元素排序器係根據圖形之Z軸深度，將3D基本元素再分級(Re-Order)，並拋棄被完全覆蓋的基本元素，因此只有看得見之基本元素才會被存取及通過到下一階段。所以，本實施例中，不可視之基本元素已事先被過濾，因此可提高



五、發明說明 (7)

所連接之3D繪圖加速器之性能。

另外，圖6還顯示系統記憶體102於開機時已事先分配一記憶體區域1021給控制晶片組104之幾何引擎。因此，在第二實施例中，轉換和打光單元611的資料可經由DRAM控制器暫存至系統記憶體中。

其次，在一電腦繪圖系統中，當控制晶片組內與3D繪圖加速器內，皆具有功能相同或類似之幾何引擎時，可藉由控制方法平衡控制晶片組內之系統記憶體的存取與繪圖加速器之局部記憶體的存取動作，以提高3D指令之最高執行效率。圖7所示為本發明之控制方法的流程圖。其控制步驟如下：

步驟S700：開始；

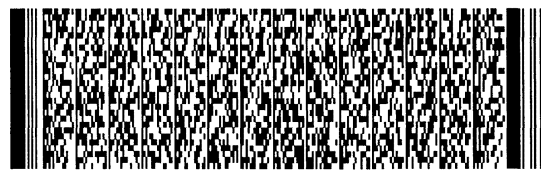
步驟S701：偵測記憶體存取狀態，亦即分別偵測系統記憶體與繪圖加速器之局部記憶體的存取狀態，且每一個圖框或每一個場景偵測一次；

步驟S702：若系統記憶體較局部記憶體忙碌，則執行步驟S703，否則跳至步驟S704；

步驟S703：關閉控制晶片組之幾何引擎功能，並開啟繪圖加速器之幾何引擎功能，跳至步驟S701；

步驟S704：若局部記憶體較系統記憶體忙碌，則執行步驟S705，否則跳至步驟S701；

步驟S705：開啟控制晶片組之幾何引擎功能，並關閉繪圖加速器之幾何引擎功能，跳至步驟S701。



五、發明說明(8)

[發明之效果]

本發明由於將位於3D繪圖加速器上之幾何引擎，配置於控制晶片組中，不但可降低繪圖加速器之成本，而且不會降低3D繪圖之性能及增加控制晶片組之成本。而且除了幾何引擎之外，其他3D繪圖之功能，亦可在控制晶片組中執行。

在發明詳細說明中所提出之具體的實施態樣或實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，在不超出本發明之精神及以下之申請專利範圍之情況，可作種種變化實施。



圖式簡單說明

[圖式之簡單說明]

圖1表示一習知電腦之系統方塊圖。

圖2表示一習知的控制晶片組之方塊圖。

圖3表示一電腦系統中，習知的3D繪圖加速器之架構方塊圖。

圖4表示一電腦系統中，另外一種習知的3D繪圖加速器之設計架構方塊圖。

圖5表示本發明第一實施例之控制晶片組的方塊圖。

圖6表示本發明第二實施例之控制晶片組的方塊圖。

圖7為本發明之平衡系統記憶存取與局部記憶存取之方法圖。

[符號說明]

- 101~中央處理單元
- 102~系統記憶器
- 103~控制晶片組
- 104~3D繪圖加速器
- 105~其他輸入及輸出元件
- 200~主控制器
- 201~DRAM控制器
- 202~AGP/PCI控制器
- 203~其他界面控制器
- 204~AGP/PCI匯流排
- 51、61~幾何引擎



圖式簡單說明

511、611~轉換和打光控制單元

512、612~解多工器

513、613~多工器

52、62~控制單元



四、中文發明摘要 (發明之名稱：電腦系統之控制晶片組及其控制方法)

本發明係關於電腦系統之控制晶片組及平衡記憶體存取之方法。該控制晶片組包含一幾何引擎、及一控制電路，藉以將3D繪圖卡的部分功能移至控制晶片組處理，而簡化3D繪圖卡的設計。幾何引擎具有3D繪圖之部份功能，如空間轉換(Space Transform)、打光(Lighting)和排序(Sorting)等功能。而控制電路係用來控制3D繪圖指令的流向，以有效運用該幾何引擎。如此，不但可降低繪圖加速器之成本，而且不會降低3D繪圖之性能，亦不會增加控制晶片組之成本。另外，本發明還提出平衡記憶體存取之方法，可平衡控制晶片組內之系統記憶體的存取與繪圖加速器之局部記憶體的存取，以提高3D繪圖指令之最高通過效率。

英文發明摘要 (發明之名稱：Core Logic of a computer system and control method of the same)

A core logic of a computer system and control method of the same is proposed to increase the efficiency of a 3D graphic card. The core logic comprises a geometry engine and a control circuit to execute some functions transferred from a 3D graphic card to simplify the design of the 3D graphic card. The geometry engine has the functions, including space transform, lighting, and sorting. The control circuit is used to control the flow of 3D command in the geometry



四、中文發明摘要 (發明之名稱：電腦系統之控制晶片組及其控制方法)

英文發明摘要 (發明之名稱：Core Logic of a computer system and control method of the same)

engine. Because the core logic has some functions of the 3D graphic card, the 3D graphic card can cost down without losing its function and the core logic will not need extra cost. Additionally, a method for balancing the system memory access and local memory access of the graphic card is proposed. The method controls some of the 3D commands to be executed by the core logic or by the 3D graphic card according to the system memory access state and the local memory access state to



四、中文發明摘要 (發明之名稱：電腦系統之控制晶片組及其控制方法)

英文發明摘要 (發明之名稱：Core Logic of a computer system and control method of the same)

get the highest throughput of the 3D commands.



六、申請專利範圍

1. 一種電腦系統的控制晶片組，包含：

- 一主控制器，用以連接CPU，作指令傳輸動作；
- 一DRAM控制器，用以連接系統記憶體與前述主控制器，以進行資料之存取；
- 一界面控制器，用以連接前述主控制器和其他輸入及輸出單元，作界面間之控制動作；
- 一AGP/PCI匯流排控制器，係進行AGP/PCI匯流排的控制；
- 一3D引擎，係與前述AGP/PCI匯流排控制器連接，並具有3D繪圖之部份功能，以輔助所連接之3D繪圖加速器之指令執行；以及
- 一控制電路，用以控制3D繪圖指令於前述3D引擎之傳輸。

2. 如申請專利範圍第1項所記載之電腦系統的控制晶片組，其中前述3D引擎包含：

- 一第一解多工器，係接收自該控制晶片組之主控制器的繪圖指令，並接受前述控制電路之控制信號的控制；
- 一轉換和打光控制單元，係接收前述第一解多工器之繪圖指令，並執行轉換和打光控制動作；以及
- 一第一多工器，係接收前述第一解多工器以及前述前述轉換和打光控制單元之信號，並接受前述控制電路之控制信號的控制將選擇之信號輸出至前述AGP/PCI匯流排控制器。



六、申請專利範圍

3. 如申請專利範圍第2項所記載之電腦系統的控制晶片組，其中前述3D引擎還包含一資料流向控制單元，係接收前述轉換和打光控制單元所輸出之資料，並藉由前述控制電路之控制信號的控制，將該資料經由前述DRAM控制器儲存至前述系統記憶體，或直接輸出至前述第一多工器，或藉由前述控制電路之控制信號的控制將儲存在前述系統記憶體之資料經由前述DRAM控制器輸出至前述第一多工器。
4. 如申請專利範圍第3項之電腦系統的控制晶片組，其中前述3D引擎還包含一基本元素排序單元，該基本元素排序單元係接收前述第一解多工器之輸出信號，並將排序後之資料經由前述DRAM控制器儲存至前述系統記憶體，而前述轉換與亮度控制單元則經由前述DRAM控制器讀取儲存在前述系統記憶體之資料。
5. 一種電腦系統之控制晶片組的控制方法，係在一電腦繪圖系統中，當控制晶片組與所連接之3D繪圖加速器均具有幾何引擎的功能，且控制晶片組之幾何引擎使用系統記憶體來暫存資料時，用來控制繪圖指令的分配，該控制方法包含下列步驟：
- 偵測記憶體存取狀態，藉以判別前述系統記憶體與前述繪圖加速器之局部記憶體的忙碌狀態；
- 若前述系統記憶體較前述局部記憶體忙碌時，則關閉



六、申請專利範圍

前述控制晶片組之幾何引擎功能，並啟動前述繪圖加速器之幾何引擎功能；以及，

若前述局部記憶體較前物系統記憶體忙碌時，則啟動前述控制晶片組之幾何引擎功能，並關閉前述繪圖加速器之幾何引擎功能。



圖式

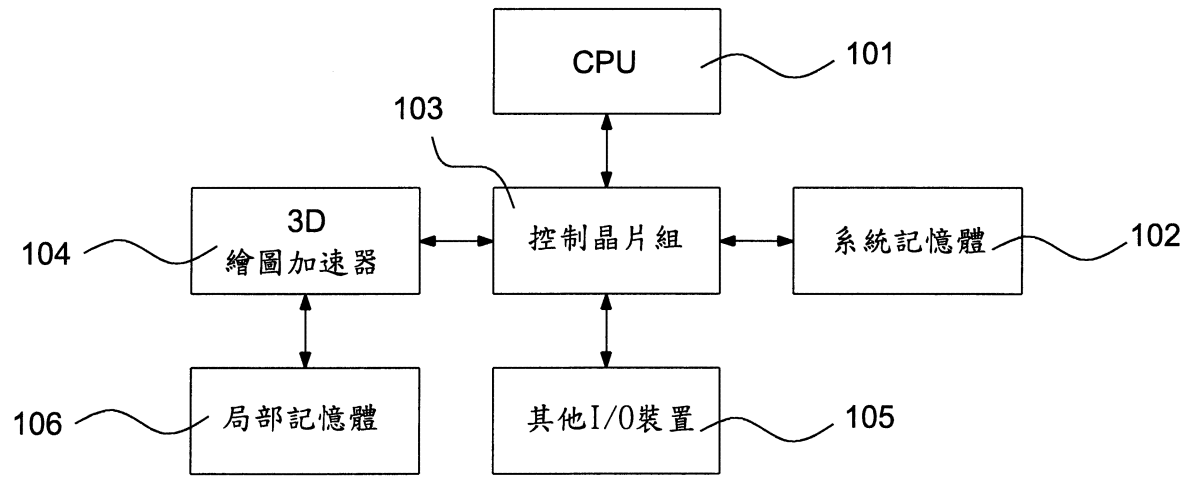


圖 1

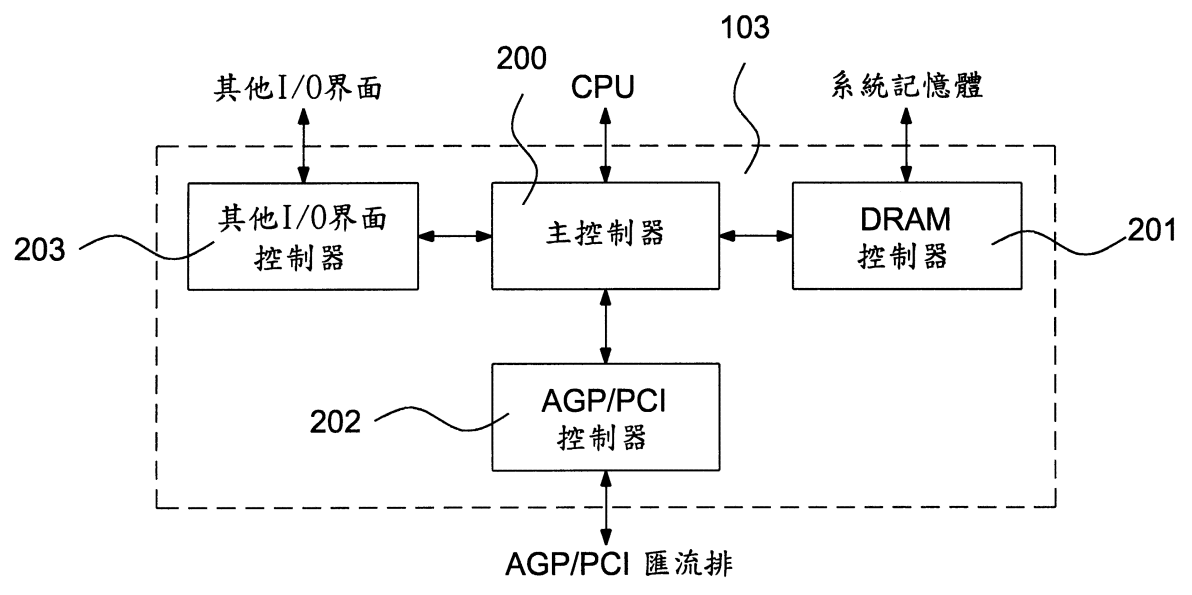


圖 2

圖式

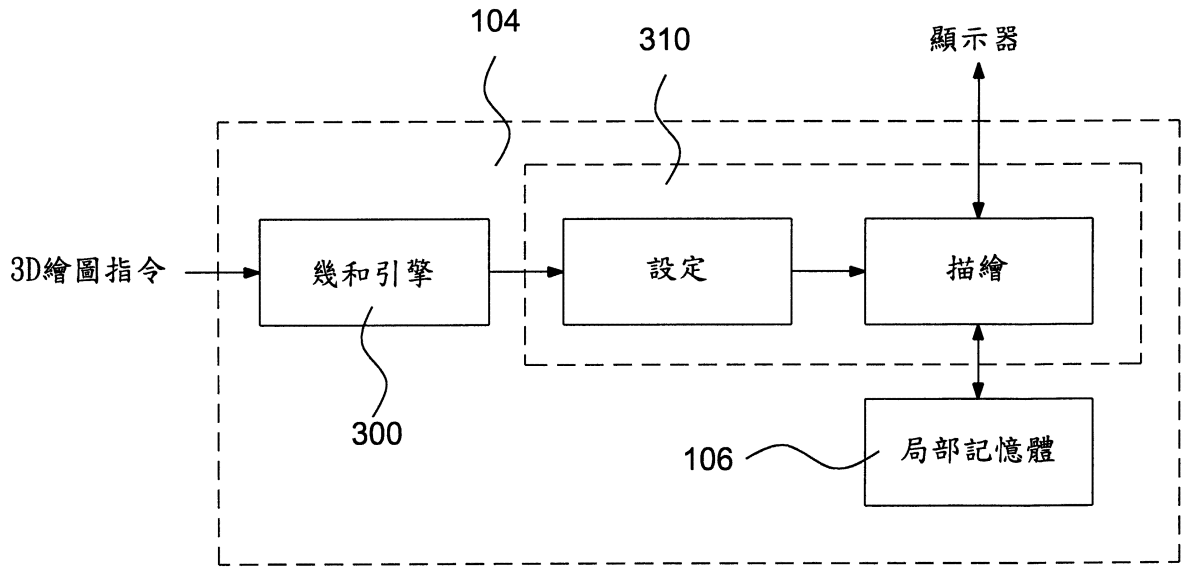


圖 3

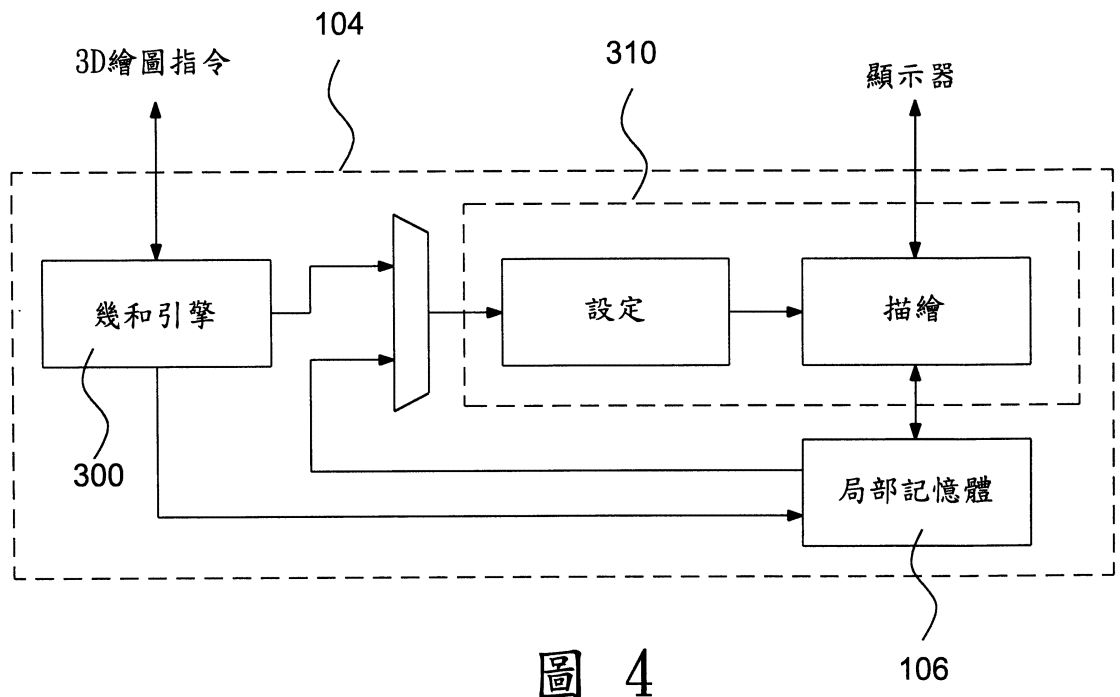


圖 4

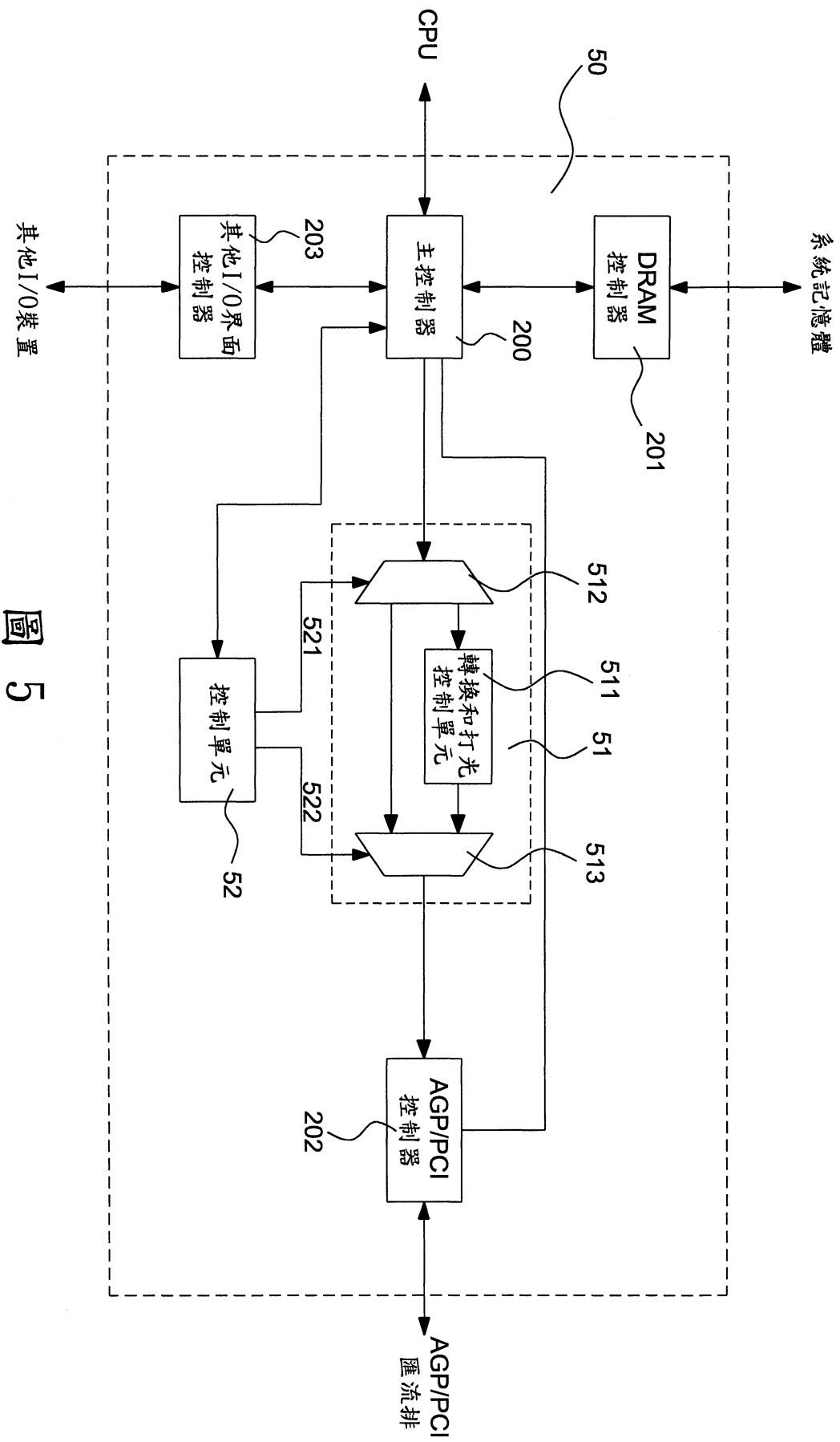


圖 5

圖式

圖式

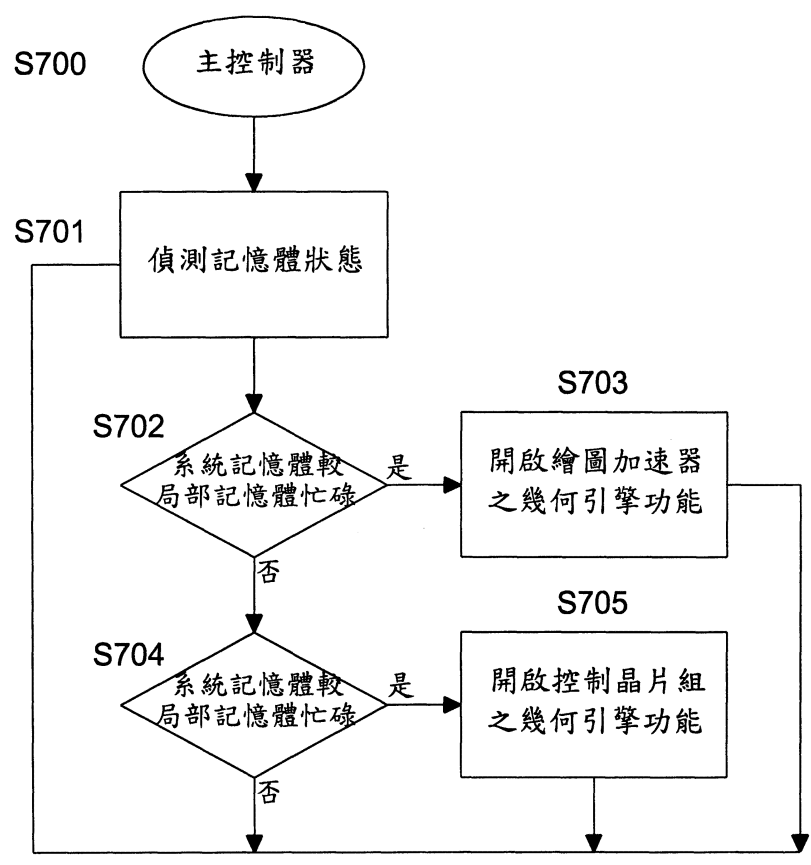


圖 7