



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|----------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl. G09G 3/36 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2007년08월08일 10-0747634 2007년08월02일 |
|----------------------------------------|-------------------------------------|------------------------------------------|

| | | | |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|
| (21) 출원번호 (22) 출원일자 심사청구일자 | 10-2001-0077722 2001년12월10일 2005년11월15일 | (65) 공개번호 (43) 공개일자 | 10-2002-0059227 2002년07월12일 |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|

(30) 우선권주장 JP-P-2000-00383012 2000년12월18일 일본(JP)

(73) 특허권자 가부시끼가이샤 르네사스 테크놀로지
일본국 도쿄토 치요다쿠 오테마치 2초메 6반 2고

(72) 발명자 타니쿠니히코
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시끼가이
샤히타치세이사쿠쇼치테크자이산켄혼부나이

요코타요시카즈
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시끼가이
샤히타치세이사쿠쇼치테크자이산켄혼부나이

사카마키고로우
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시끼가이
샤히타치세이사쿠쇼치테크자이산켄혼부나이

오오야마타카시
일본국치바켄모바라시하야노3681히타치데바이스엔지니어링가부시끼
가이샤나이

(74) 대리인 특허법인 원전

| | |
|---------------------------------------------------------------------------|-------------------------------------|
| (56) 선행기술조사문헌 JP2000306379 A KR1019980034375 A KR1020010025799 A | KR100284017 B1 KR1020000056611 A |
|---------------------------------------------------------------------------|-------------------------------------|

심사관 : 이병우

전체 청구항 수 : 총 46 항

(54) 표시제어장치 및 휴대용 전자기기

(57) 요약

종래의 표시제어장치에 내장되어 있는 표시 RAM은, 1워드씩 순서대로 기록해 가는 방식이므로, 마이크로 프로세서로부터의 표시데이터의 전송속도에 따라 기록속도를 빠르게 하고자 하면, 전송속도에 비례하여 소비전력이 증대해버린다는 문제가 있었다.

표시제어장치(100) 내부의 표시 RAM(140)에의 기록데이터폭(비트수)을, 외부의 마이크로 프로세서(53) 등으로부터 공급되는 기록데이터폭의 정수배로 함과 동시에, 표시 RAM 1행분의 기록데이터를 유지하는 2단의 래치회로(LTG11 ~ LTG14, LTG21 ~ LTG24)를 설치하여, 마이크로 프로세서 등으로부터 공급되는 기록데이터를 수(數)사이클분 1단째의 래치회로(LTG11 ~ LTG14)에 삽입하여, 데이터가 갖추어졌을 때 2단째의 래치회로(LTG11 ~ LTG14)로 일괄전송하여, 2단째의 래치회로에 유지하고 있는 데이터를 전송게이트에 의해 일괄하여 표시 RAM에 전송하여 기록하도록 하였다.

대표도

도 3

특허청구의 범위

청구항 1.

반도체 칩에 형성된 표시제어장치에 있어서,

표시장치에 표시할 표시데이터를 저장가능한 메모리와,

상기 메모리로부터 판독된 상기 표시데이터에 근거하여 상기 표시장치를 구동하는 구동회로와,

상기 표시제어장치의 외부로부터 공급된 표시데이터를 소정 비트수 단위로 받아들여 유지하고, 상기 유지된 표시데이터를 상기 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위로 상기 메모리에 공급가능한 제1 데이터 유지회로를 갖고,

상기 제1 데이터 유지회로는, 상기 소정 비트수의 n 배의 단위의 표시데이터를 유지하고, 상기 유지된 소정 비트수의 n 배의 단위의 표시데이터를 상기 메모리에 공급해서 상기 메모리에의 기록이 행하여지고, 상기 소정 비트수의 n 배의 단위의 표시데이터가 상기 메모리로 기록되는 동안, 상기 제1 데이터 유지회로는 상기 표시제어장치의 외부로부터 공급되는 다음 표시데이터를 소정 비트수 단위로 받아들여 유지하는 것을 특징으로 하는 표시제어장치.

청구항 2.

제 1항에 있어서,

상기 표시데이터는 동화상 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 3.

제 1항에 있어서,

상기 표시데이터는 적, 녹 및 청으로 구성된 컬러 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 4.

삭제

청구항 5.

제 1항에 있어서,

계조전압(階調電壓) 발생회로와

상기 계조전압 발생회로에 의하여 생성된 복수의 계조전압 중에서 상기 메모리로부터 판독된 상기 표시데이터에 대응하는 소망의 계조전압을 선택하는 계조전압 선택회로를 더 갖는 것을 특징으로 하는 표시제어장치.

청구항 6.

제 1항에 있어서,

상기 메모리는 상기 표시데이터를 비트맵 방식으로 기록하는 것을 특징으로 하는 표시제어장치.

청구항 7.

제 1항에 있어서,

상기 제1 데이터 유지회로는, 상기 메모리의 1개의 워드선에 결합된 메모리셀의 수와 동수(同數)인 래치회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 8.

제 1항에 있어서,

상기 표시데이터가 공급되는 외부단자를 갖고,

상기 표시데이터가 상기 외부단자를 통해서 상기 제1 데이터 유지회로에 공급되는 것을 특징으로 하는 표시제어장치.

청구항 9.

제 8항에 있어서,

상기 외부단자의 수는, 상기 소정 비트수와 같은 것을 특징으로 하는 표시제어장치.

청구항 10.

제 1항에 있어서,

상기 소정 비트수의 단위는 16비트 단위이고,

상기 소정 비트수의 n배의 단위는, 64비트 단위인 것을 특징으로 하는 표시제어장치.

청구항 11.

제 1항에 있어서,

상기 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위의 데이터는, 기록 더미데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 12.

제 1항에 있어서,

상기 표시제어장치는, 상기 반도체칩 상에,

상기 표시데이터의 비트처리를 행하는 비트 오퍼레이션 회로를 갖고,

상기 비트오퍼레이션 회로는, 상기 제1 데이터 유지회로에 접속되는 것을 특징으로 하는 표시제어장치.

청구항 13.

제 1항에 있어서,

상기 표시제어장치는, 상기 반도체칩 상에,

상기 표시데이터의 비트 처리를 행하는 비트 오퍼레이션 회로와,

상기 메모리로부터 판독된 상기 표시데이터를 유지하는 제2 데이터 유지회로를 갖고,

상기 비트 오퍼레이션 회로는, 상기 제2 데이터 유지회로에 접속되는 것을 특징으로 하는 표시제어장치.

청구항 14.

제 1항에 있어서,

상기 표시제어장치는, 상기 반도체칩 상에,

상기 메모리에 대하여 어드레스를 생성하는 어드레스 카운터를 갖는 것을 특징으로 하는 표시제어장치.

청구항 15.

제 12항에 있어서,

상기 표시제어장치는, 상기 반도체칩 상에,

클럭 펄스를 생성하는 클럭 생성회로와,

상기 클럭 생성회로에 접속된 타이밍 발생회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 16.

제 1항에 있어서,

상기 n은, 4인 것을 특징으로 하는 표시제어장치.

청구항 17.

컬러 표시 액정 패널에 표시할 데이터가 저장된 메모리와,

상기 메모리에 저장할 표시 데이터가 마이크로 컴퓨터로부터 공급되는 복수의 제1 외부단자와,

계조전압(階調電壓) 발생회로와,

상기 계조전압 발생회로에 의하여 생성된 복수의 계조전압 중에서 상기 액정 패널의 1라인 분(分)의 화소 각각을 구동하는 소망의 계조전압을, 상기 메모리로부터 판독된 상기 표시데이터에 기초하여 선택하는 계조전압 선택회로와,

상기 계조전압 선택회로에 의하여 선택된 계조전압에 기초하여 상기 액정패널에 공급할 구동신호를 생성하는 제1 드라이버와,

상기 제1 드라이버의 출력이 공급되는 복수의 제2 외부단자와,

상기 액정 패널의 복수의 라인으로부터 표시할 1라인을 선택하는 신호를 생성하는 제2 드라이버와,

상기 복수의 제1 외부단자와 상기 메모리의 입력과의 사이에 결합되고, 상기 복수의 제1 외부단자의 수에 대응하는 비트 수의 단위로, 상기 복수의 제1 외부단자에 공급된 데이터를 받아들여 저장할 수 있고, 상기 비트수의 n배(n은 정수;n>1)의 단위로 저장된 데이터를 상기 메모리에 공급할 수 있는 데이터 유지회로를 갖고,

상기 데이터 유지회로는, 상기 비트수의 n배의 단위의 데이터를 저장하고, 상기 저장된 비트수의 n배의 단위의 데이터를 상기 메모리에 공급해서 상기 메모리에의 기록이 행하여지고, 상기 비트수의 n배의 단위의 표시데이터가 상기 메모리로 기록되는 동안, 상기 데이터 유지회로는 외부로부터 공급되는 다음 표시데이터를 비트수 단위로 받아들여 유지하는 것을 특징으로 하는 표시제어장치.

청구항 18.

제 17항에 있어서,

상기 데이터 유지회로는, 상기 복수의 제1 외부단자에 공급된 데이터를 받아들여 저장하는 제1 데이터 유지회로와,

상기 제1 데이터 유지회로로부터 출력된 상기 비트수의 n배(n은 정수;n>1)의 단위의 표시 데이터를 유지할 수 있는 제2 데이터 유지회로를 갖고,

상기 제2 데이터 유지회로는, 상기 제1 데이터 유지회로로부터 공급된 상기 비트수의 n배의 단위의 표시데이터를 유지하고, 상기 유지된 비트수의 n배의 단위의 표시데이터를 상기 메모리에 공급해서 상기 메모리에의 기록이 행하여지고, 상기 제2 데이터 유지회로로 출력된 상기 비트수의 n배의 단위의 표시데이터가 상기 메모리에 기록되는 동안, 상기 제1 데이터 유지회로는 상기 표시제어장치의 외부로부터 공급되는 다음 표시데이터를 상기 비트수 단위로 받아들여 유지하는 것을 특징으로 하는 표시제어장치.

청구항 19.

제 17항에 있어서,

상기 표시데이터는 동화상 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 20.

제 17항에 있어서,

상기 표시데이터는, 적, 녹 및 청으로 구성된 컬러 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 21.

제 17항에 있어서,

상기 n은, 4인 것을 특징으로 하는 표시제어장치.

청구항 22.

제 17항에 있어서,

상기 비트수의 단위는 16비트 단위이고,

상기 비트수의 n배의 단위는, 64비트 단위인 것을 특징으로 하는 표시제어장치.

청구항 23.

제 17항에 있어서,

상기 메모리는, 상기 표시데이터를 비트맵 방식으로 기록하는 것을 특징으로 하는 표시제어장치.

청구항 24.

제 18항에 있어서,

상기 제2 데이터 유지회로는, 상기 메모리의 1개의 워드선에 결합된 메모리셀의 수와 동수인 래치회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 25.

제 17항에 있어서,

상기 표시제어장치는, 상기 메모리에 대한 어드레스를 발생하는 어드레스 카운터를 갖는 것을 특징으로 하는 표시제어장치.

청구항 26.

제 17항에 있어서,

상기 표시제어장치는,

클럭 펄스를 생성하는 클럭 생성회로와,

상기 클럭 생성회로에 접속된 타이밍 발생회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 27.

반도체 칩에 형성된 표시제어장치에 있어서,

표시장치에 표시하는 표시데이터를 저장할 수 있는 메모리와,

상기 메모리에 대한 어드레스를 생성하는 어드레스 카운터와

상기 메모리로부터 판독된 표시데이터에 근거하여 상기 표시장치를 구동하는 구동회로와,

상기 표시제어장치의 외부에서 공급된 표시데이터를 소정 비트수 단위로 받아들여 유지하고, 상기 유지된 표시데이터를 상기 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위로 상기 메모리에 기록할 수 있는 제1 데이터 유지회로를 갖고,

상기 제1 데이터 유지회로는, 상기 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위의 표시데이터를 유지하고, 상기 유지된 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위의 표시 데이터를 상기 메모리에 공급해서 상기 메모리에의 기록이 행하여지고, 상기 소정 비트수의 n 배의 단위의 표시데이터가 상기 메모리로 기록되는 동안, 상기 제1 데이터 유지회로는 상기 표시제어장치의 외부에서 공급되는 다음 표시데이터를 소정 비트수의 단위로 받아들여 유지하는 것을 특징으로 하는 표시제어장치.

청구항 28.

제 27항에 있어서,

상기 표시데이터는, 동화상 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 29.

제 27항에 있어서,

상기 표시데이터는, 적, 녹 및 청으로 구성된 컬러 표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 30.

제 27항에 있어서,

계조전압 발생회로와,

상기 계조전압 발생회로에 의하여 생성된 복수의 계조전압 중에서 상기 메모리로부터 판독된 상기 표시데이터에 대응하는 소량의 계조전압을 선택하는 계조전압 선택회로를 더 갖는 것을 특징으로 하는 표시제어장치.

청구항 31.

제 27항에 있어서,

상기 메모리는, 상기 표시데이터를 비트맵 방식으로 기록하는 것을 특징으로 하는 표시제어장치.

청구항 32.

제 27항에 있어서,

상기 제1 데이터 유지회로는, 상기 메모리의 1개의 워드선에 결합된 메모리셀의 수와 동수인 래치회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 33.

제 27항에 있어서,

상기 표시데이터가 공급되는 외부단자를 갖고,

상기 표시데이터가 상기 외부단자를 통하여 상기 제1 데이터 유지회로에 공급되는 것을 특징으로 하는 표시제어장치.

청구항 34.

제 33항에 있어서,

상기 외부단자의 수는, 상기 소정 비트수와 같은 것을 특징으로 하는 표시제어장치.

청구항 35.

제 27항에 있어서,

상기 소정 비트수의 단위는 16비트 단위이고,

상기 소정 비트수의 n 배의 단위는 64비트 단위인 것을 특징으로 하는 표시제어장치.

청구항 36.

제 27항에 있어서,

상기 소정 비트수의 n 배(n 은 정수; $n > 1$)의 단위의 데이터는, 기록 더미데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 37.

제 27항에 있어서,

상기 표시제어장치는, 상기 반도체 칩상에 상기 표시데이터의 비트처리를 행하는 비트 오퍼레이션 회로를 갖고,

상기 비트 오퍼레이션 회로는, 상기 제1 데이터 유지회로에 접속되는 것을 특징으로 하는 표시제어장치.

청구항 38.

제 27항에 있어서,

상기 표시제어장치는, 상기 반도체 칩상에 상기 표시데이터의 비트처리를 행하는 비트 오퍼레이션 회로와,

상기 메모리로부터 판독된 상기 표시데이터를 유지하는 제2 데이터 유지회로를 갖고,

상기 비트 오퍼레이션 회로는, 상기 제2 데이터 유지회로에 접속되는 것을 특징으로 하는 표시제어장치.

청구항 39.

제 27항에 있어서,

상기 표시제어장치는, 상기 반도체 칩상에 클럭 펄스를 생성하는 클럭 생성회로와,

상기 클럭 생성회로에 접속된 타이밍 발생회로를 갖는 것을 특징으로 하는 표시제어장치.

청구항 40.

반도체칩에 형성된 표시제어장치에 있어서,

표시장치에 표시하는 표시데이터를 저장 가능한 메모리와,

상기 메모리에서 판독된 상기 표시데이터에 의거하여 상기 표시장치를 구동하는 구동회로와,

상기 표시데이터가 공급되는 복수의 외부단자와,

상기 복수의 외부단자에 공급된 표시데이터를 소정 비트수의 단위로 받아들여서 유지하고, 상기 유지된 표시데이터를 상기 소정 비트수의 4배의 단위로 상기 메모리에 기록 가능한 데이터 유지회로를 가지며,

상기 복수의 외부단자의 수는, 상기 소정 비트수와 같으며,

상기 데이터 유지회로는, 상기 소정 비트수의 단위의 표시데이터를 순차 받아들여서 상기 소정 비트수의 4배의 단위의 표시데이터를 유지한 후, 상기 소정 비트수의 4배의 단위의 표시데이터를 상기 메모리에 공급하는 것에 의해서 상기 소정 비트수의 4배의 단위의 표시데이터의 상기 메모리에의 기록을 가능케 하고, 상기 소정 비트수의 4배의 단위의 표시데이터의 상기 메모리에의 기록이 행해지고 있을 때, 상기 데이터 유지회로는 상기 복수의 외부단자에서 공급되는 다음의 표시데이터를 소정 비트수의 단위로 받아들여서 유지하는 것을 특징으로 하는 표시제어장치.

청구항 41.

제 40항에 있어서,

상기 표시데이터는, 동화상표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 42.

제 40항에 있어서,

상기 표시데이터는, 적, 녹 및 청으로 구성되는 컬러표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 43.

제 40항에 있어서,

상기 소정 비트수의 단위는 16비트단위이며,

상기 소정 비트수의 4배의 단위는, 64비트단위인 것을 특징으로 하는 표시제어장치.

청구항 44.

반도체칩에 형성된 표시제어장치에 있어서,

표시장치에 표시하는 표시데이터를 저장 가능한 메모리와,

상기 메모리에서 판독된 상기 표시데이터에 의거하여 상기 표시장치를 구동하는 구동회로와,

상기 표시데이터가 공급되는 복수의 외부단자와,

상기 복수의 외부단자에 공급된 표시데이터를 소정 비트수의 단위로 받아들여서 유지하고, 상기 유지된 표시데이터를 상기 소정 비트수의 4배의 단위로 상기 메모리에 기록 가능한 데이터 유지회로를 가지며,

상기 복수의 외부단자의 수는, 상기 소정 비트수와 같으며,

상기 데이터 유지회로는, 상기 소정 비트수의 단위의 표시데이터의 복수를 순차 받아들여서 유지한 후, 상기 소정 비트수의 4배의 단위의 표시데이터가 상기 메모리의 1개의 워드선에 접속된 대응하는 복수의 메모리셀에 일괄하여 기록되고, 또한, 상기 소정 비트수의 4배의 단위의 표시데이터가 상기 메모리의 1개의 워드선에 접속된 대응하는 복수의 메모리셀에 일괄하여 기록되고 있을 때, 다음의 소정 비트수의 단위의 표시데이터를 순차 받아들여서 유지하는 것이 가능한 것을 특징으로 하는 표시제어장치.

청구항 45.

제 44항에 있어서,

상기 표시데이터는, 동화상표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 46.

제 44항에 있어서,

상기 표시데이터는, 적, 녹 및 청으로 구성되는 컬러표시를 위한 표시데이터를 포함하는 것을 특징으로 하는 표시제어장치.

청구항 47.

제 44항에 있어서,

상기 소정 비트수의 단위는 16비트단위이며,

상기 소정 비트수의 4배의 단위는, 64비트단위인 것을 특징으로 하는 표시제어장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은, 복수의 표시 세그먼트가 2차원 배열된 표시부(예컨대 도트 매트릭스형 표시부)의 표시제어를 행하는 표시제어장치 나아가서는 그 표시제어장치에서의 표시데이터를 기억하는 메모리의 기록래치회로에 적용하는 유효한 기술에 관한 것으로, 예컨대 액정표시 제어장치 및 그것을 탑재한 휴대용 전자기기에 이용하는 유효한 기술에 관한 것이다.

근래, 휴대전화기나 페이지 등의 휴대용 전자기기의 표시장치로서는, 일반적으로 복수의 표시화소가 예컨대 매트릭스 모양으로 2차원 배열된 도트 매트릭스형 액정패널이 이용되고 있고, 기기 내부에는 이 액정패널의 표시제어를 행하는 반도체 집적회로화 된 표시제어장치나 액정패널을 구동하는 드라이버 혹은 드라이버를 내장한 표시제어장치가 탑재되어 있다. 그리고, 이 표시제어장치에는 액정패널에 표시하는 표시데이터를 기억하는 재기록 가능한 RAM(random access memory)이 내장되어 있는 것이 있고, 표시제어장치는 기기 전체를 제어하거나 송수신 신호의 처리 등을 행하는 마이크로 프로세서로부터 표시해야 할 데이터를 받으면 내부의 RAM(이하, 표시 RAM이라 칭함)의 표시데이터를 재기록하도록 구성되어 있다.

구체적으로는, 도 11에 나타내는 바와 같이, 마이크로 프로세서로부터 버스(BUS0~ BUS15)를 통하여 공급되는 1 워드(16비트)의 기록데이터를, 표시 RAM(140)의 비트선에 대응하여 설치되어 있는 래치회로군(LTG1 ~ LTG4)에, 도 12에 나타내는 바와 같은 타이밍신호($\phi 11$, $\phi 12 \dots$)에 동기하여 순차적으로 삽입하고, 각 래치회로군(LTG1 ~ LTG4)과 표시 RAM과의 사이에 설치되어 있는 전송게이트군(TGT1 ~ TGT4)을 타이밍 신호($\phi 31$, $\phi 32 \dots$)에 의해 순차적으로 열어, 워드단위로 데이터를 표시 RAM(140)에 순차적으로 기록해 가는 방식이 일반적이었다.

발명이 이루고자 하는 기술적 과제

이러한 휴대용 전자기기에 이용되는 액정패널은, 단색표시의 것이 많았다. 그러나, 근래, 휴대용 전자기기의 고기능화에 따라 표시부에 표시되는 내용의 다양화가 진행되고 있고, 컬러표시나 동화상 표시를 행하는 것도 제공되고 있다.

그런데, 컬러표시나 동화상 표시를 행하고자 하면, 단색의 정지화상 표시에 비해 표시데이터가 매우 많아지므로, 마이크로 프로세서로서 동작 주파수가 높은 것이 사용됨과 동시에, 표시 RAM에 대해서도 고속의 기록동작이 요구된다.

그러나, 휴대용 전자기기 중 특히 휴대전화기는 전지소모를 줄이기 위해, 이것에 탑재되는 표시제어장치 등의 LSI는 저소비전력인 것이 요구된다. 그런데, 종래의 표시제어장치에 내장되어 있는 표시 RAM은, 도 12에 나타나 있는 바와 같이 1워드씩 순서대로 기록해가는 방식이므로, 마이크로 프로세서로부터의 표시데이터의 전송속도에 따라 기록속도를 빠르게 하고자 하면, 전송속도에 비례하여 소비전력이 증대해버린다는 문제점이 있다는 것을 알 수 있었다.

이 발명은, 상기와 같은 문제점을 감안하여 이루어진 것으로, 소비전력을 증대시키지 않고 내부의 표시 RAM에 대한 데이터의 기록을 고속으로 행할 수 있는 표시제어장치 및 그것을 탑재한 휴대용 전자기기를 제공하는 것을 목적으로 하고 있다.

이 발명의 상기 및 그 이외의 목적과 신규의 특징에 대해서는, 본 명세서의 기술 및 첨부도면으로부터 명백해질 것이다.

발명의 구성

본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면, 하기와 같다.

즉, 표시장치의 표시데이터가 기억 가능하여 소정의 비트단위로 표시데이터의 기록이 행해지는 표시메모리를 구비하며, 그 표시메모리로부터 순차적으로 표시데이터를 판독하여 표시장치에 대한 구동신호를 형성하여 출력하는 표시제어장치에 있어서, 상기 표시메모리는, 종방향과 횡방향에 각각 정렬 배치된 복수의 메모리셀과 동일행 메모리셀의 선택단자가 접속된 복수의 워드선과 그 워드선과 교차하는 방향에 배치되며, 동일행 메모리셀의 데이터 입출력 노드가 접속된 복수의 비트선을 구비한 메모리레이를 가지며, 상기 비트선에는 입력용의 전송수단과 출력용의 전송수단이 접속되고, 상기 입력용의 전송수단에 의한 데이터의 전송으로 선택상태의 워드선에 접속되어 있는 메모리셀로의 데이터의 기록이 행해져, 상기 출력용의 전송수단에 의한 데이터의 전송으로 선택상태의 워드선에 접속되어 있는 메모리셀로부터의 데이터의 판독이 행해지도록 구성되며, 상기 소정비트 단위의 표시데이터를 순차적으로 삽입 가능한 복수의 제1 데이터 래치수단을 구비하고, 그 제1 데이터 래치수단에 유지되어 있는 표시데이터가, 그 제1 데이터 래치수단에 삽입되는 표시데이터 비트수의 정수배(n 배)의 비트단위로, 상기 입력용의 전송수단에 의해 상기 표시메모리의 비트선에 일괄하여 전송 가능하게 구성한 것이다.

상기한 수단에 의하면, 표시메모리가 센스앰프를 갖지 않는 구성 즉, 표시 메모리로의 기록데이터는 입력용 전송수단에 의해 래치회로로부터 직접 비트선으로 전송되며, 판독시에는 비트선의 데이터가 출력용 전송수단에 의해 출력됨과 동시에, 복수의 데이터가 일단 래치회로에 래치한 후 일괄하여 표시메모리에 기록되므로, 센스앰프가 없는 만큼 소비전력을 감소 시킴과 동시에 데이터를 1개씩 표시메모리에 기록하는 방식에 비해 표시메모리의 액세스 회수(워드선의 상승회수)가 적어져 메모리의 소비전력을 줄일 수 있다. 또, 센스앰프를 생략하므로써 기록속도나 판독속도가 지연됐다고 해도 복수의 기록 데이터를 일괄하여 표시메모리에 기록할 수 있으므로 데이터를 1개씩 기록하는 종래방식에 비해 데이터의 기록도 고속으로 행할 수 있게 된다.

또, 바람직하게는, 상기 제1 데이터 래치수단에 유지되어 있는 표시데이터를 상기 제1 데이터 래치수단에 삽입되는 표시데이터 비트수의 정수배의 비트단위로 삽입 가능한 복수의 제2 데이터 래치수단을 더 구비하고, 상기 입력용의 전송수단은 그 제2 데이터 래치수단에 유지되어 있는 표시데이터를 상기 제1 데이터 래치수단에 삽입되는 표시데이터 비트수의 정수배(n 배)의 비트단위로 상기 표시메모리의 비트선에 전송 가능하게 구성한다. 이것에 의해, 표시메모리에 기록해야 할 데이터를 제2 데이터 래치수단으로부터 표시메모리로 전송하고 있는 동안에 다음에 기록되어야 할 표시데이터를 제1 데이터 래치수단에 삽입할 수 있으므로, 동일 비트선에 접속되어 있는 메모리셀로의 데이터 기록이 연속하는 경우에도 고속으로 데이터를 기록할 수 있게 된다.

더 바람직하게는, 상기 입력용의 전송수단에 의한 상기 표시메모리의 비트선으로의 데이터의 전송은, 상기 제1 데이터 래치수단에의 마지막 데이터의 삽입과 동일한 타이밍으로 행해지도록 한다. 이것에 의해, 표시메모리에 기록되어야 할 데이터를 소정의 비트단위의 정수배로 표시메모리에 전송하는 경우에 있어서도, 마지막의 데이터를 제1 데이터 래치수단에 삽입한 후 다음 사이클에서 일괄하여 표시메모리로 전송하는 방식 보다도 1 사이클 빠르게 데이터를 전송할 수 있다.

또, 상기 제1 데이터 래치수단의 수는, 상기 n 배의 더 정수배이도록 한다. 이것에 의해, 표시메모리의 일행에 대하여 연속하여 데이터를 기록하는 경우에, 단수가 발생하지 않고 데이터의 전송을 행할 수 있게 되어, 토탈 데이터 기록시간을 단축시킬 수 있다.

또한, 상기 입력용의 전송수단에 의해 상기 표시메모리의 비트선에 전송되기 위한 데이터의 비트수를 설정 가능한 마스크 설정수단을 구비하며, 그 마스크 설정수단의 설정정보에 의거하여 상기 입력용의 전송수단이 제어되도록 구성한다. 이것에 의해, 표시메모리의 임의의 위치로부터 일괄기록으로 데이터를 재기록하는 경우에도, 재기록 불필요한 데이터가 실수로 재기록되어 버리는 것을 방지할 수 있다. 또, 일괄로 기록 가능한 복수의 데이터의 도중에서 데이터를 재기록하는 경우에도, 마스크 설정수단을 사용하므로써 일괄기록방식에서의 기록이 가능해지며, 기록시간의 단축이 가능해진다.

또, 상기 마스크 설정수단은, 연속한 어드레스 범위의 기록데이터의 선두어드레스와 그 선두어드레스로부터 마스크해야 할 데이터량 및 종료 어드레스와 그 종료 어드레스로부터 마스크해야 할 데이터량을 설정 가능하게 구성한다. 이것에 의해, 임의의 길이의 기록 데이터에 대하여 마스크 설정수단을 사용한 마스크 기록이 가능해진다.

또한, 상기 표시메모리에서 판독된 표시데이터에 의거하여 외부의 액정표시장치의 세그먼트 전극을 구동하는 신호를 생성하는 세그먼트 구동수단을 설치하여, 1개의 반도체칩상에 반도체 집적회로로 구성한다. 이것에 의해, 액정표시장치를 사용한 시스템을 구성하는 경우에, 표시제어장치 내에 세그먼트 구동수단이 내장되어 있으므로, 시스템을 구성하는 부품점수를 감소시킬 수 있으며, 실장면적을 감소할 수 있게 된다.

또, 본 발명에 관한 휴대용 전자기기는, 상기와 같은 구성을 갖는 표시제어장치와, 상기 표시메모리에 기록하는 표시데이터의 생성 및 그 기록위치정보에 관한 설정을 행하는 데이터 처리장치와, 상기 표시메모리로부터 판독되어 표시데이터에 의거하여 상기 표시제어장치에 의해 형성된 표시구동신호에 의해 표시를 행하는 표시장치를 구비하도록 한 것이다. 이것에 의해, 휴대용 전자기기의 전원인 전지의 소모를 적게 할 수 있어, 1회의 충전으로 장시간의 가동이 가능한 휴대용 전자기기를 실현할 수 있다.

또한, 상기 표시장치는 도트 매트릭스형의 액정표시장치로 한다. 이것에 의해, 전지의 소모를 한층 적게 하여 가동시간을 연장시킬 수 있다.

또, 상기 표시제어장치는 상기 액정표시장치의 세그먼트 전극을 구동하는 신호를 생성하는 세그먼트 구동수단을 구비하며, 상기 액정표시장치의 커먼전극을 구동하는 신호를 생성하는 커먼전극 구동회로는 상기 표시제어장치가 형성된 반도체칩과는 별개의 반도체칩상에 반도체 집적회로로서 구성되며, 그 커먼전극 구동회로는 상기 표시제어장치를 구성하는 소자보다도 내압이 높은 소자로 구성한다. 이것에 의해, 고내압을 필요로 하는 커먼전극 구동회로만을 다른 칩으로 구성할 수 있고, 세그먼트 구동수단과 커먼전극 구동회로를 동일한 칩상에 형성하는 경우에 비해 성능을 향상시킬 수 있고 또 프로세스를 간단히 하여 제조비용을 줄일 수 있다.

(발명의 실시형태)

이하, 이 발명에 적합한 실시형태를 도면에 의거하여 설명한다.

도 1의 (A)는, 본 발명에 관한 표시제어장치의 제1 실시예인 액정컨트롤 드라이버를 구비한 휴대전화기의 전체 구성을 나타내는 블록도이다.

이 실시예의 휴대전화기는, 표시부로서의 액정패널(10), 송수신용의 안테나(21), 음성출력용의 스피커(22), 음성입력용의 마이크로폰(23), 본 발명에 관한 표시제어장치로서의 액정 컨트롤 드라이버(100), 스피커(22)나 마이크로폰 신호의 입출력을 행하는 음성인터페이스(30), 안테나(21)와의 사이에 신호의 입출력을 행하는 고주파 인터페이스(40), 음성신호나 송수신 신호에 관한 신호처리를 행하는 DSP(Digital Signal Processor)(41), 커스텀기능(사용자논리)을 제공하는 ASIC(application specific integrated circuits)(42), 표시제어를 포함하여 장치 전체의 제어를 행하는 데이터 처리장치로서의 마이크로 프로세서 혹은 마이크로 컴퓨터(이하, 마이크로 프로세서라 함)(53) 및 데이터 기억용의 메모리(60) 등을 구비하여 이루어진다. 상기 DSP(51), ASIC(52) 및 마이크로 프로세서(53)에 의해, 이른바 베이스밴드부(50)가 구성된다.

특히 제한되지 않지만, 상기 액정패널(10)은, 다수의 표시화소가 예컨대 176×128 화소와 같은 매트릭스 모양으로 배열된 도트 매트릭스 방식의 패널이다. 또한, 컬러표시의 액정패널인 경우, 1화소는 적, 청, 녹색의 3도트로 구성된다. 또, 메모리(60)는, 예컨대 소정의 블록단위로 일괄 소거 가능한 플래시메모리 등으로 구성되며, 표시제어를 포함하는 휴대전화기 시스템 전체의 제어프로그램이나 제어데이터가 기억됨과 동시에, 2차원적인 표시패턴으로서 문자폰트 등의 표시데이터가 저장된 패턴 메모리인 CGROM(character generator read only memory)로서의 기능을 겸하여 구비하고 있다.

또한, 이 실시예의 시스템에서는, 액정 컨트롤 드라이버(100)에, 액정패널(10)의 세그먼트 전극(예컨대 384개의 전극)을 구동하는 세그먼트 드라이버가 내장되며, 액정패널(10)의 커먼전극(예컨대 176개의 전극)을 구동하는 커먼 드라이버(70)는 다른 반도체칩상에 구성되어 있다. 단, 이러한 구성에 한정되지 않고, 예컨대 도 1의 (B)에 나타내는 바와 같이, 액정 컨트롤 드라이버(100)에 세그먼트 드라이버와 커먼 드라이버를 내장시킨 액정컨트롤 드라이버로서 구성하도록 해도 된다.

도 2는, 도 1의 (A)의 구성을 갖는 액정 컨트롤 드라이버(100)의 실시예를 나타내는 블록도이다.

이 실시예의 액정 컨트롤 드라이버(100)는, 외부에서의 발진신호 혹은 외부단자에 접속된 진동자로부터의 발진신호에 의거하여 칩 내부의 기준클록펄스를 생성하는 펄스 제너레이터(110), 이 클록펄스에 의거하여 칩 내부의 타이밍 제어신호를 발생시키는 타이밍 발생회로(111), 외부의 마이크로 프로세서(53)에서의 지령에 의거하여 칩 내부 전체를 제어하는 제어부(120), 마이크로 프로세서(53)와의 사이에 데이터의 송수신을 행하는 시스템 인터페이스(131), 외부의 커먼 드라이버

칩(70)에 대하여 제어신호(CS)나 클럭신호(CCL) 커맨드(CDM) 등을 제공하는 커먼 드라이버 인터페이스(132), 표시데이터를 비트맵 방식으로 기억하는 표시메모리로서의 표시 RAM(Random Access Memory)(140) 등을 구비하고 있다. 표시 RAM은 예컨대 176 워드선×1024비트로 구성되며, 2MHz 정도의 동작속도로 된다.

또, 이 실시예의 액정 컨트롤 드라이버(100)에는, 상기 표시 RAM(140)에 대한 어드레스를 생성하는 어드레스 카운터(151), 표시 RAM(140)에서 판독된 데이터를 유지하는 판독데이터 래치회로(152), 판독데이터 래치회로(152)에 판독된 데이터 즉, 이미 표시되어 있는 표시내용과 마이크로 프로세서(53)에서 공급된 새로운 표시데이터에 의거하여 워터마크(watermark) 표시나 중합표시를 위한 논리연산을 행하는 논리연산수단이나 스크롤표시를 위한 비트쉬프트 수단 등을 구비하여 마이크로 프로세서(53)에서의 기록데이터 또는 표시 RAM(140)에서의 판독데이터에 대한 비트처리를 행하는 비트 오퍼레이션 회로(153), 비트처리된 데이터를 삽입하여 상기 표시 RAM(140)에 대하여 데이터 기록을 행하는 기록래치회로(160), 상기 제어부(120) 및 어드레스 카운터(151)에서의 신호에 의거하여 기록래치회로(160)에 대한 타이밍신호를 생성하는 기록 타이밍 생성회로(170)가 설치되어 있다. 워터마크표시나 중합표시 등이 불필요한 때에는, 마이크로 프로세서(53)에서 공급된 데이터는 비트 오퍼레이션 회로(153)를 그냥 지나쳐 기록래치회로(160)로 전달된다. 또한, 마이크로 프로세서(53)에서 기록래치회로(160)로의 데이터 기록속도는, 예컨대 10MHz 정도가 된다.

또한, 이 실시예의 액정 컨트롤 드라이버(100)에는, 컬러표시나 계조표시에 적합한 파형신호를 생성하는 PWM 계조회로(181), 표시 RAM(140)에서 액정패널로의 표시를 위해 판독된 표시데이터를 유지하는 표시데이터 래치회로(182), 그 표시데이터 래치회로(182)에 유지된 표시데이터에 의거하여 상기 PWM 계조회로(181)에서 공급되는 파형신호 중에서 표시데이터에 따른 파형신호를 선택하는 계조제어회로(183), 선택된 계조데이터를 유지하는 출력래치회로(184), 그 출력래치회로(184)에 래치된 데이터에 의거하여 액정패널(10)의 세그먼트 전극에 인가되는 세그먼트 구동신호(SEG1 ~ SEG384)를 출력하는 세그먼트 드라이버(185) 등이 설치되어 있다.

이 세그먼트 드라이버(185)에는, 상기 커먼 드라이버 칩(70)에서 공급되는 액정구동전압(VS)이 인가 가능하게 구성되어 있다. 이와 같이, 액정구동전압(VS)이 외부에서 공급되도록 구성되므로써, 이 실시예의 액정 컨트롤 드라이버(100)에는, 내부전원회로가 불필요해 지며, 전원회로를 내장시키는 경우에 비해 저내압의 소자(MOSFET)에 의해 칩 전체의 회로를 구성할 수 있게 된다. 한편, 커먼 드라이버 칩(70)은 비교적 고내압의 소자로 구성된다. 세그먼트 드라이버와 커먼 드라이버를 동일한 칩상에 형성하면, 고내압의 소자를 형성하는 프로세스와 저내압의 소자를 형성하는 프로세스가 필요해져 프로세스가 복잡해지지만, 각 칩으로 하므로써 프로세스를 간략화시킬 수 있다.

상기 제어부(120)에는, 이 액정 컨트롤 드라이버(100)의 동작모드 등 칩 전체의 동작상태를 제어하기 위한 컨트롤 레지스터(121)나, 컬러표시를 행하기 위한 데이터가 저장되는 컬러 파래트 레지스터(122), 표시 RAM(140)으로의 데이터 기록시에 일부 데이터의 기록을 금지하는 마이크 데이터를 저장하기 위한 마스크 레지스터(123) 등의 레지스터가 설치되어 있다. 제어부(120)의 제어방식으로서, 마이크로 프로세서(53)에서 커맨드 코드를 받으면 이 커맨드를 디코드하여 제어신호를 생성하는 방식이나 미리 제어부 내에 복수의 커맨드 코드와 실행하는 커맨드를 지시하는 레지스터(인덱스 레지스터라 칭함)를 구비하여 마이크로 프로세서(53)가 인덱스 레지스터에 기록을 행하므로써 실행하는 커맨드를 지정하여 제어신호를 생성하는 방식 등 임의의 제어방식을 취할 수 있다.

이와 같이 구성된 제어부(120)에 의한 제어에 의해, 액정 컨트롤 드라이버(100)는, 마이크로 프로세서(53)에서의 지령 및 데이터에 의거하여 상술한 액정패널(10)에 표시를 행할 때에, 표시데이터를 표시 RAM(140)에 순차적으로 기록해가는 묘화처리를 행함과 동시에, 표시 RAM(140)에서 순차 표시데이터를 판독하는 판독처리를 행하여 액정패널(10)의 세그먼트 전극에 인가하는 신호를 형성하여 구동한다.

시스템 인터페이스(131)는, 마이크로 프로세서(53)와의 사이에서 표시 RAM으로의 묘화시 등에 필요해지는 레지스터로의 설정데이터나 표시데이터 등의 신호의 송수신을 행한다. 마이크로 프로세서(53)와 시스템 인터페이스(131)와의 사이에는, 데이터 송신처의 칩을 선택하는 칩 셀렉트 신호(CS*), 데이터 저장처의 레지스터를 선택하는 레지스터 셀렉트 신호(RS), 판독/기록의 제어신호(E/WR*/SCL, RW/RD*) 등이 송신되는 제어신호선, 레지스터 설정데이터나 표시데이터 등 16비트의 데이터 신호(DB0 ~ DB15)가 송수신되는 데이터 신호선이 설치되어 있다.

판독/기록 제어신호로서 E/WR*/SCL과 RW/RD*가 준비되어 있는 것은, 68계의 MPU와 Z80계의 MPU 및 시리얼 클럭 동기의 3종류의 입출력에 대응할 수 있도록 하기 위해서이다. 구체적으로는, 신호 RS와 E와 RW는 68계의 MPU에 대응하는 제어신호, WR*과 RD*은 Z80계의 MPU에 대응하는 제어신호, SCL은 시리얼 클럭에 의한 입출력을 행하기 위한 제어신호이다. 또한, 부호에 *가 붙어 있는 신호는, 로우레벨이 유효레벨이 되는 신호인 것을 의미하고 있다.

타이밍 발생회로(111)는, 상기 판독데이터 래치회로(182)나 계조데이터를 유지하는 래치회로(184), 세그먼트 드라이버(185)에 대한 타이밍 신호 이외에, 세그먼트 전극의 구동과의 동기를 취하기 위해, 외부의 커먼 드라이버 칩에 대한 각종 타이밍 신호(CL1, FLM, M, DISPTMG, DCCLK)를 생성하여 출력하는 기능도 구비하고 있다.

도 3에는, 상기 기록래치회로(160)의 구체적인 회로예가 나타나 있다.

이 실시예의 기록래치회로(160)는, 16비트 데이터버스의 각 신호선(BUS0 ~ BUS15)에 접속되어 각각 16비트의 데이터를 동시에 래치 가능한 16개의 래치회로로 이루어지는 제1 래치군(LTG11 ~ LTG14)과, 그 제1 래치군(LTG11 ~ LTG14)과 표시 RAM(140)의 메모리어레이(141)와의 사이에 설치되어 제1 래치군과 동일수의 래치회로로 이루어지는 제2 래치군(LTG21 ~ LTG24)과, 제2 래치군(LTG21 ~ LTG24)의 출력단자측에 설치된 전송게이트군(TGT1 ~ TGT4)으로 구성되어 있다. 또한, 도 3에 나타나 있는 래치회로는 기록래치회로(160)에 설치되어 있는 래치회로의 전부가 아니라, 도 3과 같은 구성을 1유닛으로 하면, 전부 16유닛 설치되어 있다. 즉, (16비트×4)×16유닛 = 1024비트의 제1 및 제2 래치군이 설치된다. 또한, 컬러표시의 경우, 예컨대 8비트의 데이터로 1화소(적, 청, 녹색의 3도트)의 계조제어가 행해진다.

이 실시예의 기록래치회로(160)는, 상기 기록타이밍 생성회로(153)에서 공급되는 타이밍 신호($\phi 11 \sim \phi 14$, $\phi 21 \sim \phi 24$, $\phi 31 \sim \phi 34$)에 의해 제어된다. 타이밍 신호($\phi 11 \sim \phi 14$, $\phi 21 \sim \phi 24$, $\phi 31 \sim \phi 34$)를 생성하는 기록 타이밍 생성회로(153)는, 제어부(120) 내의 컨트롤 레지스터(123)의 설정치에 따라, 종래와 동일한 축차기록모드와 일괄기록모드로 각각 다른 타이밍 신호($\phi 11 \sim \phi 14$, $\phi 21 \sim \phi 24$, $\phi 31 \sim \phi 34$)를 생성하도록 구성되어 있다.

도 4에는, 메모리어레이(141)와 전송게이트군(TGT)의 구체예를 나타낸다. 메모리어레이(141)에는, 복수의 워드선(W0, W1 ……)과 상보비트선(BL0, /BL0; BL1, /BL1 ……)이 서로 교차하는 방향으로 배치되고, 각 워드선(W0, W1 ……)과 상보비트선(BL0, /BL0; BL1, /BL1 ……)으로 둘러싸인 박스내에 각각 메모리셀(MC)이 배치되어 있다. 메모리셀(MC)은, 공지의 6소자 타입의 스테틱형 메모리셀로 구성되며, 각 메모리셀(MC)의 한쌍의 입출력단자가 어떤 상보비트선(BL0, /BL0; BL1, /BL1 ……; BL15, /BL15)에 접속되어, 메모리셀(MC)의 선택단자가 어떤 워드선(W0, W1 ……)에 접속되어 있다.

전송게이트군(TGT)은, 제2 래치군(LTG21 ~ LTG24)을 구성하는 각 래치회로(LT0, LT1 …… LT15)의 출력단자에 입력단자가 접속되고, 출력단자가 상기 상보비트선(BLi, /BLi(i=0~15))의 한쪽(예컨대 /BLi)에 접속된 제1 클록드 인버터(G0, G1 …… G15)와, 그 인버터(G0, G1 …… G15)의 출력을 입력으로 하고 출력단자가 상보비트선(BLi, /BLi(i=0~15))의 한쪽(예컨대 BLi)에 접속된 제2 클록드 인버터(G20, G21 …… G35)로 이루어진다.

그리고, 이들 상보비트선(BLi, /BLi(i=0~15))의 한쪽(BLi)에 접속된 클록드 인버터(G0, G1 …… G15 와 G20, G21 …… G35)는, 동일한 타이밍 제어신호($\phi 31$)에 의해 제어되고, 게이트가 열리면 래치회로(LT1, LT2 …… LT16)의 출력신호를 상보비트선(BL0, /BL0; BL1, /BL1 ……; BL15, /BL15)에 전달하고, 그때 선택레벨로 되어 있는 워드선에 접속되어 있는 메모리셀(MC)에 대하여 데이터의 기록이 행해지도록 구성되어 있다.

또, 상보비트선(BL0, /BL0; BL1, /BL1 ……; BL15, /BL15) 중 한쪽(/BL0, /BL1, …… /BL15)의 타단에는, 표시리드용의 클록드 인버터(G100, G101 …… G115)의 입력단자가 접속되며, 타이밍 제어신호($\phi 40$)에 의해 제어되며, 게이트가 열리면 비트선(/BL0, /BL1 …… /BL15)의 레벨을 검출하여, 그때 선택레벨로 되어 있는 워드선에 접속되어 있는 메모리셀(MC)에서의 판독 데이터를 출력하도록 구성되어 있다. 이 판독데이터는 도 2에 나타나 있는 표시데이터 래치회로(182)로 전송된다. 또한, 표시리드용의 클록드 인버터(G100, G101 …… G115)가 접속되는 비트선은 BL0, BL1 …… BL15여도 된다.

또한, 상보비트선(BL0, /BL0; BL1, /BL1 ……; BL15, /BL15) 중 한쪽(BL0, BL1, …… BL15)의 타단에는, 타이밍 제어신호($\phi 50$)에 의해 제어되며, 게이트가 열리면 상보비트선(BL0, BL1, …… BL15)의 레벨을 검출하여, 그때 선택레벨로 되어 있는 워드선에 접속되어 있는 메모리셀(MC)에서의 판독데이터를 출력하는 연산리드용의 클록드 인버터(G200, G201 …… G215)가 접속되어 있다. 이 판독데이터는 도 2에 나타나 있는 판독데이터 래치회로(153)에 전송된다. 또한, 판독용의 클록드 인버터(G200, G201 …… G215)가 접속되는 비트선은 /BL0, /BL1 …… /BL15여도 된다.

도 5의 (A)에는, 이 실시예의 표시 컨트롤 드라이버에서의 표시 RAM(140)으로의 기록모드 중 일괄기록모드에서의 타이밍 신호($\phi 11 \sim \phi 14$, $\phi 21 \sim \phi 24$, $\phi 31 \sim \phi 34$)의 파형이 나타나 있다.

이 일괄기록모드에서는, 우선 타이밍신호($\phi 11 \sim \phi 14$)에 의해 데이터버스(BUS0 ~ BUS15)상의 신호가 16비트씩 순차적으로 제1래치군(LTG1 ~ LTG14)에 삽입된다(기간 T1). 그리고, 마지막의 16비트 즉 4워드째의 데이터가 LTG14에 삽입됨과 동시에, 타이밍신호($\phi 21 \sim \phi 24$)에 의해 제1 래치군(LTG11 ~ LTG14)에 래치되어 있는 4워드의 데이터가 제2 래치군(LTG11 ~ LTG14)에 삽입된다(기간 T2).

그런 후, 타이밍신호($\phi 31 \sim \phi 34$)에 의해 전송게이트군(TGT1 ~ TGT4)이 동시에 열려, 제2 래치군(LTG21 ~ LTG24)에 래치되어 있는 4워드의 데이터가 동시에 표시 RAM의 메모리어레이(141)의 비트선상에 전송되어, 그때 어드레스 카운터(151)에서의 어드레스(ADD)를 디코더(DEC)(142)가 디코드하므로써 선택레벨로 된 워드선에 접속되어 있는 메모리셀에, 전송된 데이터가 기록된다(기간 T3). 또한, 이 메모리어레이로의 데이터의 기록이 행해지고 있는 동안에, 다음의 데이터의 제1 래치군(LTG11 ~ LTG14)으로의 삽입이 실행된다.

도 5의 (B)에는, 축차 기록모드에서의 타이밍 신호($\phi 11 \sim \phi 14$, $\phi 21 \sim \phi 24$, $\phi 31 \sim \phi 34$)의 파형이 나타나 있다.

이 축차 기록모드에서는, $\phi 11 \sim \phi 14$ 와 $\phi 21 \sim \phi 24$ 와는 동일 타이밍 신호로 되어, 우선 타이밍 신호($\phi 11$)에 의해 데이터버스(BUS0 ~ BUS15)상의 16비트의 신호가 첫번째의 제1 래치군(LTG11)에 삽입됨과 동시에, 그 데이터가 타이밍신호($\phi 21$)에 의해 그대로 제2 래치군(LTG21)에 삽입된다. 이어서, 타이밍신호($\phi 31$)에 의해 전송게이트군(TGT1)이 열려, 제2 래치군(LTG21)에 래치되어 있는 1워드의 데이터가 표시 RAM(140)의 메모리어레이에 대응하는 비트선상에 전송되어 메모리셀로의 기록이 실행된다(기간 T11).

다음에, 타이밍신호($\phi 12$)에 의해 데이터버스(BUS0 ~ BUS15)상의 16비트의 신호가 2번째의 제1 래치군(LTG12)에 삽입됨과 동시에, 그 데이터가 타이밍신호($\phi 22$)에 의해 제2 래치군(LTG22)에 그대로 삽입된다. 이어서, 타이밍신호($\phi 32$)에 의해 전송게이트군(TGT2)이 열려, 제2 래치군(LTG22)에 래치되어 있는 1워드의 데이터가 표시 RAM(140)의 메모리어레이에 대응하는 비트선상에 전송되어 메모리셀로의 기록이 행해진다(기간 T12).

이와 같이 하여, 데이터버스(BUS0 ~ BUS15)상의 16비트의 신호가 순차적으로 메모리어레이에 기록되어 간다. 단, 이 축차 기록모드에서는, 제1 래치군(LTG11 ~ LTG14)에 대하여 순서대로 데이터를 삽입하여 기록을 행할 필요는 없고, 예컨대 LTG12, LTG14, LTG13, LTG11 과 같이 임의의 순번으로 행할 수 있다.

도 5의 (A)와 (B)를 비교하면 명백한 바와 같이, 일괄기록모드를 이용하면 기록소요시간을 단축시킬 수 있음과 동시에, 축차 기록모드에서는 동일한 워드에 접속되어 있는 메모리셀이어도 1워드의 데이터 기록이 행해질 때마다 워드선의 상승이 필요해지므로, 소비전력이 많지만, 일괄기록모드에서는 동일한 워드에 접속되어 있는 메모리셀에 대해서는 4워드의 데이터를 동시에 기록할 수 있으므로, 워드선의 상승도 1회로 끝나, 그만큼 소비전력을 줄일 수 있다. 결국, 일괄기록모드를 이용하면 래치회로로의 데이터의 삽입을 고속화해도 메모리어레이로의 데이터의 기록회수는 줄일 수 있으므로, 축차기록모드에서의 1워드의 데이터 기록에 대하여 기록소요시간 및 소비전력을 증가시키지 않고 4배의 데이터 기록을 행할 수 있다.

상기 실시예에서는, 4워드의 데이터를 순차적으로 래치회로에 삽입하고 일괄하여 메모리어레이에 기록하도록 하고 있지만, 동일하게 하여 5워드 이상의 데이터를 래치회로에 순차적으로 삽입한 후 일괄하여 메모리어레이에 기록하도록 구성하는 것도 가능하다. 단, 일괄하여 기록하는 데이터의 양을 증가시키면, 표시 RAM(140) 내의 일부 예컨대 워드의 데이터만 재기록 하고싶은 경우에도 복수 워드분의 데이터를 래치회로로 보내줄 필요가 발생하므로, 마이크로 프로세서의 부담이 커짐과 동시에, 연속하지 않는 어드레스에 대한 기록이 계속될 경우에는 오버헤드도 커진다.

따라서, 일괄하여 기록하는 데이터의 크기는, 시스템에 있어서 비교적 빈번히 행해지는 데이터의 기록 사이즈에 따라 결정하여 행하면 된다. 본 실시예의 시스템은, 이러한 관점에서 4워드의 데이터를 일괄기록하도록 구성한 것이다.

도 6의 (A)에는, 본 실시예의 액정 컨트롤 드라이버(100)를 사용한 시스템에 있어서, 예컨대 표시 RAM(140)의 모든 메모리셀에 데이터를 기록할 때의 각 워드(16비트의 데이터)와 어드레스와의 관계를 나타낸다. 도면에서, 1라인째의 어드레스 "0000" ~ "003F"는 액정패널(10)의 1라인분의 1024비트(64워드)의 데이터 어드레스를 나타내고 있고, 특히 제한되는 것은 아니지만, 이 실시예에서는 이 1라인분의 데이터는 표시 RAM(140)의 1개의 워드선에 접속된 1024개의 메모리셀에 기억된다.

또, 도 6의 (A)에 음영이 저 있는 데이터는 어드레스 "0000" ~ "0003"의 4워드의 데이터이며, 이 4워드의 데이터는, 일괄 기록모드에서는 1워드씩 외부의 마이크로 프로세서에서 공급되어 순차적으로 제1 래치군(LTG11 ~ LTG14)에 기록된다. 그리고, 4워드 갖추어진 부분에서 제2 래치군(LTG21 ~ LTG24)에 전송되어, 표시 RAM(140) 내의 어드레스 "0000" ~ "0003"에 대응하는 메모리셀에 기록된다.

이 4워드의 데이터 기록이 개시되는 것과 병행하여, 다음의 어드레스 "0004" ~ "0007"의 4워드의 데이터가 1워드씩 외부의 마이크로 프로세서에서 공급되어 순차적으로 제1 래치군(LTG11 ~ LTG14)에 기록되고, 4워드 갖춘 부분에서 제2 래치군(LTG21 ~ LTG24)에 전송되고, 표시 RAM(140) 내의 대응하는 메모리셀에 기록된다. 상기 동작을 반복하므로써, 단 시간에 효율적으로 데이터를 기록할 수 있음과 동시에, 1워드씩 데이터를 기록하는 경우에 비해 표시 RAM(140)의 액세스(워드선의 상승동작) 회수가 작아져, 소비전력이 저감된다.

도 6의 (B)에는, 본 실시예의 액정 컨트롤 드라이버(100)를 사용한 시스템에 있어서, 일괄기록모드에서 표시 RAM(140) 일부의 어드레스 데이터를 재기록하는 경우의 마이크로 프로세서에서의 기록데이터와, 제1 래치군(LTG11 ~ LTG14)에서 표시 RAM(140)에 전송되는 데이터와의 관계를 나타낸다. 도 6의 (A)에서, 음영이 저 있는 어드레스 "0000" ~ "0007"의 8워드의 데이터 중 "0001" ~ "0004"의 4워드의 데이터가 실제로 재기록을 행하고싶은 기록데이터인 것으로 한다.

이 경우, 마이크로 프로세서에서 어드레스 "0000"의 1워드의 더미데이터와 어드레스 "0005" ~ "0007"의 3워드의 더미데이터가 부가되며, 우선 더미데이터를 포함하는 어드레스 "0000" ~ "0004"의 4워드의 데이터가 1워드씩 순차 제1 래치군(LTG11 ~ LTG14)에 공급되어 기록된다. 그리고, 4워드 갖춘 부분에서, 이 중 더미데이터를 제외하고 3워드의 데이터가 제2 래치군(LTG21 ~ LTG24)에 전송되어, 표시 RAM(140) 내에 대응하는 메모리셀에 기록된다.

이 4워드의 데이터 기록이 개시되는 것과 병행하여, 3개의 더미데이터를 포함하는 다음의 어드레스 "0004" ~ "0007"의 4워드의 데이터가 1워드씩 외부의 마이크로 프로세서에서 공급되어 순차 제1 래치군(LTG11 ~ LTG14)에 기록되고, 4워드 갖춘 부분에서, 더미데이터를 제외하는 1워드의 데이터가 제2 래치군(LTG21 ~ LTG24)에 전송되어, 표시 RAM(140) 내의 대응하는 메모리셀에 기록된다. 또한, 상기 기록시 연속한 어드레스는, 외부의 마이크로 프로세서가 어드레스 카운터(151)에 대하여 기록위치의 선두어드레스를 설정하고, 어드레스 카운터(151)가 카운트 업 동작하므로써 자동적으로 발생하도록 구성되어 있다.

도 7 및 도 8에는, 재기록을 행하는 데이터의 어드레스 범위와 제1 래치군(LTG11 ~ LTG14)에의 데이터의 기록회수와와의 관계를 나타낸다. 도면에서, 굵은 선으로 둘러싸여 있는 어드레스가 재기록 대상의 데이터이다. 여기서는, 도 7에 재기록을 하고싶은 데이터 어드레스의 커트라인(cut line)이 좋은 경우를, 또 도 8에 4워드씩의 그룹 중 2 이상에 걸쳐있는 경우를 나타낸다.

도 7 및 도 8에서 알 수 있는 바와 같이, 재기록을 하고싶은 데이터의 어드레스가 도 8과 같이 4워드씩의 그룹 중 2 이상에 걸쳐 있을 때는, 도 7과 같이 4워드씩 커트라인이 좋은 어드레스에 대하여 데이터를 기록하는 경우에 비해, 더미데이터의 수만큼 기록회수가 많아짐과 동시에, 표시RAM(140)에 대한 기록회수도 각각 많아지지만, 1워드씩 기록하는 모드에 비하면 표시 RAM에의 데이터 기록회수는 적어져, 그만큼 소비전력을 줄일 수 있다.

다음에, 재기록을 하고싶은 데이터의 어드레스가 도 8의 (B)에 나타내는 바와 같이 4워드씩의 그룹의 2이상에 걸쳐 있는 경우에, 제1 래치군(LTG11 ~ LTG14)에 기록된 더미데이터를 포함하는 4워드의 데이터 중, 더미데이터를 제외하는 데이터만을 제2 래치군(LTG21 ~ LTG24)에 전송하여, 표시 RAM(140) 내의 대응하는 메모리셀에 기록하는 동작을 가능하게 하는 구성을 설명한다.

이와 같은 선택 데이터 기록은, 상술한 제어부(120) 내에 설치되어 있는 마스크 레지스터(122)로의 설정에 의해 가능해진다. 구체적으로는, 마스크 레지스터(122)에는, 도 9의 (A)에 나타내는 바와 같이, 기록 개시 어드레스 설정필드(WSA)와, 마스크해야 할 선두에서의 워드의 수를 설정하는 개시측 마스크량 설정필드(SMW)와, 기록 종료 어드레스 설정필드(WEA)와, 마스크해야 할 종단에서의 워드의 수를 설정하는 종료측 마스크량 설정필드(EMW)가 설치되어 있다. 또한, 개시측 마스크량 설정필드(SMW)와 종료측 마스크량 설정필드(EMW)는, 이 실시예에서는 일괄기록의 단위가 4워드이므로 2비트이면 된다. 마스크량은, 기록개시 어드레스, 기록종료 어드레스에 의해 자동적으로 결정되므로, 마이크로 프로세서(53)에서 설정할 필요는 없다. 일괄기록의 단위가 8워드인 경우에는, 개시측 마스크량 설정필드(SMW)와 종료측 마스크량 설정필드(EMW)를 3비트로 하면 된다.

그리고, 외부의 마이크로 프로세서(53)가 이 마스크 레지스터(122)로의 설정을 행한 후에 제1 래치군(LTG11 ~ LTG14)으로의 데이터의 기록을 개시하면, 기록종료 후 제1 래치군(LTG11 ~ LTG14)에서 표시 RAM(140)으로의 데이터의 전송시에, 기록 타이밍 생성회로(170)에서 더미의 데이터를 제외하는 데이터만을 전송시키는 타이밍신호($\phi 31 \sim \phi 34 \dots\dots$)가, 도 3의 전송게이트 수단(TGT1 ~ TGT4 $\dots\dots$)에 대하여 공급된다.

이하, 이 마스크 레지스터(122)로의 설정에 의한 구체적인 데이터 마스크 동작을, 일례로서 도 9의 (B)에 나타내는 바와 같은 6 ~ 12워드의 데이터를 기록하는 4개의 케이스를 예로 하여 설명한다.

도 9의 (B)의 제1 케이스는 커트라인이 좋은 연속한 어드레스 "0000" ~ "000B"에 대하여 12워드의 데이터를 기록하는 케이스, 제2 케이스는 중간적 어드레스 "0001" ~ "000A"에 대하여 10워드의 데이터를 기록하는 케이스, 제3의 케이스는 중간적 어드레스 "0002" ~ "0009"에 대하여 8워드의 데이터를 기록하는 케이스, 제4의 케이스는 중간적 어드레스 "0003" ~ "0008"에 대하여 6워드의 데이터를 기록하는 케이스에 있어서, 마스크하는 데이터(더미데이터)와 표시 RAM에 대한 기록을 행하기 위한 데이터와의 관계를 각각 나타내고 있다.

또한, 도 9의 (B)에 있어서, 블랭크 박스(\square 표시)는 기록하기 위한 데이터를, 또 검게 칠해진 박스(\blacksquare 표시)는 마스크해야 할 데이터를 의미하고 있다. 어떤 경우도, 외부의 마이크로 프로세서로부터 제1 래치군(LTG11 ~ LTG14)에 기록하는 데이터는 12워드이다. 도 9의 (C)는, 상기 케이스1 ~ 4에 대응하여 상기 마스크 레지스터(122)로 설정해야 할 값을 나타낸다. 종료 어드레스는, "000B" 대신에, 마지막 그룹의 선두 어드레스 "0008"로 하는 것도 가능하다.

도 10의 (A)에는, 케이스2의 어드레스 "0001" ~ "000A"에 대하여 10워드의 데이터를 표시 RAM(140)에 기록하는 경우에서의 어드레스 "0000" ~ "0003"의 데이터에 대응하는 제1 래치군(LTG11 ~ LTG14)과 제2 래치군(LTG21 ~ LTG24)과 전송게이트군(TGT11 ~ TGT14)에 대하여 공급되는 타이밍신호($\phi 11 \sim \phi 14, \phi 21 \sim \phi 24, \phi 31 \sim \phi 34$)의 파형을 나타낸다.

또, 도 10의 (B)에는, 케이스 4의 어드레스 "0003" ~ "0008"에 대하여 8워드의 데이터를 표시 RAM(140)에 기록하는 경우에서의 어드레스 "0000" ~ "0003"의 데이터에 대응하는 제1 래치군(LTG11 ~ LTG14)과 제2 래치군(LTG21 ~ LTG24)과 전송게이트군(TGT11 ~ TGT14)에 대하여 공급되는 타이밍신호($\phi 11 \sim \phi 14, \phi 21 \sim \phi 24, \phi 31 \sim \phi 34$)의 파형을 나타낸다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 의거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 말할 필요도 없다.

예컨대, 상기 실시예에 있어서는, 버스(BUS0 ~ BUS15)와 메모리어레이(141)와의 사이에 제1 래치군(LTG11 ~ LTG14)과 제2 래치군(LTG21 ~ LTG24)과 전송게이트군(TGT1 ~ TGT4)을 설치하고 있지만, 제2 래치군(LTG21 ~ LTG24)을 생략하여 제1 래치군(LTG11 ~ LTG14)의 유지데이터를 전송게이트군(TGT1 ~ TGT4)에 의해 메모리어레이(141)의 비트선으로 전송하도록 구성해도 된다. 이와 같이 해도, 상술한 64비트와 같은 일괄기록이 가능하다.

단, 상기 실시예와 같이, 제1 래치군(LTG11 ~ LTG14)과 제2 래치군(LTG21 ~ LTG24)을 설치한 경우에는, 도 7의 (C)와 같은 동일 비트선상의 메모리셀에 연속하여 데이터를 기록할 필요가 있는 경우에, 도 10의 (C), (D)와 같이, 처음에 삽입한 데이터를 메모리어레이에 전송하여 기록하고 있는 동안에, 병행하여 다음의 데이터를 제1 래치군(LTG11 ~ LTG14)에 삽입할 수 있다. 그리고, 이 경우에도, 마스크 레지스터의 설정치에 따라 제1 래치군(LTG11 ~ LTG14)에 삽입된 4워드 중 처음의 1워드가 메모리어레이에 전송되지 않도록 할 수 있다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용분야인 휴대전화기의 표시장치에 대하여 설명하였지만 이 발명은 그것에 한정되지 않고, 예컨대, PHS(personal handy phone), 포켓벨 및 페이저 등의 각종 휴대형 전자기기에 적용하는 것이 가능하다. 또, 휴대형 전자기기나 액정 디스플레이에 적용하는데 한정하지 않고, 예컨대 대형의 기기에 구비되는 표시장치나 그 제어장치, 또, LED 등을 2차원 배열하여 이루어지는 도트표시장치 등에도 널리 이용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

즉, 본 발명에 따르면, 소비전력을 증대시키지 않고 내부의 표시 RAM에 대한 데이터의 기록을 고속으로 행할 수 있는 표시제어장치 및 그것을 탑재한 휴대용 전자기기를 실현할 수 있다.

도면의 간단한 설명

도 1은, 본 발명을 적용한 액정컨트롤 드라이버를 구비한 휴대전화기의 전체구성을 나타내는 블록도,

도 2는, 실시예의 액정컨트롤 드라이버의 상세한 부분을 나타내는 블록도,

도 3은, 액정컨트롤 드라이버 내의 표시 RAM의 기록래치회로의 구체예를 나타내는 회로도,

도 4는, 메모리어레이와 기록래치회로의 보다 구체적인 예를 나타내는 회로도,

도 5는, 실시예의 표시컨트롤 드라이버에서의 표시 RAM에의 일괄기록모드와 축차기록모드에서의 래치타이밍신호의 파형을 나타내는 타이밍차트,

도 6은, 실시예의 액정컨트롤 드라이버를 사용한 시스템에 있어서, 표시 RAM에 일괄기록모드로 데이터를 기록할 때의 각 워드(16비트의 데이터)와 어드레스와의 관계를 나타내는 도면,

도 7은, 실시예의 액정컨트롤 드라이버를 사용한 시스템에 있어서, 표시 RAM에 일괄기록모드로 커트라인이 좋은 데이터를 기록할 때의 데이터의 사이즈와 래치회로의 기록회수 및 표시 RAM에의 기록회수와의 관계를 나타내는 도면,

도 8은, 실시예의 액정컨트롤 드라이버를 사용한 시스템에 있어서, 표시 RAM에 일괄기록모드로 커트라인이 나쁜 데이터를 기록할 때의 데이터의 사이즈와 래치회로의 기록회수 및 표시 RAM에의 기록회수와의 관계를 나타내는 도면,

도 9는, 표시 RAM의 비트선에 전송되는 데이터의 비트수를 설정하는 마스크 레지스터의 구성예와, 레지스터의 설정치와 마스크되는 데이터와의 관계 및 레지스터로의 설정치의 예를 나타내는 설명도,

도 10은, 마스크 레지스터에 설정을 행한 경우의 래치 타이밍신호의 파형예를 나타내는 파형도,

도 11은, 종래의 액정컨트롤러 드라이버에서의 표시메모리로의 기록데이터를 래치하는 래치회로의 구성예를 나타내는 회로도,

도 12는, 종래의 액정컨트롤러 드라이버에서의 표시메모리로의 데이터의 래치타이밍과 표시메모리로의 데이터의 기록타이밍의 예를 나타내는 타이밍차트이다.

(부호의 설명)

10 표시장치(액정 디스플레이)

53 마이크로 프로세서(마이크로 컴퓨터, 마이크로 프로세서)

100 액정컨트롤러 드라이버

110 클럭신호 발생회로

120 제어부

123 마스크 레지스터

140 표시메모리(표시 RAM)

160 기록래치회로

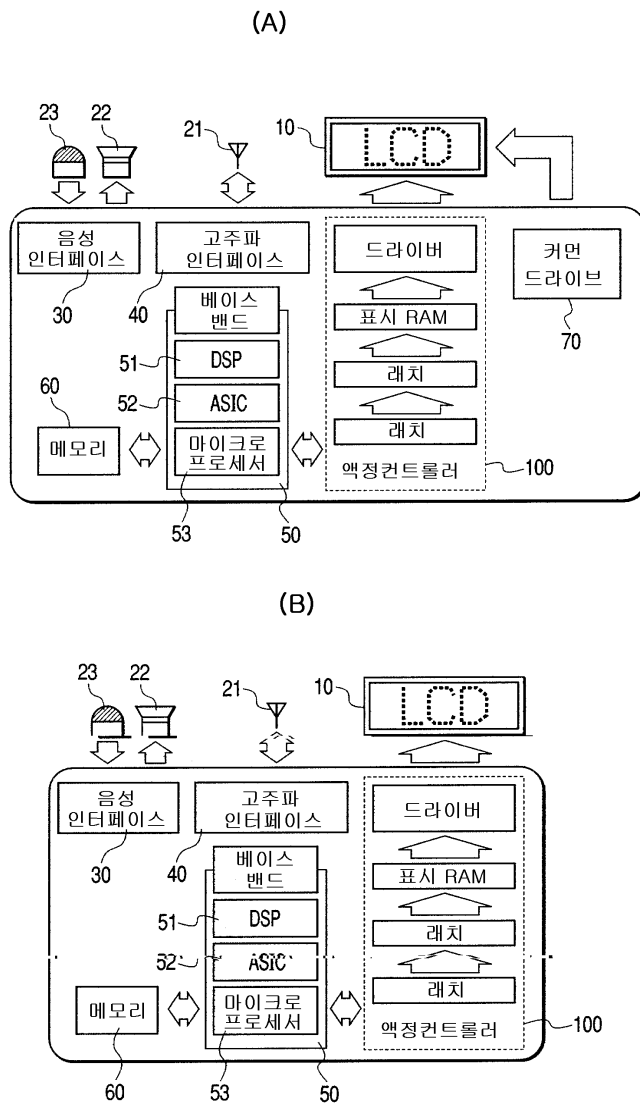
LTG11 ~ LTG14 제1 래치회로군(제1 데이터 래치수단)

LTG21 ~ LTG24 제2 래치회로군(제2 데이터 래치수단)

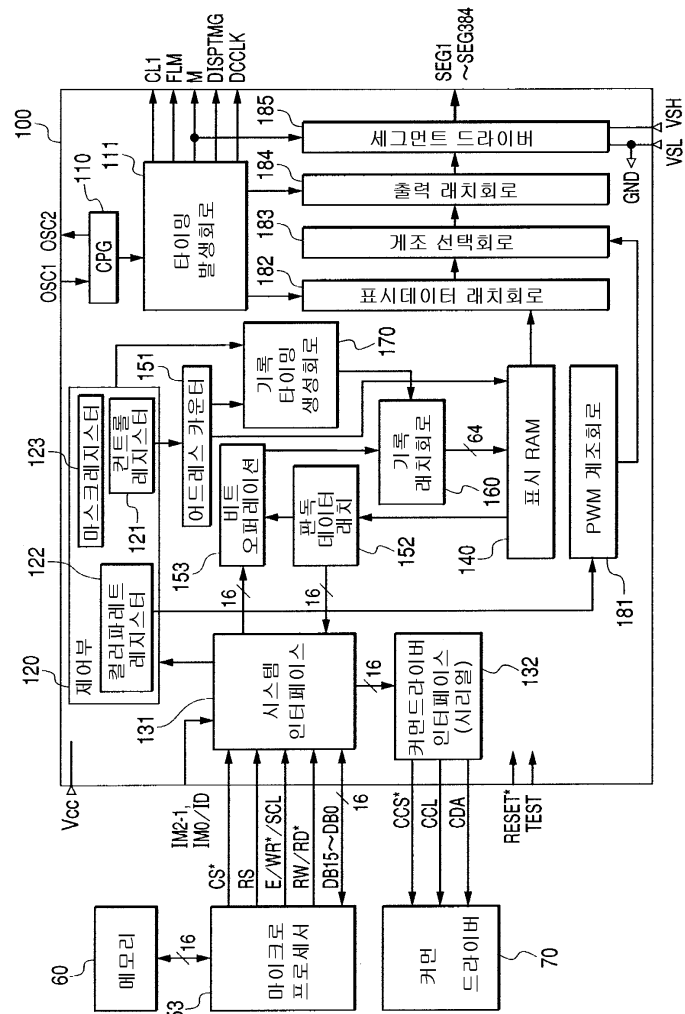
TGT1 ~ TGT4 전송게이트군(입력용 전송수단)

도면

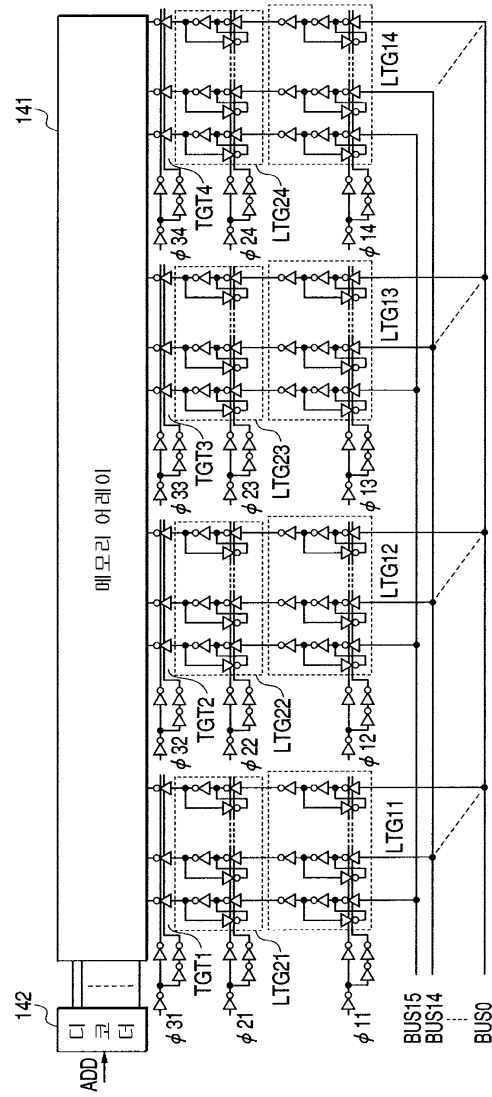
도면1



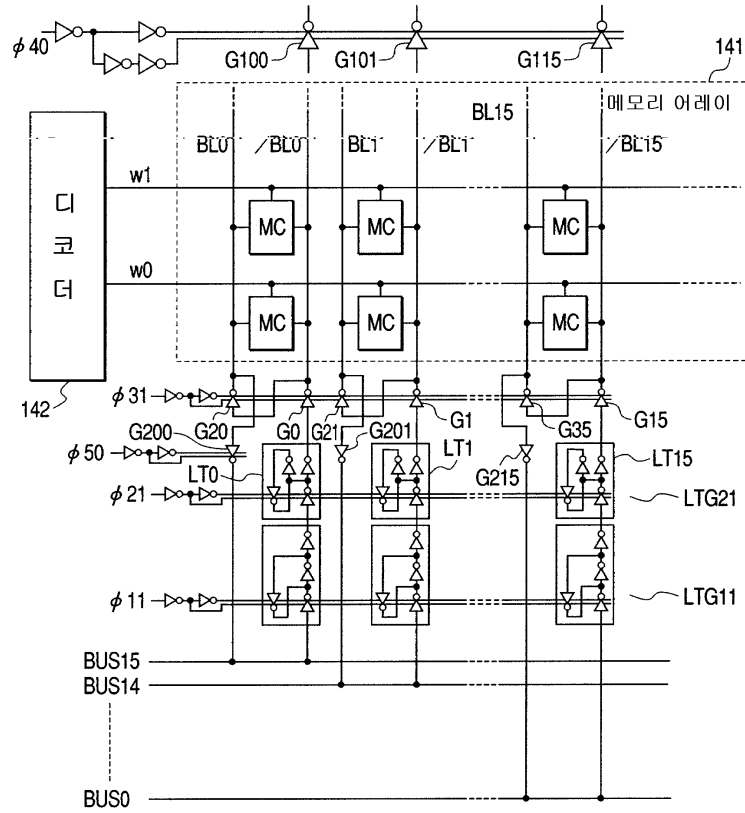
도면2



도면3

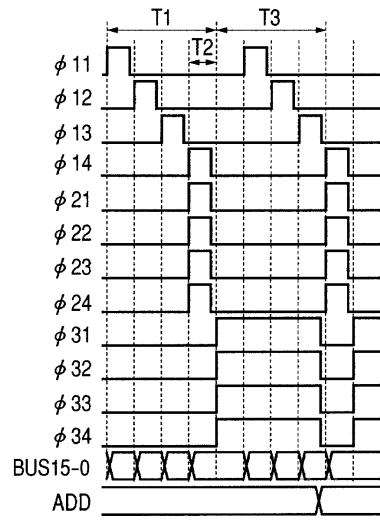


도면4

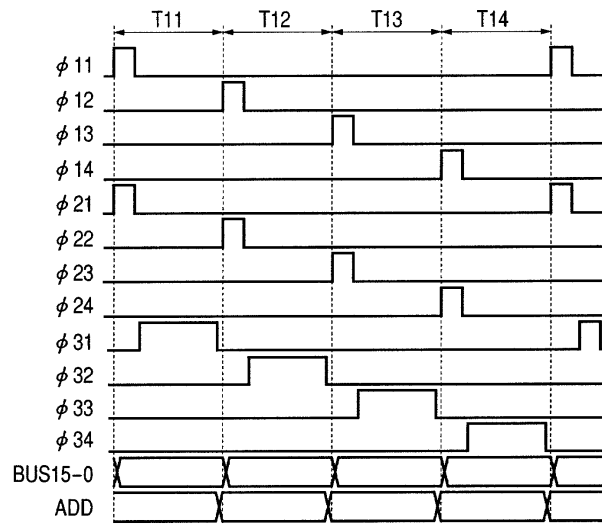


도면5

(A)



(B)



도면6

(A)

버스트 기록단위

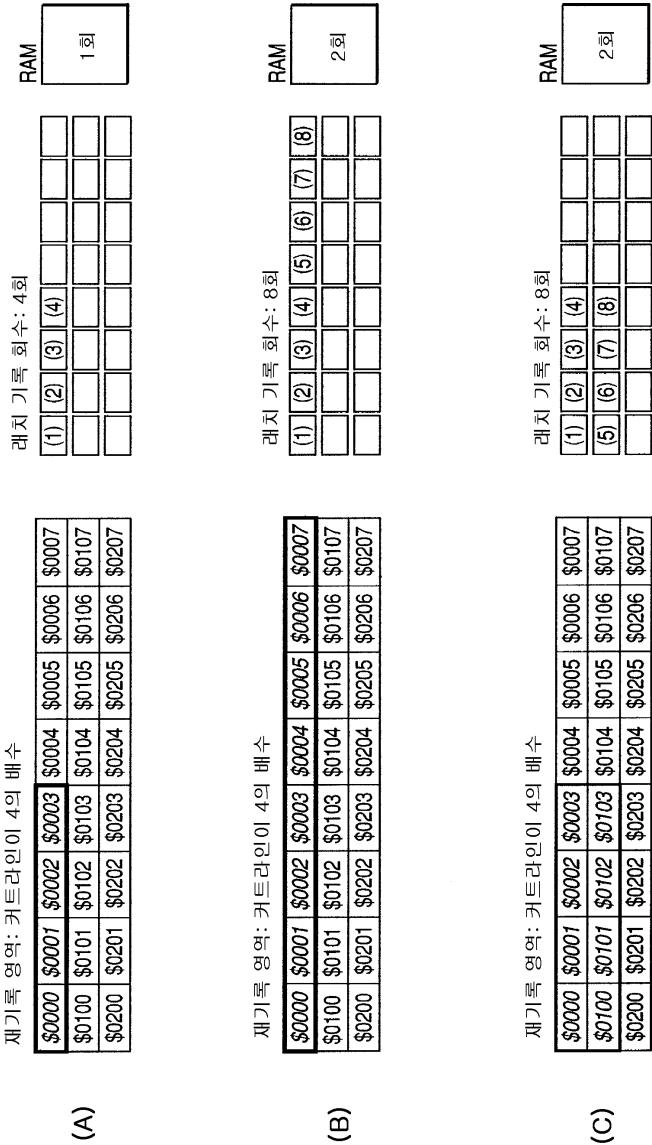
| | | | | | | | | | | |
|-------|--------|--------|--------|--------|--------|--------|--------|--------|-----|--------|
| 1라인 | \$0000 | \$0001 | \$0002 | \$0003 | \$0004 | \$0005 | \$0006 | \$0007 | ... | \$003F |
| 2라인 | \$0100 | \$0101 | \$0102 | \$0103 | \$0104 | \$0105 | \$0106 | \$0107 | ... | \$013F |
| 3라인 | \$0200 | \$0201 | \$0202 | \$0203 | \$0204 | \$0205 | \$0206 | \$0207 | ... | \$023F |
| ... | | | | | | | | | | |
| 128라인 | \$7F00 | \$7F01 | \$7F02 | \$7F03 | \$7F04 | \$7F05 | \$7F06 | \$7F07 | ... | \$7F3F |
| ... | | | | | | | | | | |
| 168라인 | \$A700 | \$A701 | \$A702 | \$A703 | \$A704 | \$A705 | \$A706 | \$A707 | ... | \$A73F |
| ... | | | | | | | | | | |
| 256라인 | \$FF00 | \$FF01 | \$FF02 | \$FF03 | \$FF04 | \$FF05 | \$FF06 | \$FF07 | ... | \$FF3F |

(B)

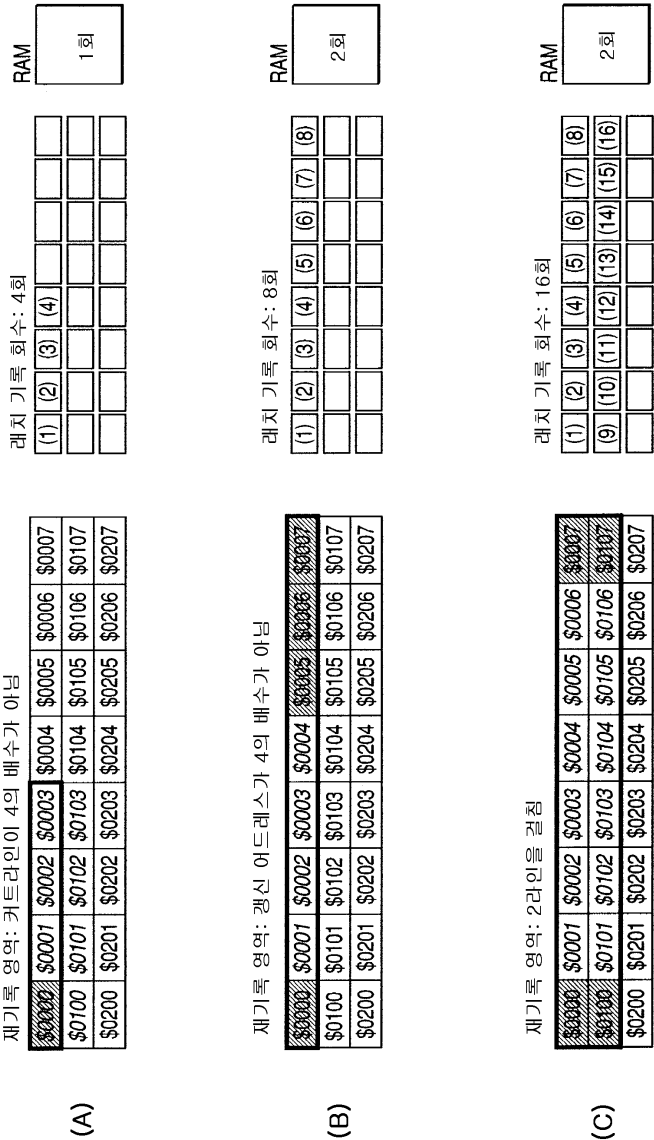
터미 데이터
기록 데이터
터미 데이터

| | | | | | | | | | | |
|-------|--------|--------|--------|--------|--------|--------|--------|--------|-----|--------|
| 1라인 | \$0000 | \$0001 | \$0002 | \$0003 | \$0004 | \$0005 | \$0006 | \$0007 | ... | \$003F |
| 2라인 | \$0100 | \$0101 | \$0102 | \$0103 | \$0104 | \$0105 | \$0106 | \$0107 | ... | \$013F |
| 3라인 | \$0200 | \$0201 | \$0202 | \$0203 | \$0204 | \$0205 | \$0206 | \$0207 | ... | \$023F |
| ... | | | | | | | | | | |
| 128라인 | \$7F00 | \$7F01 | \$7F02 | \$7F03 | \$7F04 | \$7F05 | \$7F06 | \$7F07 | ... | \$7F3F |
| ... | | | | | | | | | | |
| 168라인 | \$A700 | \$A701 | \$A702 | \$A703 | \$A704 | \$A705 | \$A706 | \$A707 | ... | \$A73F |
| ... | | | | | | | | | | |
| 256라인 | \$FF00 | \$FF01 | \$FF02 | \$FF03 | \$FF04 | \$FF05 | \$FF06 | \$FF07 | ... | \$FF3F |

도면7



도면8



도면9

(A)

| 기록개시 어드레스 | 개시측 마스크량 | 기록종료 어드레스 | 종료측 마스크량 |
|-----------|----------|-----------|----------|
| WSA | SMW | WEA | EMW |

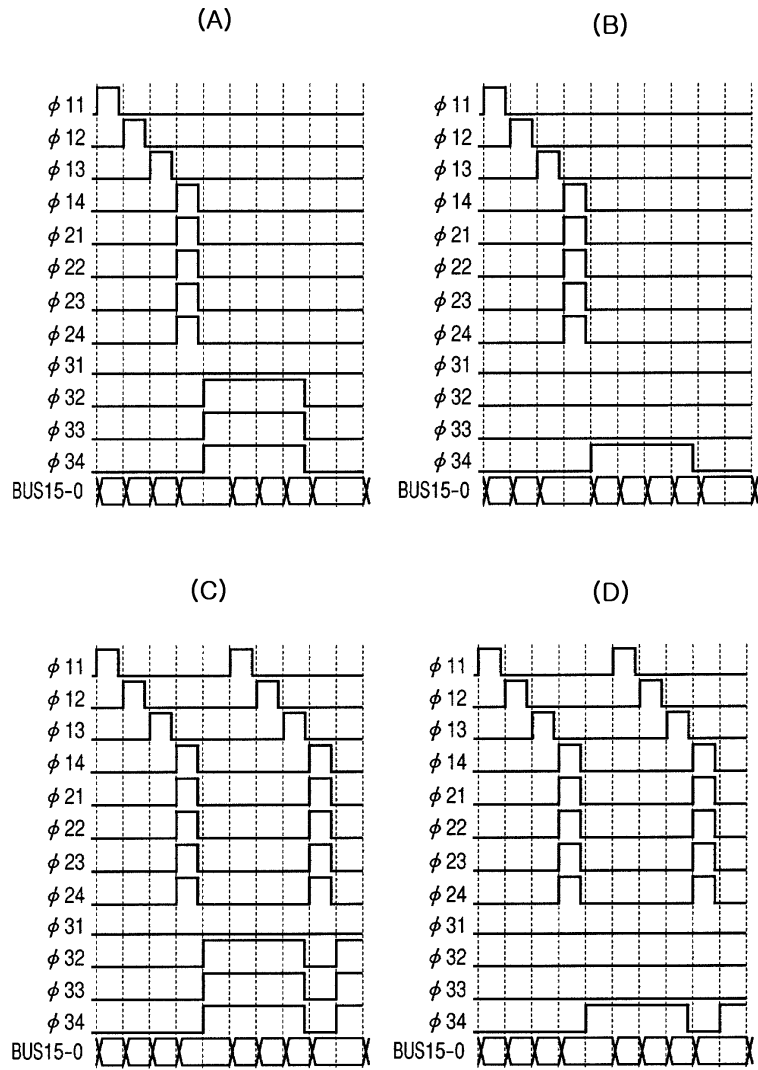
(B)

| | 0000 | 0001 | 0002 | 0003 | 0004 | 0005 | 0006 | 0007 | 0008 | 0009 | 000A | 000B |
|------|---------|------|------|------|------|------|------|------|------|------|------|------|
| 케이스1 | □ | □ | □ | □ | □ | □ | □ | □ | □ | □ | □ | □ |
| 케이스2 | ■ | □ | □ | □ | □ | □ | □ | □ | □ | □ | □ | ■ |
| 케이스3 | ■ | ■ | □ | □ | □ | □ | □ | □ | □ | □ | ■ | ■ |
| 케이스4 | ■ | ■ | ■ | □ | □ | □ | □ | □ | □ | ■ | ■ | ■ |
| | ■ 마스크부분 | | | | | | | | | | | |

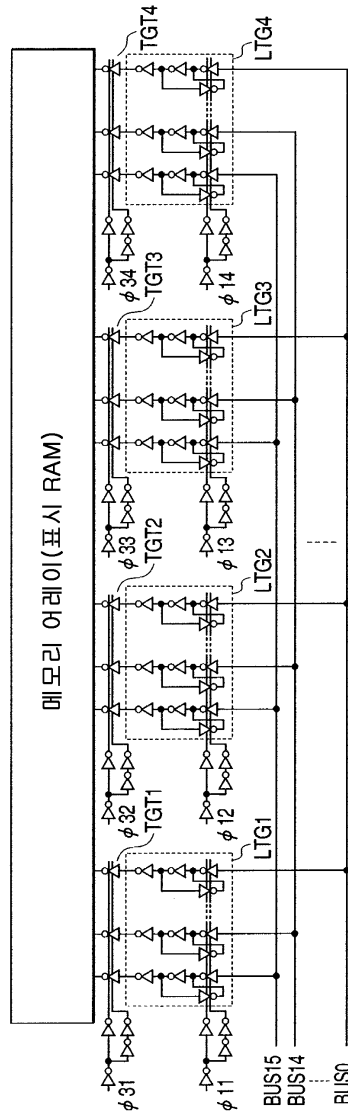
(C)

| | WSA | SMW | WEA | EMW |
|------|------|-----|------|-----|
| 케이스1 | 0000 | 00 | 000B | 00 |
| 케이스2 | 0001 | 01 | 000A | 01 |
| 케이스3 | 0010 | 10 | 0009 | 10 |
| 케이스4 | 0011 | 11 | 0008 | 11 |

도면10



도면11



도면12

