



(12)发明专利

(10)授权公告号 CN 104272278 B

(45)授权公告日 2017.05.24

(21)申请号 201380023546.2

(22)申请日 2013.05.08

(65)同一申请的已公布的文献号
申请公布号 CN 104272278 A

(43)申请公布日 2015.01.07

(30)优先权数据
13/466,359 2012.05.08 US

(85)PCT国际申请进入国家阶段日
2014.11.04

(86)PCT国际申请的申请数据
PCT/US2013/040040 2013.05.08

(87)PCT国际申请的公布数据
W02013/169836 EN 2013.11.14

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 克里斯托弗·爱德华·科布
阿贾伊·阿南特·英格尔

卢奇安·科德雷斯库

苏雷什·K·文库马汉提

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 宋献涛

(51)Int.Cl.
G06F 12/0842(2016.01)
G06F 12/0846(2016.01)

(56)对比文件
US 6223256 B1,2001.04.24,
US 2010318742 A1,2010.12.16,
CN 101609432 A,2009.12.23,
US 6223256 B1,2001.04.24,
CN 101286138 A,2008.10.15,
US 6694407 B1,2004.02.17,
US 2003196041 A1,2003.10.16,

审查员 李艳军

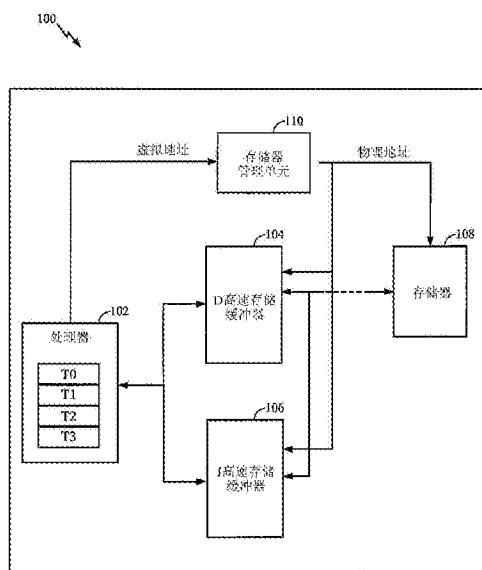
权利要求书2页 说明书7页 附图5页

(54)发明名称

用于更新共享高速缓冲存储器的方法和多线程处理系统

(57)摘要

本发明提供用于在多线程处理器(102)的共享经分割高速缓冲存储器(104)中分配高速缓冲存储器行的系统和方法。存储器管理单元(110)经配置以确定与用于高速缓冲存储器输入项的地址相关联的属性,所述高速缓冲存储器输入项与待分配于所述高速缓冲存储器中的处理线程(T0)相关联。配置寄存器(CP 300_0)经配置以存储基于所述所确定属性的高速缓冲存储器分配信息。分割寄存器(DP 310)经配置以存储用于将所述高速缓冲存储器分割成两个或两个以上部分(图3中的主要/辅助)的分割信息。基于所述配置寄存器和所述分割寄存器将所述高速缓冲存储器输入项分配到所述高速缓冲存储器的所述部分中的一者中。



1. 一种更新在多线程处理器的两个或更多个处理线程之间共享的高速缓冲存储器的方法,其包括:

接收与待分配于所述高速缓冲存储器中的所述两个或更多个处理线程的处理线程相关联的高速缓冲存储器输入项的地址;

确定与所述地址相关联的属性;

用基于所述属性的高速缓冲存储器分配信息设定对应于所述处理线程的配置寄存器,其中两个或更多个配置寄存器包括分别与所述两个或更多个处理线程有关的高速缓冲存储器分配信息;

基于分割寄存器确定默认高速缓冲存储器分区;

对对应于所述处理线程的所述配置寄存器中确定模式,在该模式中,所述默认高速缓冲存储器分区将被忽略;以及

基于用于所述处理线程的所述配置寄存器将所述高速缓冲存储器输入项分配到所述高速缓冲存储器中,而忽略所述默认高速缓冲存储器分区。

2. 根据权利要求1所述的方法,其中所述属性为页属性。

3. 根据权利要求1所述的方法,其中所述属性指示流式传输数据、局部化数据、多用途数据、共享或非共享中的一者。

4. 根据权利要求1所述的方法,其中所述分割寄存器包括用于主要部分和辅助部分的高速缓冲存储器分区信息。

5. 根据权利要求1所述的方法,进一步包括在包括所述高速缓冲存储器的系统的系统配置期间设置所述分割寄存器。

6. 根据权利要求1所述的方法,其进一步包括:配置用于确定与所述地址相关联的所述属性的存储器管理单元MMU。

7. 根据权利要求6所述的方法,其进一步包括配置所述MMU以用基于所述属性的高速缓冲存储器分配信息设定所述配置寄存器。

8. 根据权利要求1所述的方法,其中所述高速缓冲存储器分配信息指示基于所述属性的高速缓冲存储器分配、到主要部分的高速缓冲存储器分配或到辅助部分的高速缓冲存储器分配中的一者。

9. 一种多线程处理系统,其包括:

高速缓冲存储器,其在所述多线程处理系统的两个或更多个处理线程之间共享;

存储器管理单元,其用于确定与用于高速缓冲存储器输入项的地址相关联的属性,所述高速缓冲存储器输入项与待分配于所述高速缓冲存储器中的所述两个或更多个处理线程的处理线程相关联;

对应于所述两个或更多个处理线程的两个或更多个配置寄存器,所述两个或更多个配置寄存器包括基于所确定属性的用于对应处理线程的高速缓冲存储器分配信息;

分割寄存器,其包括将所述高速缓冲存储器分割成两个或更多个部分的默认高速缓冲存储器分区;

线程多路复用器,其经配置以选择用于处理线程的模式,其中所述默认高速缓冲存储器分区将被忽略;用于基于由对应于所述处理线程的配置寄存器提供的所述高速缓冲存储器分配信息而不管由所述分割寄存器提供的所述默认高速缓冲存储器分区而将所述高速

缓冲存储器输入项分配到所述高速缓冲存储器的所述部分中的一者中的逻辑。

10. 根据权利要求9所述的多线程处理系统,其中所述高速缓冲存储器分配信息指示基于页属性的高速缓冲存储器分配、到主要部分的高速缓冲存储器分配或到辅助部分的高速缓冲存储器分配中的一者。

11. 一种包括用于执行根据权利要求1到8中任一权利要求所述的方法的装置的设备。

用于更新共享高速缓冲存储器的方法和多线程处理系统

技术领域

[0001] 所揭示的实施例是针对共享高速缓冲存储器中的高速缓冲存储器分配。更明确地说,示范性实施例是针对多线程处理器中的共享经分割高速缓冲存储器中的高速缓冲存储器行的分配。

背景技术

[0002] 处理器中的多线程处理的表现可发生于不同层级处或以不同处理粒度发生。多线程处理器的各个线程可共享一或多个层级的高速缓冲存储器和存储器。所述线程可具有不同数据属性,如“流式传输数据”、“局部化数据”、“多用途数据”、“共享”、“非共享”等。如最近最少使用(LRU)等简单的分配与置换方案是不合适的,因为必须要解决由所述线程和线程所特有的数据属性产生的不同上下文。

[0003] 举例来说,在不存在专门的分配/置换机制的情况下,已填入流式传输数据的共享高速缓冲存储器的高速缓冲存储器行可能会被另一线程的局部化数据或多用途数据置换。此些情形是不可接受的,且可能导致处理速度和效率的严重降级。

[0004] 一些共享高速缓冲存储器可包含静态分割以使来自不同线程的数据保持分离。然而,在静态分割情况下,线程被静态地锁定到特定高速缓冲存储器分区,此导致额外缺点。举例来说,线程的数据属性可从流式传输数据动态地转变到局部化数据,或从局部化数据动态地转变到流式传输数据。可以看出,将欲分配的线程锁定在高速缓冲存储器的预定义部分中的静态分割无法解决数据属性在线程中的此类动态转变。

[0005] 因此,在此项技术中存在对于避免前述缺点的在共享高速缓冲存储器中灵活的分配高速缓冲存储器的需要。

发明内容

[0006] 本发明的示范性实施例是针对用于在共享经分割高速缓冲存储器中分配高速缓冲存储器行以用于多线程处理的系统和方法。

[0007] 举例来说,示范性实施例是针对一种更新共享高速缓冲存储器的方法,其包括:接收与待分配于所述高速缓冲存储器中的处理线程相关联的高速缓冲存储器输入项的地址;确定与所述地址相关联的属性;用基于所述属性的高速缓冲存储器分配信息设定对应于所述处理线程的配置寄存器;基于分割寄存器确定高速缓冲存储器分区;以及基于所述配置寄存器和所述高速缓冲存储器分区将所述高速缓冲存储器输入项分配到所述高速缓冲存储器中。

[0008] 另一示范性实施例是针对一种在多线程处理系统中的高速缓冲存储器分配的方法,其包括:接收与用于所述多线程处理系统的待分配于高速缓冲存储器中的处理线程的数据相关联的地址;确定与所述地址相关联的页属性;将所述高速缓冲存储器分割成两个或两个以上部分;以及至少基于所述页属性将所述数据分配到所述高速缓冲存储器的一或多个部分中。

[0009] 又一示范性实施例是针对一种多线程处理系统,其包括:高速缓冲存储器;处理线程;存储器管理单元,其用于确定与高速缓冲存储器输入项的地址相关联的属性,所述高速缓冲存储器输入项与待分配于所述高速缓冲存储器中的所述处理线程相关联;配置寄存器,其包括基于所述所确定属性的高速缓冲存储器分配信息;分割寄存器,其包括用于将所述高速缓冲存储器分割成两个或两个以上部分的分割信息;以及用于基于所述配置寄存器和所述分割寄存器将所述高速缓冲存储器输入项分配到所述高速缓冲存储器的所述部分中的一者中的逻辑。

[0010] 又一示范性实施例是针对一种多线程处理系统,其包括:高速缓冲存储器;处理线程;存储器管理装置,其用于确定与高速缓冲存储器输入项的地址相关联的属性,所述高速缓冲存储器输入项与待分配于所述高速缓冲存储器中的所述处理线程相关联;配置装置,其用于存储基于所述所确定属性的高速缓冲存储器分配信息;用于存储分割信息的分割装置,其用于将所述高速缓冲存储器分割成两个或两个以上部分;以及用于基于所述配置装置和所述分割装置将所述高速缓冲存储器输入项分配到所述高速缓冲存储器的所述部分中的一者中的装置。

[0011] 又一示范性实施例是针对一种非暂时性计算机可读存储媒体,其包括在由多线程处理器执行时致使所述多线程处理器执行用于更新共享高速缓冲存储器的操作的代码,所述非暂时性计算机可读存储媒体包括:用于接收与待分配于所述高速缓冲存储器中的处理线程相关联的高速缓冲存储器输入项的地址的代码;用于确定与所述地址相关联的属性的代码;用于用基于所述属性的高速缓冲存储器分配信息设定配置寄存器的代码;用于确定高速缓冲存储器分区的代码;以及用于基于所述配置寄存器和所述高速缓冲存储器分区将所述高速缓冲存储器输入项分配到所述高速缓冲存储器中的代码。

[0012] 又一示范性实施例是针对一种非暂时性计算机可读存储媒体,其包括在由多线程处理器执行时致使所述多线程处理器执行用于多线程处理系统中的高速缓冲存储器分配的操作的代码,所述非暂时性计算机可读存储媒体包括:用于接收与用于所述多线程处理系统的待分配于高速缓冲存储器中的处理线程的数据相关联的地址的代码;用于确定与所述地址相关联的页属性的代码;用于将所述高速缓冲存储器分割成两个或两个以上部分的代码;以及用于至少基于所述页属性将所述数据分配到所述高速缓冲存储器的一或多个部分中的代码。

附图说明

[0013] 呈现附图来辅助对本发明的实施例的描述,且仅出于说明而非限制所述实施例的目的来提供附图。

[0014] 图1是根据示范性实施例的经配置以实施高速缓冲存储器分区和高速缓冲存储器分配的处理系统100的框图。

[0015] 图2说明包括用于高速缓冲存储器分配的配置寄存器设定的表。

[0016] 图3说明示范性数据高速缓冲存储器中的高速缓冲存储器分配和高速缓冲存储器分区的逻辑实施方案的示意图。

[0017] 图4说明根据示范性实施例的分配高速缓冲存储器的方法的示范性操作流程。

[0018] 图5是根据示范性实施例而配置的包含多核心处理器的无线装置的特定说明性实

施例的框图。

具体实施方式

[0019] 在以下针对本发明特定实施例的描述和有关图式中揭示本发明的若干方面。可在不脱离本发明的范围的情况下设计替代实施例。此外,将不会详细描述本发明的众所周知的元件,或将省略所述元件,以免混淆本发明的相关细节。

[0020] 本文中使用的词语“示范性”意指“充当实例、例子或说明。”本文中被描述为“示范性的”任何实施例不必被理解为比其它实施例优选或有利。同样,术语“本发明的实施例”并非要求本发明的所有实施例包含所论述的特征、优点或操作模式。

[0021] 本文中所使用的术语仅出于描述特定实施例的目的且并不希望限制本发明的实施例。如在本文中所使用,除非上下文另外清楚地指示,否则希望单数形式“一”和“所述”也包括复数形式。将进一步了解,术语“包括”和/或“包含”在用于本文中时指定所陈述的特征、整数、步骤、操作、元件和/或组件的存在,但不排除一或多个其它特征、整数、步骤、操作、元件、组件和/或其群组的存在或添加。

[0022] 此外,依据将由(例如)计算装置的元件执行的动作序列来描述许多实施例。将认识到,可由特定电路(例如,专用集成电路(ASIC))、由正由一或多个处理器执行的程序指令或由两者的组合来执行本文中所述的各种动作。此外,可认为本文中所述的这些动作序列完全实施于任何形式的计算机可读存储媒体内,所述计算机可读存储媒体中已存储一组对应计算机指令,所述指令在被执行时将致使相关联的处理器执行本文中所述的功能性。因此,本发明的各方面可以许多不同形式来实施,所有所述形式均被涵盖在所主张的标的物的范围内。此外,对于本文中所述的实施例的每一者来说,任何所述实施例的对应形式可在本文中被描述为(例如)“经配置以执行所描述的动作的逻辑”。

[0023] 示范性实施例适合于具有共享高速缓冲存储器的多线程处理器。实施例可经配置以允许将数据灵活地分配在经分割高速缓冲存储器中。在一些实施例中,软件可通过越权控制静态分区且将数据分配到由软件确定的分区而控制数据到静态分割的高速缓冲存储器中的分配。换句话说,软件可将日期分配到整个高速缓冲存储器中,而不经受可为例如线程特定的高速缓冲存储器的静态定义的分割。

[0024] 现参考图1,说明处理系统100的示意性表示。多线程处理器102可经配置以处理可在硬件或软件中实施的两个或两个以上线程(例如,线程T0、T1、T2,和T3)。两个或两个以上线程可存取可根据本文中论述的示范性实施例而分割的L1高速缓冲存储器,例如D高速缓冲存储器104和I高速缓冲存储器106。一或多个层级的高速缓冲存储器(例如L2高速缓冲存储器(未展示))还可存在于处理器100的存储器阶层(结束于共享主存储器108中)中。存储器管理单元(MMU)110可与各种高速缓冲存储器和主存储器通信以服务于例如从多线程处理器102所产生的虚拟地址到用于存取高速缓冲存储器和主存储器108的物理地址的地址转换等功能。所属领域的技术人员将在不脱离所揭示实施例的范围的情况下认识到处理系统100的适当变化。

[0025] 现将参考D高速缓冲存储器104描述示范性实施例中的高速缓冲存储器分配而不损失一般性。D高速缓冲存储器104可以各种方式分割以便根据特定需要控制数据在高速缓冲存储器空间内的放置。举例来说,D高速缓冲存储器104可分割成主要部分和辅助部分。主

要部分可专用于来自多线程处理器102的线程的数据处理需要,而辅助部分可专用于流式传输可例如从直接存储器存取(DMA)引擎(未展示)接收的数据。可静态地设定主要和辅助部分的相对或绝对大小和放置。举例来说,高速缓冲存储器可按所选比率(例如,50:50、25:75、75:25等)静态地分割成主要和辅助部分。换句话说,根据高速缓冲存储路径,高速缓冲存储器分割可指定主要和辅助部分中的路径数目。举例来说,对于8路高速缓冲存储器,高速缓冲存储器分割可指定主要部分中的6个路径和辅助部分中的2个路径(对应于75:25比例)。在一些实施例中,高速缓冲存储器分割可为动态的。举例来说,主要与辅助部分的相对比例可基于处理线程。

[0026] 示范性实施例可针对多线程处理器102的每一线程包含一配置寄存器,其中配置寄存器可控制对应于所述线程的高速缓冲存储器分配。配置寄存器可通过软件设定。每一线程可具有相关联的数据属性,例如与线程中的数据地址相关联的页属性。这些数据属性可用以确定数据在D高速缓冲存储器104中的分配。

[0027] 现参考图2,说明包括用于第一线程(例如,在多线程处理器102上运行)的高速缓冲存储器分配指令(第一线程的配置寄存器CP 200)的表。如所展示,在第一模式(其中CP 200设定到值“00”)中,通过相关联数据属性控制数据在D高速缓冲存储器104中的分配/放置。举例来说,在第一模式中,将忽略定义D高速缓冲存储器104的分区的所有静态地确定的数据分配,且数据属性将指示将放置数据的位置。换句话说,在此第一模式中,不管D高速缓冲存储器104如何分割成主要与辅助部分的特定比例,都可忽略这些分区,且可基于数据属性将数据分配到整个D高速缓冲存储器104的任何部分中。在一些实施例中,MMU 110可经配置以通过剖析与数据相关联的地址以获得数据属性且使用这些属性来相应地设定配置寄存器CP来辅助高速缓冲存储器分配。

[0028] 继续参考图2的表200,在其中CP 200设定到值“01”的第二模式中,将忽略数据到D高速缓冲存储器104的分区的所有静态确定,且数据将分配到D高速缓冲存储器104的主要部分。类似地,在其中CP 200设定到值“10”的第三模式中,将忽略数据到D高速缓冲存储器104的分区的所有静态确定,且数据将分配到D高速缓冲存储器104的辅助部分。尽管图2的表中仅展示三个模式,但可通过在需要的情况下向CP 200添加更多位来定义额外模式。举例来说,另一模式可指定“无分配”,其中跳过相关联数据在D高速缓冲存储器104中的分配,且数据在未经高速缓冲存储的情况下加以处理。又一模式可指定“最近最多使用(MRU)”分配,其中数据分配到最近最多地用于第一线程的D高速缓冲存储器104中的数据分配的部分(例如,主要或辅助)。所属领域的技术人员将基于设定特定实施方案的配置寄存器而认识到上述模式的适当变化。

[0029] 现参考图3,说明使用线程特定配置寄存器的D高速缓冲存储器104的示范性分配实施方案。展示分别对应于线程T0、T1和T2的三个配置寄存器CP 300_0、300_1和300_2。还如所展示,D高速缓冲存储器104的扩充视图包括标记阵列302、状态阵列304和数据阵列306。现将进一步详细地论述经配置以控制跨越D高速缓冲存储器104的标记阵列302、状态阵列304和数据阵列306的分割的D高速缓冲存储器分割寄存器DP 310。

[0030] D高速缓冲存储器分割寄存器DP 310可经配置以保持用于D高速缓冲存储器104的特定分割信息。在一个实例中,可实施D高速缓冲存储器104的静态分割,且可用关于D高速缓冲存储器104的主要与辅助部分的相对比例的信息来设定DP 310。举例来说,DP 310可设

定为处理系统100的系统配置的部分。静态分割可共用于每一处理线程或可为线程特定的。可通过程序员来选择特定静态分区。在另一实例中，D高速缓冲存储器104可以线程特定方式动态地加以分割。静态与动态分割的组合也是可能的，且可由适当配置的分割寄存器DP 310来实施。

[0031] 不管是静态还是动态地分割，由DP 310指示的特定分割可用以将标记阵列302分割成主要标记阵列部分302a和辅助标记阵列部分302b。类似地，状态阵列304可分割成主要状态阵列部分304a和辅助状态阵列部分304b；且数据阵列306可分割成主要数据阵列部分306a和辅助数据阵列部分306b。

[0032] 现将描述将数据写入到D高速缓冲存储器104的通用机制。需要分配到D高速缓冲存储器104中的数据的物理地址 (PA) 可剖析成标记位，PA [标记位] 316a、PA [设定位] 316b和PA [数据阵列位] 316c。可使用比较器314比较PA [标记位] 316a与存在于标记阵列302 (其可实施为内容可寻址存储器 (CAM)) 中的标签。比较器314还可使用PA [设定位] 316b验证具有从状态阵列304读取的对应状态位的正结果 (命中) 以确保击中的标记阵列输入项有效。另一方面，如果存在错过，且D高速缓冲存储器104需要分配，那么置换路径逻辑308可通过考虑配置寄存器CP的模式而辅助将输入项分配到对应于PA的数据阵列306中。

[0033] 继续参考图3，现将解释线程特定配置寄存器CP 300_0、300_1和300_2与写入到D高速缓冲存储器104的上述机制的示范性协作。如所说明，对于三个线程T0、T1和T2的所选线程，线程多路复用器312可经配置以在对应于所选线程的配置寄存器CP300_0、300_1和300_2之间进行选择。在第一实例中，将假定具有物理地址PA的数据属于线程T0。相应地，线程多路复用器312将选择展示为保持值“00”的配置寄存器CP 300_0。如先前描述，此对应于第一模式，其中将忽略D高速缓冲存储器104的现有分割，且D高速缓冲存储器104的分配将基于数据属性。因此，遵循写入到D高速缓冲存储器104的上述机制，如果存在错过，那么置换路径逻辑308将辅助在从PA [数据阵列位] 316c导出的所分配位置处将数据写入到主要数据阵列部分306a或辅助数据阵列部分306b，且越权控制可通过从DP 310导出的分割信息确定的任何分配。

[0034] 在第二实例中，数据可属于线程T1，因而致使线程多路复用器312选择已展示为保持值“01”的配置寄存器CP 300_1。如先前描述，此值对应于第二模式，其中数据将分配到D高速缓冲存储器104的主要部分。将基于DP 310确定主要部分在D高速缓冲存储器104内的位置。因此，遵循写入到D高速缓冲存储器104的上述机制，在错过时，数据将在从PA [数据阵列位] 316c导出的位置处写入到主要数据阵列部分306a。

[0035] 在第三实例中，数据可属于线程T2，因而致使线程多路复用器312选择已展示为保持值“10”的配置寄存器CP 300_2。如先前描述，此值对应于第三模式，其中数据将分配到D高速缓冲存储器104的辅助部分。将基于DP 310确定辅助部分在D高速缓冲存储器104内的位置。因此，遵循写入到D高速缓冲存储器104的上述机制，在错过时，数据将在从PA [数据阵列位] 316c导出的位置处写入到辅助数据阵列部分306b。

[0036] 因此，在示范性实施例中，可静态地分割D高速缓冲存储器104。可通过基于属性恰当地设定对应配置寄存器CP而控制数据的后续分配。所属领域的技术人员将理解，所揭示技术可容易地扩展到I高速缓冲存储器106或任何其它高速缓冲存储器，例如L2高速缓冲存储器。相应地，高速缓冲存储器分配可用于任何适当的高速缓冲存储器输入项，例如包括数

据或指令的高速缓冲存储器行或高速缓冲存储器块。不管特定分区或分配模式如何,在示范性实施例中,对数据/指令的分配的精细粒度控制可改善软件中的共享高速缓冲存储器的管理,且由此改善处理系统100的性能。

[0037] 应了解,实施例包含用于执行本文揭示的过程、功能及/或算法的各种方法。举例来说,如图4中所示,实施例可包含更新高速缓冲存储器的方法,其包括:接收与待分配于高速缓冲存储器中的处理线程相关联的高速缓冲存储器输入项的地址(例如,与图2中的线程T0相关联的数据的PA)——框402;确定与所述地址相关联的属性(例如页属性)——框404;用基于所述属性的高速缓冲存储器分配信息设定配置寄存器(例如,用于图2中的线程T0的配置寄存器CP)——框406;基于分割寄存器(例如,DP 310)确定高速缓冲存储器分区——框408;以及基于所述配置寄存器和所述高速缓冲存储器分区将所述高速缓冲存储器输入项分配到所述高速缓冲存储器中(例如,分配到主要或辅助部分中)——框410。

[0038] 所属领域的技术人员将了解,可使用多种不同技术和技法中的任一者来表示信息和信号。举例来说,可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个以上描述中所参考的数据、指令、命令、信息、信号、位、符号及码片。

[0039] 此外,所属领域的技术人员将了解,结合本文所揭示的实施例而描述的各种说明性逻辑块、模块、电路和算法步骤可实施为电子硬件、计算机软件或两者的组合。为清楚说明硬件与软件的此可互换性,上文已大致关于其功能性而描述了各种说明性组件、块、模块、电路及步骤。所述功能性是实施为硬件还是软件取决于特定应用及施加于整个系统的设计约束。所属领域的技术人员可针对每一特定应用以不同方式来实施所描述的功能性,但所述实施方案决定不应被解释为会导致脱离本发明的范围。

[0040] 结合本文所揭示的实施例而描述的方法、序列和/或算法可直接以硬件、以由处理器执行的软件模块或以两者的组合体现。软件模块可驻存在RAM存储器、闪存存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移除磁盘、CD-ROM,或此项技术中已知的任一其它形式的存储媒体中。示范性存储媒体耦合到处理器,使得处理器可从存储媒体读取信息并将信息写入到存储媒体。在替代方案中,存储媒体可与处理器成一体式。

[0041] 参看图5,描绘根据示范性实施例配置的包含多核心处理器的无线装置的特定说明性实施例的框图且将其大体标识为500。装置500包含数字信号处理器(DSP) 564,其可包含图1中所说明的各种块,例如处理器102、MMU 110、耦合到如所示的存储器532的D高速缓冲存储器104和I高速缓冲存储器106。图5还展示耦合到DSP 564且耦合到显示器528的显示器控制器526。译码器/解码器(编码解码器) 534(例如,音频和/或话音编码解码器)可耦合到DSP 564。还说明其它组件,例如无线控制器540(其可包含调制解调器)。扬声器536和麦克风538可耦合到编码解码器534。图5还指示无线控制器540可耦合到无线天线542。在特定实施例中,DSP 564、显示器控制器526、存储器532、编码解码器534和无线控制器540包含在系统级封装(system-in-package)或芯片上系统装置522中。

[0042] 在特定实施例中,输入装置530和电力供应器544耦合到芯片上系统装置522。此外,在特定实施例中,如图5中所示,显示器528、输入装置530、扬声器536、麦克风538、无线天线542和电力供应器544在芯片上系统装置522的外部。然而,显示器528、输入装置530、扬声器536、麦克风538、无线天线542和电力供应器544中的每一者可耦合到芯片上系统装置522的组件,例如接口或控制器。

[0043] 应注意,尽管图5描绘了无线通信装置,但DSP 564和存储器532还可以集成到机顶盒、音乐播放器、视频播放器、娱乐单元、导航装置、个人数字助理(PDA)、固定位置数据单元或者计算机中。处理器(例如,DSP 564)还可集成到此类装置中。

[0044] 因此,本发明的实施例可包含体现用于高速缓冲存储器分配的方法的计算机可读媒体。因此,本发明并不限于所说明的实例且用于执行本文中所描述的功能性的任何装置均包含在本发明的实施例中。

[0045] 虽然前面的揭示内容展示本发明的说明性实施例,但应注意,可在不脱离如所附权利要求书界定的本发明的范围的情况下,在其中做出各种改变和修改。无需以任何特定次序来执行根据本文中所述的本发明的实施例的方法权利要求项的功能、步骤及/或动作。此外,尽管可以单数形式描述或主张本发明的元件,但除非明确陈述对于单数的限制,否则也涵盖复数形式。

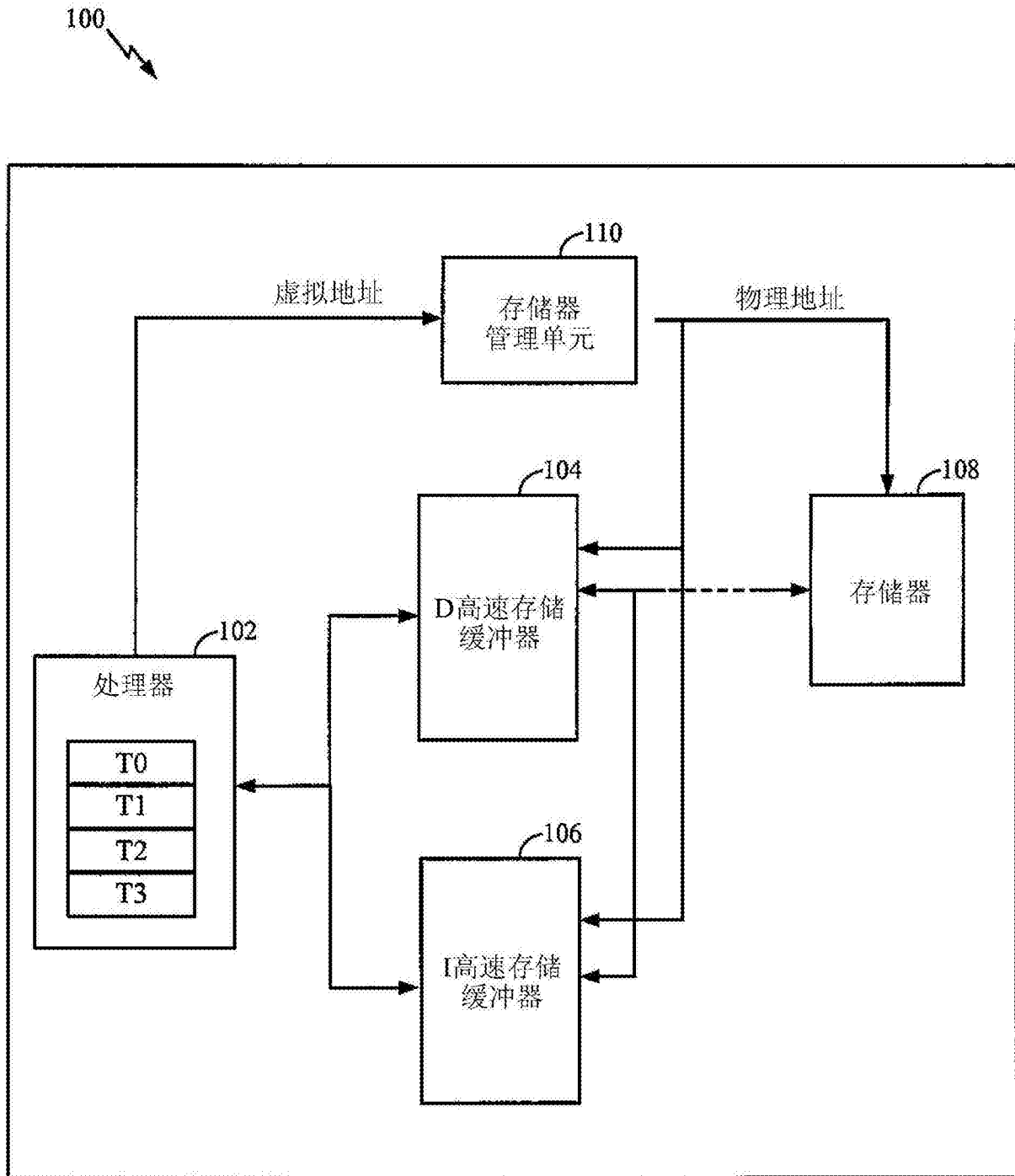



图1

200 

CP	高速存储缓冲器分配
00	使用数据属性来确定分配
01	主要部分
10	辅助部分

图2

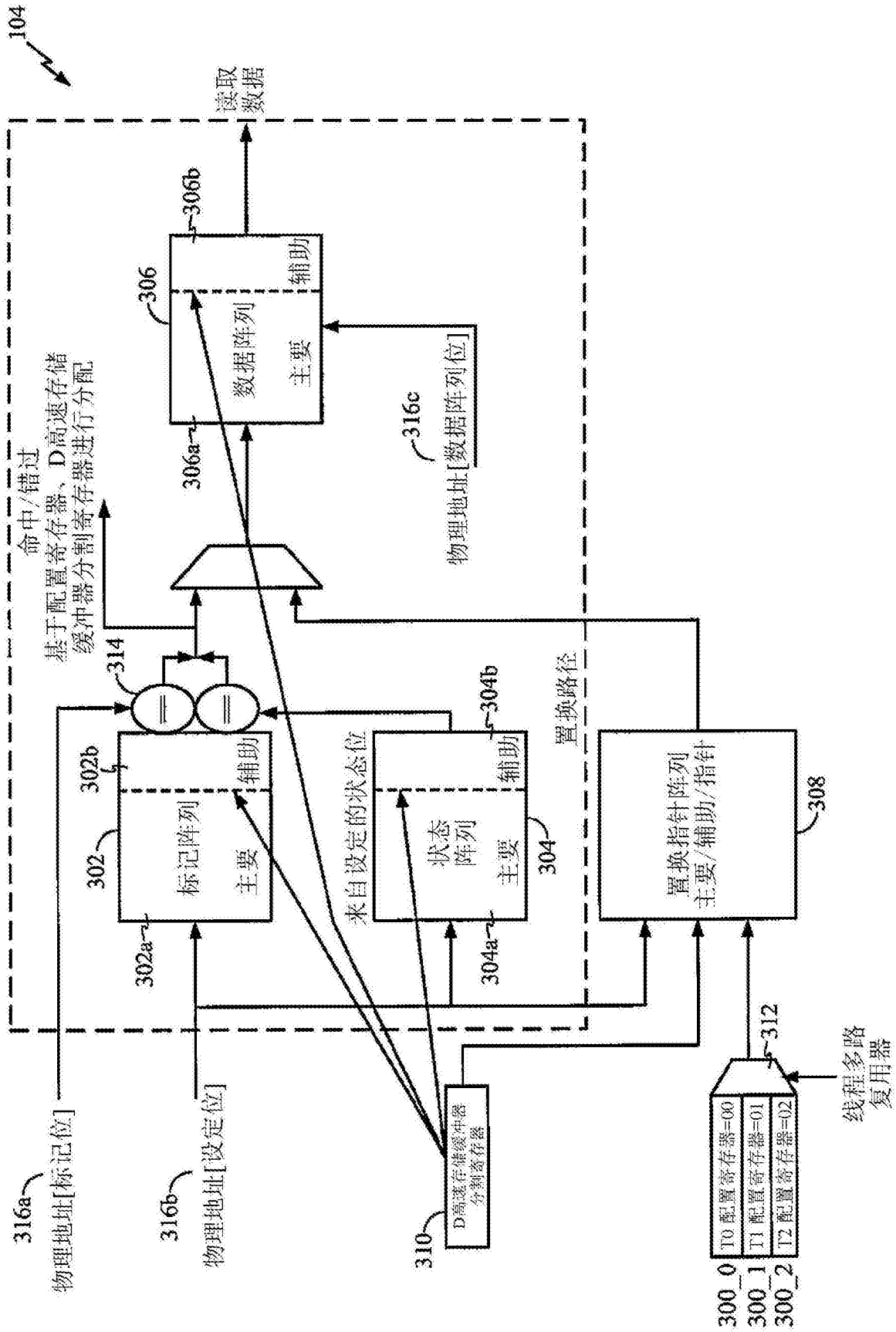


图3

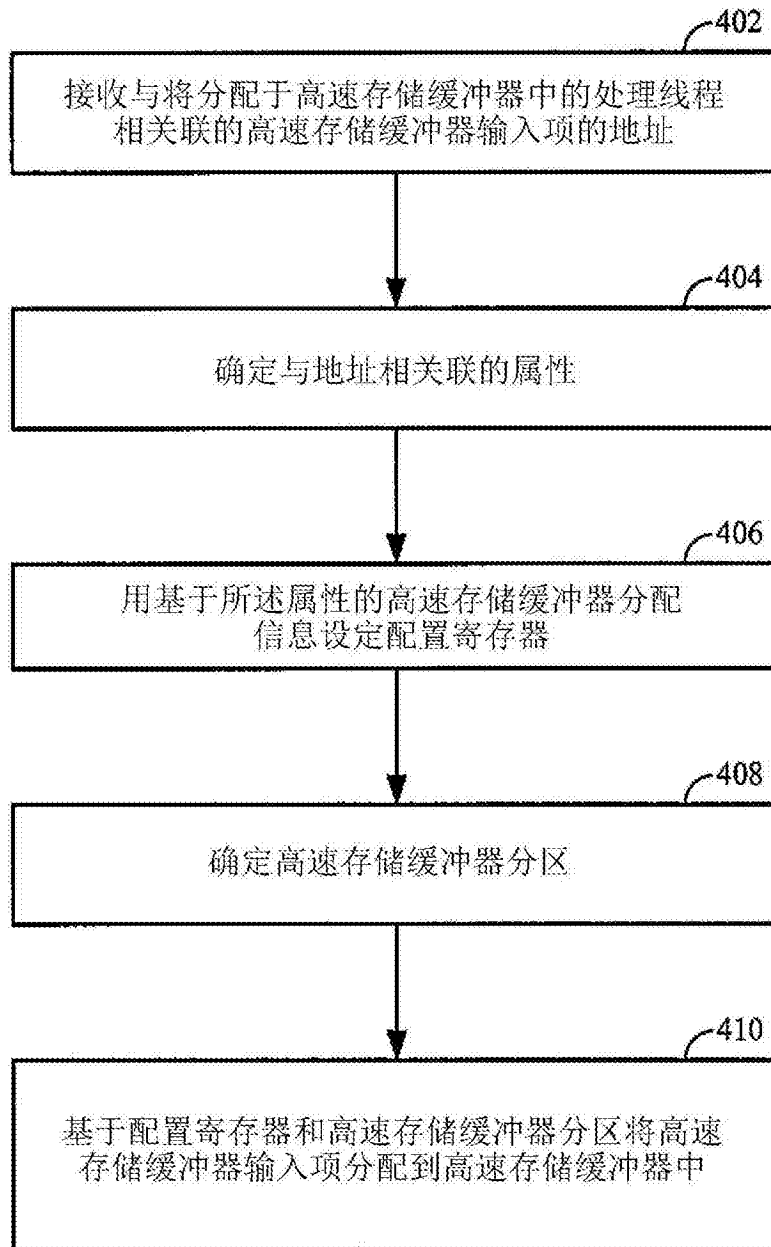


图4

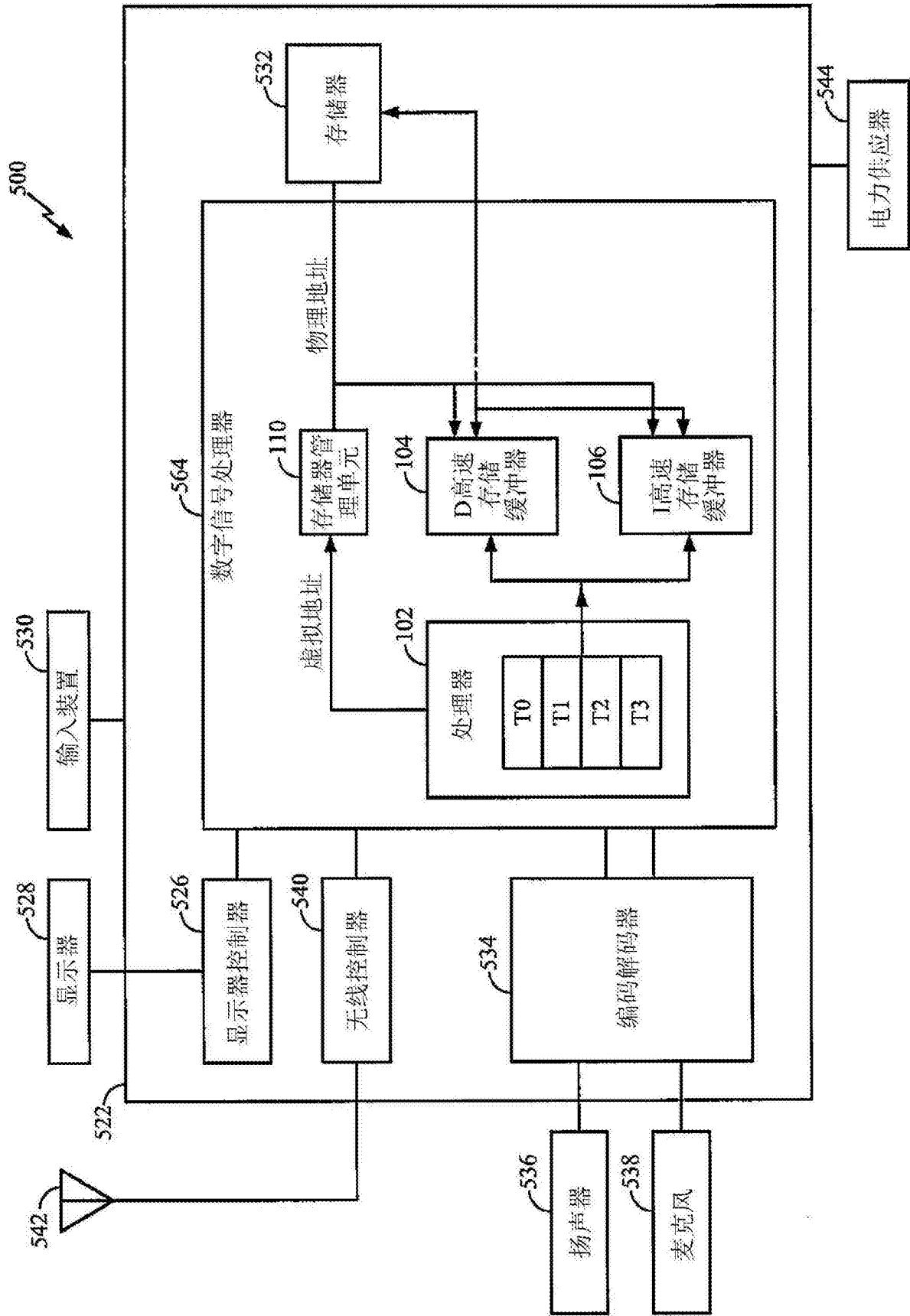


图5