



(12) 发明专利申请

(10) 申请公布号 CN 104851807 A

(43) 申请公布日 2015. 08. 19

(21) 申请号 201510037075. 1

(22) 申请日 2015. 01. 23

(30) 优先权数据

10-2014-0119307 2014. 09. 05 KR

61/931, 342 2014. 01. 24 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 前田茂伸 金焮燮

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

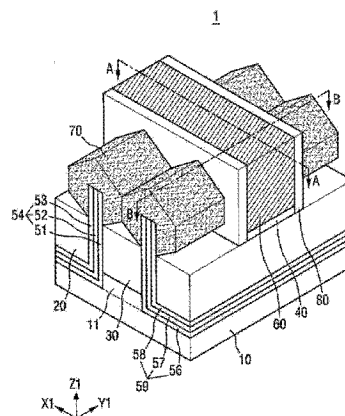
权利要求书5页 说明书20页 附图30页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种形成半导体器件的方法。一种形成半导体器件的方法包括在鳍上形成半导体层,其中鳍和半导体层分别包括第一和第二半导体材料。此外,该方法包括通过去除鳍的至少一部分来限定包括第二半导体材料的第一和第二有源鳍。本发明还提供了相关的半导体器件。



1. 一种用于制造半导体器件的方法,所述方法包括:
通过蚀刻基底,形成从所述基底向上突起的鳍,所述基底包括第一半导体材料;
在所述鳍上共形地形成包括不同于所述第一半导体材料的第二半导体材料的有源层;
通过去除所述有源层的在所述鳍的顶表面上的部分,暴露所述鳍的所述顶表面;
通过去除包括暴露的顶表面的所述鳍的至少一部分,形成包括所述第二半导体材料的第一和第二有源鳍;
在所述第一和第二有源鳍上共形地形成栅极绝缘层;以及
在所述栅极绝缘层上形成栅极电极。
2. 根据权利要求 1 所述的方法,其中形成所述有源层包括:
形成包括所述第二半导体材料的第一有源层;以及
在所述第一有源层上形成包括不同于所述第一半导体材料的第三半导体材料的第二有源层。
3. 根据权利要求 2 所述的方法,其中所述第二半导体材料不同于所述第三半导体材料。
4. 根据权利要求 2 所述的方法,其中形成所述有源层还包括形成包括不同于所述第一半导体材料的第四半导体材料的第三有源层。
5. 根据权利要求 4 所述的方法,其中所述第二半导体材料和所述第四半导体材料包含相同的半导体材料。
6. 根据权利要求 5 所述的方法,
其中所述第一半导体材料包括锗 (Ge),
其中所述第二和第四半导体材料包括铟磷化物 (InP),以及
其中所述第三半导体材料包括铟镓砷化物 (InGaAs)。
7. 根据权利要求 1 所述的方法,还包括:在去除包括所述暴露的顶表面的所述鳍的所述至少一部分之后,在所述第一和第二有源鳍之间形成隔离层。
8. 根据权利要求 7 所述的方法,其中所述第一和第二有源鳍的顶表面突出超过所述隔离层的顶表面。
9. 根据权利要求 1 所述的方法,其中,在去除包括所述暴露的顶表面的所述鳍的所述至少一部分之后,所述方法还包括:
通过利用所述第一和第二有源鳍作为掩模蚀刻所述基底,在所述第一有源鳍下面形成包括所述第一半导体材料的第一鳍并且在所述第二有源鳍下面形成包括所述第一半导体材料的第二鳍;以及
在所述基底上形成填充所述第一鳍与所述第二鳍之间的空间的隔离层。
10. 根据权利要求 9 所述的方法,其中所述隔离层的顶表面高于所述第一和第二鳍的顶表面。
11. 根据权利要求 1 所述的方法,还包括:在形成所述有源层之前,形成邻近所述鳍的底部分并且暴露所述鳍的顶部分的第一隔离层。
12. 根据权利要求 11 所述的方法,还包括:在去除包括所述暴露的顶表面的所述鳍的所述至少一部分之后,在所述第一和第二有源鳍之间形成第二隔离层。

13. 根据权利要求 12 所述的方法,其中所述第一和第二有源鳍突出超过所述第二隔离层的顶表面。

14. 根据权利要求 1 所述的方法,还包括:

在形成所述鳍之后,在所述基底上形成牺牲层图案;以及

在形成所述有源层之后,去除所述牺牲层图案。

15. 根据权利要求 14 所述的方法,还包括:邻近所述第一和第二有源鳍的底部分形成隔离层,其中去除包括所述暴露的顶表面的所述鳍的所述至少一部分包括去除包括所述暴露的顶表面的所述鳍的所述至少一部分直到包括所述暴露的顶表面的所述鳍与所述隔离层的顶表面共面。

16. 一种用于制造半导体器件的方法,所述方法包括:

通过蚀刻基底,形成从所述基底向上突起的鳍,所述基底包括第一半导体材料;

邻近所述鳍的第一侧表面,形成第一至第三有源层,所述第一至第三有源层中的至少一个包括不同于所述第一半导体材料的第二半导体材料;

邻近所述鳍的第二侧表面,形成第四至第六有源层,所述第四至第六有源层中的至少一个包括不同于所述第一半导体材料的第三半导体材料;

通过去除所述鳍的至少一部分,形成包括所述第一至第三有源层的第一有源鳍以及包括所述第四至第六有源层的第二有源鳍;

在所述第一和第二有源鳍上形成栅极绝缘层;以及

在所述栅极绝缘层上形成栅极电极。

17. 根据权利要求 16 所述的方法,还包括:在去除所述鳍的所述至少一部分之后,在所述第一和第二有源鳍之间形成隔离层。

18. 根据权利要求 16 所述的方法,还包括:

在所述第一有源鳍下面形成包括所述第一半导体材料的第一鳍;以及

在所述第二有源鳍下面形成包括所述第一半导体材料的第二鳍。

19. 根据权利要求 16 所述的方法,

其中所述鳍在第一方向上从所述基底突起并且在与所述第一方向垂直的第二方向上延伸,

其中所述第一和第二有源鳍在所述第二方向上与所述鳍平行地延伸,

其中所述栅极电极在所述第一和第二有源鳍上在交叉所述第一和第二方向的第三方向上延伸,以及

其中所述第一有源鳍的端部分邻近所述鳍的底部分弯曲以在所述第三方向上延伸。

20. 一种半导体器件,包括:

基底,包括第一半导体材料;

第一有源鳍,从所述基底向上突起并且包括不同于所述第一半导体材料的第二半导体材料;

第二有源鳍,从所述基底向上突起,所述第二有源鳍包括所述第二半导体材料并且与所述第一有源鳍间隔开;

栅极绝缘层,在所述第一有源鳍的第一侧表面、第一顶表面和第二侧表面上以及在所述第二有源鳍的第三侧表面、第二顶表面和第四侧表面上;以及

栅极电极,在所述栅极绝缘层上。

21. 根据权利要求 20 所述的半导体器件,还包括鳍,所述鳍在所述第一和第二有源鳍之间从所述基底向上突起并且包括所述第一半导体材料。

22. 根据权利要求 20 所述的半导体器件,

其中所述第一半导体材料包括 IV 族半导体,以及

其中所述第二半导体材料包括 III-V 族化合物半导体。

23. 根据权利要求 22 所述的半导体器件,其中所述第一半导体材料包括锗 (Ge),所述第二半导体材料包括砷磷化物 (InP) 和砷镓砷化物 (InGaAs) 中的至少一种。

24. 根据权利要求 20 所述的半导体器件,还包括在所述第一和第二有源鳍之间的隔离层,其中所述第一和第二有源鳍的底部分沿着所述基底的顶表面延伸。

25. 根据权利要求 20 所述的半导体器件,还包括:

鳍,在所述第一和第二有源鳍之间从所述基底向上突起并且包括所述第一半导体材料;以及

在所述鳍上的隔离层,

其中所述第一和第二有源鳍通过所述隔离层与所述鳍间隔开。

26. 根据权利要求 20 所述的半导体器件,

其中所述第一有源鳍包括顺序层叠的第一和第二有源层,

其中所述第一有源层包括所述第二半导体材料,以及

其中所述第二有源层包括不同于所述第二半导体材料的第三半导体材料。

27. 根据权利要求 26 所述的半导体器件,

其中所述第一半导体材料包括锗 (Ge),

其中所述第二半导体材料包括砷磷化物 (InP),以及

其中所述第三半导体材料包括砷镓砷化物 (InGaAs)。

28. 根据权利要求 26 所述的半导体器件,

其中所述第一有源鳍还包括在所述第二有源层上的第三有源层,以及

其中所述第三有源层包括所述第二半导体材料。

29. 根据权利要求 20 所述的半导体器件,还包括鳍,所述鳍包括所述第一半导体材料,其中所述基底包括第一区域和第二区域,其中所述第一和第二有源鳍在所述第一区域中,其中所述鳍在所述第二区域中,其中所述栅极绝缘层和所述栅极电极在所述鳍和所述第一和第二有源鳍上。

30. 根据权利要求 29 所述的半导体器件,其中所述第一区域包括 NMOS 区域,所述第二区域包括 PMOS 区域。

31. 一种半导体器件,包括:

基底,包括第一半导体材料;

第一鳍,包括所述第一半导体材料并且从所述基底向上突起;

第二鳍,从所述基底向上突起,其中所述第二鳍与所述第一鳍间隔开并且包括所述第一半导体材料;

第一有源鳍,在所述第一鳍上从所述基底向上突起并且包括不同于所述第一半导体材料的第二半导体材料;

第二有源鳍,在所述第二鳍上从所述基底向上突起并且包括所述第二半导体材料;栅极绝缘层,在所述第一和第二有源鳍上;以及栅极电极,在所述栅极绝缘层上并且在第一方向上延伸。

32. 根据权利要求 31 所述的半导体器件,其中所述栅极绝缘层与所述第一和第二鳍间隔开。

33. 根据权利要求 31 所述的半导体器件,其中所述第一有源鳍包括顺序层叠的第一和第二有源层,其中所述第一有源层包括不同于所述第一半导体材料的所述第二半导体材料,以及其中所述第二有源层包括不同于所述第一和第二半导体材料的第三半导体材料。

34. 根据权利要求 33 所述的半导体器件,其中所述第一有源鳍还包括层叠在所述第二有源层上并且包括所述第二半导体材料的第三有源层。

35. 根据权利要求 33 所述的半导体器件,其中所述第一半导体材料包括 IV 族半导体,以及其中所述第二和第三半导体材料每个包括 III-V 族化合物半导体。

36. 根据权利要求 35 所述的半导体器件,其中所述第一半导体材料包括锗 (Ge),其中所述第二半导体材料包括砷磷化物 (InP),以及其中所述第三半导体材料包括砷镓砷化物 (InGaAs)。

37. 一种形成半导体器件的方法,所述方法包括:

在半导体鳍上形成半导体层,所述半导体鳍和所述半导体层分别包括不同的第一和第二半导体材料;以及

通过去除所述半导体鳍的至少一部分,分别在所述半导体鳍的第一和第二侧壁上限定包括所述第二半导体材料的第一和第二有源鳍。

38. 根据权利要求 37 所述的方法,其中限定所述第一和第二有源鳍包括:

通过从所述半导体鳍的最高表面去除部分所述半导体层,暴露所述半导体鳍的所述最高表面;然后

蚀刻所述半导体鳍的所述最高表面。

39. 根据权利要求 38 所述的方法,

其中在所述半导体鳍上形成所述半导体层包括在所述半导体鳍上外延生长第一和第二半导体层,

其中所述第一半导体层包括所述第二半导体材料,以及其中所述第二半导体层包括不同于所述第一和第二半导体材料的第三半导体材料。

40. 根据权利要求 37 所述的方法,还包括:

在去除所述半导体鳍的所述至少一部分之后,在所述第一和第二有源鳍之间并且在所述半导体鳍上形成隔离层;以及

在所述第一和第二有源鳍上并且在其间的所述隔离层上形成栅极电极。

41. 根据权利要求 37 所述的方法,

其中形成所述半导体层包括在所述半导体鳍的所述第一和第二侧壁上生长多个量子阱层,以及

其中限定所述第一和第二有源鳍包括通过蚀刻所述半导体鳍的最高表面,限定突出超过所述半导体鳍的所述最高表面的第一和第二量子阱结构。

半导体器件及其制造方法

技术领域

[0001] 本公开涉及半导体器件以及形成半导体器件的方法。

背景技术

[0002] 随着半导体器件在尺寸上减小,半导体器件的半导体元件也在尺寸上减小。为了提高这样的小型半导体器件的性能,可以进行许多研究。

发明内容

[0003] 各个实施方式提供以相对简化的方式制造具有提高的性能的半导体器件的方法。例如,根据本发明构思的各个实施方式,一种制造半导体器件的方法可以包括通过蚀刻基底形成从基底向上突起的鳍,该基底包括第一半导体材料。该方法可以包括在鳍上共形地形成包括不同于第一半导体材料的第二半导体材料的有源层。该方法可以包括通过去除有源层的在鳍的顶表面上的部分,暴露鳍的顶表面。该方法可以包括通过去除包括暴露的顶表面的鳍的至少一部分,形成包括第二半导体材料的第一和第二有源鳍。该方法可以包括在第一和第二有源鳍上共形地形成栅极绝缘层。此外,该方法可以包括在栅极绝缘层上形成栅极电极。

[0004] 在各个实施方式中,形成有源层可以包括:形成包括第二半导体材料的第一有源层;以及在第一有源层上形成包括不同于第一半导体材料的第三半导体材料的第二有源层。在一些实施方式中,第二半导体材料可以不同于第三半导体材料。此外,在一些实施方式中,形成有源层可以包括形成包括不同于第一半导体材料的第四半导体材料的第三有源层。在一些实施方式中,第二半导体材料和第四半导体材料包括相同的半导体材料。此外,在一些实施方式中,第一半导体材料包括锗(Ge),第二和第四半导体材料包含铟磷化物(InP),第三半导体材料包括铟镓砷化物(InGaAs)。

[0005] 根据各个实施方式,该方法可以包括在去除包括暴露的顶表面的鳍的至少一部分之后,在第一和第二有源鳍之间形成隔离层。在一些实施方式中,第一和第二有源鳍的顶表面可以突出超过隔离层的顶表面。

[0006] 在各个实施方式中,在去除包括暴露的顶表面的鳍的至少一部分之后,该方法包括:通过利用第一和第二有源鳍作为掩模蚀刻基底,在第一有源鳍下面形成包括第一半导体材料的第一鳍并且在第二有源鳍下面形成包括第一半导体材料的第二鳍;以及在基底上形成填充第一鳍与第二鳍之间的空间的隔离层。在一些实施方式中,隔离层的顶表面可以高于第一和第二鳍的顶表面。

[0007] 根据各个实施方式,该方法可以包括在形成有源层之前,形成邻近鳍的底部分并且暴露鳍的顶部分的第一隔离层。在一些实施方式中,该方法可以包括在去除包括暴露的顶表面的鳍的至少一部分之后,在第一和第二有源鳍之间形成第二隔离层。此外,第一和第二有源鳍可以突出超过第二隔离层的顶表面。

[0008] 在各个实施方式中,该方法可以包括:在形成鳍之后,在基底上形成牺牲层图案;

以及在形成有源层之后,去除牺牲层图案。此外,该方法可以包括:邻近第一和第二有源鳍的底部分形成隔离层,其中去除包括暴露的顶表面的鳍的至少一部分包括去除包括暴露的顶表面的鳍的至少一部分直到包括暴露的顶表面的鳍与隔离层的顶表面共面。

[0009] 一种用于制造半导体器件的方法可以包括通过蚀刻基底,形成从基底向上突起的鳍,该基底包括第一半导体材料。该方法可以包括邻近鳍的第一侧表面形成第一至第三有源层,第一至第三有源层中的至少一个包括不同于第一半导体材料的第二半导体材料。该方法可以包括邻近鳍的第二侧表面形成第四至第六有源层,第四至第六有源层中的至少一个包括不同于第一半导体材料的第三半导体材料。该方法可以包括通过去除鳍的至少一部分,形成包括第一至第三有源层的第一有源鳍以及包括第四至第六有源层的第二有源鳍。该方法可以包括在第一和第二有源鳍上形成栅极绝缘层。此外,该方法可以包括在栅极绝缘层上形成栅极电极。

[0010] 在各个实施方式中,该方法可以包括:在去除鳍的至少一部分之后,在第一和第二有源鳍之间形成隔离层。在一些实施方式中,该方法可以包括:在第一有源鳍下面形成包括第一半导体材料的第一鳍;以及在第二有源鳍下面形成包括第一半导体材料的第二鳍。此外,鳍可以在第一方向上从基底突起并且可以在与第一方向垂直的第二方向上延伸,第一和第二有源鳍可以在第二方向上与鳍平行地延伸,栅极电极可以在第一和第二有源鳍上在交叉第一和第二方向的第三方向上延伸,第一有源鳍的端部分可以邻近鳍的底部分弯曲以在第三方向上延伸。

[0011] 根据各个实施方式,一种半导体器件可以包括基底,该基底包括第一半导体材料。该半导体器件可以包括从基底向上突起并且包括不同于第一半导体材料的第二半导体材料的第一有源鳍。该半导体器件可以包括从基底向上突起的第二有源鳍,该第二有源鳍包括第二半导体材料并且与第一有源鳍间隔开。该半导体器件可以包括在第一有源鳍的第一侧表面、第一顶表面和第二侧表面上以及在第二有源鳍的第三侧表面、第二顶表面和第四侧表面上的栅极绝缘层。此外,该半导体器件可以包括在栅极绝缘层上的栅极电极。

[0012] 在各个实施方式中,该半导体器件可以包括在第一和第二有源鳍之间从基底向上突起并且包括第一半导体材料的鳍。在一些实施方式中,第一半导体材料可以包括IV族半导体,第二半导体材料可以包括III-V族化合物半导体。此外,第一半导体材料可以包括锗(Ge),第二半导体材料可以包括砷磷化物(InP)和砷镓化物(InGaAs)中的至少一种。

[0013] 根据各个实施方式,该半导体器件可以包括在第一和第二有源鳍之间的隔离层,其中第一和第二有源鳍的底部分沿着基底的顶表面延伸。在一些实施方式中,该半导体器件可以包括在第一和第二有源鳍之间从基底向上突起并且包括第一半导体材料的鳍。此外,该半导体器件可以包括在鳍上的隔离层,第一和第二有源鳍可以通过隔离层与鳍间隔开。

[0014] 在各个实施方式中,第一有源鳍可以包括顺序层叠的第一和第二有源层。第一有源层可以包括第二半导体材料,第二有源层可以包括不同于第二半导体材料的第三半导体材料。在一些实施方式中,第一半导体材料可以包括锗(Ge),第二半导体材料可以包括砷磷化物(InP),第三半导体材料可以包括砷镓化物(InGaAs)。此外,第一有源鳍可以包括在第二有源层上的第三有源层,第三有源层可以包括第二半导体材料。

[0015] 根据各个实施方式,该半导体器件可以包括鳍,该鳍包括第一半导体材料,其中基

底包括第一区域和第二区域,其中第一和第二有源鳍在第一区域中,其中鳍在第二区域中,其中栅极绝缘层和栅极电极在鳍以及第一和第二有源鳍上。此外,第一区域可以包括 NMOS 区域,第二区域可以包括 PMOS 区域。

[0016] 根据各个实施方式,一种半导体器件可以包括基底,该基底包括第一半导体材料。该半导体器件可以包括包含第一半导体材料并且从基底向上突起的第一鳍。该半导体器件可以包括从基底向上突起的第二鳍,第二鳍可以与第一鳍间隔开并且可以包括第一半导体材料。该半导体器件可以包括第一有源鳍,该第一有源鳍在第一鳍上从基底向上突起并且包括不同于第一半导体材料的第二半导体材料。该半导体器件可以包括第二有源鳍,该第二有源鳍在第二鳍上从基底向上突起并且包括第二半导体材料。该半导体器件可以包括在第一和第二有源鳍上的栅极绝缘层。此外,该半导体器件可以包括在栅极绝缘层上并且在第一方向上延伸的栅极电极。

[0017] 在各个实施方式中,栅极绝缘层可以与第一和第二鳍间隔开。在一些实施方式中,第一有源鳍可以包括顺序层叠的第一和第二有源层。此外,第一有源层可以包括不同于第一半导体材料的第二半导体材料,第二有源层可以包括不同于第一和第二半导体材料的第三半导体材料。

[0018] 根据各个实施方式,第一有源鳍可以包括层叠在第二有源层上并且包括第二半导体材料的第三有源层。在一些实施方式中,第一半导体材料可以包括 IV 族半导体,第二和第三半导体材料每个可以包括 III-V 族化合物半导体。此外,第一半导体材料可以包括锗 (Ge),第二半导体材料可以包括铟磷化物 (InP),第三半导体材料可以包括铟镓砷化物 (InGaAs)。

[0019] 根据各个实施方式,一种形成半导体器件的方法可以包括在半导体鳍上形成半导体层。半导体鳍和半导体层可以分别包括不同的第一和第二半导体材料。此外,该方法可以包括通过去除半导体鳍的至少一部分,分别在半导体鳍的第一和第二侧壁上限定包括第二半导体材料的第一和第二有源鳍。在一些实施方式中,限定第一和第二有源鳍可以包括:通过从半导体鳍的最高表面去除部分半导体层,暴露半导体鳍的最高表面;然后蚀刻半导体鳍的最高表面。此外,在半导体鳍上形成半导体层可以包括在半导体鳍上外延生长第一和第二半导体层,其中第一半导体层可以包括第二半导体材料,以及其中第二半导体层可以包括不同于第一和第二半导体材料的第三半导体材料。

[0020] 在各个实施方式中,该方法可以包括:在去除半导体鳍的至少一部分之后,在第一和第二有源鳍之间并且在半导体鳍上形成隔离层;以及在第一和第二有源鳍上并且在其间的隔离层上形成栅极电极。此外,形成半导体层可以包括在半导体鳍的第一和第二侧壁上生长多个量子阱层,限定第一和第二有源鳍可以包括通过蚀刻半导体鳍的最高表面,限定突出超过半导体鳍的最高表面的第一和第二量子阱结构。

附图说明

[0021] 从以下结合附图进行的简要描述,示例实施方式将被更清晰地理解。附图显示了如在此描述的非限制性的示例实施方式。

[0022] 图 1 是根据本发明构思的一些实施方式的半导体器件的透视图。

[0023] 图 2 是沿着图 1 的线 A-A 截取的截面图。

- [0024] 图 3 是沿着图 1 的线 B-B 截取的截面图。
- [0025] 图 4 是根据本发明构思的一些实施方式的半导体器件的截面图。
- [0026] 图 5 是根据本发明构思的一些实施方式的半导体器件的截面图。
- [0027] 图 6 是根据本发明构思的一些实施方式的半导体器件的截面图。
- [0028] 图 7 是根据本发明构思的一些实施方式的半导体器件的截面图。
- [0029] 图 8 是根据本发明构思的一些实施方式的半导体器件的截面图。
- [0030] 图 9 是根据本发明构思的一些实施方式的半导体器件的示意布局图。
- [0031] 图 10 至图 19 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。
- [0032] 图 20 至图 26 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。
- [0033] 图 27 至图 36 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。
- [0034] 图 37 至图 44 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。
- [0035] 图 45 是用于说明包括根据本发明构思的一些实施方式的半导体器件的存储器件的电路图。
- [0036] 图 46 是图 45 中显示的存储器件的布局图。
- [0037] 图 47 是示出包括根据本发明构思的一些实施方式的半导体器件的示例逻辑器件的图示。
- [0038] 图 48 是示出包括根据本发明构思的一些实施方式的半导体器件的示例逻辑器件的图示。
- [0039] 图 49 是包括根据本发明构思的一些实施方式的半导体器件的 SoC 系统的框图。
- [0040] 图 50 是包括根据本发明构思的一些实施方式的半导体器件的电子系统的框图。
- [0041] 图 51 至图 53 示出能够采用根据本发明构思的一些实施方式的半导体器件的示例半导体系统。

具体实施方式

[0042] 以下参考附图描述示例实施方式。许多不同的形式和实施方式是可能的，而不背离本公开的精神和教导，因此本公开不应被理解为限于在此阐述的示例实施方式。而是，提供这些实施方式使得本公开将透彻和完整，并且将向本领域的技术人员传达本公开的范围。在图中，为了清晰，可以夸大层和区域的尺寸和相对尺寸。相同的附图标记在整个说明书中指代相同的元件。

[0043] 在此使用的术语仅用于描述特定实施方式，不旨在作为实施方式的限制。在此使用时，单数形式也旨在包括复数形式，除非上下文清晰地另外表示。还将理解，当在本说明书中使用术语“包括”和 / 或“包含”表示所述特征、整数、步骤、操作、元件和 / 或部件的存在，但是不排除一个或更多其它特征、整数、步骤、操作、元件、部件和 / 或其组的存在或添加。

[0044] 将理解，当一元件或层被称为“联接到”、“连接到”或“响应于”另一元件或层、或

者在另一元件或层“上”时,它可以直接联接到、连接到或响应于所述另一元件或层,或者直接在于所述另一元件或层上,或者也可以存在居间元件。相反,当元件被称为“直接联接到”、“直接连接到”或“直接响应于”另一元件或者“直接在”另一元件“上”时,不存在居间元件。在此使用时,术语“和 / 或”包括一个或多个相关列举项目的任意和所有组合。

[0045] 为了便于描述,可以在此使用空间关系术语,诸如“在……下面”、“在……之下”、“下”、“在……之上”、“上”等来描述一个元件或特征与另一元件(或多个元件)或特征(或多个特征)如图中所示的关系。将理解,空间关系术语旨在包含除了图中所描绘的取向之外,装置在使用或操作中的不同取向。例如,如果在图中的装置被翻转,则被描述为在其它元件或特征“之下”或“下面”的元件可以取向为在所述其它元件或特征“之上”。因而,示例术语“在……之下”可以涵盖上和下两种取向。装置可以被另外地取向(旋转 90 度或其它取向),并且在此使用的空间关系描述语可以被相应地解释。

[0046] 在此参考截面图示描述了本发明构思的示例实施方式,其中截面图示是示例实施方式的理想化的实例实施方式(和中间结构)的示意性图示。因此,由于例如制造技术和/或公差引起的图示形状的偏离是可以预期的。因而,本发明构思的示例实施方式不应被理解为限于在此示出的区域的具体形状,而是将包括例如由制造引起的形状的偏离。因此,在图中示出的区域本质上是示意性的,它们的形状不旨在示出装置的区域的实际形状,并且不旨在限制示例实施方式的范围。

[0047] 将理解,虽然术语“第一”、“第二”等可以在此使用来描述不同的元件,但是这些元件不应受到这些术语限制。这些术语仅被用于区分一个元件与另一元件。因而,“第一”元件可以被称为“第二”元件,而不背离本实施方式的教导。

[0048] 除非另外地定义,在此使用的所有术语(包括技术术语和科学术语)具有与本发明构思所属领域中的普通技术人员通常理解的含义。还将理解,术语(诸如在通用词典中所定义的那些)应被理解为具有与其在相关领域的背景中和/或本说明书中的含义一致的含义,将不被理解为理想化或过度正式的意义,除非在此清楚地如此定义。

[0049] 如通过本发明理解的,根据此处描述的不同实施方式的器件和形成器件的方法可以被实施在诸如集成电路的微电子器件中,其中根据此处描述的不同实施方式的多个器件被集成在同一微电子器件中。因此,此处示出的截面图(或多个截面图)可以在微电子器件中在两个不同方向(其不需要正交)上重复。因而,实施根据此处描述的不同实施方式的器件的微电子器件的平面图可以包括基于微电子器件的功能而成阵列和/或二维图案的多个器件。

[0050] 根据此处描述的不同实施方式的器件可以取决于微电子器件的功能性而配置于其它器件之间。此外,根据此处描述的不同实施方式的微电子器件可以在可以垂直于两个不同方向的第三方向上重复,以提供三维集成电路。

[0051] 因此,此处示出的截面图(或多个截面图)提供对于根据此处描述的不同实施方式的沿着平面图中的两个不同方向和/或透视图中的三个不同方向延伸的多个器件的支持。例如,当在器件/结构的截面图中示出单一有源区时,该器件/结构可以包括多个有源区以及在其上的晶体管结构(存储单元结构、栅极结构等等,如适于该情况的),如将通过器件/结构的平面图示出的。

[0052] 在下文中,将参考图 1 至图 3 描述根据本发明构思的一些实施方式的半导体器件。

[0053] 图 1 是根据本发明构思的一些实施方式的半导体器件的透视图,图 2 是沿着图 1 的线 A-A 截取的截面图,图 3 是沿着图 1 的线 B-B 截取的截面图。

[0054] 在图 1 至图 3 中,半导体器件 1 被示为鳍型晶体管 (FinFET),但是本发明构思的方面不限于此。也就是说,此处未示出的半导体器件也可以被使用。

[0055] 参考图 1 至图 3,半导体器件 1 包括基底 10、第一有源鳍 54、第二有源鳍 59、栅极绝缘层 40 和栅极电极 60。

[0056] 基底 10 可以包括半导体。在本发明构思的一些实施方式中,基底 10 可以包括 IV 族半导体,包括例如硅 (Si) 和锗 (Ge)。更详细地,基底 10 可以包括例如 Ge,但是本发明构思的方面不限于此。

[0057] 同时,在本发明构思的一些实施方式中,基底 10 可以包括 III-V 族化合物。III-V 族化合物的示例包括砷化镓 (GaAs)、磷化镓 (GaP)、砷化铟 (InAs)、磷化铟 (InP)、铟镓砷化物 (InGaAs) 以及铟镓磷化物 (InGaP),但是不限于此。

[0058] 同时,在本发明构思的一些实施方式中,基底 10 可以是外延层。也就是说,基底 10 可以通过外延生长工艺形成。

[0059] 第一有源鳍 54 可以形成为在第一方向 Z1 上从基底 10 突出并且可以在第二方向 Y1 上延伸。第一有源鳍 54 的底部分可以沿着基底 10 的顶表面延伸,如图所示。

[0060] 第二有源鳍 59 也可以形成为在第一方向 Z1 上从基底 10 突出并且可以在第二方向 Y1 上延伸。第二有源鳍 59 的底部分也可以沿着基底 10 的顶表面延伸,如图所示。

[0061] 如图所示,第二有源鳍 59 可以形成为与第一有源鳍 54 分离。详细地,第一有源鳍 54 的顶部分和第二有源鳍 59 的顶部分可以不连接到彼此,而是可以彼此分离,如图所示。

[0062] 在本发明构思的一些实施方式中,第一和第二有源鳍 54 和 59 可以包括不同于基底 10 的半导体。例如,第一和第二有源鳍 54 和 59 可以包括 III-V 族化合物半导体,基底 10 可以包括 IV 族半导体。详细地,例如,第一和第二有源鳍 54 和 59 可以包括 InP 和 InGaAs 中的至少一种,基底 10 可以包括 Ge,但是本发明构思的方面不限于此。

[0063] 在本发明构思的一些实施方式中,第一有源鳍 54 可以包括顺序层叠的第一至第三有源层 51、52 和 53。第一至第三有源层 51、52 和 53 可以是例如通过外延生长工艺形成的外延层。

[0064] 第一有源层 51 可以包括与第二有源层 52 不同的半导体。详细地,第一有源层 51 可以包括 III-V 族化合物半导体中的一种,第二有源层 52 可以包括 III-V 族化合物半导体中的不同的一种。更详细地,第一有源层 51 可以包括 InP,第二有源层 52 可以包括 InGaAs,但是本发明构思的方面不限于此。

[0065] 在第二有源层 52 上形成的第三有源层 53 可以包括与第二有源层 52 不同的半导体。详细地,第三有源层 53 可以包括 III-V 族化合物半导体中的一种,第二有源层 52 可以包括 III-V 族化合物半导体中的不同的一种。更详细地,第三有源层 53 可以包括 InP,第二有源层 52 可以包括 InGaAs,但是本发明构思的方面不限于此。

[0066] 在本发明构思的一些实施方式中,第一至第三有源层 51、52 和 53 可以形成量子阱结构。

[0067] 在本发明构思的一些实施方式中,第二有源鳍 59 可以包括顺序层叠的第四至第六有源层 56、57 和 58。第四至第六有源层 56、57 和 58 可以是例如通过外延生长工艺形成

的外延层。

[0068] 第四有源层 56 可以包括与第五有源层 57 不同的半导体。详细地,第四有源层 56 可以包括 III-V 族化合物半导体中的一种,第五有源层 57 可以包括 III-V 族化合物半导体中的不同的一种。更详细地,第四有源层 56 可以包括 InP,第五有源层 57 可以包括 InGaAs,但是本发明构思的方面不限于此。

[0069] 在第五有源层 57 上形成的第六有源层 58 可以包括与第五有源层 57 不同的半导体。详细地,第六有源层 58 可以包括 III-V 族化合物半导体中的一种,第五有源层 57 可以包括 III-V 族化合物半导体中的不同的一种。更详细地,第六有源层 58 可以包括 InP,第五有源层 57 可以包括 InGaAs,但是本发明构思的方面不限于此。

[0070] 在本发明构思的一些实施方式中,第四至第六有源层 56、57 和 58 可以形成量子阱结构。

[0071] 在本发明构思的一些实施方式中,各包括三个有源层的第一有源鳍 54 和第二有源鳍 59 被提供作为一个示例,但是本发明构思的方面不限于此。在本发明构思的一些实施方式中,第一有源鳍 54 和第二有源鳍 59 的每个可以被改成包括两个有源层。

[0072] 在本发明构思的一些实施方式中,第一有源鳍 54 和第二有源鳍 59 的每个也可以改成具有 n 个有源层,其中 n 是 4 或更大的自然数。

[0073] 鳍 11 可以形成在第一和第二有源鳍 54 和 59 之间,鳍 11 在第一方向 Z1 上从基底 10 突出并且在第二方向 Y1 上延伸。在本发明构思的一些实施方式中,因为鳍 11 通过蚀刻基底 10 形成,所以其可以包括与基底 10 相同的半导体。

[0074] 详细地,鳍 11 可以包括例如 IV 族半导体,诸如 Si 或 Ge。更详细地,鳍 11 可以包括例如 Ge,但是本发明构思的方面不限于此。

[0075] 如图所示,鳍 11 的顶表面可以低于第一和第二有源鳍 54 和 59 的顶表面。详细地,如图所示,鳍 11 的顶表面可以被定位得邻近于第一和第二有源鳍 54 和 59 的底部分。

[0076] 第一隔离层 20 可以形成在第一和第二有源鳍 54 和 59 的外侧。如图所示,第一隔离层 20 可以形成在第一和第二有源鳍 54 和 59 上。

[0077] 第二隔离层 30 可以形成在第一和第二有源鳍 54 和 59 的内侧处 / 上,也就是,形成在第一和第二有源鳍 54 和 59 之间。第二隔离层 30 可以形成在鳍 11 上。

[0078] 在本发明构思的一些实施方式中,第一隔离层 20 和第二隔离层 30 可以包括不同的绝缘层。当第一隔离层 20 包括例如氧化物层时,第二隔离层 30 可以包括例如氮化物层。相反地,当第一隔离层 20 包括例如氮化物层时,第二隔离层 30 可以包括例如氧化物层,但是本发明构思的方面不限于此。在本发明构思的一些实施方式中,第一隔离层 20 和第二隔离层 30 可以包括相同的绝缘层。

[0079] 在本发明构思的一些实施方式中,可以不提供鳍 11(即,鳍 11 可以被省略)。在此情形下,第二隔离层 30 可以接触基底 10 的在第一有源鳍 54 与第二有源鳍 59 之间的顶表面。

[0080] 栅极绝缘层 40 可以形成在第一和第二有源鳍 54 和 59 上以在第三方向 X1 上延伸。详细地,栅极绝缘层 40 可以形成为覆盖第一隔离层 20 的顶表面、第一有源鳍 54 的一个侧表面、顶表面和另一侧表面、第二隔离层 30 的顶表面以及第二有源鳍 59 的一个侧表面、顶表面和另一侧表面的至少一部分。

[0081] 在本发明构思的一些实施方式中,栅极绝缘层 40 可以包括具有比硅氧化物层高介电常数的高 k 材料(例如,具有 9 或更大的介电常数(k)的高 k 材料)。

[0082] 高 k 膜的示例可以包括从由铪氧化物、铪硅氧化物、镧氧化物、镧铝氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钽铌钛氧化物、钽钛氧化物、铌钛氧化物、钇氧化物、铝氧化物、铅铈钽氧化物和铈酸铅组成的组中选出的至少一种,但是不限于此。

[0083] 在本发明构思的一些实施方式中,栅极绝缘层 40 可以包括用于减少/防止第一和第二有源鳍 54 和 59 的每个与高 k 材料之间的界面失效的界面层。界面层可以包括例如氧化物层。详细地,界面层可以包括具有 9 或更小的介电常数(k)的低 k 材料层。

[0084] 在本发明构思的一些实施方式中,界面层可以通过例如湿法工艺或热氧化工艺形成。

[0085] 栅极电极 60 可以在第三方向 X1 上在栅极绝缘层 40 上延伸。

[0086] 在本发明构思的一些实施方式中,栅极电极 60 可以包括功函数控制膜和金属栅极电极。功函数控制膜可以被用于控制半导体器件的功函数。

[0087] 例如,当半导体器件是 n 型时,功函数控制膜可以包括 n 型功函数材料。n 型功函数材料的示例可以包括钛铝化物(TiAl)、钛铝氮化物(TiAlN)、钽碳化物(TaC)、钽铝氮化物(TaAlN)、钛碳化物(TiC)、铪硅化物(HfSi)等等,但是本发明构思的方面不限于此。

[0088] 同时,当半导体器件是例如 p 型时,功函数控制膜可以包括 p 型功函数材料。p 型功函数材料的示例可以包括钛氮化物(TiN)、钽氮化物(TaN)等等。详细地,p 型功函数控制膜可以是例如由 TiN 制成的单层,或具有包括 TiN 下层和 TaN 上层的双层结构,但是本发明构思的方面不限于此。

[0089] 在本发明构思的一些实施方式中,当半导体器件是 p 型时,功函数控制膜可具有包括下 p 型功函数控制膜和上 n 型功函数控制膜的双层结构。

[0090] 金属栅极电极可以包括高导电金属。金属的示例可以包括铝(Al)或钨(W),但是本发明构思的方面不限于此。

[0091] 间隔物 80 可以形成在栅极电极 60 的相对两侧。间隔物 80 可以包括氮化物层和氮氧化物层中的至少一种。

[0092] 在图 1 至图 3 中,示出了具有 I- 字母形状间隔物 80,但是本发明构思的一些实施方式的方面不限于此。在本发明构思的一些实施方式中,间隔物 80 可以改成具有 L- 字母形状。此外,在本发明构思的一些实施方式中,间隔物 80 的形状可以改成使得其底部分的宽度大于其顶部分的宽度。

[0093] 半导体图案 70 可以形成在间隔物 80 的外侧上/处。详细地,半导体图案 70 可以形成在设置于间隔物 80 外侧的第一和第二有源鳍 54 和 59 上。

[0094] 半导体图案 70 可以用作示出的半导体器件(例如,鳍型晶体管)的源极或漏极。

[0095] 当利用第一和第二有源鳍 54 和 59 形成的鳍型晶体管是 PMOS 晶体管时,半导体图案 70 可以包括压应力材料。压应力材料可以通过向第一和第二有源鳍 54 和 59 施加压应力而提高沟道区的载流子的迁移率。

[0096] 然而,当利用第一和第二有源鳍 54 和 59 形成的鳍型晶体管是 NMOS 晶体管时,半导体图案 70 可以包括张应力材料。张应力材料可以通过向第一和第二有源鳍 54 和 59 施加张应力而提高沟道区的载流子的迁移率。

[0097] 半导体图案 70 可以通过例如外延生长工艺形成。在本发明构思的一些实施方式中,在必要时,杂质可以在用于形成半导体图案 70 的外延生长工艺期间被原位掺杂到半导体图案 70 中。

[0098] 半导体图案 70 可具有菱形、圆形和矩形中的至少一种的形状。在图 1 中,菱形(或五边形或六边形形状)被作为示例示出,但是本发明构思的方面不限于此。

[0099] 此外,在图 1 中,在第一有源鳍 54 上形成的半导体图案 70 和在第二有源鳍 59 上形成的半导体图案 70 彼此接触,但是本发明构思的方面不限于此。

[0100] 在如图 1-3 中示出的半导体器件 1 中,形成量子阱结构的第一和第二有源鳍 54 和 59 用作半导体器件(例如,PMOS 晶体管)的沟道。因此,能够提高半导体器件 1 的性能。如将在随后被详细描述,第一和第二有源鳍 54 和 59 能够以更简化的方式形成,由此简化半导体器件 1 的制造方法。

[0101] 图 4 是根据本发明构思的一些实施方式的半导体器件的截面图。

[0102] 以下描述将集中于图 4 与图 1-3 之间的差异上。

[0103] 参考图 4,根据所示出的实施方式的半导体器件 2 可以包括第一鳍 12、第二鳍 14、第一有源鳍 54a 和第二有源鳍 59a。

[0104] 第一鳍 12 可以通过蚀刻一部分基底 10 而形成成为从基底 10 向上突起。如图所示,第二鳍 14 与第一鳍 12 间隔开并且可以通过蚀刻一部分基底 10 而形成成为从基底 10 向上突起。

[0105] 第一和第二鳍 12 和 14 可以包括与基底 10 相同的半导体。在本发明构思的一些实施方式中,基底 10 以及第一和第二鳍 12 和 14 可以包括 IV 族半导体,但是本发明构思的方面不限于此。

[0106] 第一有源鳍 54a 可以形成在第一鳍 12 上,并且第二有源鳍 59a 可以形成在第二鳍 14 上以与第一有源鳍 54a 间隔开。

[0107] 在本发明构思的一些实施方式中,第一和第二有源鳍 54a 和 59a 可以包括与基底 10 不同的半导体。例如,第一和第二有源鳍 54a 和 59a 可以包括 III-V 族化合物半导体。

[0108] 在本发明构思的一些实施方式中,第一有源鳍 54a 可以包括顺序层叠的第一至第三有源层 51a、52a 和 53a。第一至第三有源层 51a、52a 和 53a 可以是例如通过外延生长工艺形成的外延层。

[0109] 在本发明构思的一些实施方式中,第一有源层 51a 可以包括例如 InP,第二有源层 52a 可以包括例如 InGaAs,第三有源层 53a 可以包括例如 InP,但是本发明构思的方面不限于此。

[0110] 在本发明构思的一些实施方式中,第二有源鳍 59a 可以包括顺序层叠的第四至第六有源层 56a、57a 和 58a。第四至第六有源层 56a、57a 和 58a 可以是例如通过外延生长工艺形成的外延层。

[0111] 在本发明构思的一些实施方式中,第四有源层 56a 可以包括例如 InP,第五有源层 57a 可以包括例如 InGaAs,第六有源层 58a 可以包括例如 InP,但是本发明构思的方面不限于此。

[0112] 隔离层 22 可以形成为覆盖第一和第二鳍 12 和 14 以及第一和第二有源鳍 54a 和 59a 的底部分的一些部分。也就是说,隔离层 22 可以形成为与第一和第二有源鳍 54a 和 59a

的部分重叠,但是本发明构思的方面不限于此。

[0113] 本发明构思的实施方式可以以各种方式改变。例如,在本发明构思的一些实施方式中,隔离层 22 的顶表面可以与第一和第二鳍 12 和 14 的顶表面共面地定位。

[0114] 如图 4 所示,因为第一和第二鳍 12 和 14 没有用作晶体管的沟道,所以栅极绝缘层 40 可以不接触第一和第二鳍 12 和 14。

[0115] 图 5 是根据本发明构思的一些实施方式的半导体器件的截面图。以下描述将集中于图 5 与图 1-4 之间的差异上。

[0116] 参考图 5,在根据所示出的实施方式的半导体器件 3 中,第一有源鳍 54a 和第二有源鳍 59a 的底部分可以不沿着基底 10 的顶表面延伸并且第一有源鳍 54a 和第二有源鳍 59a 可以形成在设置在其下的第一隔离层 24 上。

[0117] 第二隔离层 26 和鳍 11 可形成在第一有源鳍 54a 和第二有源鳍 59a 之间。

[0118] 在本发明构思的一些实施方式中,第二隔离层 26 可以包括与第一隔离层 24 不同的绝缘层,但是本发明构思的方面不限于此。第一隔离层 24 和第二隔离层 26 的种类/类型可以以各种方式变化。

[0119] 鳍 11 可以位于第二隔离层 26 下面。如图所示,鳍 11 可以通过第一和第二隔离层 24 和 26 与第一有源鳍 54a 和第二有源鳍 59a 间隔开。

[0120] 如上所述,取决于处理条件,可以选择性地不提供鳍 11。

[0121] 图 6 是根据本发明构思的一些实施方式的半导体器件的截面图。以下描述将集中于图 6 与图 1-5 之间的差异上。

[0122] 参考图 6,在根据本发明构思的一些实施方式的半导体器件 4 中,第一有源鳍 54b 和第二有源鳍 59b 的底部分可以弯折/弯曲以在第三方向(图 1 的 X1)上延伸。

[0123] 详细地,第一有源鳍 54b 可以包括具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第一有源层 51b、具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第二有源层 52b、以及具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第三有源层 53b。

[0124] 在本发明构思的一些实施方式中,第一有源层 51b 可以包括例如 InP,第二有源层 52b 可以包括例如 InGaAs,第三有源层 53b 可以包括例如 InP,但是本发明构思的方面不限于此。

[0125] 第二有源鳍 59b 可以包括具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第四有源层 56b、具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第五有源层 57b、以及具有弯折/弯曲以在第三方向(图 1 的 X1)上延伸的底部分的第六有源层 58b。

[0126] 在本发明构思的一些实施方式中,第四有源层 56b 可以包括例如 InP,第五有源层 57b 可以包括例如 InGaAs,第六有源层 58b 可以包括例如 InP,但是本发明构思的方面不限于此。

[0127] 鳍 16 可以位于第一有源鳍 54b 和第二有源鳍 59b 之间,鳍 16 从基底 10 向上突起并且与基底 10 形成为一体。也就是说,根据图 6,第一有源鳍 54b 和第二有源鳍 59b 可以通过鳍 16 彼此分离。

[0128] 鳍 16 可以包括与基底 10 相同的半导体。详细地,鳍 16 可以包括例如 IV 族半导

体,诸如 Ge,但是本发明构思的方面不限于此。

[0129] 在根据图 6 的一些实施方式中,栅极绝缘层 40 可以形成在鳍 16 的顶表面上。也就是说,栅极绝缘层 40 和鳍 16 可以彼此接触。

[0130] 图 7 是根据本发明构思的一些实施方式的半导体器件的截面图。以下描述将集中于图 7 与图 1-6 之间的差异上。

[0131] 参考图 7,在根据图 7 的一些实施方式中的半导体器件 5 与在图 1 至图 3 中显示的半导体器件 1 的不同在于,第一和第二有源鳍 55a 具有单层结构。

[0132] 也就是说,在根据所示出的实施方式的半导体器件 5 中,第一和第二有源鳍 55a 的每个可以由包括与基底 10 不同的半导体的单层形成。详细地,第一和第二有源鳍 55a 的每个可具有例如包括 III-V 族化合物半导体的单层结构,但是本发明构思的方面不限于此。

[0133] 图 8 是根据本发明构思的一些实施方式的半导体器件的截面图。以下描述将集中于图 8 与图 1-7 之间的差异上。

[0134] 参考图 8,其中示出的半导体器件 6 与图 5 中显示的半导体器件 3 的不同在于,第一和第二有源鳍 55b 的每个具有单层结构。

[0135] 也就是说,在根据图 8 的半导体器件 6 中,第一和第二有源鳍 55b 的每个可以由包括与基底 10 不同的半导体的单层形成。详细地,第一和第二有源鳍 55b 的每个可具有例如包括 III-V 族化合物半导体的单层结构,但是本发明构思的方面不限于此。

[0136] 图 9 是根据本发明构思的一些实施方式的半导体器件的示意布局图。以下描述将集中于图 9 与图 1-8 之间的差异上。

[0137] 参考图 9,根据一些实施方式的半导体器件可以包括第一区域 I 和第二区域 II。

[0138] 第一有源鳍 54 可以在第一区域 I 中在第二方向 Y1 上延伸,第二有源鳍 59 可以在第二方向 Y1 上延伸以平行于第一有源鳍 54。

[0139] 这里,例如,第一和第二有源鳍 54 和 59 可以与图 1 至图 3 中显示的半导体器件 1 的第一和第二有源鳍 54 和 59 相同。

[0140] 然而,本发明构思没有将第一和第二有源鳍 54 和 59 的形状限制于此处示出的那些形状。而是,在必要时,第一和第二有源鳍 54 和 59 可以改成具有在半导体器件 2 至 6 之一中示出的形状。

[0141] 鳍 18 可以在第二区域 II 中在第二方向 Y1 上延伸。这里,鳍 18 可以通过蚀刻基底(例如,图 1 的基底 10)形成。因此,鳍 18 可以包括与基底(例如,图 1 的基底 10)相同的半导体。

[0142] 在本发明构思的一些实施方式中,在第一区域 I 中形成的第一和第二有源鳍 54 和 59 以及在第二区域 II 中形成的鳍 18 可以包括不同的半导体。详细地,例如,在第一区域 I 中形成的第一和第二有源鳍 54 和 59 可以包括 III-V 族化合物半导体,在第二区域 II 中形成的鳍 18 可以包括 IV 族半导体。更详细地,例如,在第一区域 I 中形成的第一和第二有源鳍 54 和 59 可具有包括 InP、InGaAs 和 InP 的三层结构,在第二区域 II 中形成的鳍 18 可具有包括 Ge 的单层结构,但是本发明构思的方面不限于此。

[0143] 在本发明构思的一些实施方式中,第一区域 I 可以是 NMOS 区域,第二区域 II 可以是 PMOS 区域,但是本发明构思的方面不限于此。

[0144] 栅极电极 62 可以在形成于第一区域 I 中的第一和第二有源鳍 54 和 59 以及形成

于第二区域 II 中的鳍 18 上在第三方向 X1 上延伸。NMOS 晶体管可以被限定在栅极电极 62 与第一和第二有源鳍 54 和 59 的每个之间的交叉点处,PMOS 晶体管可以被限定在栅极电极 62 与鳍 18 之间的交叉点处。

[0145] 图 10 至图 19 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。

[0146] 首先参考图 10, 鳍 11 通过蚀刻基底 10 形成。

[0147] 在本发明构思的一些实施方式中, 基底 10 可以包括 IV 族半导体。详细地, 基底 10 可以包括例如 Ge, 但是本发明构思的方面不限于此。

[0148] 通过蚀刻基底 10 形成的鳍 11 可以包括与基底 10 相同的半导体。在本发明构思的一些实施方式中, 如图所示, 基底 10 和鳍 11 可以形成为一体, 但是本发明构思的方面不限于此。

[0149] 接着, 参考图 11, 第 11 有源层 81 共形地形成在基底 10 和鳍 11 上。

[0150] 在本发明构思的一些实施方式中, 第 11 有源层 81 可以通过例如外延生长工艺形成。

[0151] 第 11 有源层 81 可以包括与基底 10 和鳍 11 不同的半导体。例如, 第 11 有源层 81 可以包括 III-V 族化合物半导体并且鳍 11 可以包括 IV 族半导体。更详细地, 第 11 有源层 81 可以包括 InP 并且基底 10 和鳍 11 可以包括锗, 但是本发明构思的方面不限于此。

[0152] 接着, 第 12 有源层 82 共形地形成在第 11 有源层 81 上。

[0153] 在本发明构思的一些实施方式中, 第 12 有源层 82 可以通过例如外延生长工艺形成。

[0154] 第 12 有源层 82 可以包括与基底 10、鳍 11 和第 11 有源层 81 不同的半导体。例如, 基底 10 和鳍 11 可以包括 IV 族半导体, 第 11 有源层 81 可以包括 III-V 族化合物半导体的一个示例, 第 12 有源层 82 可以包括 III-V 族化合物半导体的另一 (即, 不同的) 示例。

[0155] 更详细地, 基底 10 和鳍 11 可以包括 Ge, 第 11 有源层 81 可以包括 InP, 第 12 有源层 82 可以包括 InGaAs, 但是本发明构思的方面不限于此。

[0156] 接着, 第 13 有源层 83 共形地形成在第 12 有源层 82 上。

[0157] 在本发明构思的一些实施方式中, 第 13 有源层 83 可以通过例如外延生长工艺形成。

[0158] 第 13 有源层 83 可以包括与基底 10、鳍 11 和第 12 有源层 82 不同的半导体。例如, 基底 10 和鳍 11 可以包括 IV 族半导体, 第 12 有源层 82 可以包括 III-V 族化合物半导体的一个示例, 第 13 有源层 83 可以包括 III-V 族化合物半导体的另一 (即, 不同的) 示例。

[0159] 更详细地, 基底 10 和鳍 11 可以包括 Ge, 第 12 有源层 82 可以包括 InGaAs, 第 13 有源层 83 可以包括 InP, 但是本发明构思的方面不限于此。

[0160] 在本发明构思的一些实施方式中, 第 13 有源层 83 可以包括与第 11 有源层 81 相同的半导体。详细地, 第 13 有源层 83 和第 11 有源层 81 可以包括 InP, 但是本发明构思的方面不限于此。

[0161] 第 11 至第 13 有源层 81 至 83 可以顺序层叠并且可以形成量子阱结构。

[0162] 接着, 参考图 12, 形成覆盖第 11 至第 13 有源层 81 至 83 的第一隔离层 20。第一隔离层 20 可以形成为完全覆盖第 11 至第 13 有源层 81 至 83, 如图所示。

[0163] 第一隔离层 20 可以包括绝缘层。详细地,第一隔离层 20 可以包括氧化物层、氮化物层和氮氧化物层中的至少一种,但是本发明构思的方面不限于此。

[0164] 接着,参考图 13,第一隔离层 20 以及第 11 至第 13 有源层 81 至 83 的覆盖鳍 11 的顶表面的部分被去除。

[0165] 在本发明构思的一些实施方式中,第一隔离层 20 以及第 11 至第 13 有源层 81 至 83 的覆盖鳍 11 的顶表面的部分可以通过例如化学机械抛光 (CMP) 被去除。

[0166] 由于如图所示地去除了第一隔离层 20 以及第 11 至第 13 有源层 81 至 83 的覆盖鳍 11 的顶表面的部分,因此可以形成彼此分离的第一有源鳍 54 和第二有源鳍 59。

[0167] 如图所示,第一有源鳍 54 和第二有源鳍 59 的底部分可以沿着基底 10 的顶表面延伸。

[0168] 第一有源鳍 54 可以包括顺序层叠的第一至第三有源鳍层 51、52 和 53,第二有源鳍 59 可以包括顺序层叠的第四至第六有源鳍层 56、57 和 58。

[0169] 由于如图所示地去除了第一隔离层 20 以及第 11 至第 13 有源层 81 至 83 的覆盖鳍 11 的顶表面的部分,因此鳍 11 的顶表面可以被暴露。

[0170] 接着,参考图 14,第一隔离层 20 的一部分(例如,又一部分)被去除,由此暴露第一和第二有源鳍 54 和 59 的外表面/侧壁。

[0171] 这里,如图所示,第一和第二有源鳍 54 和 59 的顶部分的外表面/侧壁可以通过第一隔离层 20 而被暴露。

[0172] 接着,参考图 15,在第一有源鳍 54 和第二有源鳍 59 之间形成并且具有暴露的顶表面的鳍 11 被首先蚀刻(例如,第一次被蚀刻并且比任何相邻层多地蚀刻)。

[0173] 这里,被首先蚀刻的鳍 11 的顶表面可以位于与第一隔离层 20 的顶表面相同的高度处。

[0174] 接着,参考图 16,在第一有源鳍 54 和第二有源鳍 59 之间形成并且具有暴露的顶表面的鳍 11 被二次蚀刻(即,再次被蚀刻/第二次被蚀刻)。

[0175] 这里,被二次蚀刻的鳍 11 的顶表面可以定位得低于第一隔离层 20 的顶表面。也就是说,鳍 11 的如从基底 10 的顶表面测量的高度可以比第一隔离层 20 的如从基底 10 的顶表面测量的高度短。

[0176] 在本发明构思的一些实施方式中,鳍 11 可以被完全去除。也就是说,在必要时,鳍 11 可以被完全去除以暴露基底 10 的顶表面。

[0177] 接着,参考图 17,第二隔离层 30 形成在基底 10 上。

[0178] 第二隔离层 30 可以完全覆盖第一和第二有源鳍 54 和 59 以及第一隔离层 20。

[0179] 在本发明构思的一些实施方式中,第二隔离层 30 可以包括与第一隔离层 20 不同的绝缘层。例如,当第一隔离层 20 包括氧化物层时,第二隔离层 30 可以包括氮化物层或氮氧化物层,但是本发明构思的方面不限于此。第一和第二隔离层 20 和 30 可以以不同/各种方式改变。

[0180] 接着,参考图 18,第二隔离层 30 的一部分被去除,由此暴露第一和第二有源鳍 54 和 59 的顶部分。在去除第二隔离层 30 期间,第一隔离层 20 可以用作蚀刻停止层。

[0181] 在完成去除之后,第二隔离层 30 的顶表面的高度可以与第一隔离层 20 的顶表面的高度实质上相同,如图所示。此外,如图所示,第二隔离层 30 的顶表面可以低于第一和第

二有源鳍 54 和 59 的顶表面。

[0182] 第二隔离层 30 可以使第一有源鳍 54 和第二有源鳍 59 彼此绝缘。

[0183] 接着,参考图 19,栅极绝缘层 40 形成在第一和第二隔离层 20 和 30 以及第一和第二有源鳍 54 和 59 上。

[0184] 栅极绝缘层 40 可以共形地覆盖第一和第二有源鳍 54 和 59。详细地,栅极绝缘层 40 可以覆盖第一有源鳍 54 的一个侧表面、顶表面和另一侧表面并且可以覆盖第二有源鳍 59 的一个侧表面、顶表面和另一侧表面。

[0185] 此后,栅极电极(例如,图 1 的栅极电极 60)形成在栅极绝缘层 40 上。然后,栅极电极(例如,图 1 的栅极电极 60)被图案化,间隔物(例如,图 1 的间隔物 80)和半导体图案(例如,图 1 的半导体图案 70)形成在栅极电极(例如,图 1 的栅极电极 60)的相对两侧,由此制造图 1 至图 3 中显示的半导体器件 1。

[0186] 在根据图 10-19 的一些实施方式中,为了提高半导体器件的性能,使用具有量子阱结构的第一和第二有源鳍 54 和 59,并且彼此分离的第一有源鳍 54 和第二有源鳍 59 以相对简化的方式形成。因此,当第一有源鳍 54 和第二有源鳍 59 形成为彼此分离时,半导体器件在尺寸上减小,使得第一和第二有源鳍 54 和 59 能够即使以非常小的间距也可靠地形成。

[0187] 图 20 至图 26 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。以下描述将集中于图 20-26 与图 10-19 之间的差异上。

[0188] 首先参考图 20,鳍 11 通过蚀刻基底 10 而形成,在基底 10 和鳍 11 上共形地形成第 11 至第 13 有源层 81 至 83。

[0189] 接着,参考图 21,基底 10 的顶表面可以被暴露/蚀刻,形成在鳍 11 的顶表面上的第 11 至第 13 有源层 81 至 83 被蚀刻。

[0190] 因此,如图所示,可以形成通过鳍 11 彼此分离的第一有源鳍 54a 和第二有源鳍 59a。

[0191] 第一有源鳍 54a 可包括顺序层叠的第一至第三有源鳍层 51a、52a 和 53a,第二有源鳍 59a 可包括顺序层叠的第四至第六有源鳍层 56a、57a 和 58a。

[0192] 接着,参考图 22,在第一有源鳍 54a 和第二有源鳍 59a 之间形成的鳍 11 通过例如回蚀工艺被去除。

[0193] 因此,基底 10 的顶表面可以在第一有源鳍 54a 和第二有源鳍 59a 之间暴露。

[0194] 接着,参考图 23,具有暴露的顶表面的基底 10 被蚀刻。

[0195] 由于蚀刻,因此基底 10 的高度减小并且可以形成从基底 10 的顶面向上突起的第一鳍 12 和第二鳍 14。

[0196] 如图所示,第一鳍 12 可以形成在第一有源鳍 54a 的底部分以与第一有源鳍 54a 对准。此外,如图所示,第二鳍 14 可以形成在第二有源鳍 59a 的底部分以与第二有源鳍 59a 对准。

[0197] 在本发明构思的一些实施方式中,第一和第二有源鳍 54a 和 59a 以及第一和第二鳍 12 和 14 可以包括不同的半导体。详细地,例如,第一和第二有源鳍 54a 和 59a 可以包括 III-V 族化合物半导体,第一和第二鳍 12 和 14 的每个可以包括 IV 族半导体,但是本发明构思的方面不限于此。

[0198] 接着,参考图 24,隔离层 22 形成在基底 10 上。

[0199] 如图所示,隔离层 22 可以形成为覆盖第一和第二有源鳍 54a 和 59a 的顶表面同时填充第一和第二有源鳍 54a 和 59a 之间的部分 / 空间。

[0200] 接着,参考图 25,隔离层 22 的顶部分被部分地去除。

[0201] 因此,第一和第二有源鳍 54a 和 59a 的顶部分可以被暴露。这里,隔离层 22 的顶表面可以高于第一和第二有源鳍 54a 和 59a 的底表面。也就是说,隔离层 22 的顶表面可以高于第一和第二鳍 12 和 14 的顶表面。

[0202] 然而,本发明构思没有将隔离层 22 的形状限制于此处示出的形状。而是,隔离层 22 的形状可以以各种方式变化。

[0203] 接着,参考图 26,栅极绝缘层 40 形成在隔离层 22 以及第一和第二有源鳍 54a 和 59a 上。

[0204] 栅极绝缘层 40 可以共形地覆盖第一和第二有源鳍 54a 和 59a。详细地,栅极绝缘层 40 可以覆盖第一有源鳍 54a 的一个侧表面、顶表面和另一侧表面并且可以覆盖第二有源鳍 59a 的一个侧表面、顶表面和另一侧表面。

[0205] 此后,栅极电极 (例如,图 4 的栅极电极 60) 形成在栅极绝缘层 40 上,然后进行在此关于半导体图案 70 和间隔物 80 的先前描述的工艺,由此制造图 4 中显示的半导体器件 2。

[0206] 图 27 至图 36 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。以下描述将集中于图 27-36 与图 10-26 之间的差异上。

[0207] 首先,参考图 27,鳍 11 通过蚀刻基底 10 而形成,第一隔离层 24 形成在基底 10 上。

[0208] 接着,参考图 28,第一隔离层 24 的顶部分被部分地去除 / 蚀刻以暴露鳍 11 的侧表面。

[0209] 由于第一隔离层 24 的蚀刻,因此鳍 11 的顶部分的外表面可以被暴露。

[0210] 接着,参考图 29,第 11 至第 13 有源层 81 至 83 共形地形成在暴露的鳍 11 的一个侧表面、顶表面和另一侧表面上。

[0211] 在本发明构思的一些实施方式中,第 11 至第 13 有源层 81 至 83 可以通过例如外延生长工艺形成。在此情形下,第 11 至第 13 有源层 81 至 83 可以不形成在第一隔离层 24 上。

[0212] 接着,参考图 30,形成覆盖第 11 至第 13 有源层 81 至 83 的第三隔离层 25。

[0213] 第三隔离层 25 可以形成为覆盖第 13 有源层 83 的整个表面和第一隔离层 24 的顶表面,如图所示。

[0214] 在本发明构思的一些实施方式中,第三隔离层 25 可以包括与第一隔离层 24 不同的绝缘层,但是本发明构思的方面不限于此。

[0215] 接着,参考图 31,去除第三隔离层 25 和第 11 至第 13 有源层 81 至 83 的形成在鳍 11 上的部分。

[0216] 因此,第一有源鳍 54a 和第二有源鳍 59a 可以分别形成在鳍 11 的相对两侧。

[0217] 第一有源鳍 54a 可包括顺序层叠的第一至第三有源鳍层 51a、52a 和 53a,第二有源鳍 59a 可包括顺序层叠的第四至第六有源鳍层 56a、57a 和 58a。

[0218] 接着,参考图 32,去除形成在第一隔离层 24 上的第三隔离层 (例如,图 31 的第三隔离层 25)。

[0219] 该去除可以利用例如第一隔离层 24 和第三隔离层（例如，图 31 的第三隔离层 25）之间的蚀刻选择性来进行。

[0220] 接着，参考图 33，在第一有源鳍 54a 和第二有源鳍 59a 之间形成的鳍 11 的至少一部分通过例如回蚀工艺被去除。

[0221] 如图所示，暴露的鳍 11 的顶表面可以低于第一隔离层 24 的顶表面。也就是说，鳍 11 的如从基底 10 的顶表面测量的高度可以小于第一隔离层 24 的如从基底 10 的顶表面测量的高度。

[0222] 在本发明构思的一些实施方式中，鳍 11 可以被完全去除。也就是说，在必要时，鳍 11 可以被完全去除以暴露基底 10 的顶表面。

[0223] 接着，参考图 34，第二隔离层 26 形成在基底 10 上。

[0224] 第二隔离层 26 可以完全覆盖第一和第二有源鳍 54a 和 59a 以及第一隔离层 24。

[0225] 在本发明构思的一些实施方式中，第二隔离层 26 可以包括与第一隔离层 24 不同的绝缘层。例如，当第一隔离层 24 包括氧化物层时，第二隔离层 26 可以包括氮化物层或氮氧化物层，但是本发明构思的方面不限于此。第一和第二隔离层 24 和 26 可以以不同 / 各种方式改变。

[0226] 接着，参考图 35，第二隔离层 26 的一部分被去除，由此暴露第一和第二有源鳍 54a 和 59a 的顶部分。

[0227] 如图所示，第一有源鳍 54a 的一个侧表面、顶表面和另一侧表面以及第二有源鳍 59a 的一个侧表面、顶表面和另一侧表面可以被暴露。第二隔离层 26 的剩余顶表面可以实质上与第一和第二有源鳍 54a 和 59a 的底表面以及第一隔离层 24 的顶表面共面地定位。

[0228] 然而，本发明构思没有将第二隔离层 26 的高度限制于此处示出的高度。而是，第二隔离层 26 的高度可以以各种方式变化。

[0229] 第二隔离层 26 可以使第一有源鳍 54a 和第二有源鳍 59a 彼此绝缘。

[0230] 在去除第二隔离层 26 期间，第一隔离层 24 可以用作蚀刻停止层。

[0231] 接着，参考图 36，栅极绝缘层 40 形成在第一和第二隔离层 24 和 26 以及第一和第二有源鳍 54a 和 59a 上。

[0232] 栅极绝缘层 40 可以共形地覆盖第一和第二有源鳍 54a 和 59a。详细地，栅极绝缘层 40 可以覆盖第一有源鳍 54a 的一个侧表面、顶表面和另一侧表面并且可以覆盖第二有源鳍 59a 的一个侧表面、顶表面和另一侧表面。

[0233] 此后，栅极电极（例如，图 5 的栅极电极 60）形成在栅极绝缘层 40 上，然后进行在此关于半导体图案 70 和间隔物 80 的先前描述的工艺，由此制造图 5 中显示的半导体器件 3。

[0234] 图 37 至图 44 是示出根据本发明构思的一些实施方式的用于制造半导体器件的方法的图示。以下描述将集中于图 37-44 与图 10-36 之间的差异上。

[0235] 首先，参考图 37，鳍 16 通过蚀刻基底 10 而形成。接着，牺牲层图案 90 形成在基底 10 上。

[0236] 在本发明构思的一些实施方式中，牺牲层图案 90 可以包括例如光致抗蚀剂图案，但是本发明构思的方面不限于此。

[0237] 如图所示，牺牲层图案 90 可以与鳍 16 间隔开预定距离。

[0238] 接着,参考图 38,第 11 至第 13 有源层 81 至 83 形成在基底 10 上。

[0239] 如图所示,第 11 至第 13 有源层 81 至 83 可以共形地覆盖鳍 16 并且也可以形成在牺牲层图案 90 上。此外,如图所示,第 11 至第 13 有源层 81 至 83 可以从鳍 16 的侧表面延伸到牺牲层图案 90。换言之,第 11 至第 13 有源层 81 至 83 可以填充鳍 16 和牺牲层图案 90 之间的空间。

[0240] 接着,参考图 39,去除牺牲层图案(例如,图 38 的牺牲层图案 90)。

[0241] 因此,在牺牲层图案(例如,图 38 的牺牲层图案 90)上形成的第 11 至第 13 有源层 81 至 83 也可以在此阶段被去除。

[0242] 接着,参考图 40,隔离层 28(例如,如图 6 中所示)形成在基底 10 上。

[0243] 如图所示,隔离层 28 可以形成完全覆盖第 11 至第 13 有源层 81 至 83 以及基底 10 的顶表面。

[0244] 接着,参考图 41,隔离层 28 以及第 11 至第 13 有源层 81 至 83 的形成在鳍 16 上的部分被去除。

[0245] 因此,第一有源鳍 54b 和第二有源鳍 59b 可以分别形成在鳍 16 的相对两侧。

[0246] 如图所示,第一有源鳍 54b 可具有弯折/弯曲的底部分并且第二有源鳍 59b 也可以具有弯折/弯曲的底部分。

[0247] 第一有源鳍 54b 可包括顺序层叠的第一至第三有源鳍层 51b、52b 和 53b,第二有源鳍 59b 可包括顺序层叠的第四至第六有源鳍层 56b、57b 和 58b。

[0248] 接着,参考图 42,隔离层 28 的顶部分被部分地去除以暴露第一和第二有源鳍 54b 和 59b 的顶部分。

[0249] 接着,参考图 43,在第一有源鳍 54b 和第二有源鳍 59b 之间形成的鳍 16 的至少一部分可以通过例如回蚀工艺被去除。

[0250] 如图所示,被蚀刻的鳍 16 的顶表面可以位于与隔离层 28 的顶表面相同的高度。

[0251] 接着,参考图 44,栅极绝缘层 40 形成在隔离层 28 以及第一和第二有源鳍 54b 和 59b 上。

[0252] 栅极绝缘层 40 可以共形地覆盖第一和第二有源鳍 54b 和 59b。详细地,栅极绝缘层 40 可以覆盖第一有源鳍 54b 的一个侧表面、顶表面和另一侧表面并且可以覆盖第二有源鳍 59b 的一个侧表面、顶表面和另一侧表面。

[0253] 此后,栅极电极(例如,图 6 的栅极电极 60)形成在栅极绝缘层 40 上,然后进行在此关于半导体图案 70 和间隔物 80 的先前描述的工艺,由此制造图 6 中显示的半导体器件 4。

[0254] 图 45 是用于说明包括根据本发明构思的一些实施方式的半导体器件的存储器件的电路图,图 46 是图 45 中显示的存储器件的布局图。

[0255] 参考图 45,存储器件可以包括在电源节点 V_{cc} 和接地节点 V_{ss} 之间并联连接的一对反相器 INV1 和 INV2、以及连接到反相器 INV1 和 INV2 的输出节点的第一传输晶体管 PS1 和第二传输晶体管 PS2。

[0256] 第一传输晶体管 PS1 和第二传输晶体管 PS2 可以分别连接到位线 BL 和互补位线 BLb。第一传输晶体管 PS1 和第二传输晶体管 PS2 的栅极可以连接到字线 WL。

[0257] 第一反相器 INV1 包括彼此串联连接的第一上拉晶体管 PU1 和第一下拉晶体管

PD1, 第二反相器 INV2 包括彼此串联连接的第二上拉晶体管 PU2 和第二下拉晶体管 PD2。

[0258] 第一上拉晶体管 PU1 和第二上拉晶体管 PU2 可以是 PMOS 晶体管, 第一下拉晶体管 PD1 和第二下拉晶体管 PD2 可以是 NMOS 晶体管。

[0259] 此外, 为了构成锁存电路, 第一反相器 INV1 的输入节点可以连接到第二反相器 INV2 的输出节点并且第二反相器 INV2 的输入节点可以连接到第一反相器 INV1 的输出节点。

[0260] 参考图 45 和图 46, 互相间隔开的第一有源鳍 210、第二有源鳍 220、第三有源鳍 230 和第四有源鳍 240 可以在一个方向上 (例如, 在上下方向上) 纵向地延伸。第二有源鳍 220 和第三有源鳍 230 可以延伸比第一有源鳍 210 和第四有源鳍 240 小的长度。

[0261] 此外, 第一栅极电极 251、第二栅极电极 252、第三栅极电极 253 和第四栅极电极 254 形成为在另一方向上 (例如, 在左右方向上) 延伸以交叉第一至第四有源鳍 210-240。

[0262] 详细地, 第一栅极电极 251 完全交叉第一有源鳍 210 和第二有源鳍 220 同时部分地交叠第三有源鳍 230 的端子。第三栅极电极 253 完全交叉第四有源鳍 240 和第三有源鳍 230 同时部分地交叠第二有源鳍 220 的端子。第二栅极电极 252 和第四栅极电极 254 形成为分别交叉第一有源鳍 210 和第四有源鳍 240。

[0263] 如图所示, 第一上拉晶体管 PU1 被限定在第一栅极电极 251 和第二有源鳍 220 的交叉点附近, 第一下拉晶体管 PD1 被限定在第一栅极电极 251 和第一有源鳍 210 的交叉点附近, 第一传输晶体管 PS1 被限定在第二栅极电极 252 和第一有源鳍 210 的交叉点附近。

[0264] 第二上拉晶体管 PU2 被限定在第三栅极电极 253 和第三有源鳍 230 的交叉点附近, 第二下拉晶体管 PD2 被限定在第三栅极电极 253 和第四有源鳍 240 的交叉点附近, 第二传输晶体管 PS2 被限定在第四栅极电极 254 和第四有源鳍 240 的交叉点附近。

[0265] 源极 / 漏极可以形成在第一至第四栅极电极 251-254 和第一至第四有源鳍 210、220、230 和 240 的相应交叉点的相对两侧。此外, 可以形成多个接触 250。

[0266] 此外, 第一共用接触 261 可以同时将第二有源鳍 220、第三栅极电极 253 和布线 271 彼此连接。第二共用接触 262 可以同时将第三有源鳍 230、第一栅极电极 251 和布线 272 彼此连接。

[0267] 第一上拉晶体管 PU1、第一下拉晶体管 PD1、第一传输晶体管 PS1、第二上拉晶体管 PU2、第二下拉晶体管 PD2 和第二传输晶体管 PS2 可以全部是鳍型晶体管并且可以包括根据本发明构思的一些实施方式的半导体器件。

[0268] 图 47 是示出包括根据本发明构思的一些实施方式的半导体器件的示例逻辑器件的图示, 图 48 是示出包括根据本发明构思的一些实施方式的半导体器件的示例逻辑器件的图示。

[0269] 首先参考图 47, 半导体器件 13 可以包括逻辑区域 410 和 SRAM 形成区域 420。第 11 晶体管 411 可以设置在逻辑区域 410 中, 第 12 晶体管 421 可以设置在 SRAM 形成区域 420 中。

[0270] 在本发明构思的一些实施方式中, 第 11 晶体管 411 和第 12 晶体管 421 可以包括根据本发明构思的一些实施方式的半导体器件中的至少一个。

[0271] 接着, 参考图 48, 半导体器件 14 可以包括逻辑区域 410, 彼此不同的第 13 和第 14 晶体管 412 和 422 可以形成在逻辑区域 410 中。

[0272] 在本发明构思的一些实施方式中,第 13 和第 14 晶体管 412 和 422 可以彼此不同。第 13 和第 14 晶体管 412 和 422 可以包括根据本发明构思的一些实施方式的半导体器件中的至少一种。

[0273] 在图 47 中,示出了逻辑区域 410 和 SRAM 形成区域 420,但是本发明构思的方面不限于此。例如,本发明构思的一些实施方式也可以被应用于逻辑区域 410 和形成其它类型的存储器(例如,动态随机存取存储器(DRAM)、磁阻随机存取存储器(MRAM)、电阻随机存取存储器(RRAM)、相变随机存取存储器(PRAM)等)的区域。

[0274] 图 49 是包括根据本发明构思的一些实施方式的半导体器件的芯片上系统(SoC)系统的框图。

[0275] 参考图 49, SoC 系统 1000 可以包括应用处理机应用处理器(AP)1001 和 DRAM 1060。

[0276] 应用处理器 1001 可以包括中央处理器(CPU)1010、多媒体系统 1020、多级互连总线 1030、存储系统 1040 和外围 1050。

[0277] 中央处理器 1010 可以执行运行 SoC 系统 1000 需要的操作。在本发明构思的一些实施方式中,中央处理器 1010 可配置在包括多个核的多核环境中。

[0278] 多媒体系统 1020 可以被用于在 SoC 系统 1000 中执行各种多媒体功能。多媒体系统 1020 可以包括 3D 引擎模块、视频编解码器、显示系统、照相机系统和后处理器。

[0279] 多级互连总线 1030 可以被用于执行中央处理器 1010、多媒体系统 1020、存储系统 1040 和外围 1050 之间的数据通信。在本发明构思的一些实施方式中,多级互连总线 1030 可具有多层结构。详细地,多级互连总线 1030 的示例可以包括多层高级高性能总线(AHB)或多层高级可扩展接口(AXI),但是本发明构思的方面不限于此。

[0280] 存储系统 1040 可以通过将 AP 1001 连接到外存储器(例如,DRAM 1060)而提供高速操作所需的环境。在本发明构思的一些实施方式中,存储系统 1040 可以包括用于控制外部存储器(例如,DRAM 1060)的单独的控制器(例如,DRAM 控制器)。

[0281] 外围 1050 可以提供将 SoC 系统 1000 平稳地连接至外部装置(例如,主板)所需的环境。因此,外围 1050 可以包括使连接到 SoC 系统 1000 的外部装置能够被兼容地使用的各种类型的接口。

[0282] DRAM 1060 可以用作运行 AP 1001 需要的工作存储器。在本发明构思的一些实施方式中,如图所示,DRAM 1060 可以设置在 AP 1001 外部。详细地,DRAM 1060 可以以层叠封装(PoP)的形式与 AP 1001 封装。

[0283] SoC 系统 1000 的至少一个组件可以包括根据本发明构思的一些实施方式的半导体器件。

[0284] 图 50 是包括根据本发明构思的一些实施方式的半导体器件的电子系统的框图。

[0285] 参考图 50,电子系统 1100 可以包括控制器 1110、输入/输出器件(I/O)1120、存储器件 1130、接口 1140 以及总线 1150。控制器 1110、I/O 1120、存储器件 1130 和/或接口 1140 可以通过总线 1150 彼此连接。总线 1150 相应于数据通过其移动的路径。

[0286] 控制器 1110 可以包括微处理器、数字信号处理器、微控制器和能够进行与这些元件的功能类似的功能的逻辑元件中的至少一个。I/O 1120 可以包括键区、键盘、显示器等等。存储器 1130 可以存储数据和/或命令。接口 1140 可以执行传输数据到通信网络或从

通信网络接收数据的功能。接口 1140 可以是有线或无线的。例如,接口 1140 可以包括天线或有线 / 无线收发器等等。

[0287] 电子系统 1100 还可以包括高速 DRAM 和 / 或 SRAM 作为用于改善控制器 1110 的操作的工作存储器。这里,图 45 和图 46 中显示的半导体器件可以被用作工作存储器。此外,根据本发明构思的一些实施方式的半导体器件可以被提供在存储器件 1130 中或可以被提供在控制器 1110 或 I/O 1120 的一些组件中。

[0288] 电子系统 1100 可以应用于个人数字助理 (PDA)、便携式计算机、上网平板、无线电话、移动电话、数字音乐播放器、存储卡或能够在无线环境中传输和 / 或接收信息的各种电子装置。

[0289] 图 51 至图 53 示出能够采用根据本发明构思的一些实施方式的半导体器件的示例半导体系统。

[0290] 图 51 示出其中根据本发明构思的一些实施方式的半导体器件被应用于平板计算机 (例如,平板个人计算机 (PC)) 1200 的示例,图 52 示出其中根据本发明构思的一些实施方式的半导体器件被应用于笔记本 / 膝上型计算机 1300 的示例,图 53 示出其中根据本发明构思的一些实施方式的半导体器件被应用于智能电话 1400 的示例。根据本发明构思的一些实施方式的半导体器件中的至少一个能够被应用到平板电脑、笔记本 / 膝上型计算机、智能电话等等。

[0291] 此外,本领域技术人员将理解根据本发明构思的一些实施方式的半导体器件也可以被应用于此处未示出的其它集成电路 (IC) 器件。

[0292] 在上述实施方式中,仅平板计算机 1200、笔记本 / 膝上型计算机 1300 和智能电话 1400 被提供作为根据本发明构思的一些实施方式的半导体器件的示例,本发明构思的方面不限于此。

[0293] 在本发明构思的一些实施方式中,半导体器件可以被实现为计算机、超级移动个人计算机 (UMPC)、工作站、上网本、个人数字助理 (PDA)、便携式计算机、上网平板、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器 (PMP)、便携式游戏机、导航装置、数字照相机、三维 (3D) 电视机、数字录音机、数字音频播放器、数字图像记录仪、数字图像播放器、数字录像机、数字视频播放器或类似物。

[0294] 以上公开的内容将被认为是说明性的而不是限制性的,权利要求书意欲涵盖落入实质精神和范围的所有这样的修改、改进以及其它实施方式。因而,为了法律允许的最大程度,该范围将由权利要求书及其等效物的最宽可允许解释来确定,而不应受到先前的详细描述约束或限制。

[0295] 本申请要求享有 2014 年 1 月 24 日在美国专利与商标局提交的美国临时申请 No. 61/931, 342 以及 2014 年 9 月 5 日在韩国知识产权局提交的韩国专利申请 No. 10-2014-0119307 的优先权,其公开通过引用整体结合于此。

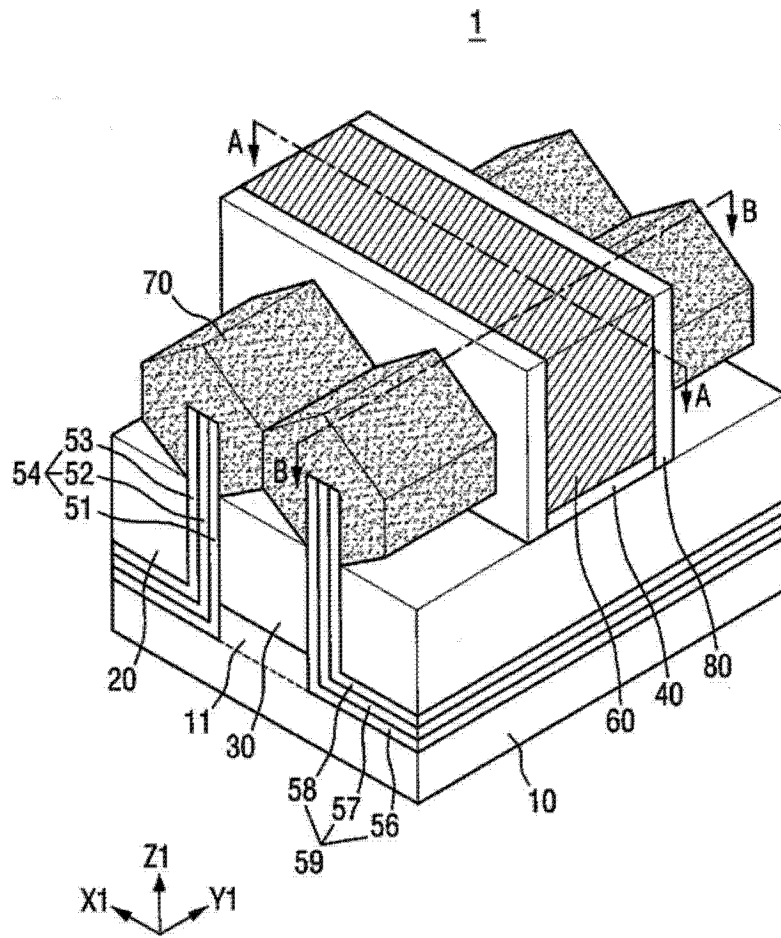


图 1

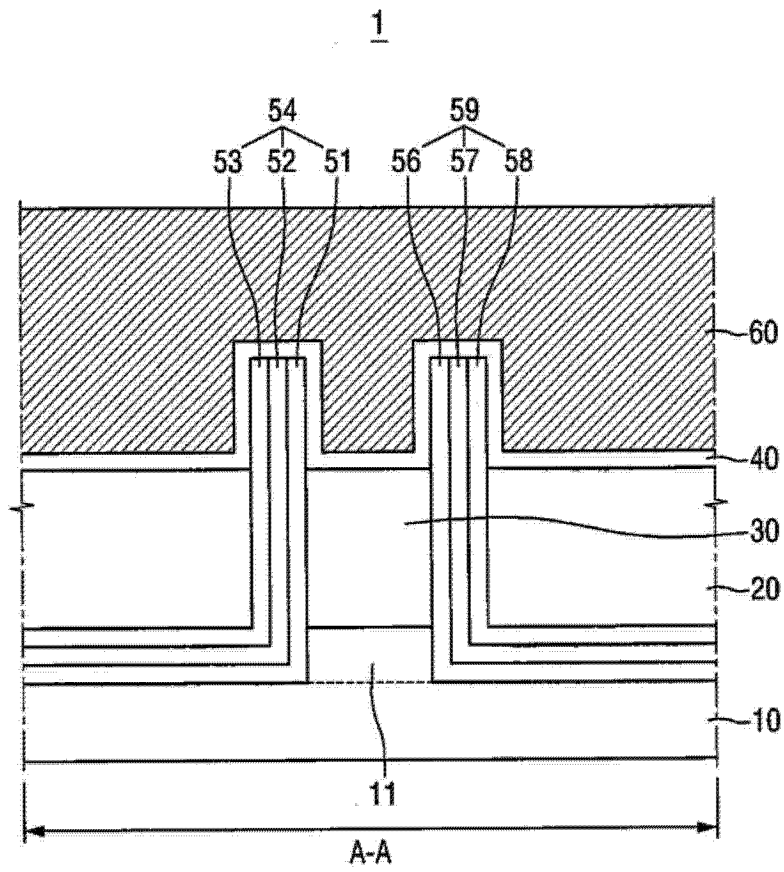


图 2

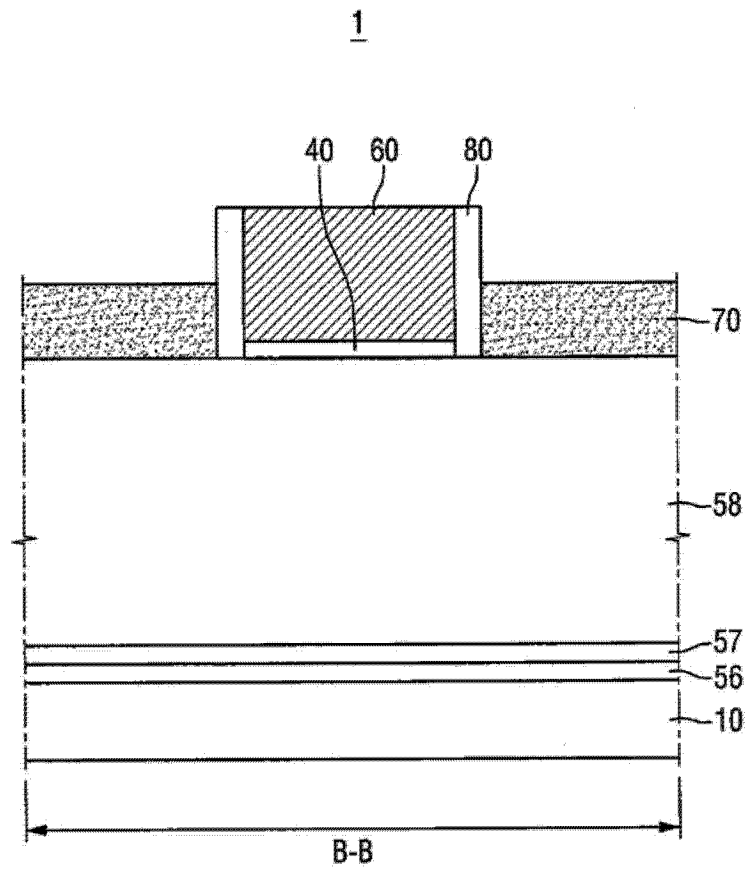


图 3

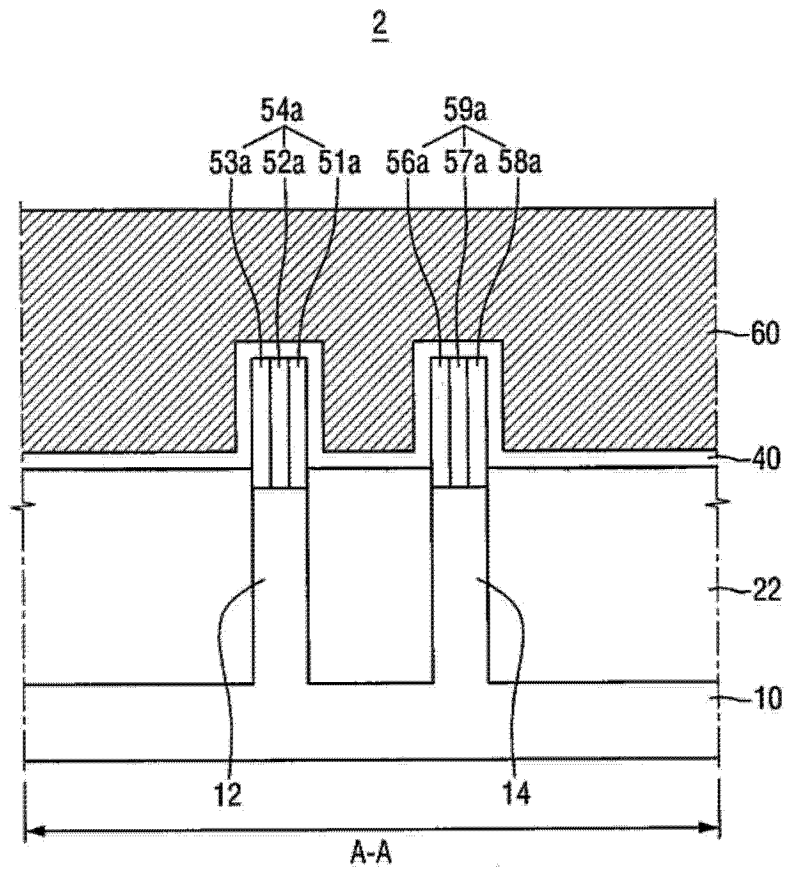


图 4

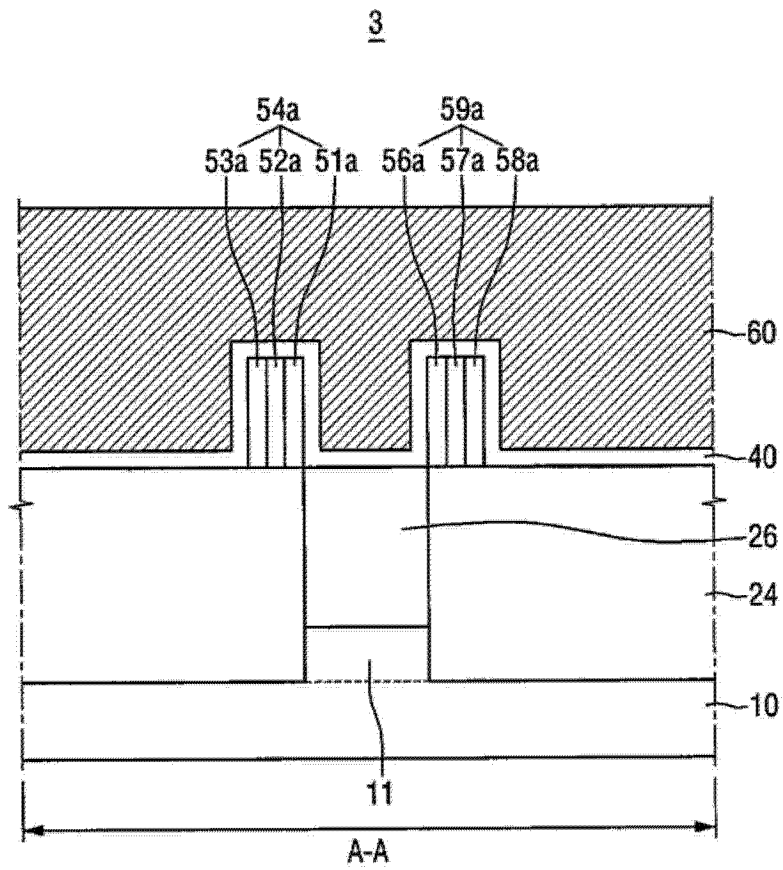


图 5

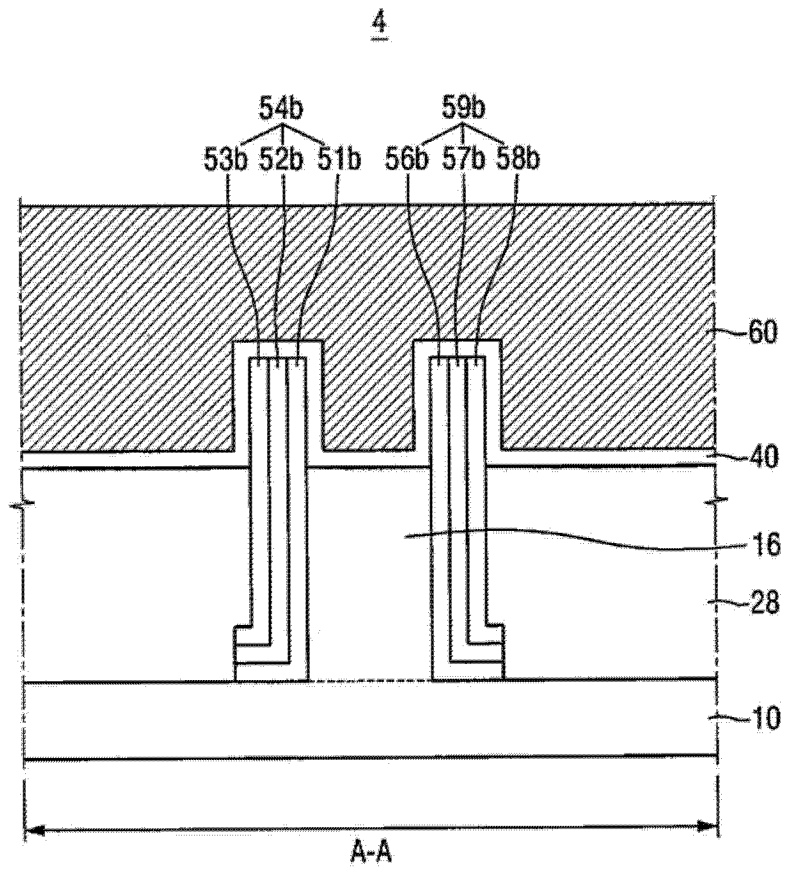


图 6

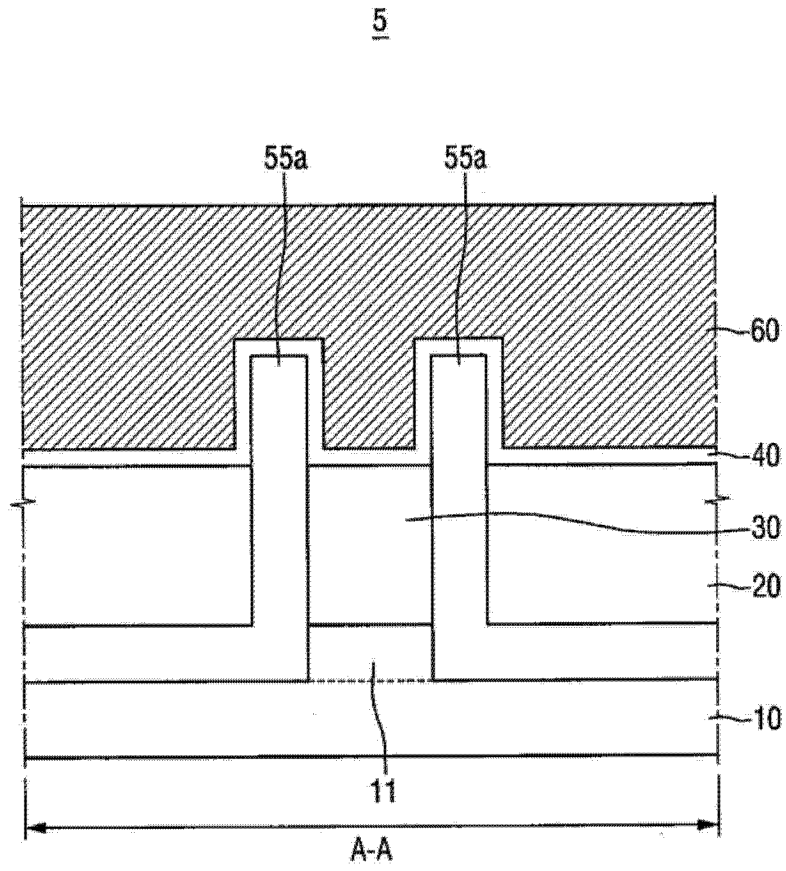


图 7

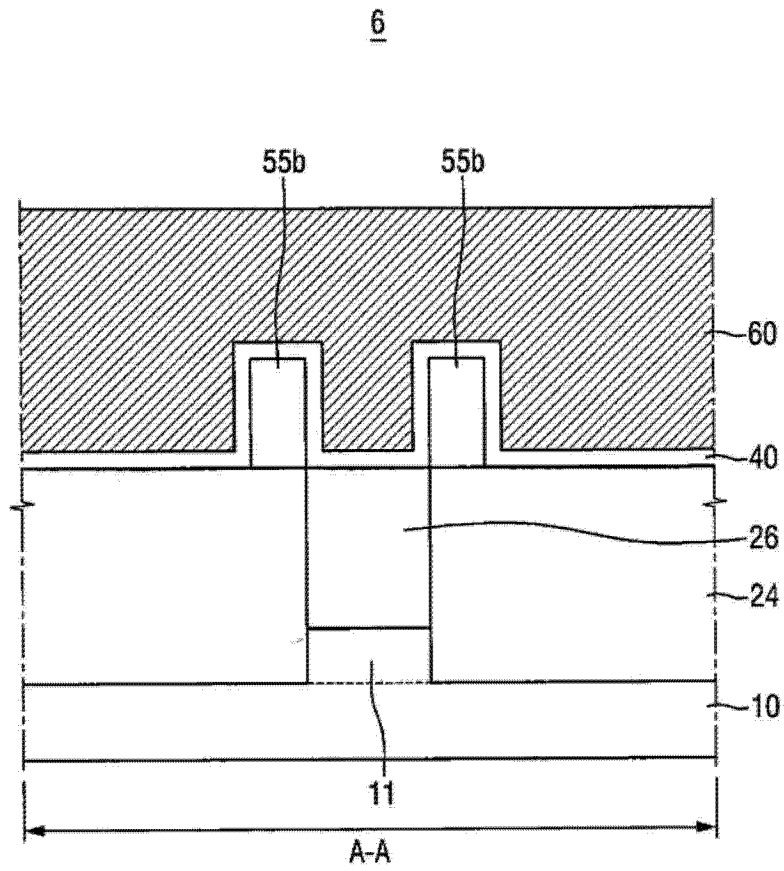


图 8

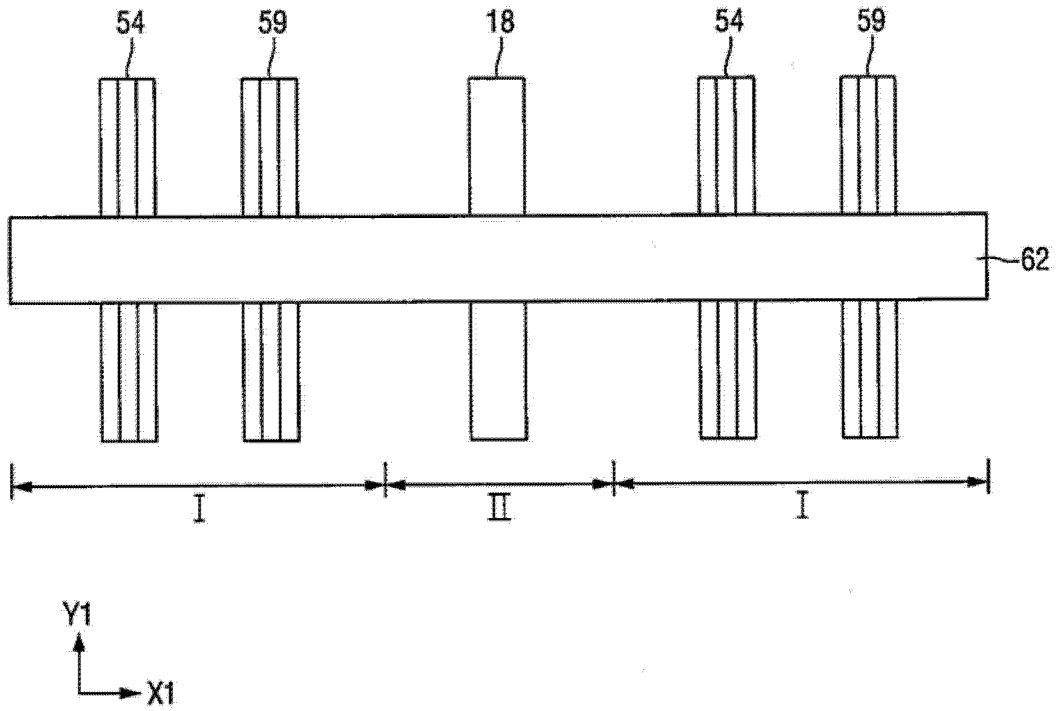


图 9

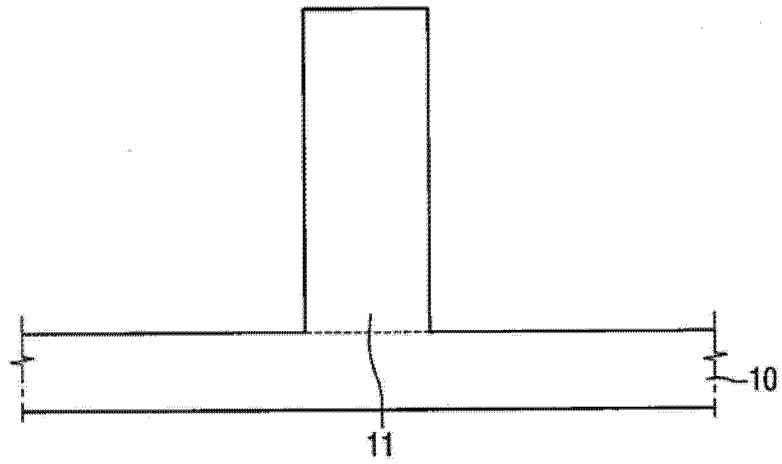


图 10

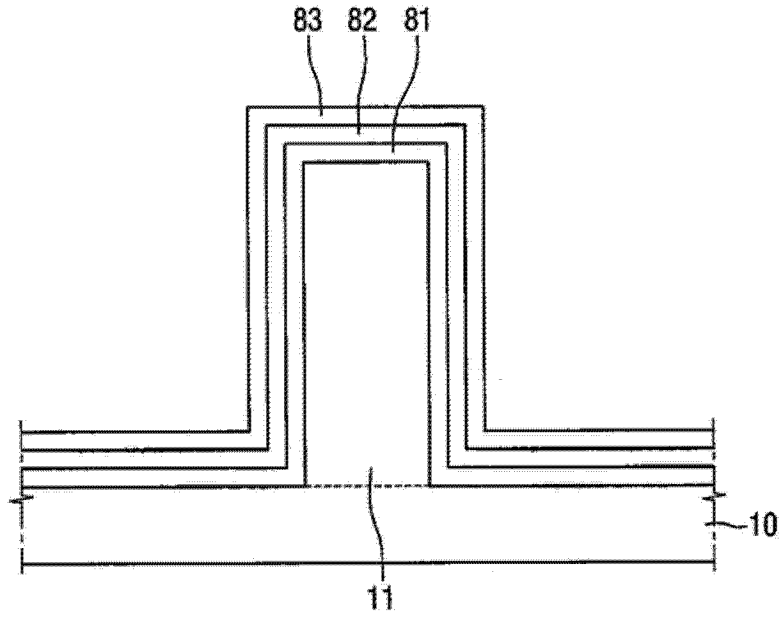


图 11

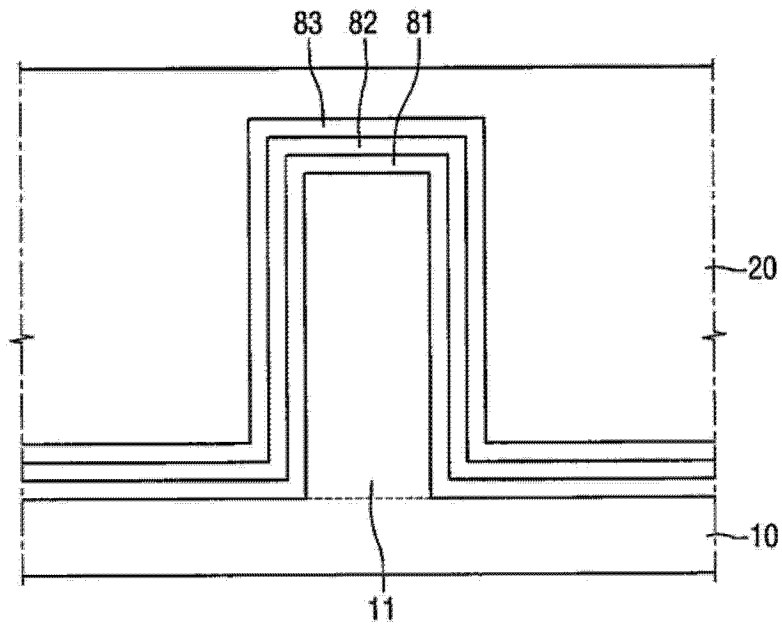


图 12

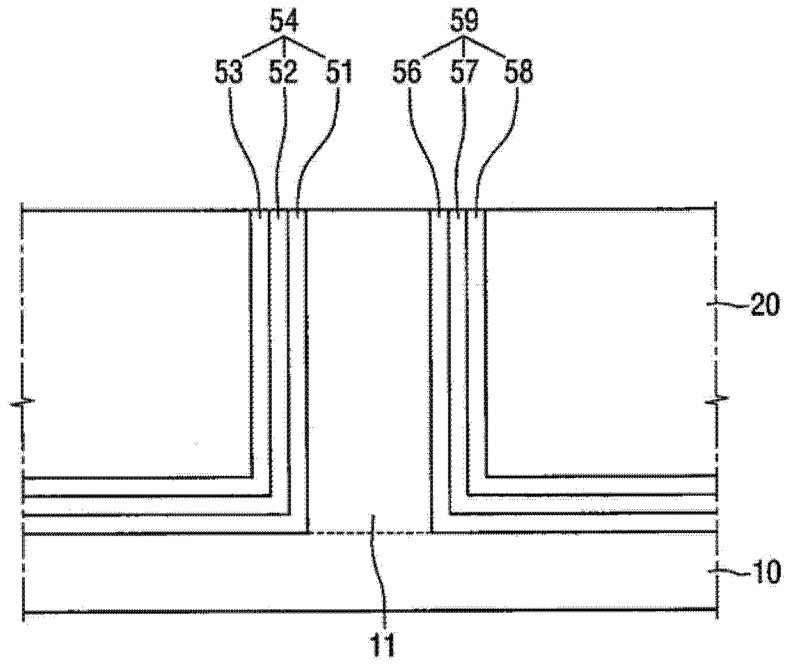


图 13

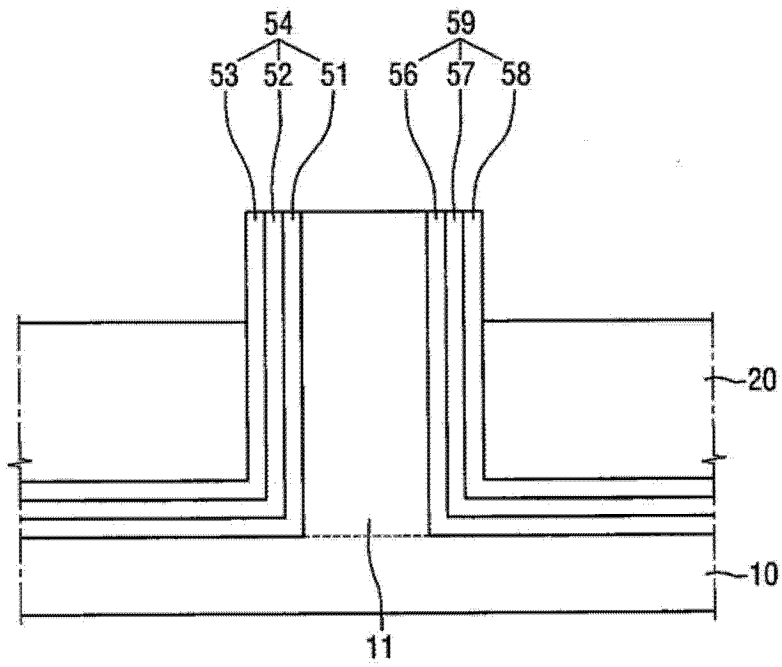


图 14

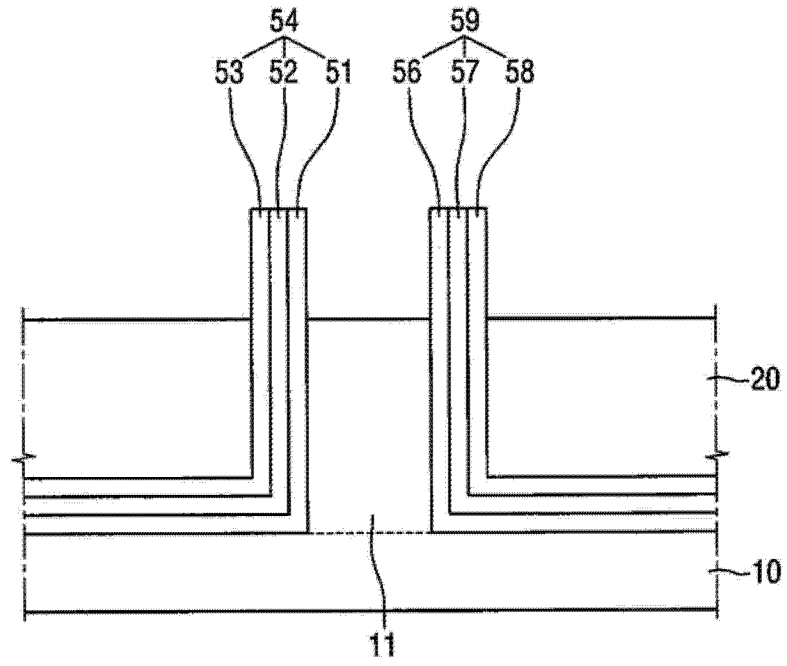


图 15

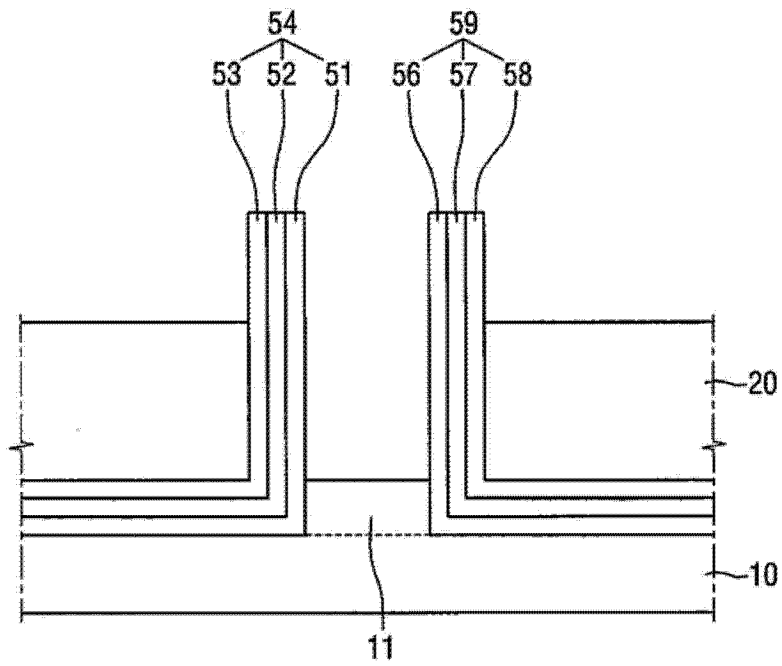


图 16

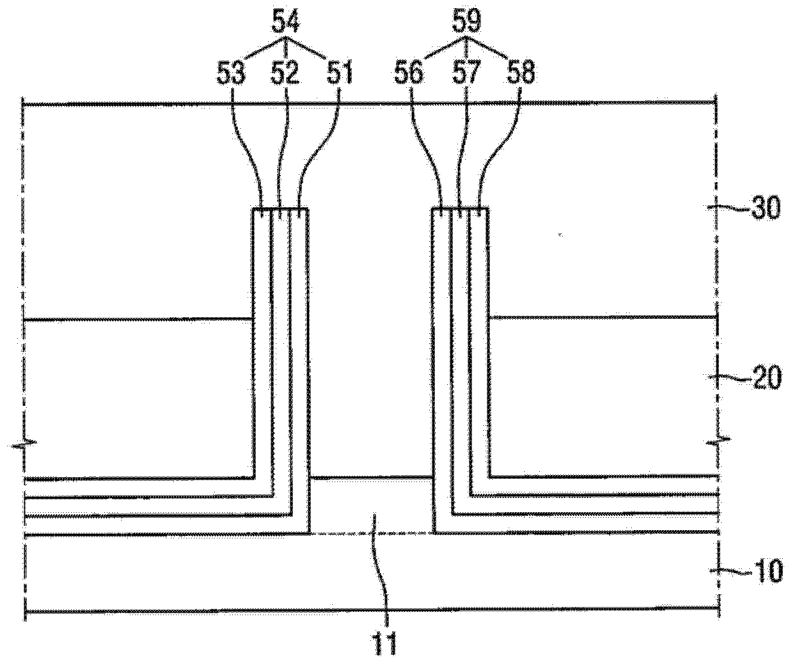


图 17

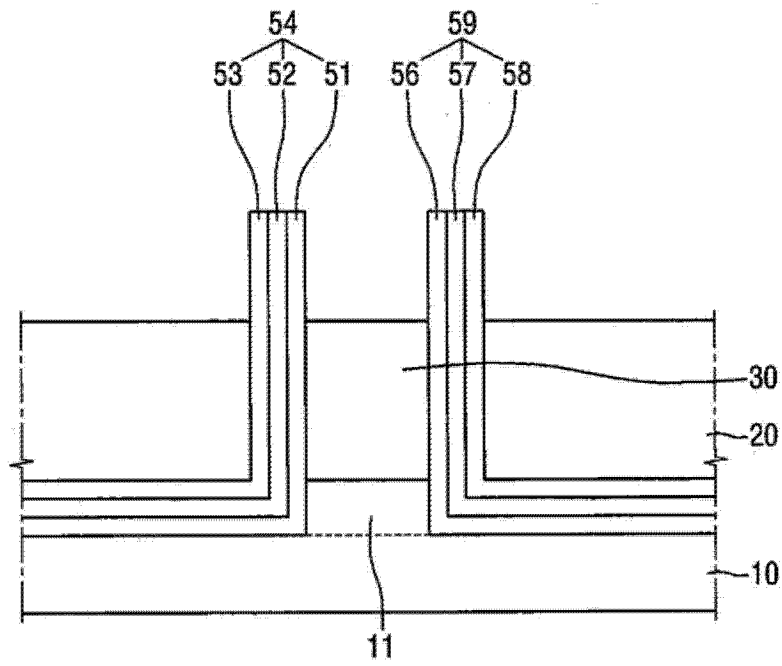


图 18

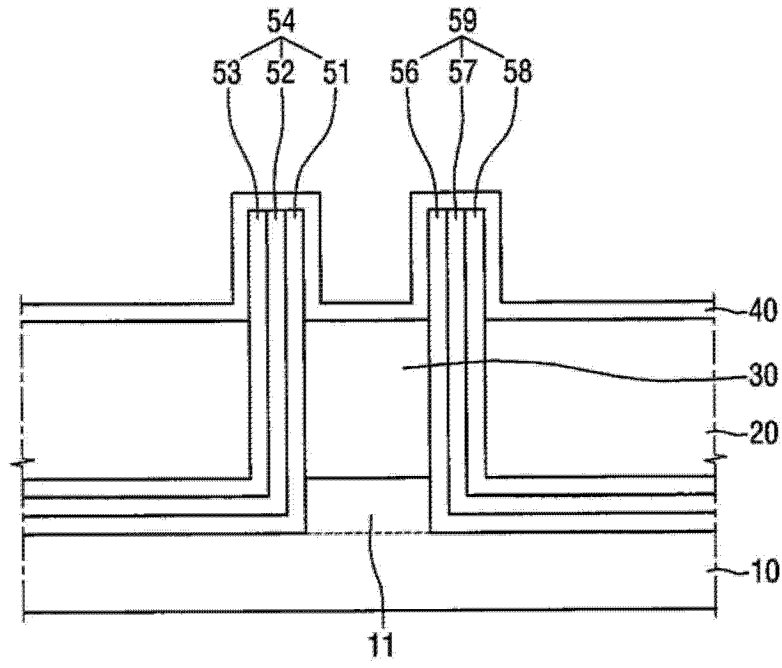


图 19

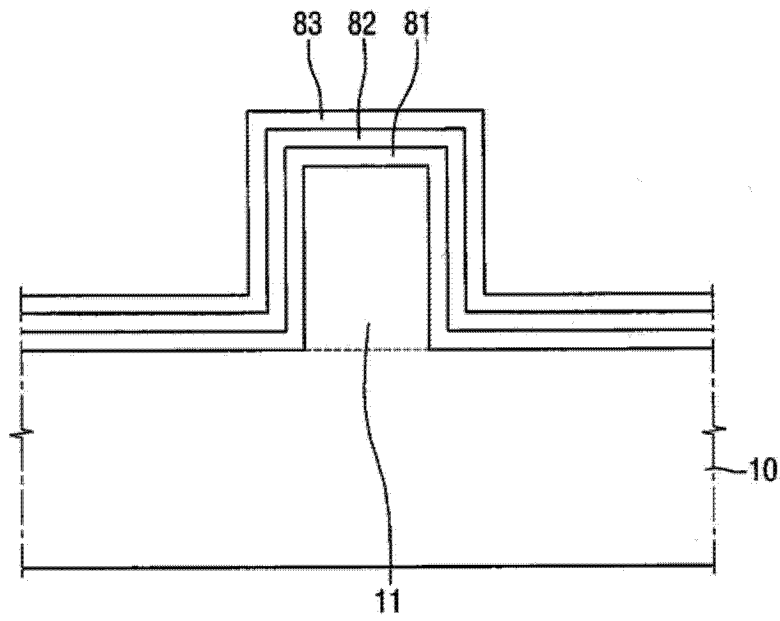


图 20

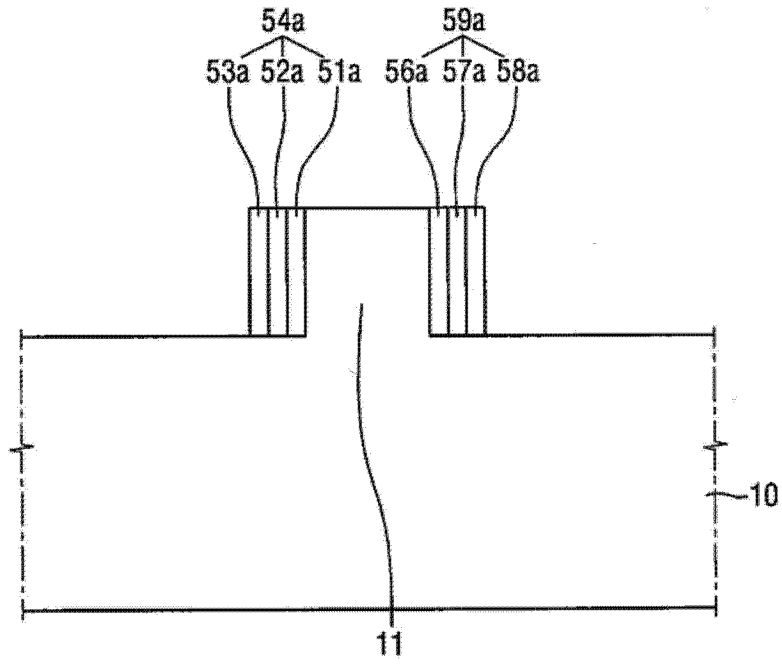


图 21

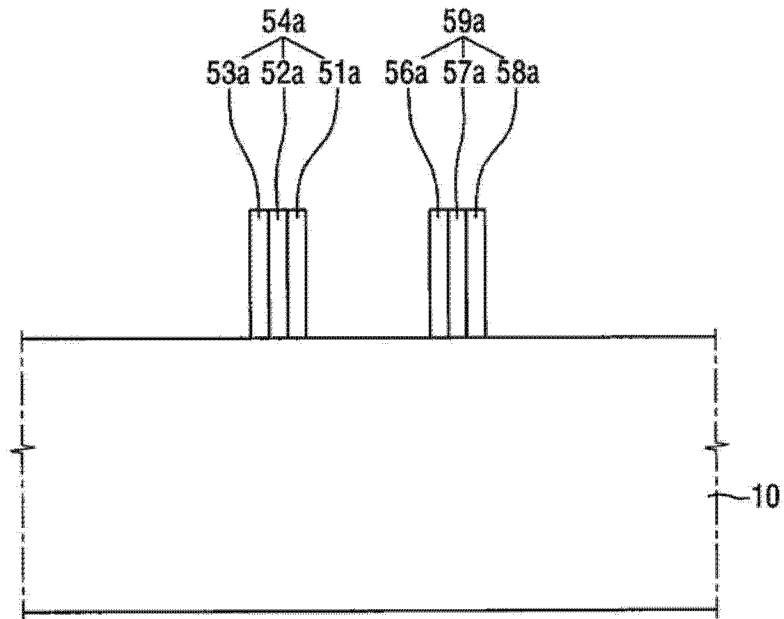


图 22

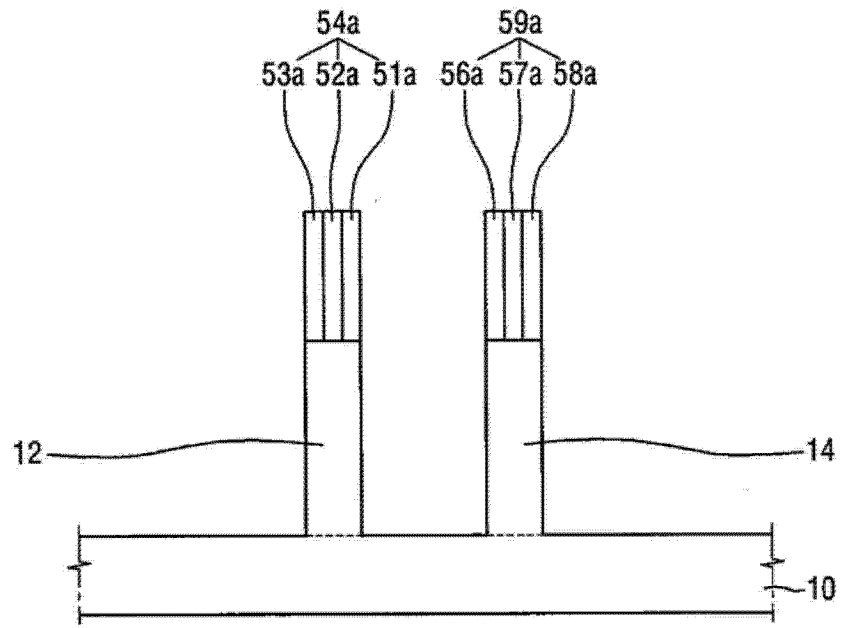


图 23

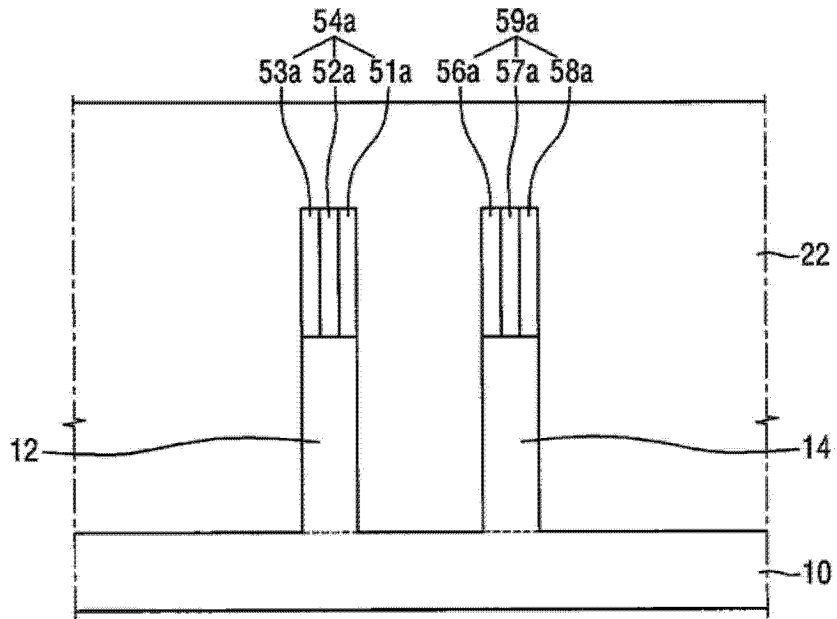


图 24

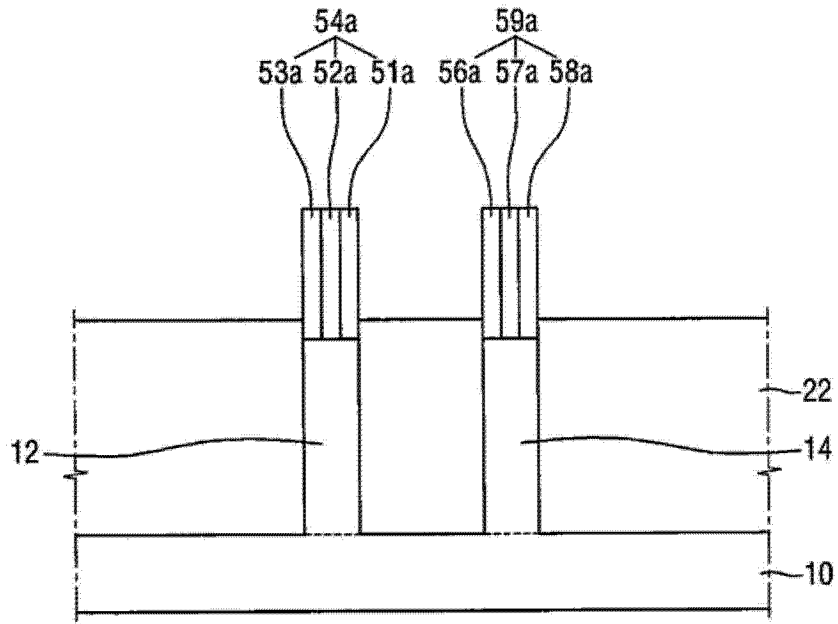


图 25

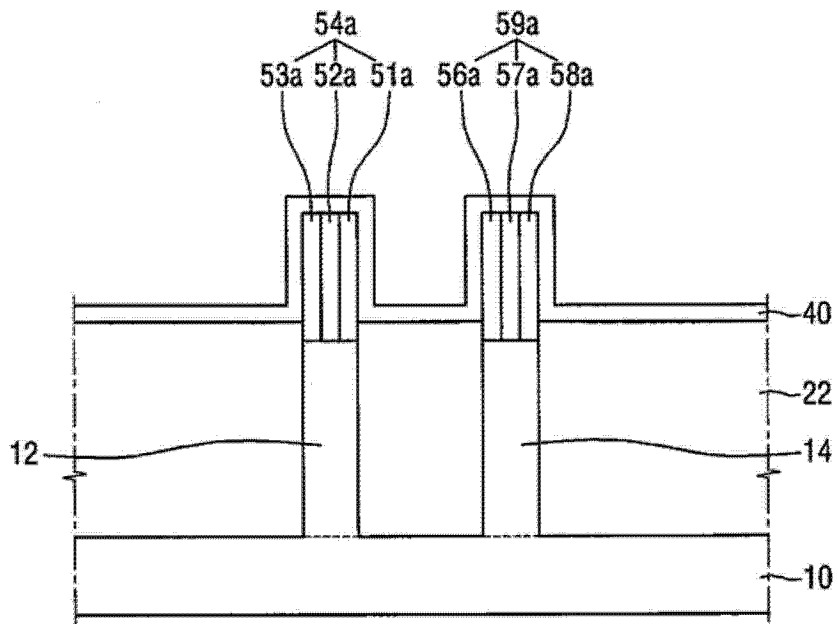


图 26

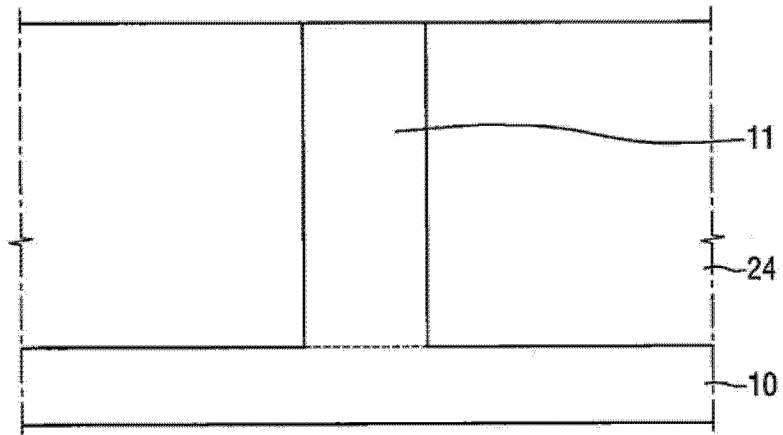


图 27

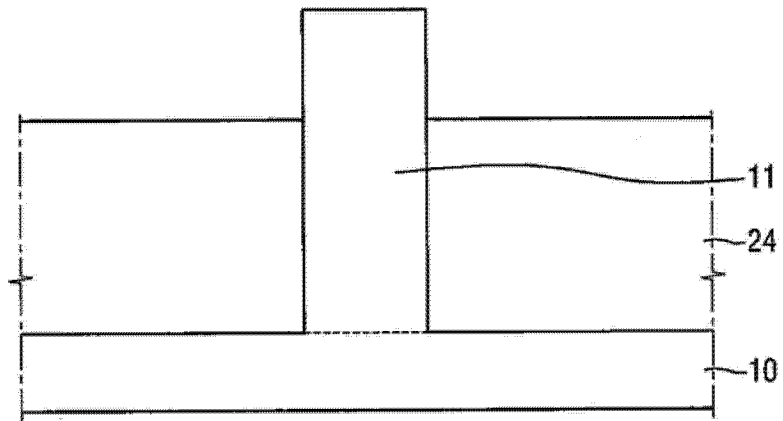


图 28

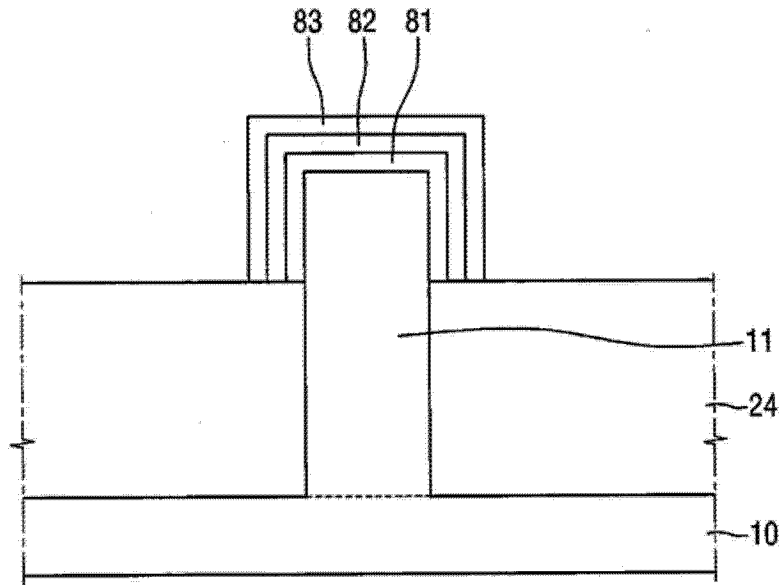


图 29

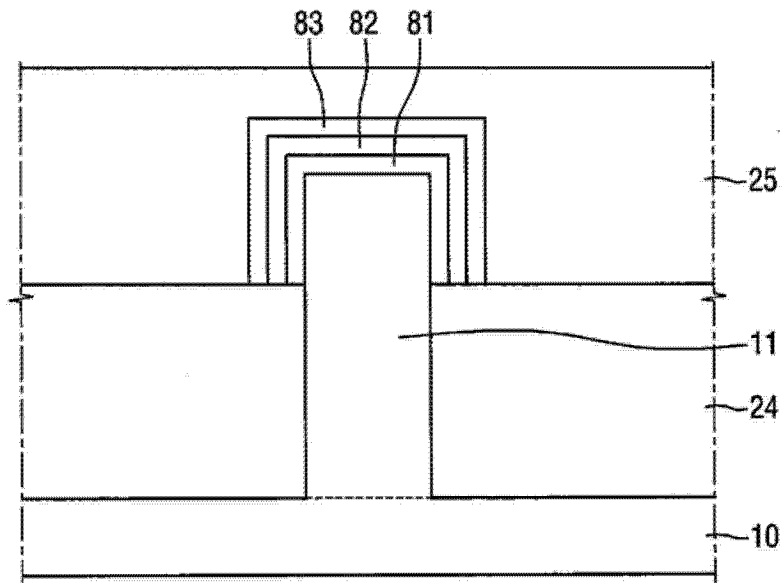


图 30

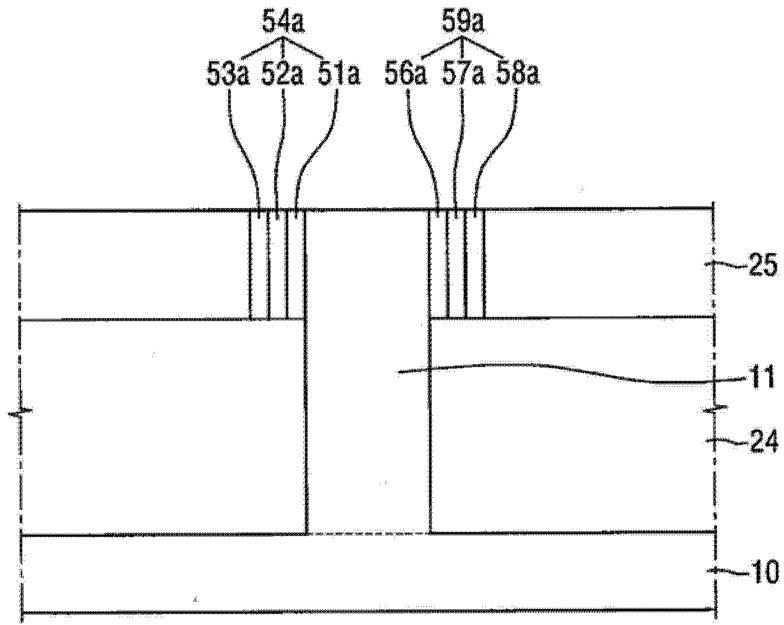


图 31

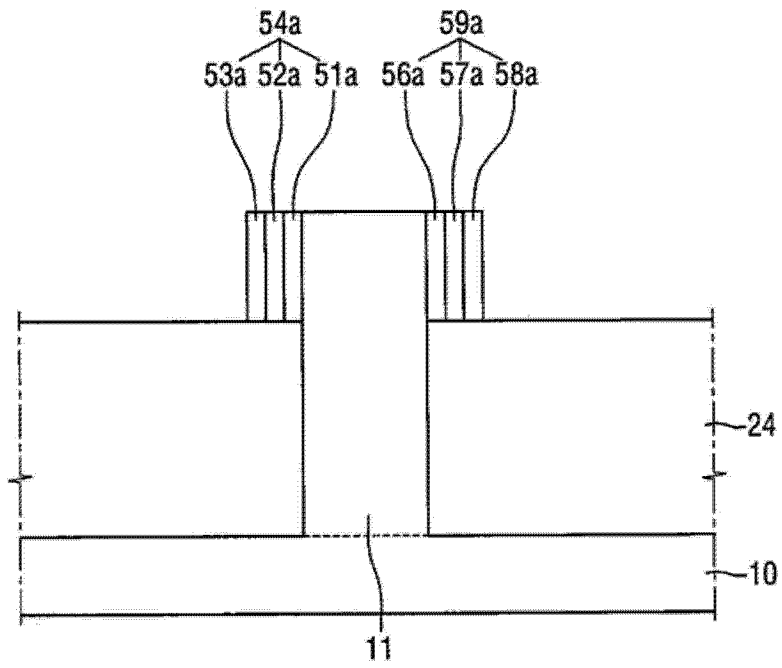


图 32

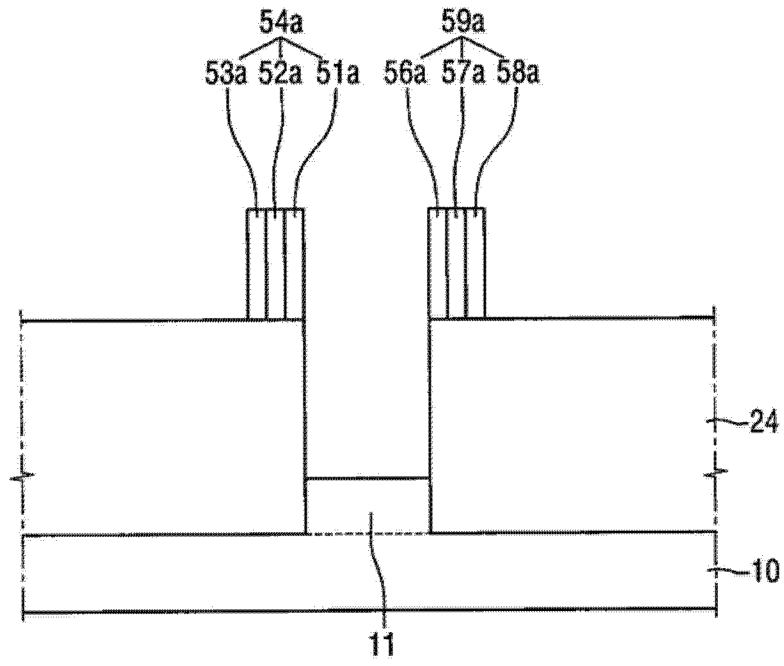


图 33

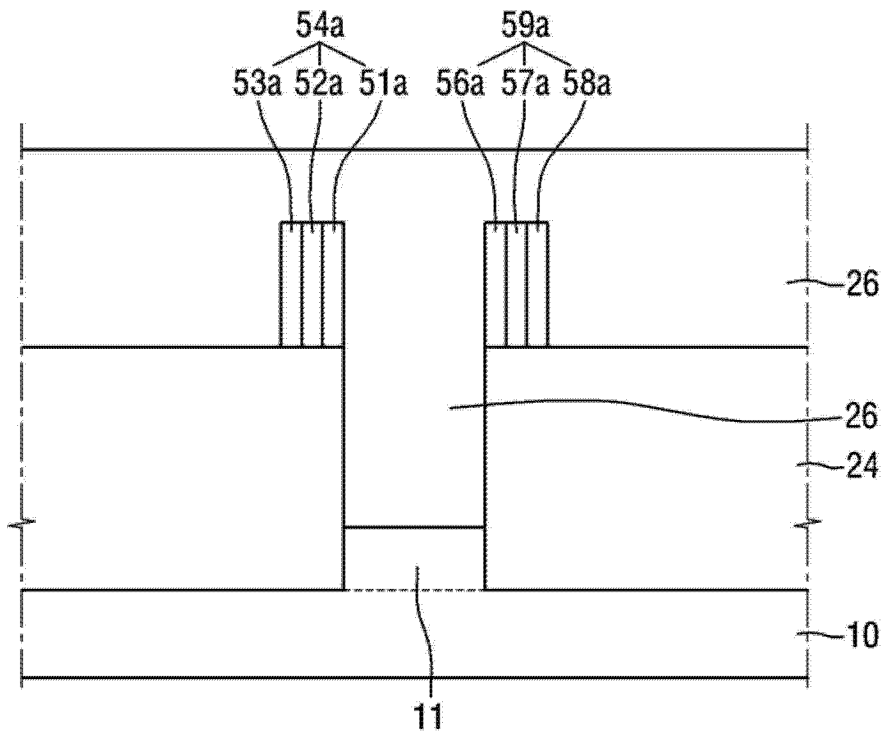


图 34

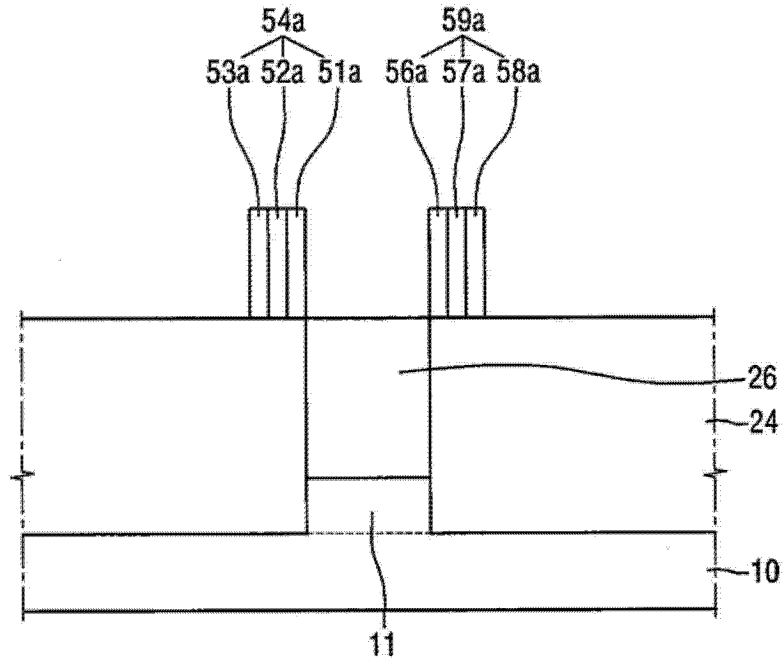


图 35

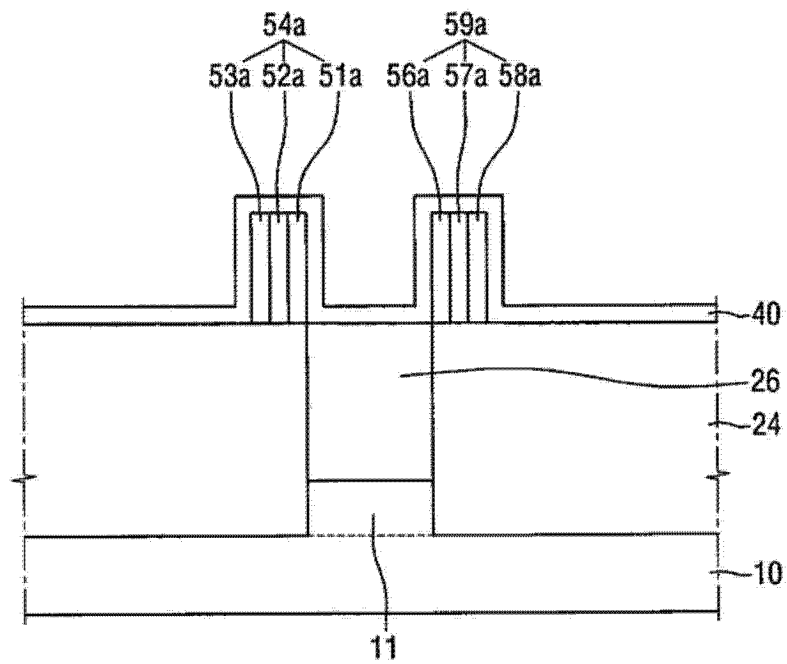


图 36

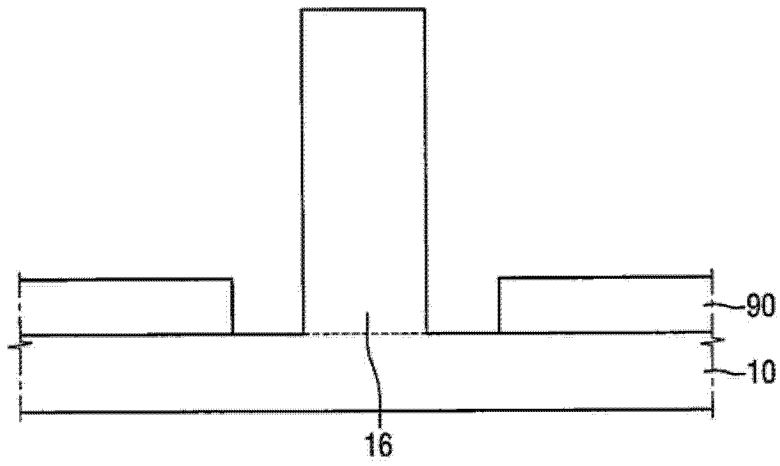


图 37

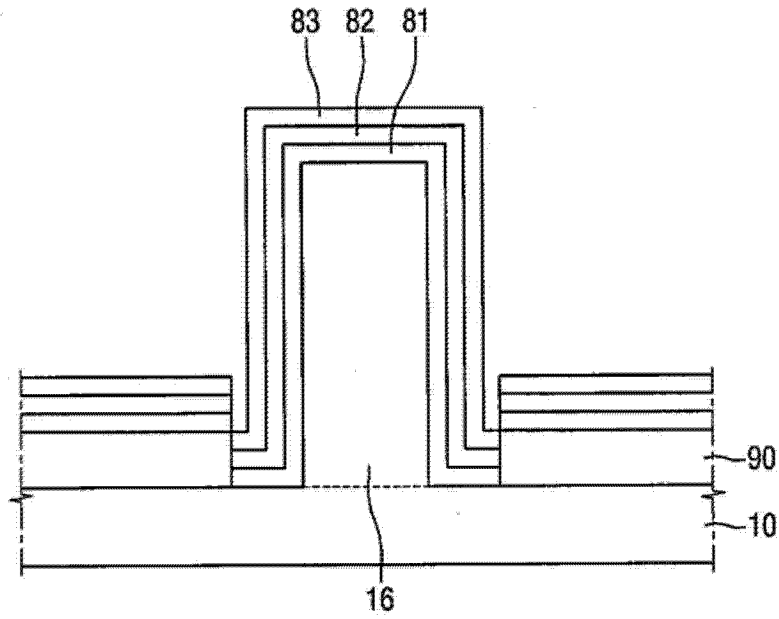


图 38

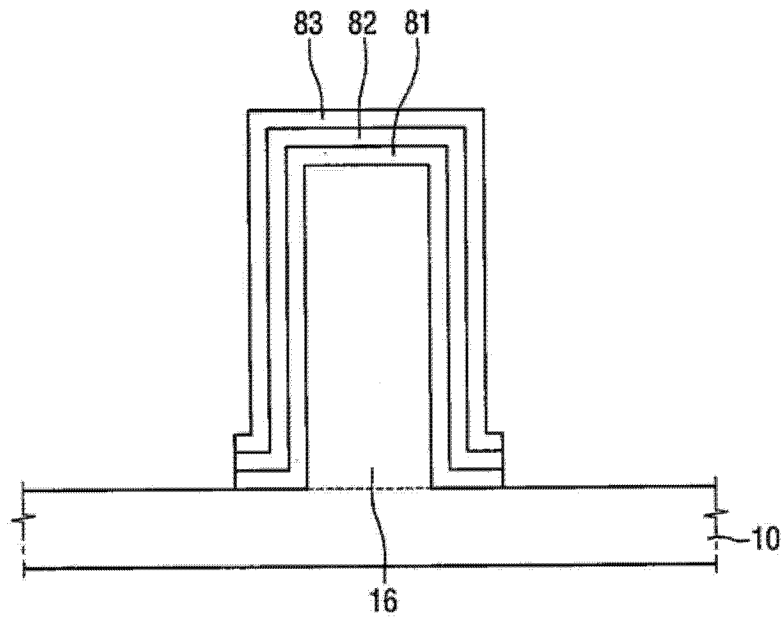


图 39

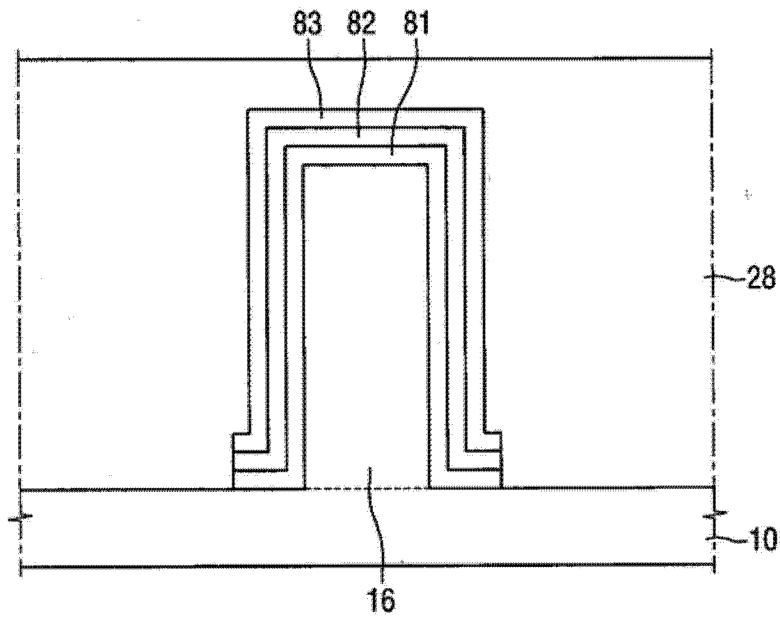


图 40

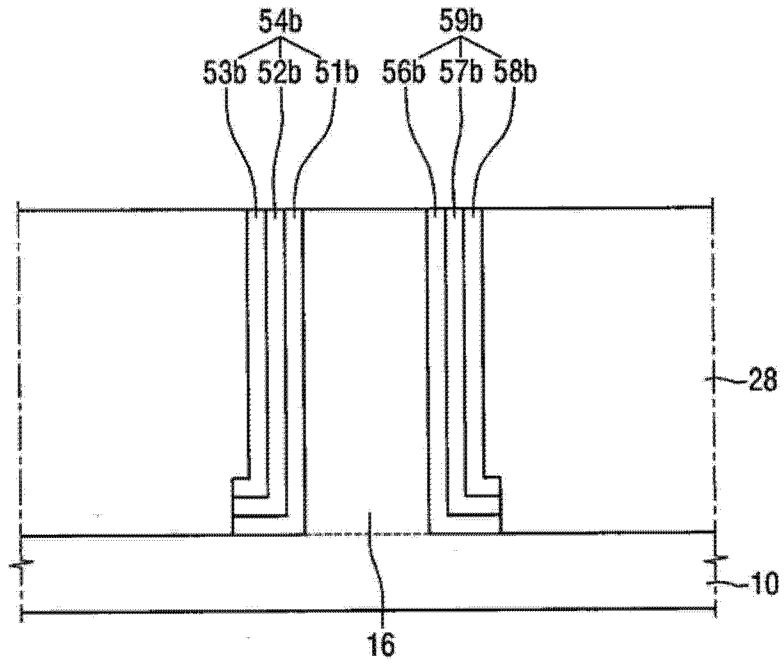


图 41

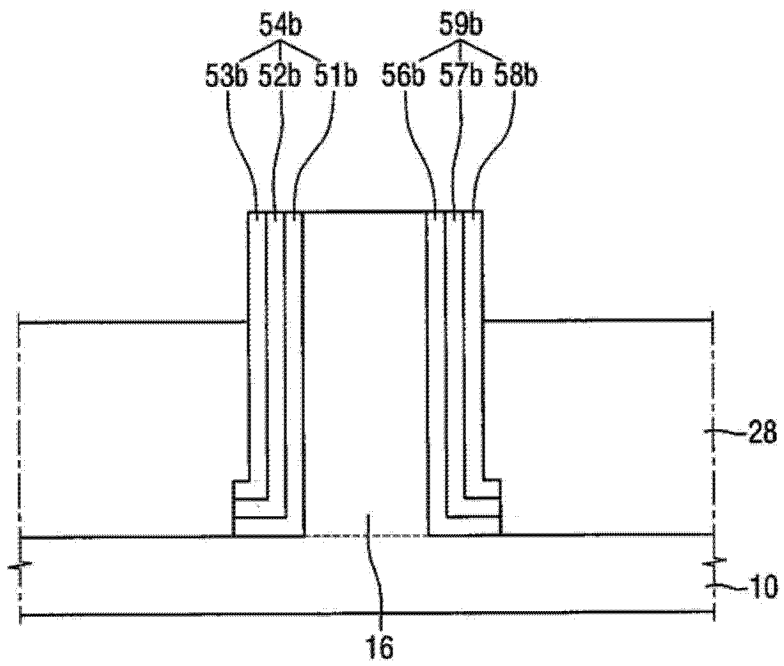


图 42

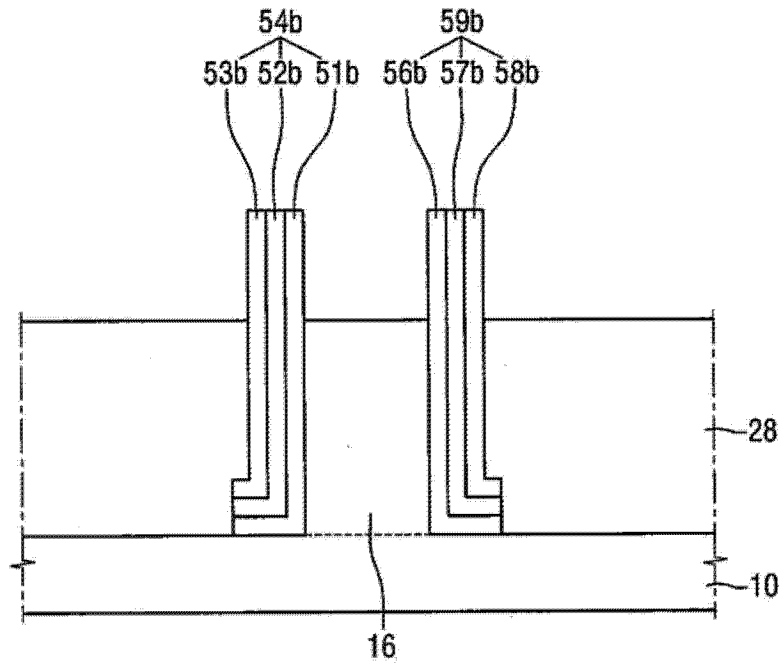


图 43

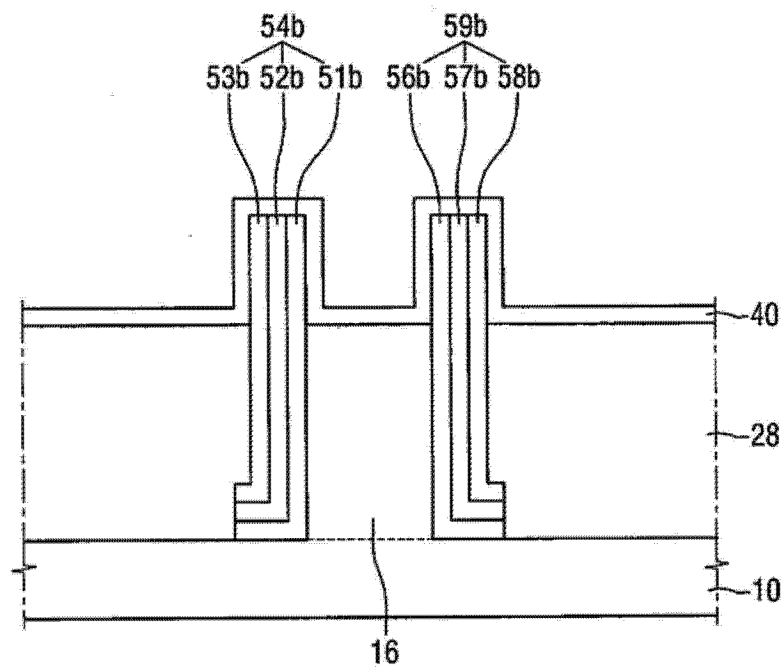


图 44

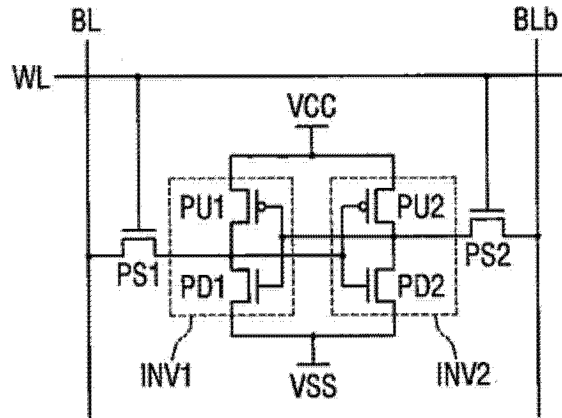


图 45

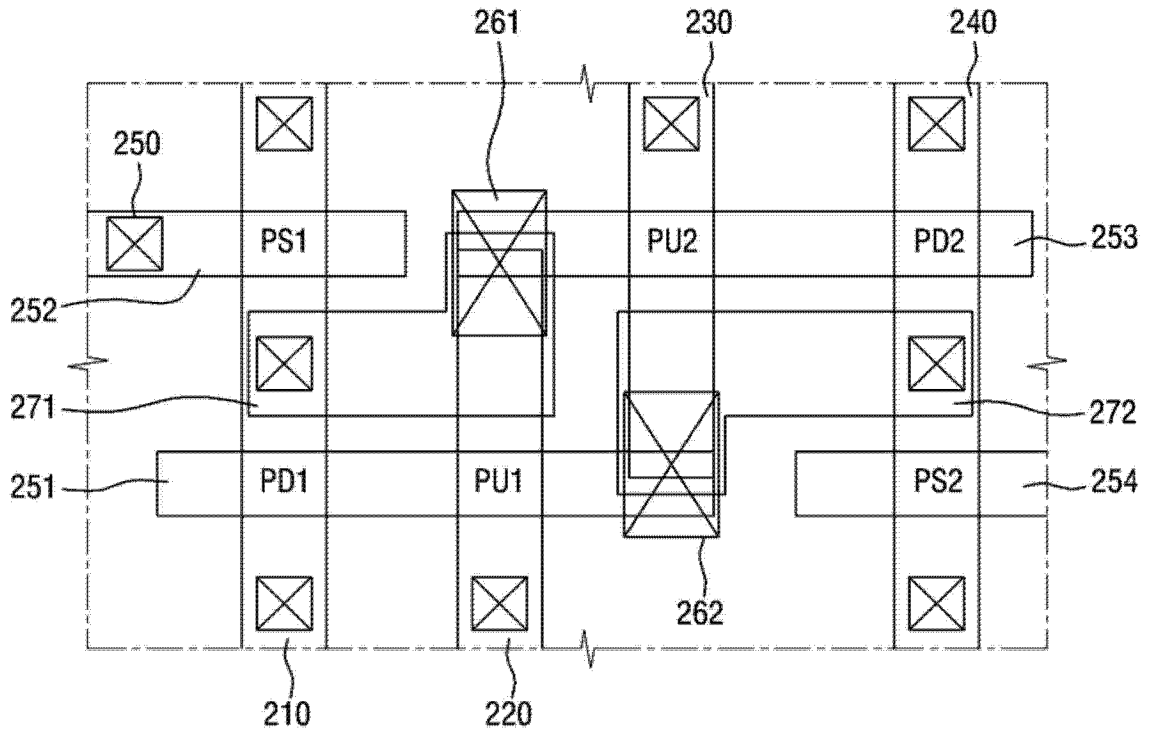


图 46

13

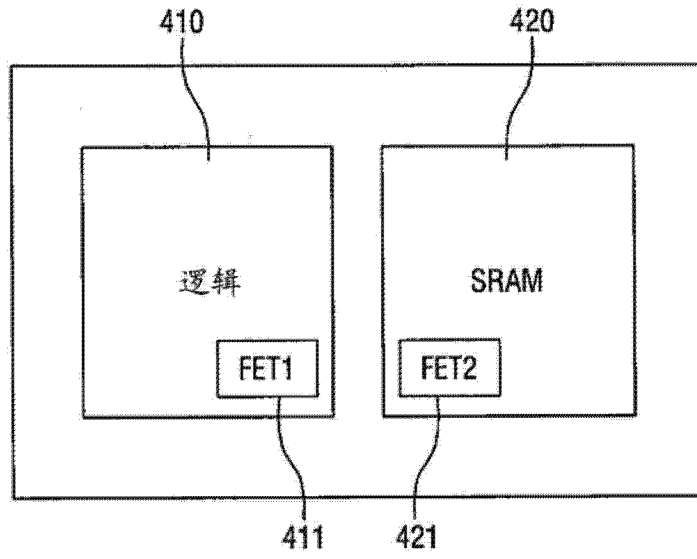


图 47

14

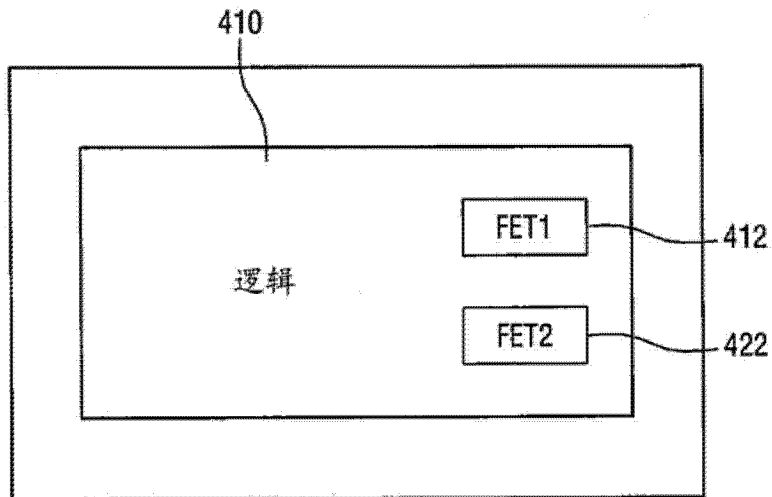


图 48

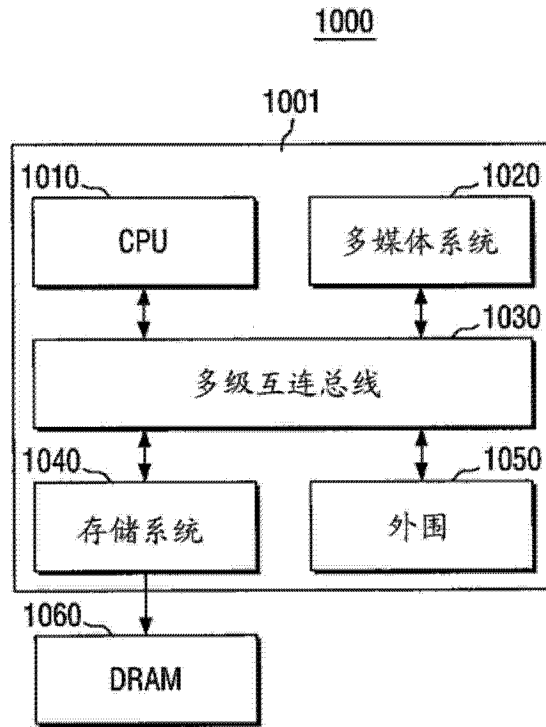


图 49

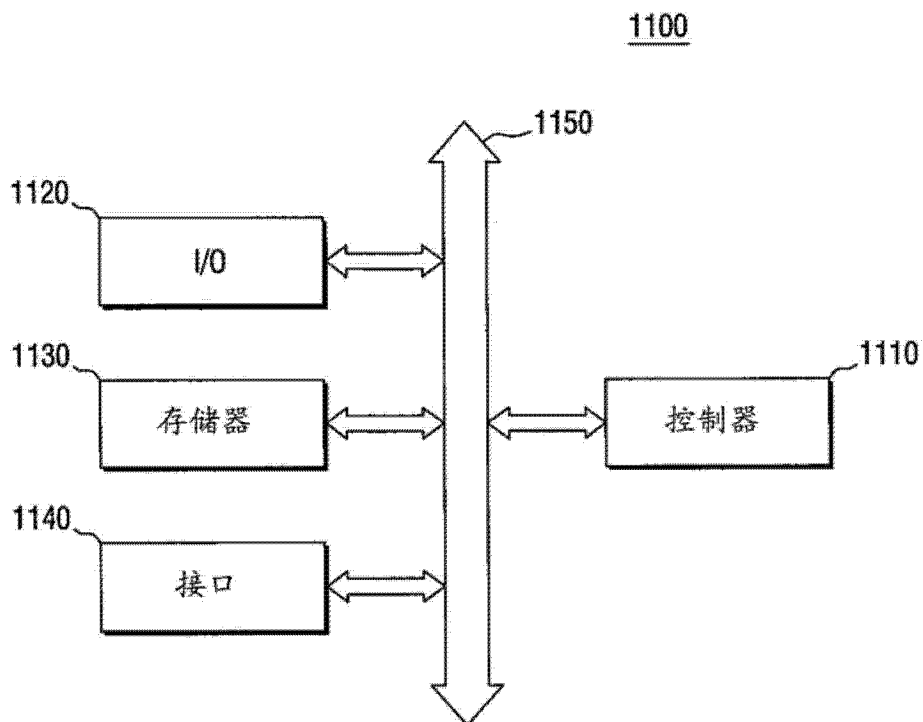


图 50

1200

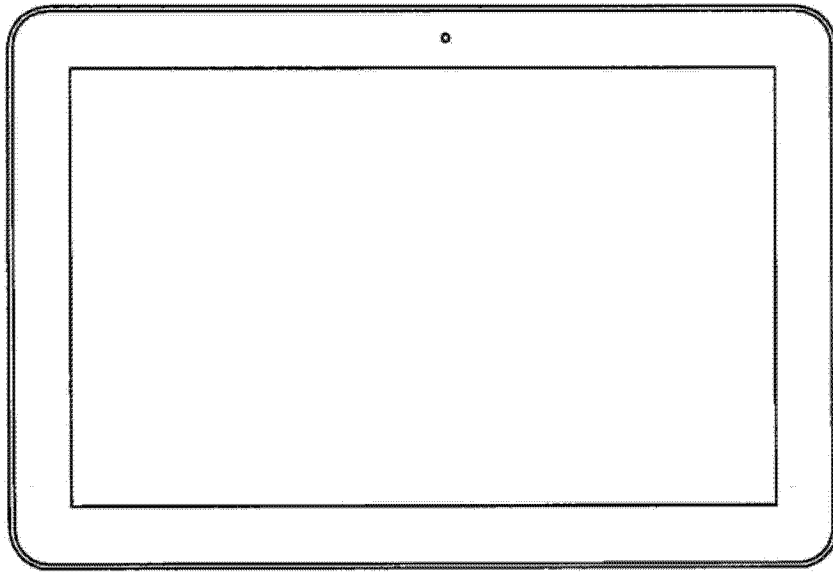


图 51

1300

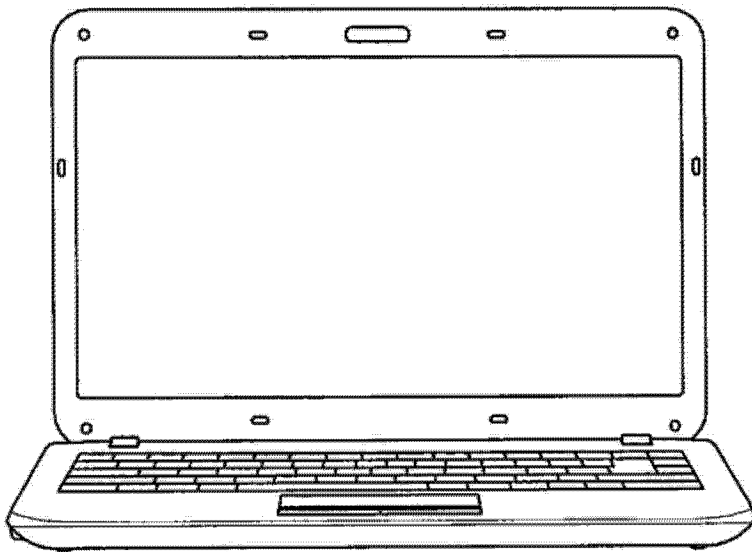


图 52

1400

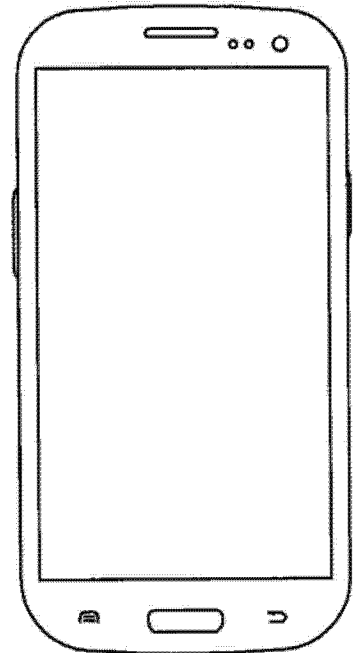


图 53