



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0137519
(43) 공개일자 2023년10월05일

(51) 국제특허분류(Int. Cl.)
H10B 63/00 (2023.01) H10N 52/00 (2023.01)
H10N 52/80 (2023.01)
(52) CPC특허분류
H10B 63/30 (2023.02)
H10N 52/101 (2023.02)
(21) 출원번호 10-2022-0034613
(22) 출원일자 2022년03월21일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김영근
서울특별시 강남구 압구정로61길 37, 72동 1109호 (압구정동, 한양아파트)
김태현
경기도 성남시 분당구 내정로 55, 상록마을 우성아파트 308-1205
(74) 대리인
특허법인 고려

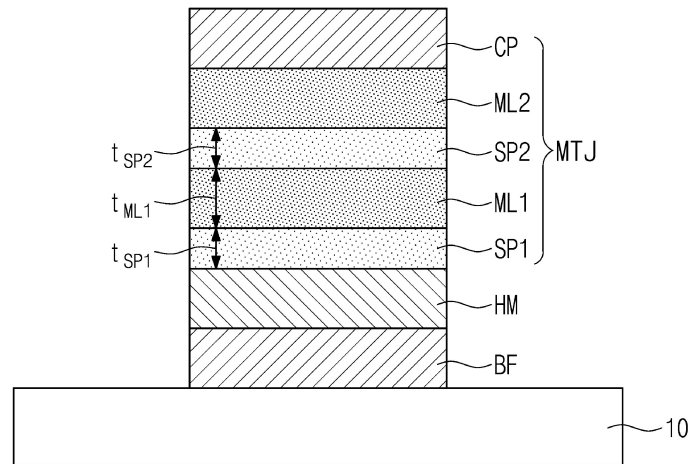
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 자기 터널 접합 구조체 및 이를 포함하는 자기 메모리 장치

(57) 요약

본 발명은 제1 스페이서층, 상기 제1 스페이서층 상의 제1 자성층, 및 상기 제1 자성층 상의 제2 스페이서층을 포함하되, 상기 제1 스페이서층 및 상기 제2 스페이서층은 동일한 물질을 포함하고, 상기 제1 스페이서층의 두께는 1 nm 내지 3.5 nm인 자기 터널 접합 구조체 및 이를 포함하는 자기 메모리 장치를 개시한다.

대표도 - 도2



(52) CPC특허분류

H10N 52/80 (2023.02)

명세서

청구범위

청구항 1

제1 스페이서층;

상기 제1 스페이서층 상의 제1 자성층; 및

상기 제1 자성층 상의 제2 스페이서층을 포함하되,

상기 제1 스페이서층 및 상기 제2 스페이서층은 동일한 물질을 포함하고,

상기 제1 스페이서층의 두께는 1 nm 내지 3.5 nm인 자기 터널 접합 구조체.

청구항 2

제 1 항에 있어서,

상기 제1 스페이서층 및 상기 제2 스페이서층은 마그네슘(Mg), 알루미늄(Al), 실리콘(Si), 티타늄(Ti), 아연(Zn) 및 보론(B)을 포함하는 군에서 선택된 적어도 하나 이상의 원소의 산화물 또는 질화물을 포함하는 자기 터널 접합 구조체.

청구항 3

제 1 항에 있어서,

상기 제1 스페이서층 및 상기 제2 스페이서층은 3d 전이 금속, 4d 전이 금속 및 5d 전이 금속 중 어느 하나의 원소를 포함하는 자기 터널 접합 구조체.

청구항 4

제 1 항에 있어서,

상기 제1 스페이서층의 두께는 상기 제2 스페이서층의 두께보다 큰 자기 터널 접합 구조체.

청구항 5

제 1 항에 있어서,

상기 제1 자성층의 두께는 상기 제2 스페이서층의 두께보다 큰 자기 터널 접합 구조체.

청구항 6

제 1 항에 있어서,

상기 제2 스페이서층 상의 제2 자성층을 더 포함하되,

상기 제1 자성층은 전류의 흐름에 의해 자화 방향이 변화하도록 구성되고,

상기 제2 자성층은 전류의 흐름에 상관없이 고정된 자화 방향을 갖도록 구성되는 자기 터널 접합 구조체.

청구항 7

제 6 항에 있어서,

상기 제1 자성층 및 상기 제2 자성층은 코발트(Co), 철(Fe) 및 니켈(Ni) 중 적어도 하나 및 보론(B), 아연(Zn), 알루미늄(Al), 티타늄(Ti), 루테튬(Ru), 탄탈륨(Ta), 실리콘(Si), 은(Ag), 금(Au), 구리(Cu), 탄소(C) 및 질소(N)를 포함하는 비자성 물질군에서 선택된 적어도 하나 이상의 원소를 포함하는 자기 터널 접합 구조체.

청구항 8

제 1 항에 있어서,

상기 제2 스페이서층 상의 캡핑층을 더 포함하는 자기 터널 접합 구조체.

청구항 9

제 8 항에 있어서,

상기 캡핑층은 원자번호가 30 이상인 중금속 물질을 포함하는 자기 터널 접합 구조체.

청구항 10

기판;

상기 기판 상의 금속층;

상기 금속층 상의 자기 터널 접합 구조체;

상기 금속층과 접촉하는 하부 전극 콘택;

상기 금속층과 상기 하부 전극 콘택을 통해 연결되며 전류의 흐름을 선택적으로 제어하도록 구성되는 선택 소자;

상기 자기 터널 접합 구조체의 상부와 연결되는 읽기 라인; 및

상기 금속층과 연결되는 쓰기 라인을 포함하되,

상기 자기 터널 접합 구조체는:

제1 스페이서층;

상기 제1 스페이서층 상의 제1 자성층; 및

상기 제1 자성층 상의 제2 스페이서층을 포함하되,

상기 제1 스페이서층 및 상기 제2 스페이서층은 동일한 물질을 포함하고,

상기 제1 스페이서층의 두께는 1 nm 내지 3.5 nm인 자기 메모리 장치.

발명의 설명

기술 분야

[0001]

본 발명은 자기 터널 접합 구조체 및 이를 포함하는 자기 메모리 장치에 관한 것으로, 보다 상세하게는 비대칭 교환 상호작용(asymmetric exchange interaction)을 이용하는 자기 터널 접합 구조체 및 이를 포함하는 자기 메모리 장치에 관한 것이다.

배경 기술

- [0003] 전자 기기의 고속화, 저전력화에 따라 이에 내장되는 메모리 장치 역시 빠른 읽기/쓰기 동작, 낮은 동작 전압이 요구되고 있다. 이러한 요구를 충족하는 기억 소자로 자기 메모리 장치(magnetic memory device)가 연구되고 있다. 자기 메모리 장치는 고속 동작 및/또는 비휘발성의 특성을 가질 수 있어 차세대 메모리로 각광받고 있다.
- [0004] 자기 메모리 장치는 자기 터널 접합(magnetic tunnel junction; MTJ) 구조체를 포함하는 메모리 장치이다. 자기 터널 접합 구조체는 두 개의 자성층들과 그 사이에 개재된 절연층을 포함하며, 자기 터널 접합 구조체의 저항은 자성층들 각각의 자화 방향에 따라 달라질 수 있다. 보다 구체적으로, 자성층들의 자화 방향이 서로 반평행하면 자기 터널 접합 구조체의 저항은 클 수 있고, 자성층들의 자화 방향이 서로 평행하면 자기 터널 접합 구조체의 저항은 작을 수 있다. 자기 메모리 장치는 이러한 자기 터널 접합 구조체의 저항 차이를 이용하여 데이터를 기입 및/또는 판독할 수 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 일 기술적 과제는 고집적화가 가능하고 신뢰성이 향상된 스핀 궤도 토크 기반(spin orbit torque based)의 자기 메모리 장치를 제공하는데 있다.
- [0007] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 상술한 기술적 과제들을 해결하기 위하여 본 발명의 실시예에 따른 자기 터널 접합 구조체는 제1 스페이서층, 상기 제1 스페이서층 상의 제1 자성층, 및 상기 제1 자성층 상의 제2 스페이서층을 포함하되, 상기 제1 스페이서층 및 상기 제2 스페이서층은 동일한 물질을 포함하고, 상기 제1 스페이서층의 두께는 1 nm 내지 3.5 nm일 수 있다.
- [0010] 또한, 본 발명의 실시예에 따른 자기 메모리 장치는 기판, 상기 기판 상의 금속층, 상기 금속층 상의 자기 터널 접합 구조체, 상기 금속층과 접촉하는 하부 전극 콘택, 상기 금속층과 상기 하부 전극 콘택을 통해 연결되며 전류의 흐름을 선택적으로 제어하도록 구성되는 선택 소자, 상기 자기 터널 접합 구조체의 상부와 연결되는 읽기 라인, 및 상기 금속층과 연결되는 쓰기 라인을 포함하되, 상기 자기 터널 접합 구조체는 제1 스페이서층, 상기 제1 스페이서층 상의 제1 자성층, 및 상기 제1 자성층 상의 제2 스페이서층을 포함하되, 상기 제1 스페이서층 및 상기 제2 스페이서층은 동일한 물질을 포함하고, 상기 제1 스페이서층의 두께는 1 nm 내지 3.5 nm일 수 있다.

발명의 효과

- [0012] 본 발명의 자기 메모리 장치에 따르면, 약 1 nm 내지 약 3.5 nm의 두께를 갖는 제1 스페이서층이 제1 자성층(즉, 자유층)과 금속층 사이에 제공됨에 따라 금속층과 제1 자성층 사이의 잘로신스키-모리야 상호작용(Dzyaloshinskii-Moriya interaction; DMI)과 제1 자성층의 터널 자기 저항(tunnel magnetoresistance; TMR) 특성이 동시에 유지될 수 있다. 또한, 제1 스페이서층의 두께를 통해 금속층과 제1 자성층 사이의 DMI 에너지의 크기가 제어될 수 있다. 이에 따라 본 발명에 따른 자기 메모리 장치는 저전력으로 고속 동작할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예들에 따른 자기 메모리 장치의 단위 메모리 셀을 설명하기 위한 개념도이다.
- 도 2는 본 발명의 실시예들에 따른 자기 메모리 장치를 설명하기 위한 단면도이다.

도 3a 내지 도 8은 본 발명의 실시예들에 따른 자기 터널 접합 구조체의 자성 특성 및/또는 계면 특성을 설명하기 위한 그래프들이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하에서, 도면들을 참조하여 본 발명의 실시예들에 따른 자기 터널 접합 구조체 및 이를 포함하는 자기 메모리 장치에 대하여 상세히 설명한다.
- [0017] 도 1은 본 발명의 실시예들에 따른 자기 메모리 장치의 단위 메모리 셀을 설명하기 위한 개념도이다.
- [0018] 도 1을 참조하면, 단위 메모리 셀(MC)은 워드 라인(word line)(WL), 읽기 라인(read line)(L1), 쓰기 라인(write line)(L2), 메모리 소자(memory element)(ME) 및 선택 소자(select element)(SE)를 포함할 수 있다. 메모리 소자(ME)는 읽기 라인(L1)과 선택 소자(SE) 사이에 연결될 수 있다. 메모리 소자(ME)는 읽기 라인(L1) 및 선택 소자(SE)와 전기적으로 직렬로 연결될 수 있다. 읽기 라인(L1)은 평면상에서 워드 라인(WL)과 서로 교차할 수 있다. 복수의 단위 메모리 셀들(MC)은 2차원적으로 또는 3차원적으로 배열될 수 있다. 복수의 단위 메모리 셀들(MC)은 2차원적으로 또는 3차원적으로 배열되어 메모리 셀 어레이를 이룰 수 있다. 메모리 셀 어레이는 디코더 및 드라이버와 연결될 수 있다.
- [0019] 단위 메모리 셀(MC)은 메모리 소자(ME)와 선택 소자(SE) 사이의 하부 전극 콘택(BEC)을 더 포함할 수 있다. 실시예들에 따르면, 하부 전극 콘택(BEC)은 복수로 제공될 수 있고, 복수의 하부 전극 콘택들(BEC) 중 적어도 일부는 선택 소자(SE)와 연결되지 않을 수도 있다. 하부 전극 콘택(BEC)은, 예를 들어, 금속(예를 들어, 티타늄, 탄탈륨, 텅스텐 등), 도전성 금속 질화물(예를 들어, 질화 티타늄, 질화 탄탈륨 등), 도펀트로 도핑된 반도체 물질(예를 들어, 도핑된 실리콘, 도핑된 저마늄, 도핑된 실리콘-저마늄 등) 및 금속-반도체 화합물(예를 들어, 금속 실리사이드) 중 적어도 하나를 포함할 수 있다.
- [0020] 다만, 설명의 편의를 위하여 이하에서 단수의 메모리 소자(ME)에 대해서 설명한다. 메모리 소자(ME)는 인가되는 전기적 펄스에 의해 두 가지 저항 상태로 스위칭될 수 있는 가변 저항 소자일 수 있다. 메모리 소자(ME)는 박막 구조로 제공될 수 있다. 메모리 소자(ME)의 전기적 저항은 전류에 의한 스핀 궤도 토크(spin orbit torque; SOT)를 이용하여 변화될 수 있다. 메모리 소자(ME)는 적어도 하나의 강자성 물질들 및/또는 적어도 하나의 반강자성 물질들을 포함할 수 있다.
- [0021] 보다 구체적으로, 메모리 소자(ME)는 자기 터널 접합 구조체(MTJ) 및 금속층(HM)을 포함할 수 있다. 자기 터널 접합 구조체(MTJ)는, 도 2를 참조하여 후술하는 바와 같이, 서로 다른 특성을 갖는 자성층들을 포함할 수 있다. 자성층들 중 어느 하나는 전류의 흐름에 의해 자화 방향이 자유롭게 변화하는 자유층(free layer)이고, 나머지 하나는 전류의 흐름에 상관없이 고정된 자화 방향을 가지는 고정층(pinned layer)일 수 있다. 이때, 상대적으로 금속층(HM)과의 거리가 가까운 자성층이 자유층일 수 있고, 상대적으로 금속층(HM)과의 거리가 먼 자성층이 고정층일 수 있다. 자기 터널 접합 구조체(MTJ)의 전기적 저항은 자유층의 자화 방향 및 고정층의 자화 방향에 의존적일 수 있다. 예를 들어, 자기 터널 접합 구조체(MTJ)의 전기적 저항은 자유층의 자화 방향과 고정층의 자화 방향이 서로 평행(parallel)한 경우에 비해, 자유층의 자화 방향과 고정층의 자화 방향이 서로 반평행(antiparallel)한 경우에 더 클 수 있다. 자기 터널 접합 구조체(MTJ)의 전기적 저항은 자유층의 자화 방향을 변경함으로써 조절될 수 있다. 자기 터널 접합 구조체(MTJ)의 전기적 저항의 차이를 이용하여, 단위 메모리 셀(MC)은 데이터를 저장할 수 있다.
- [0022] 제1 경로(P1)로 전류가 흐르면, 자기 터널 접합 구조체(MTJ)의 자유층의 자화 방향이 바뀔 수 있다. 제1 경로(P1)는 자유층의 상면과 실질적으로 평행한 방향의 경로를 포함할 수 있다. 제1 경로(P1)는 선택 소자(SE)로부터 하부 전극 콘택들(BEC) 중 하나와 금속층(HM)을 통해 쓰기 라인(L2)으로 향하는 경로일 수 있다. 또는, 이와 반대로, 제1 경로(P1)는 쓰기 라인(L2)으로부터 금속층(HM)과 하부 전극 콘택들(BEC) 중 하나를 통해 선택 소자(SE)로 향하는 경로일 수 있다.
- [0023] 제1 경로(P1)로 전류가 흐르면, 금속층(HM) 내부에서 전자의 스핀 궤도 상호작용(spin orbit coupling)에 의해 스핀 홀 효과(spin hall effect; SHE) 및 라쉬바 효과(rashba effect; RE)가 발생할 수 있다. 스핀 궤도 상호작용은 전자의 스핀과 궤도 운동의 상호작용을 의미한다. 스핀 홀 효과는 스핀 궤도 상호작용에 의해 도체 표면에 스핀의 축적이 나타나는 효과를 의미한다. 라쉬바 효과는 전위 차에 의해 비자성체의 전자 스핀의 상태가 변하는 효과를 의미한다. 라쉬바 효과는 금속층(HM)과 자유층의 경계면의 비대칭성에 의해 강화될 수 있다. 스핀

홀 효과 및 라쉬바 효과는 스핀 분극된 전자들을 자유층과 가까운 곳에 축적시킬 수 있다. 축적된 전자들은 자유층에 스핀 궤도 토크를 가할 수 있다. 금속층(HM)에 일정 크기 이상의 전류(즉, 임계 전류 밀도(critical current density, J_c) 이상의 전류 밀도 값을 갖는 전류)가 흐르면 자유층에 가해지는 스핀 궤도 토크가 자유층의 자화 방향을 바꿀 수 있다. 자유층의 자화 방향을 바꾸는 과정을 통해 쓰기(write) 동작이 수행될 수 있다. 다시 말하면, 자유층의 자화 방향을 바꾸는 과정을 통해 데이터가 저장될 수 있다.

[0024] 제2 경로(P2)로 전류가 흐르면, 저장한 데이터를 읽을 수 있다. 제2 경로(P2)는 자유층의 상면과 실질적으로 직교하는 방향의 경로를 포함할 수 있다. 제2 경로(P2)는 읽기 라인(L1)으로부터 자기 터널 접합 구조체(MTJ)와 금속층(HM)을 통해 선택 소자(SE)로 향하는 경로일 수 있다. 전류가 제2 경로(P2)로 흐를 때, 자기 터널 접합 구조체(MTJ)의 저항 차이를 측정할 수 있다. 자기 터널 접합 구조체(MTJ)에 흐르는 전류에 의해 읽기(read) 동작이 수행될 수 있다.

[0025] 선택 소자(SE)는 전류의 흐름을 선택적으로 제어하도록 구성될 수 있다. 예를 들면, 선택 소자(SE)는 다이오드, PNP 바이폴라 트랜지스터, NPN 바이폴라 트랜지스터, NMOS 전계효과 트랜지스터 및 PMOS 전계효과 트랜지스터 중의 하나일 수 있다. 선택 소자(SE) 중 어느 하나가 2단자 소자인 다이오드로 구성되는 경우, 도시된 배선들 중 어느 하나가 생략될 수 있다. 다만, 도 1에서 도시된 선택 소자(SE)가 메모리 소자(ME)에 연결되는 방법은 예시적인 것일 뿐, 본 발명은 이에 제한되지 않으며, 선택 소자(SE)는 다른 방법으로 메모리 소자(ME)와 연결될 수 있다.

[0027] 도 2는 본 발명의 실시예들에 따른 자기 메모리 장치를 설명하기 위한 단면도이다.

[0028] 도 2를 참조하면, 본 발명에 따른 자기 메모리 장치는 기판(10) 상에 제공되는 금속층(HM) 및 자기 터널 접합 구조체(MTJ)를 포함할 수 있다. 기판(10)은 그의 내부에 제공되는 복수의 선택 소자들(SE, 도 1 참조) 및 하부 전극 컨택들(BEC, 도 1 참조)을 포함하는 반도체 기판일 수 있다. 기판(10)은, 예를 들어, 실리콘, 저마늄 또는 실리콘-저마늄을 포함할 수 있다.

[0029] 본 발명에 따른 자기 메모리 장치는 기판(10)과 금속층(HM) 사이에 버퍼층(BF)을 더 포함할 수 있다. 버퍼층(BF)은 금속층(HM)의 결정성 및 기판(10)과 금속층(HM) 사이의 접착력(adhesion)을 향상시키는 물질을 포함할 수 있다. 버퍼층(BF)은, 예를 들어, 원자번호가 30 이상인 중금속(heavy metal) 물질을 포함할 수 있다. 버퍼층(BF)은 금속층(HM)과 다른 물질을 포함할 수 있다. 버퍼층(BF)은, 일 예로, 탄탈륨(Ta)을 포함할 수 있으나, 본 발명은 이에 제한되지 않는다.

[0030] 금속층(HM)은 전류가 흐를 때 스핀 궤도 상호작용(spin orbit coupling)의 크기가 큰 물질을 포함할 수 있다. 금속층(HM)은, 예를 들어, 원자번호가 30 이상인 중금속 물질을 포함할 수 있다. 전류는 금속층(HM)의 상면과 실질적으로 평행한 방향으로 흐를 수 있다. 전류가 금속층(HM)을 통해 흐르면서 쓰기(write) 동작이 수행될 수 있다. 금속층(HM)은, 예를 들어, 탄탈륨(Ta), 백금(Pt), 비스무트(Bi), 티타늄(Ti) 및 텅스텐(W) 중 적어도 하나를 포함할 수 있다.

[0031] 자기 터널 접합 구조체(MTJ)는 금속층(HM) 상에 차례로 적층된 제1 스페이서층(SP1), 제1 자성층(ML1), 제2 스페이서층(SP2), 제2 자성층(ML2) 및 캡핑층(CP)을 포함할 수 있다. 실시예들에 따르면, 자기 터널 접합 구조체(MTJ)는 복수로 제공될 수 있고, 복수의 자기 터널 접합 구조체들(MTJ)은 기판(10) 상에 어레이 형태로 배열될 수 있다. 복수의 자기 터널 접합 구조체들(MTJ)은 서로 직접 연결되지 않으며, 서로 다른 데이터를 저장할 수 있다. 다만, 설명의 편의를 위하여 이하에서 단수의 자기 터널 접합 구조체(MTJ)에 대하여 설명한다.

[0032] 제1 스페이서층(SP1)은 금속층(HM)과 제1 자성층(ML1) 사이에 제공될 수 있다. 제2 스페이서층(SP2)은 제1 자성층(ML1)과 제2 자성층(ML2) 사이에 제공될 수 있다. 제1 스페이서층(SP1) 및 제2 스페이서층(SP2)은 동일한 물질을 포함할 수 있다. 다시 말하면, 제1 스페이서층(SP1)과 제1 자성층(ML1) 사이의 계면 특성은 제1 자성층(ML1)과 제2 스페이서층(SP2) 사이의 계면 특성과 실질적으로 동일할 수 있다. 제1 스페이서층(SP1) 및 제2 스페이서층(SP2)은, 예를 들어, 마그네슘(Mg), 알루미늄(Al), 실리콘(Si), 티타늄(Ti), 아연(Zn) 및 보론(B)을 포함하는 군에서 선택된 적어도 하나 이상의 원소의 산화물 또는 질화물을 포함할 수 있다.

[0033] 실시예들에 따르면, 제1 스페이서층(SP1) 및 제2 스페이서층(SP2)은 3d 전이 금속(transition metal), 4d 전이 금속 및 5d 전이 금속 중 어느 하나의 원소를 포함할 수도 있다. 제1 스페이서층(SP1) 및 제2 스페이서층(SP2)은, 예를 들어, 이리듐(Ir), 루테튬(Ru), 로듐(Rh), 구리(Cu), 크롬(Cr), 레늄(Re) 또는 바나듐(V)을 포함할

수 있다.

- [0034] 제1 스페이서층(SP1)의 두께(t_{SP1})는 금속층(HM)의 두께보다 작을 수 있다. 제1 스페이서층(SP1)의 두께(t_{SP1})는, 바람직하게는, 약 1 nm 내지 약 3.5 nm일 수 있다. 약 1 nm 내지 약 3.5 nm의 두께를 갖는 제1 스페이서층(SP1)이 제공됨에 따라, 후술하는 바와 같이, 금속층(HM)과 제1 자성층(ML1) 사이의 잘로신스키-모리야 상호작용(Dzyaloshinskii-Moriya interaction; 이하 DMI)과 제1 자성층(ML1)의 터널 자기 저항(tunnel magnetoresistance; TMR) 특성이 동시에 유지될 수 있고, 이에 따라 본 발명에 따른 자기 메모리 장치가 저전력으로 고속 동작할 수 있다. 보다 구체적으로, 금속층(HM)과 제1 자성층(ML1) 사이의 DMI로 인해 자기 메모리 장치의 쓰기 동작에 소모되는 에너지가 줄어들 수 있다. 또한, 제1 스페이서층(SP1)의 두께를 통해 금속층(HM)과 제1 자성층(ML1) 사이의 DMI 에너지의 크기가 제어될 수 있다. 이때, DMI는 RKKY 상호작용(Ruderman-Kittel-Kasuya-Yosida interaction)과 유사한(즉, RKKY 상호작용을 기술하는 수식으로 기술될 수 있는) 비대칭 교환 상호작용(asymmetric exchange interaction) 중 하나이다.
- [0035] 제2 스페이서층(SP2)의 두께(t_{SP2})는 금속층(HM)의 두께보다 작을 수 있다. 제2 스페이서층(SP2)의 두께(t_{SP2})는 제1 자성층(ML1)의 두께(t_{ML1})보다 작을 수 있다. 실시예들에 따르면, 제2 스페이서층(SP2)의 두께(t_{SP2})는 제1 스페이서층(SP1)의 두께(t_{SP1})보다 작을 수 있으나, 본 발명은 이에 제한되지 않으며, 제2 스페이서층(SP2)의 두께(t_{SP2})는 제1 스페이서층(SP1)의 두께(t_{SP1})보다 크거나 같을 수도 있다.
- [0036] 제1 자성층(ML1)은 제1 스페이서층(SP1)과 제2 스페이서층(SP2) 사이에 제공될 수 있다. 제2 자성층(ML2)은 제2 스페이서층(SP2)과 캡핑층(CP) 사이에 제공될 수 있다. 제1 자성층(ML1) 및 제2 자성층(ML2)은 계면 수직 자기 이방성(interface perpendicular magnetic anisotropy)을 갖는 물질을 포함할 수 있다. 자기 이방성(magnetic anisotropy)은 강자성체에서 자기장에 의해 스핀이 정렬될 때 특정한 방향의 선호도를 나타내는 특성을 의미한다. 제1 자성층(ML1) 및 제2 자성층(ML2)은, 예를 들어, 코발트(Co), 철(Fe) 및 니켈(Ni) 중 적어도 하나를 포함할 수 있다. 제1 자성층(ML1) 및 제2 자성층(ML2)은, 예를 들어, 보론(B), 아연(Zn), 알루미늄(Al), 티타늄(Ti), 루테튬(Ru), 탄탈륨(Ta), 실리콘(Si), 은(Ag), 금(Au), 구리(Cu), 탄소(C) 및 질소(N)를 포함하는 비자성 물질군에서 선택된 적어도 하나 이상의 원소를 더 포함할 수 있다. 제1 자성층(ML1) 및 제2 자성층(ML2)은, 바람직하게는, CoFe 또는 NiFe를 포함하되, 보론(B)을 더 포함할 수 있다. 더욱 바람직하게는, 제1 자성층(ML1) 및 제2 자성층(ML2)은 포화 자화량을 낮추는 물질들(예를 들어, 티타늄(Ti), 알루미늄(Al), 실리콘(Si), 마그네슘(Mg), 탄탈륨(Ta) 및 실리콘(Si)) 중 적어도 하나를 더 포함할 수 있다.
- [0037] 제1 자성층(ML1)의 두께(t_{ML1})는 금속층(HM)의 두께보다 작을 수 있다. 제1 자성층(ML1)의 두께(t_{ML1})는 제2 스페이서층(SP2)의 두께(t_{SP2})보다 클 수 있다. 실시예들에 따르면, 제1 자성층(ML1)의 두께(t_{ML1})는 제1 스페이서층(SP1)의 두께(t_{SP1})보다 작을 수 있으나, 본 발명은 이에 제한되지 않으며, 제1 자성층(ML1)의 두께(t_{ML1})는 제1 스페이서층(SP1)의 두께(t_{SP1})보다 크거나 같을 수도 있다.
- [0038] 캡핑층(CP)은 제2 자성층(ML2) 상에 제공될 수 있다. 캡핑층(CP)은 제2 자성층(ML2)을 완전히 덮을 수 있다. 캡핑층(CP)은 제2 자성층(ML2) 및/또는 제2 스페이서층(SP2)의 산화를 방지 및/또는 최소화하는 물질을 포함할 수 있다. 캡핑층(CP)은, 예를 들어, 원자번호가 30 이상인 중금속 물질을 포함할 수 있다. 캡핑층(CP)은 금속층(HM)과 다른 물질을 포함할 수 있다. 캡핑층(CP)은 버퍼층(BF)과 동일한 물질을 포함할 수 있다. 캡핑층(CP)은, 일 예로, 탄탈륨(Ta)을 포함할 수 있으나, 본 발명은 이에 제한되지 않는다.
- [0039] 실시예들에 따르면, 자기 터널 접합 구조체(MTJ)는 제1 자성층(ML1)과 제2 스페이서층(SP2) 사이 및/또는 제2 스페이서층(SP2)과 제2 자성층(ML2) 사이에 개재되는 분극 강화층을 더 포함할 수도 있다. 상기 분극 강화층은 제1 자성층(ML1) 및 제2 자성층(ML2)의 스핀 분극도(spin polarization) 및 터널 자기 저항(tunnel magnetoresistance; TMR) 특성을 향상시킬 수 있다. 상기 분극 강화층은, 예를 들어, 철(Fe), 체심입방격자(Body Centered Cubic lattice, BCC) 구조를 갖는 철(Fe) 합금, CoFeB계 비정질 합금 및 L2₁ 결정 구조를 갖는 합금 중 적어도 하나를 포함할 수 있다.
- [0040] 자기 터널 접합 구조체(MTJ)의 제1 및 제2 스페이서층들(SP1, SP2)은 RF 마크네트론 스퍼터링(magnetron sputtering) 공정에 의해 형성될 수 있고, 버퍼층(BF), 금속층(HM), 자기 터널 접합 구조체(MTJ)의 제1 및 제2 자성층들(ML1, ML2) 및 캡핑층(CP)은 DC 마그네트론 스퍼터링 공정에 의해 형성될 수 있다. 기판(10) 상의 층들 각각은 증착 후 약 300도에서 약 1시간 동안 열처리될 수 있다.

- [0041] 도 2를 참조하여, 기판(10) 상에 금속층(HM)이 제공되고, 금속층(HM) 상에, 제1 스페이서층(SP1), 제1 자성층(ML1), 제2 스페이서층(SP2), 제2 자성층(ML2) 및 캡핑층(CP)을 포함하는 자기 터널 접합 구조체(MTJ)가 제공되는 경우에 대하여 설명하였으나, 본 발명은 이에 제한되지 않는다. 실시예들에 따르면, 기판(10) 상에, 캡핑층(CP), 제2 자성층(ML2), 제2 스페이서층(SP2), 제1 자성층(ML1) 및 제1 스페이서층(SP1)을 포함하는 자기 터널 접합 구조체(MTJ)가 제공되고, 자기 터널 접합 구조체(MTJ) 상에 금속층(HM)이 제공될 수도 있다. 다시 말하면, 기판(10) 상에 적층된 층들의 순서가 도 2에 도시된 것과 반대로 될 수 있다.
- [0043] 도 3a 내지 도 8은 본 발명의 실시예들에 따른 자기 터널 접합 구조체의 자성 특성 및/또는 계면 특성을 설명하기 위한 그래프들이다.
- [0044] 도 2를 참조하면, 도 3a 내지 도 3d, 도 4a, 도 4b, 도 5, 도 6a 내지 도 6c는 제1 스페이서층(SP1), 제1 자성층(ML1), 제2 스페이서층(SP2) 및 캡핑층(CP)을 포함하는 자기 터널 접합 구조체(MTJ)를 포함하는 샘플에 대해 측정된 그래프들이다(즉, 도 2의 제2 자성층(ML2)이 생략된 경우에 측정된 것이다). 이때, 상기 샘플에서 버퍼층(BF)의 두께는 약 3 nm이고, 금속층(HM)의 두께는 약 5 nm이고, 제2 스페이서층(SP2)의 두께(t_{SP2})는 약 1 nm이며, 캡핑층(CP)의 두께는 약 2 nm이다. 또한, 상기 샘플에서 버퍼층(BF) 및 캡핑층(CP)은 탄탈륨(Ta)을 포함하고, 금속층(HM)은 백금(Pt)을 포함하고, 제1 및 제2 스페이서층들(SP1, SP2)은 마그네슘 산화물(MgO)을 포함하며, 제1 자성층(ML1)은 CoFeSiB를 포함한다.
- [0045] 도 3a 및 도 3b는 제1 스페이서층(SP1)의 두께(t_{SP1})의 변화에 따른 제1 자성층(ML1)의 이력 루프(hysteresis loop)의 변화를 보여주는 그래프들이다. 이때, 제1 자성층(ML1)의 두께(t_{ML1})는 약 0.9 nm이다. 도 3a 및 도 3b에서, 가로축은 자속 밀도($B=\mu_0H$)이고(단위는 mT), 세로축은 자화 벡터(M)이다(단위는 kA/m). 이력 루프들은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 0 nm, 약 0.4 nm, 약 0.8 nm, 약 1.2 nm, 약 1.4 nm, 약 1.6 nm, 약 1.8 nm 및 약 2.1 nm인 경우에 진동 시편 자력계(vibrating sample magnetometry; VSM)로 측정된 것이다. 도 3a는 면외(out-of-plane) 방향 성분을 측정한 것이고, 도 3b는 면내(in-plane) 방향 성분을 측정한 것이다.
- [0046] 도 3a 및 도 3b를 참조하면, 제1 스페이서층(SP1)의 두께(t_{SP1})가 증가할수록 제1 자성층(ML1)의 면외 방향 자기 이방성은 약해지는 경향을 보이고, 면내 방향 자기 이방성은 강해지는 경향을 보인다.
- [0047] 도 3c는 제1 스페이서층(SP1)의 두께(t_{SP1})가 서로 다른 샘플들에서 측정된 제1 자성층(ML1)의 두께(t_{ML1})(이하에서 두께의 단위는 nm)에 대한 단축 이방성 에너지(uniaxial anisotropy energy, $K_{u,eff}$)(단위는 10^5 J/m^3)의 관계를 보여주는 그래프이다.
- [0048] 도 3c를 참조하면, 제1 스페이서층(SP1)의 두께(t_{SP1}) 및 제1 자성층(ML1)의 두께(t_{ML1})에 따라 자기 이방성의 방향 및 크기가 바뀔 수 있다.
- [0049] 도 3d는 제1 스페이서층(SP1)의 두께(t_{SP1})가 서로 다른 샘플들에서 측정된 유효 포화 자화(effective saturation magnetization) 값들(M_s^{eff})을 계산하는 것을 보여주는 그래프이다. 도 3d에서, 가로축은 제1 자성층(ML1)의 두께(t_{ML1})이고, 세로축은 제1 자성층(ML1)의 두께(t_{ML1})와 유효 포화 자화 값(M_s^{eff})의 곱(단위는 10^{-6} A)이다.
- [0050] 도 3d를 참조하면, 제1 자성층(ML1)의 두께(t_{ML1})와 유효 포화 자화 값(M_s^{eff})의 곱은 제1 자성층(ML1)의 두께(t_{ML1})에 대한 일차 함수로 표현될 수 있다. 다시 말하면, 제1 스페이서층(SP1)의 두께(t_{SP1})가 서로 다른 샘플들 각각에서 유효 포화 자화 값(M_s^{eff})은 상수일 수 있다. 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 0 nm인 경우 유효 포화 자화 값(M_s^{eff})은 약 912.8 kA/m이고, 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 1.2 nm인 경우 유효 포화 자화 값(M_s^{eff})은 약 902.3 kA/m이다. 추가로, 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 0 nm인 경우 자성이 소거되는(magnetically dead) 제1 자성층(ML1)의 두께(t_{ML1})는 약 0.017 nm이고, 제1 스페이서층(SP1)의 두께(t_{SP1})가

약 1.2 nm인 경우 자성이 소거되는 제1 자성층(ML1)의 두께(t_{ML1})는 약 0.033 nm이다.

[0051] 도 4a 및 도 4b는 수평 방향의 외부 자기장을 샘플에 인가했을 때 발생하는 스토크스 피크(stokes peak)와 반-스토크스 피크(anti-stokes peak)의 주파수 차이 값(Δf)을 계산하는 것을 보여주는 그래프들이다. 도 4a 및 도 4b에서, 가로축은 주파수(frequency)(단위는 GHz)이고, 세로축은 신호 세기(intensity)이다. 도 2의 자기 메모리 장치에서 기관(10)의 상면과 평행한 일 방향을 양(positive)의 방향이라고 정의할 때, 도 4a는 양의 방향의 외부 자기장을 샘플에 인가했을 때 측정된 것이고, 도 4b는 음(negative)의 방향의 외부 자기장을 샘플에 인가했을 때 측정된 것이다. 도 4a 및 도 4b는 브릴루앙 광 산란 분광법(Brillouin light scattering spectroscopy; BLS)을 이용하여 측정된 것이다.

[0052] 도 4a 및 도 4b의 그래프들로부터 스토크스 피크와 반-스토크스 피크의 주파수 차이 값(Δf)을 계산하는 것은, 도 4a 및 도 4b의 두 그래프들을 정규화(normalization)하는 것, 상기 두 그래프들 중 어느 하나를 좌우 반전시켜 다른 하나에 중첩시키는 것 및 마주보는 피크들의 주파수 차이를 계산하는 것을 포함할 수 있다.

[0053] 도 5는 제1 스페이서층(SP1)의 두께(t_{SP1})에 대한 DMI 에너지 밀도(D_{eff})의 관계를 보여주는 그래프이다. 이때, DMI 에너지 밀도(D_{eff})는, 하기 [수학식 1]과 같이, 도 3d에서 계산한 유효 포화 자화 값(M_s^{eff}) 및 도 4a 및 도 4b에서 계산한 스토크스 피크와 반-스토크스 피크의 주파수 차이 값(Δf)을 이용하여 계산될 수 있다. 도 5에서, 가로축은 제1 스페이서층(SP1)의 두께(t_{SP1})이고, 세로축은 DMI 에너지 밀도(D_{eff})(단위는 mJ/m^2)이다.

[0054] [수학식 1]

$$\Delta f = f_S - f_{AS} = \frac{2\gamma}{\pi} \frac{D_{eff}}{M_s} k_{sw}$$

[0055]

[0056] 이때, f_S 는 스토크스 피크에 해당하는 주파수이고, f_{AS} 는 반-스토크스 피크에 해당하는 주파수이고, D_{eff} 는 DMI 에너지 밀도이고, M_s 는 유효 포화 자화 값이며, k_{sw} 는 스핀-파동(spin-wave)의 파수 벡터이다. 상기 [수학식 1]에 유효 포화 자화 값(M_s) 및 스토크스 피크와 반-스토크스 피크의 주파수 차이 값(Δf)을 대입하는 것에 의해 DMI 에너지 밀도(D_{eff})가 계산될 수 있다.

[0057] 도 5를 참조하면, 제1 스페이서층(SP1)의 존재에도 불구하고 DMI가 사라지지 않고, 제1 스페이서층(SP1)의 두께(t_{SP1})에 따라 DMI 에너지 밀도가 진동하는 경향을 보인다. 보다 구체적으로, 제1 스페이서층(SP1)의 두께(t_{SP1})가 증가할수록 DMI 에너지 밀도는 진동하며 감소하는 경향을 보인다.

[0058] 도 6a, 도 6b 및 도 6c는 제1 스페이서층(SP1)의 두께(t_{SP1})가 서로 다른 샘플들의 구조적 특성들을 보여주는 그래프들 또는 사진이다. 도 6a는 엑스선 회절 분광법(X-ray diffraction spectroscopy; XRD)을 이용하여 측정된 것이고, 도 6b는 반사 전자 에너지 손실 분광법(reflection electron energy loss spectroscopy; REELS)을 이용하여 측정된 것이며, 도 6c는 투과 전자 현미경(transmission electron microscope)을 이용하여 촬영된 것이다.

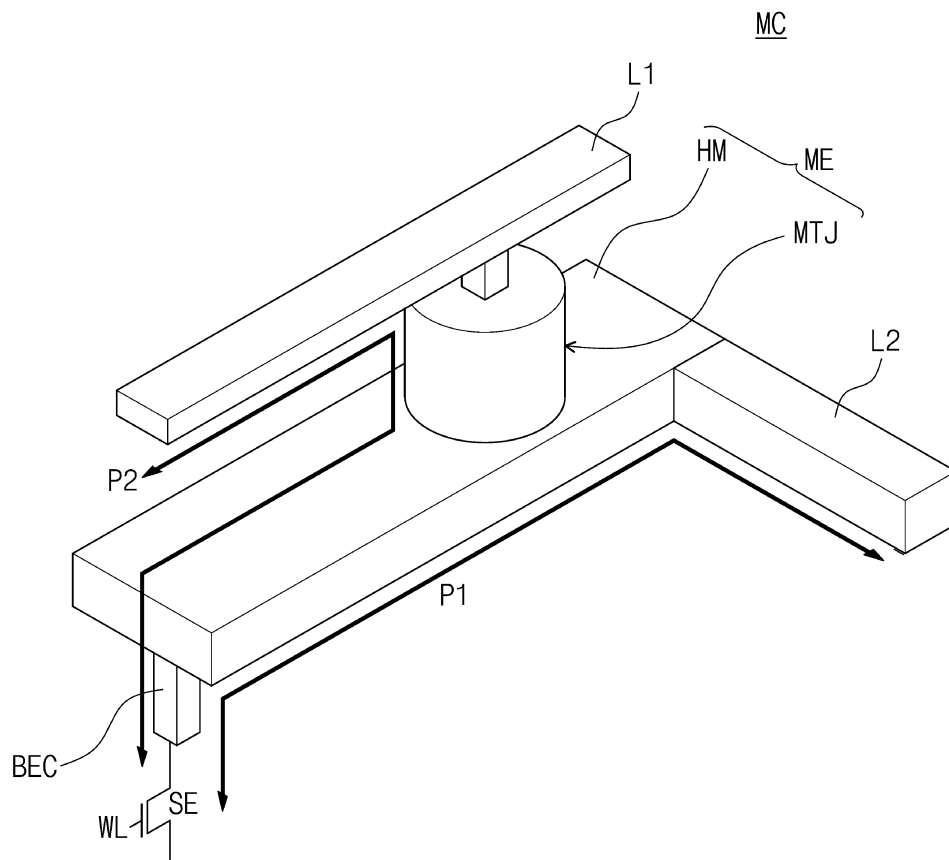
[0059] 도 6a에서 제1 XRD 스펙트럼(611)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 2.1 nm인 경우에 측정된 것이고, 제2 XRD 스펙트럼(612)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 1.2 nm인 경우에 측정된 것이며, 제3 XRD 스펙트럼(613)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 0 nm인 경우에 측정된 것이다.

[0060] 도 6b에서 제1 REELS 스펙트럼(621)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 10 nm인 경우에 측정된 것이고, 제2 REELS 스펙트럼(622)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 2.1 nm인 경우에 측정된 것이며, 제3 REELS 스펙트럼(623)은 제1 스페이서층(SP1)의 두께(t_{SP1})가 약 1.2 nm인 경우에 측정된 것이다. 제1 REELS 스펙트럼(621)에서 카운트가 최소가 되는 반사 전자 에너지 손실(E_g)은 약 5.18 eV이고, 제2 REELS 스펙트럼(622)에서 카운트가 최소가 되는 반사 전자 에너지 손실(E_g)은 약 3.95 eV이며, 제3 REELS 스펙트럼(623)에서 카운트가 최소가 되는 반사 전자 에너지 손실(E_g)은 약 1.98 eV이다.

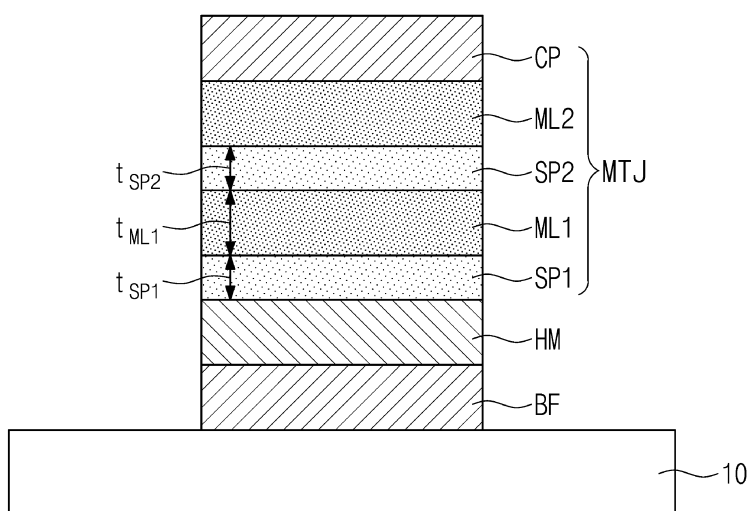
- [0061] 도 6a, 도 6b 및 도 6c를 참조하면, 제1 스페이서층(SP1)의 두께(t_{SP1})가 서로 다른 샘플들에서 금속층(HM)(즉, 백금(Pt))의 결정성이 실질적으로 동일하다. 특히, 도 6b를 참조하면, 제1 스페이서층(SP1)의 두께(t_{SP1})가 감소할수록 밴드 갭 에너지가 감소하는 경향을 보인다.
- [0062] 도 7a는 제1 스페이서층(SP1)의 두께(t_{SP1})에 대한 DMI 에너지 밀도(ΔE)의 관계를 보여주는 그래프이다. 이때, DMI 에너지 밀도(D_{eff})는 RKKY 상호작용을 기술하는 수식을 이용하여 이론적으로 계산된 결과이다. 도 7b는 도 7a로부터 $+\pi/4$ 또는 $-\pi/4$ 만큼의 위상 변화(phase shift)를 고려한 결과들이다. 도 7c는 제1 스페이서층(SP1)이 마그네슘 산화물(MgO)을 포함하는 제1 실험레(701)와 제1 스페이서층(SP1)이 마그네슘 산화물(MgO)보다 전도성이 높은(more conductive) 물질을 포함하는 제2 실험레(703)에 대해 계산된 결과들이다. 도 7a 내지 도 7c에서, 가로축은 제1 스페이서층(SP1)의 두께(t_{SP1})이고, 세로축은 DMI 에너지 밀도(단위는 mJ/m^2)이다.
- [0063] 도 7a 내지 도 7c를 참조하면, 도 5와 유사하게 제1 스페이서층(SP1)의 존재에도 불구하고 DMI가 사라지지 않고, 제1 스페이서층(SP1)의 두께(t_{SP1})에 따라 DMI 에너지 밀도가 진동하는 경향을 보인다. 보다 구체적으로, 제1 스페이서층(SP1)의 두께(t_{SP1})가 증가할수록 DMI 에너지 밀도는 진동하며 감소하는 경향을 보인다. 도 7c를 참조하면, 제1 스페이서층(SP1)이 마그네슘 산화물(MgO)을 포함하는 제1 실험레(701)의 경우에, 제2 실험레(703)보다, 제1 스페이서층(SP1)의 두께(t_{SP1})의 증가에도 불구하고 DMI 에너지 밀도가 오래 유지될 수 있다.
- [0064] 도 8은 제1 스페이서층(SP1)의 두께(t_{SP1})에 대한 제1 자성층(ML1)의 터널 자기 저항(tunnel magnetoresistance; TMR) 특성의 관계를 보여주는 그래프이다. 도 8은 제1 자성층(ML1)과 접촉하는 제1 스페이서층(SP1)이 마그네슘 산화물(MgO)을 포함하는 경우에 대해 측정된 결과이다. 도 8에서, 가로축은 제1 스페이서층(SP1)의 두께(t_{SP1})이고, 세로축은 터널 자기 저항 비율(TMR ratio)(단위는 %)이다.
- [0065] 도 8을 도 5 및 도 7a와 함께 참조하면, 약 1 nm 내지 약 3.5 nm의 두께를 갖는 제1 스페이서층(SP1)이 제공됨에 따라 금속층(HM)과 제1 자성층(ML1) 사이의 DMI 및 제1 자성층(ML1)의 터널 자기 저항 특성이 자기 메모리 장치의 동작이 가능한 정도로 유지될 수 있다.
- [0067] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

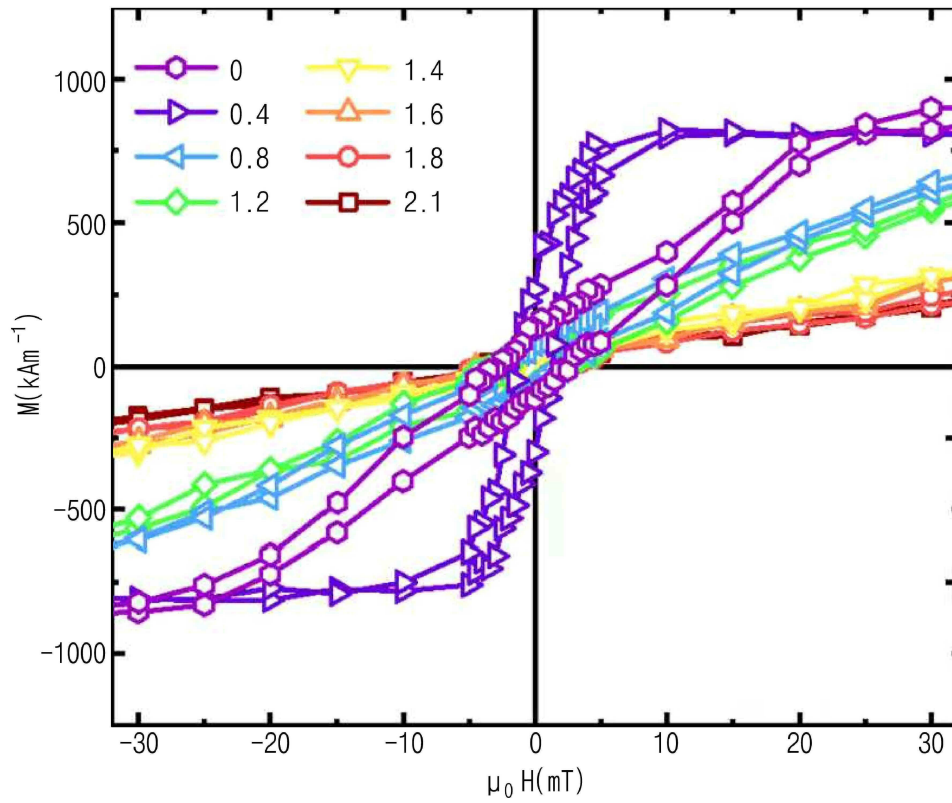
도면1



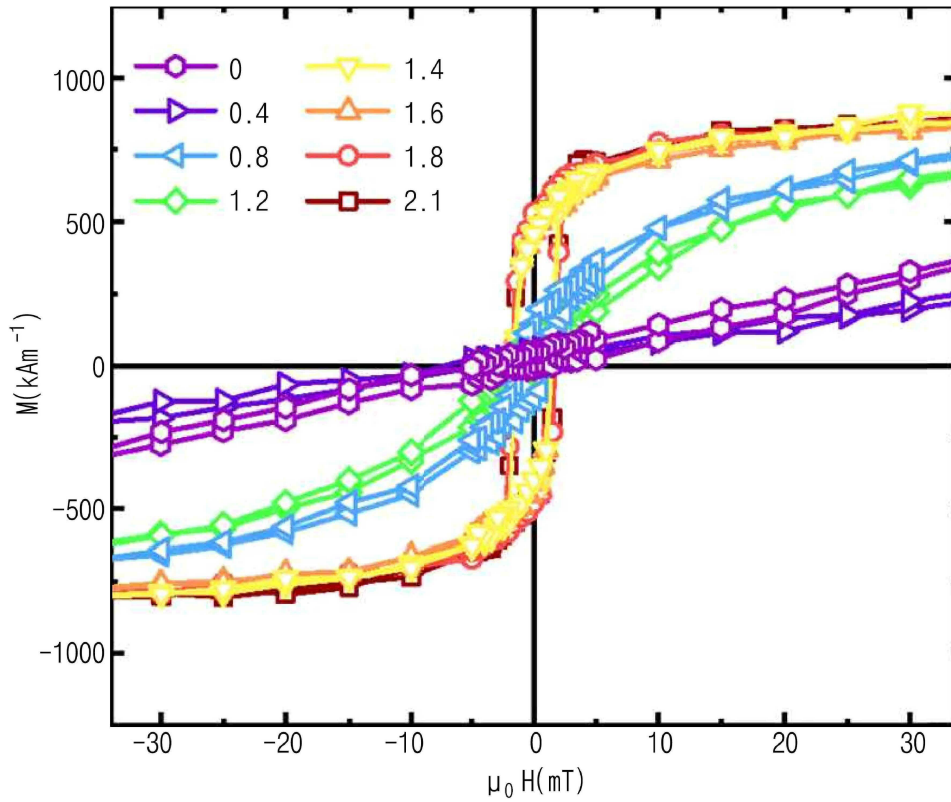
도면2



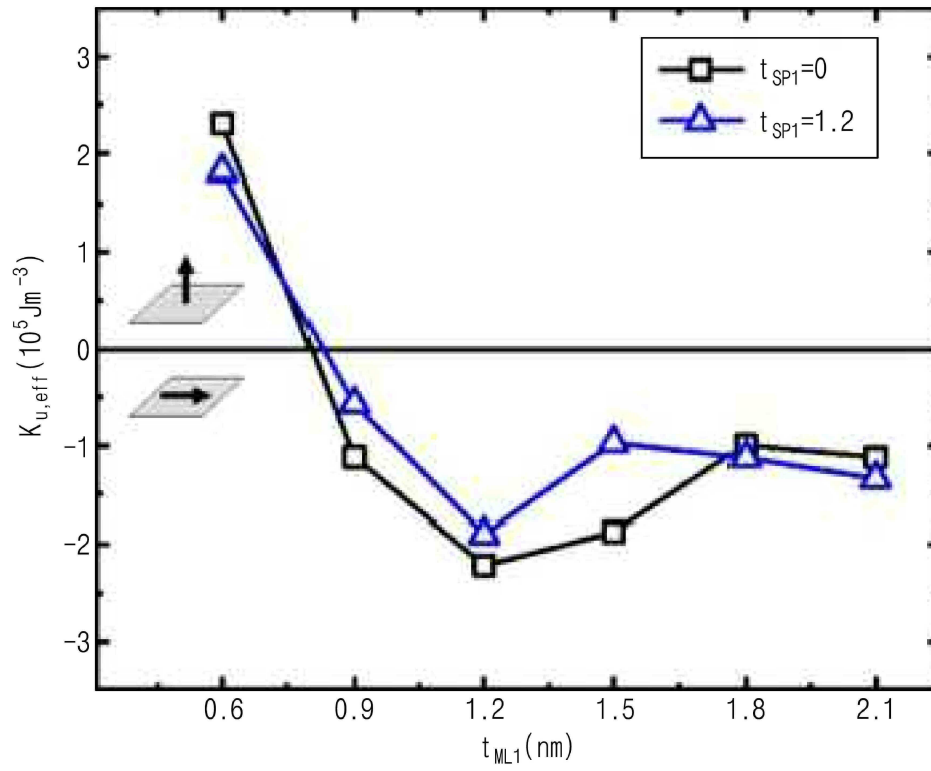
도면3a



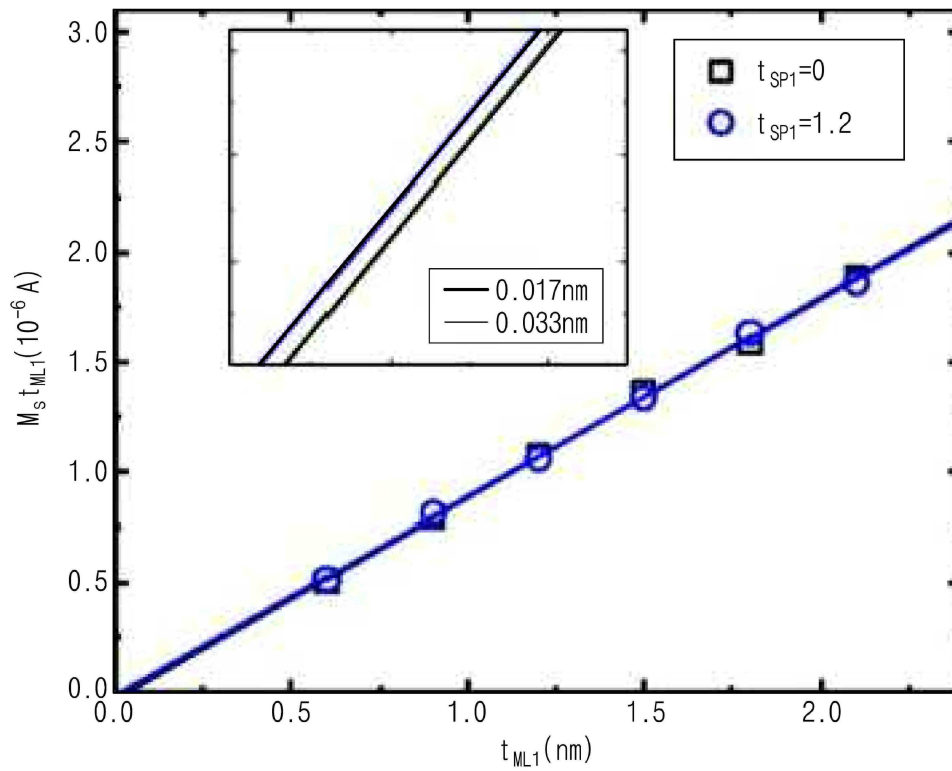
도면3b



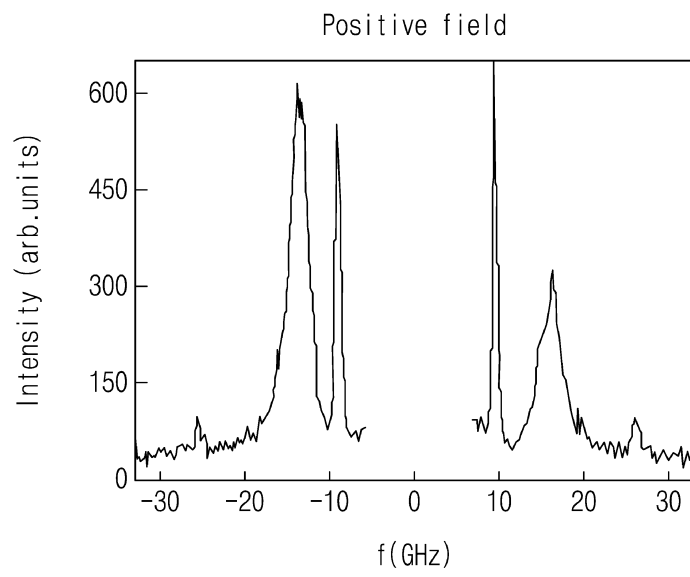
도면3c



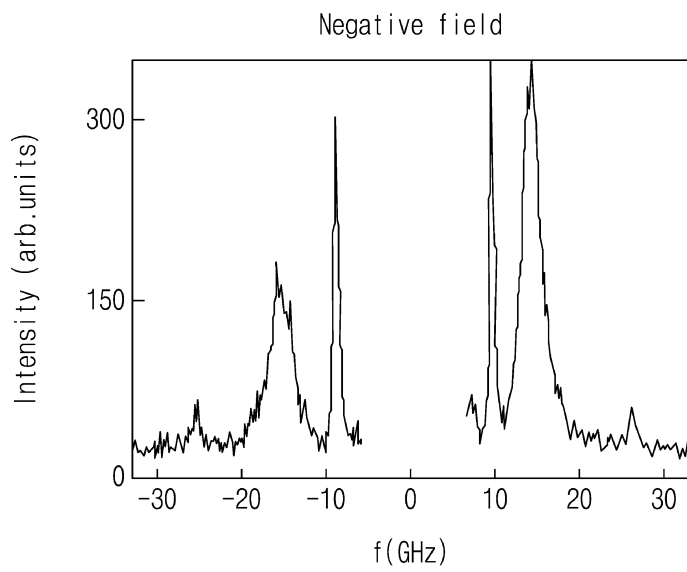
도면3d



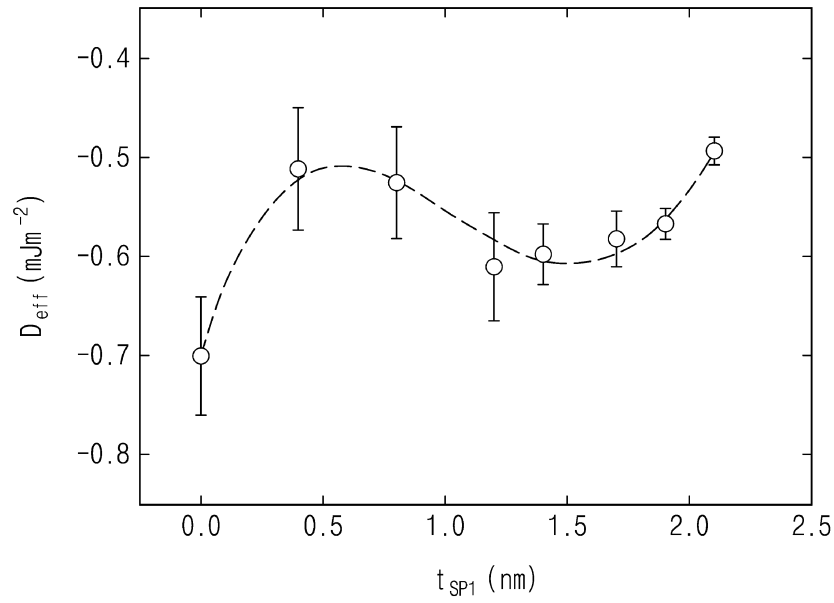
도면4a



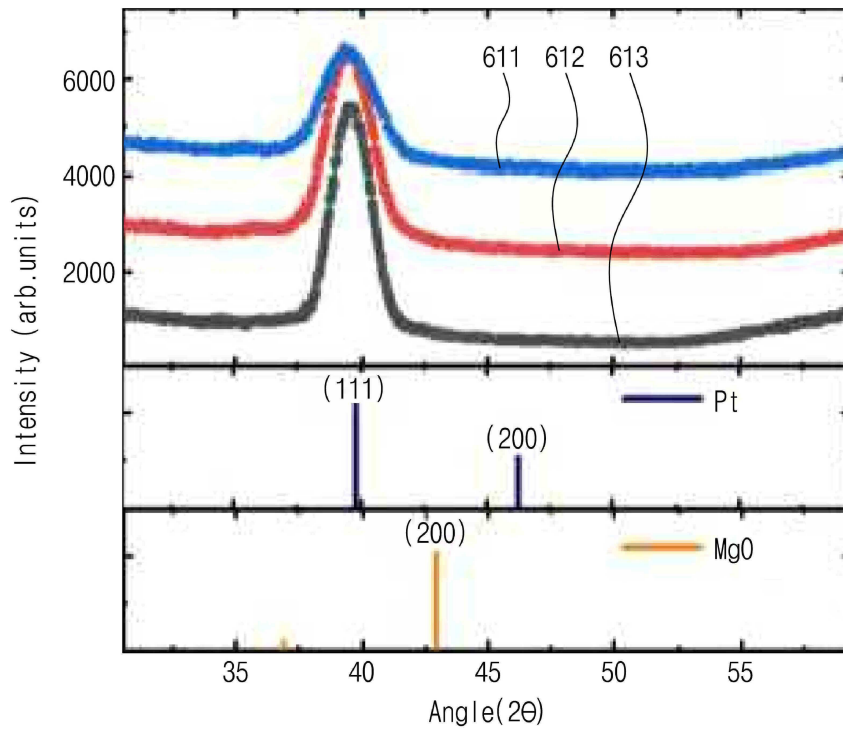
도면4b



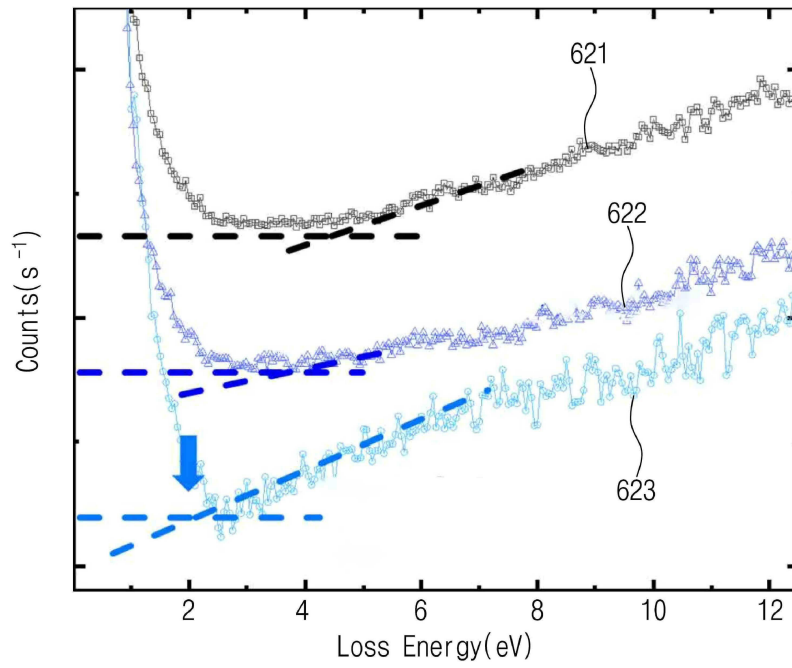
도면5



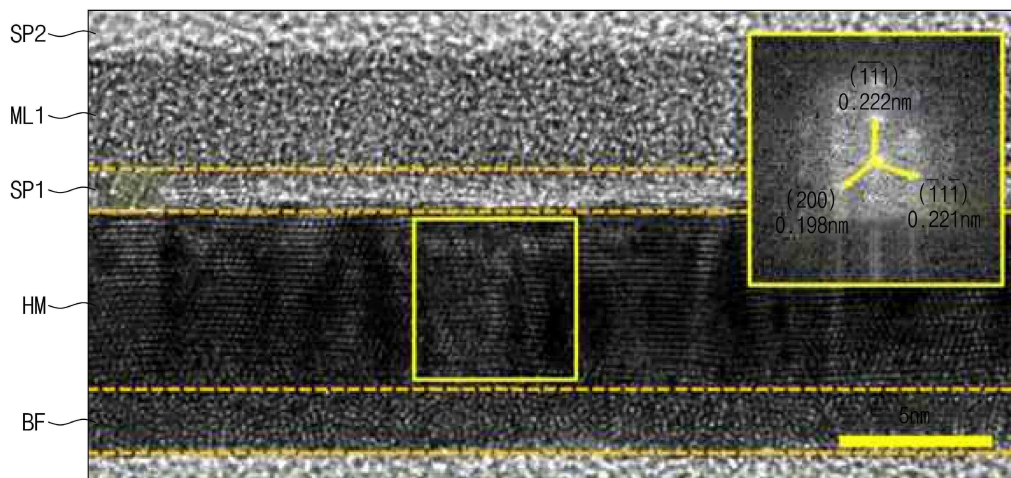
도면6a



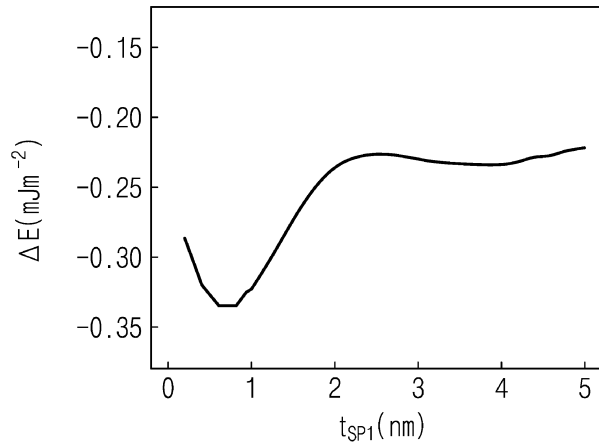
도면6b



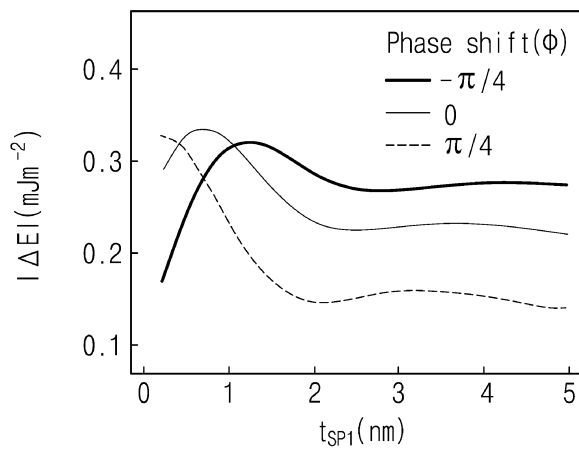
도면6c



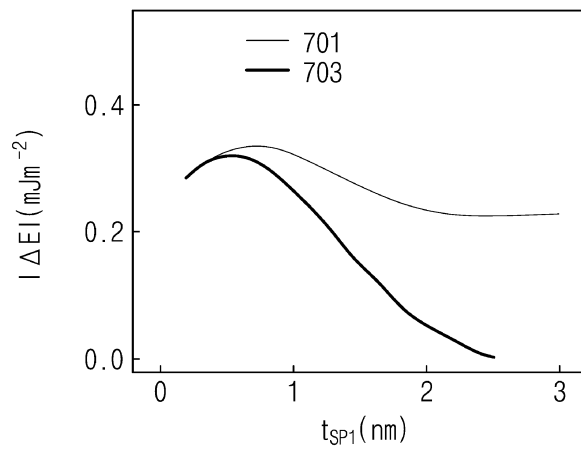
도면7a



도면7b



도면7c



도면8

