

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成22年11月18日(2010.11.18)

【公表番号】特表2002-533767(P2002-533767A)

【公表日】平成14年10月8日(2002.10.8)

【出願番号】特願2000-590153(P2000-590153)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/20 (2006.01)

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 6 0

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 2 2 B

G 0 9 G 3/20 6 2 4 B

【誤訳訂正書】

【提出日】平成22年9月21日(2010.9.21)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】発明の詳細な説明

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【0001】

本発明は、アドレス指定可能な配列およびこのような配列を組み込んだ空間光変調器に関する。

【0002】

本明細書における好ましい実施例に関して説明する空間光変調器は、能動半導体背面回路基板と共通の正面電極との間にスメクチック液晶層を配置した形態を採る。これは、比較的多数の画素を有し、高速で、且つ、可能なら安価な空間光変調器についての要求に応じて開発されたものであり、表示装置としてのみならず、他の光学処理形態（たとえば、相関・ホログラフィック・スイッチング）についても潜在的な用途を有する。この装置の他の態様は、本願と同一出願人による国際特許出願で扱われている（PCT/GB99/04285(代理人整理番号P20957WO)、優先権GB9827952.4; PCT/GB99/04286及びPCT/GB99/042768(代理人整理番号P20958WO及びP20958WO1)、共に優先権GB9827965.6; PCT/GB99/042828(代理人整理番号P20959WO)、優先権GB9827900.3; PCT/GB99/04279(代理人整理番号P20960WO)、優先権GB9827901.1; PCT/GB99/04275(代理人整理番号P20962WO)、優先権GB9827945.8並びにPCT/GB99/04260及びPCT/GB99/042677(代理人整理番号P20963WO、P20963WO1)、共に優先権GB9827944.1参照）。

【0003】

本願の空間光変調器の開発途中、一連の問題に遭遇し、それらを解決したが、これらの問題の解決策（構造、機能または方法の形を問わず）は、必ずしも本願実施例に適用するように制限されるわけではなく、他の用途を見出すことになろう。したがって、本発明の態様のすべては、必ずしも液晶装置に限られるものではなく、また、空間光変調器に限られるわけでもない。それにもかかわらず、後述する実施例を開発するに際して遭遇した問題についての論議を開示することが理解に役立つであろう。

【 0 0 0 4 】

液晶相は、19世紀から認識されていた。光変調器で液晶材料を利用する早期の試みが2、3あり、いずれも、商業的な用途ではかなり成功していた。しかしながら、1960年代の終わりから、1970年代では、より多くの材料で成功する率が高まり、より純度の高い材料が利用できるようになり、そして、技術の全般的な進歩により、光変調器において液晶材料を使用することに関心が再び高まってきた。

【 0 0 0 5 】

一般的に言って、この1970年代の期間は、ネマティック、コレステリック液晶材料を用いることで始まった。コレステリック液晶材料は、主として温度を測定したり、温度変化を示したりすることができるという点で、また、たとえば、不純物の存在に応答することができるという点で、センサとしての用途が見出されていた。このような場合、コレステリック螺旋のピッチは、検出しようとしているパラメータに敏感であり、ピッチに応じて、螺旋によって或る方向の円偏光に対して選択的な反射を生じる波長を変化する。

【 0 0 0 6 】

また、電気光学式変調器においてコレステリック材料を使用する試みもなされたが、当時、この分野での主たる研究目標はネマティック材料であった。初期の装置は、ネマティック動的散乱効果のような効果を使用していたが、表面誘起整列配向、偏光についての効果および細長い色素分子その他の細長い分子／粒子の再配向のような特性を使用するますます複雑な装置がそれを受け継いだ。

【 0 0 0 7 】

この装置のいくつかは、表面整列配向を適当に調整するか、あるいは、液晶相に光学的に能動的な材料を組み込むことによって、ネマティック相がねじれた構造を採用したセルを使用していた。このような材料は、コレステリック材料に似ているという見方があるが、特殊な形態のネマティック相と考えられることが多い。

【 0 0 0 8 】

最初は、液晶光変調器は、対向した電極支持プレートに挟まれた液晶材料層を包含する単一セルの形をしており、これらのプレートの少なくとも一方が透明であった。このようなセルは、動作が遅く、液晶材料の劣化により寿命が短くなる傾向があった。非常に早期に、液晶セルに平均的な直流電圧を印加するのは得策ではなく、少なくとも或る場合には、液晶材料そのものの電気分解によって劣化が生じることが認識されており、平均直流電圧をゼロにする機構が案出された。

【 0 0 0 9 】

現在は、直流電圧を印加したときに、他の効果も作用することが認められている。任意の時間にわたって液晶電気光学装置を駆動すると、残像として知られる現象が生じる可能性がある。この効果の正確な原因は未知であるが、直流電界全体に응答して材料内にイオンが閉じ込められるか、あるいは、空間電荷が誘起され、これが、外部直流電界が除かれたときでも残留電界を生じさせるという理論がある。電気分解破壊を避けるためにも、あるいは、残像を避けるためにも、液晶材料に印加される時間平均化電圧（すなわち、電圧が実際に外部ソースから液晶に印加されている時間にわたる平均）がゼロであることが、明らかに望ましい。

【 0 0 1 0 】

ネマティックセルの液晶層の厚さは、普通、約20～100ミクロンである。そして、ネマティック液晶セルと関連した単位静電容量値がそれ相応に小さくなる。さらに、全「OFF」状態から全「ON」状態へのスイッチング時間がむしろ比較的長くなる、普通、約1ミリ秒となる傾向がある。確実に駆動されない限り、「OFF」状態へ戻る緩和もいくぶん長くなる可能性があるが、この「OFF」状態は唯一の安定状態である。

【 0 0 1 1 】

同時に、複数の画素を包含する電気光学ネマティック装置も考案されていた。最初は、画素の片側に共通電極を有し、セルの反対側に複数の個々にアドレス指定可能な受動電極を有する形態（たとえば、7セグメント・ディスプレイ装置）であるか、あるいは、セル

の両側に交差する受動電極配列（たとえば、スキャンされる行、列の電極）の形態であった。後者の配置はかなりの融通性を持っていたが、画素間の混信に関連した問題があった。

【 0 0 1 2 】

印加電圧のアナログ変調によってのアナログ（グレイ・スケール）表示が必要なときには、状況は悪化した。その理由は、光学応答性が印加電圧に非線形に関係することにある。特に直流バランスも必要な場合、アドレス指定機構が比較的複雑となった。ネマティックセルの切替が比較的遅いことに関連して、このようなことを考えると、妥当な解像度を有するリアルタイム・ビデオ画像を得ることは難しい。

【 0 0 1 3 】

その後、能動背面回路基板装置が製造された。これは、背面回路基板とそれから隔たって対向する基板との間に配置した液晶材料層を有する。背面回路基板は、対応する画素を付勢するための複数の能動要素（たとえば、トランジスタ）を有する。この付勢は、通常、対向基板上に配置された1つまたはそれ以上の対向電極との協働作用を伴うが、背面回路基板そのものの、液晶層の平面とほぼ平行な領域に対向電極を設けることが可能となった。

【 0 0 1 4 】

普通の背面回路基板形態としては、シリカ / ガラス背面回路基板上の薄膜トランジスタと半導体背面回路基板の2つある。能動要素は、或る種の形態のメモリ機能を実施するように配置することができる。この場合、能動要素のアドレス指定に必要な時間は、画素をアドレス指定し且つ切り換えるのに必要な時間に比べて、短くなり、ビデオ・フレーム率で表示することについての問題を軽減する。

【 0 0 1 5 】

能動背面回路基板は、普通、動的ランダム・アクセス・メモリ（DRAM）または静的ランダム・アクセス・メモリ（SRAM）に非常に類似した配置で提供される。分布型配列のアドレス指定可能位置の各々で、SRAMタイプ能動背面回路基板は、2つの安定状態を有するように配置された少なくとも2つの接続したトランジスタを包含するメモリ・セルを包含し、その結果、セル（したがって、関連した液晶画素）は、後のアドレス指定段階で変えられるまで最後に切り換えられた状態に留まる。各位置は、その関連した液晶画素を電氣的に駆動し、それ自体が双安定となる。すなわち、画素静電容量がない。画素を駆動して既存の切り換えられた状態を維持するパワーは、SRAM位置の配列にも給電する母線から得られる。アドレス指定は、やはり、通常、周辺論理回路および列、行アドレス指定ラインから実施される。

【 0 0 1 6 】

或るDRAMタイプ能動背面回路基板においては、単一の能動要素（トランジスタ）が、各位置に設けてあり、関連した液晶画素の静電容量と共に、電荷蓄積セルを形成している。したがって、この場合、そして、SRAM背面回路基板とは異なり、液晶画素は、背面回路基板のDRAMの一体部分となる。液晶画素それ自体が双安定でない限り、位置と関連した双安定性はない。このことは、通常、ネマティック・画素に関する限り当てはまらない。その代わりに、アドレス指定されていないときに高いインピーダンスを与えて、静電容量からの電荷の漏洩を防ぐ能動要素と、DRAM位置の周期的なりフレッシュングとに依存する。

【 0 0 1 7 】

コンピュータ技術と関連した形態のRAMとは対照的に、画素回路、より重要には、画素トランジスタは、しばしば、少なくとも部分的に光にさらされる。このことは、特に画素がDRAM回路の一部であるDRAMタイプ背面回路基板の場合、光誘起導電率および電荷漏洩を含む問題の原因になり得る。この局面は、我々の継続中の出願でより詳しく扱われている（PCT/GB99/04279(代理人整理番号P20960WO参照)）。

【 0 0 1 8 】

薄膜トランジスタ（TFT）背面回路基板は、かなりの面積となり得る面積にわたって

基板（普通は、透明）上で分布させられる薄膜トランジスタの配列を有し、トランジスタをアドレス指定する周辺論理回路を備えている。従って、直接見ることで大面積画素付き装置を得ることが容易になる。それにもかかわらず、製造中の背面回路基板の歩留りと関連した問題があり、アドレス指定導体の長さは、スキヤニングに遅延をもたらす。T F T配列が、透明な基板（たとえば、ガラス基板）上に設けられるとき、該T F T配列は、実際に、液晶表示装置の前面あるいは後面上に設置することができる。

【 0 0 1 9 】

それらの全体的なサイズに鑑みて、トランジスタ、関連した導体および他の電気素子（たとえば、コンデンサ）によって占有されるT F T配列の面積は、比較的広くはない。したがって、T F T配列の面積は、D R A M構成に比べて、S R A M構成を使用する際に重大な欠点でとはならない。S R A M構成の背面回路基板は、液晶画素の遅いスイッチング時間と関連した問題の多くを克服する。

【 0 0 2 0 】

一般的に、T F T背面回路基板における能動要素は、F E Tと異なり、拡散トランジスタなどであり、その結果、関連するインピーダンスが比較的 low、関連した電荷漏洩が「O F F」状態で比較的高くなる。

【 0 0 2 1 】

半導体能動背面回路基板のサイズは、利用できる半導体基板のサイズと比較してサイズが制限されており、光学素子の介在なしに直接見るには適していない。それにもかかわらず、背面回路基板が非常に小さいということは、能動要素のアドレス指定速度を助ける。このタイプの背面回路基板は、通常、F E T、たとえば、M O S F E TあるいはC M O S回路を有し、「O F F」状態において比較的高い関連インピーダンスおよび比較的低い関連電荷漏洩を有する。

【 0 0 2 2 】

しかしながら、小型であるということは、また、特にD R A Mタイプより多くの要素を必要とするS R A Mタイプにおいて、トランジスタ、関連する導体その他の電気素子（たとえば、コンデンサ）によって占有される全光変調（配列）面積が、比較的広くなることを意味する。半導体背面回路基板は、可視光に対して不透明であるので、光変調器あるいは表示装置の後部基板となろう。

【 0 0 2 3 】

より後年、スメクチック液晶の使用でかなりの開発が行われた。この開発によれば、スイッチング速度が著しく大きくない限りネマティック相よりも潜在的に有利となったが、適切な表面安定化を伴えば、強誘電性ネマティックC相が、2つの安定した整列配向状態、すなわち、メモリ機能を有する装置を提供する。

【 0 0 2 4 】

このような装置における液晶材料の層の厚さは、普通、対応するネマティック装置よりもかなり小さい。通常、せいぜい2、3ミクロンのオーダーである。潜在的なスイッチング速度を変えることに加えて、この厚さは、画素の単位静電容量値を増大させ、次のアドレスが生じるまで1つの画素のところで切り換えられた状態を保持する際にD R A M能動背面回路基板の機能を容易にする。

【 0 0 2 5 】

しかしながら、液晶厚さが背面回路基板の下層構造と関連した厚さに近くなるほど、また、液晶セル構造が基板の撓みあるいは他の動きによって変形する可能性があるため、問題が生じる。たとえば、画素面積を横切ったの応答の一樣性およびセル厚さを横切ったの短絡の可能性についての問題が生じる。これらの要因は、我々の継続中の出願でより詳しく扱われている（PCT/GB99/04282(代理人整理番号P20959W0参照)）。

【 0 0 2 6 】

液晶セルまたは画素の長い緩和時間が可能であることまたは双安定性さえ可能であることにより、グレイ・スケール画像が必要なときに比較的新しいデジタル技術の導入が容易になる。その場合、画素は、グレイ・レベルに従って観察期間の一部にわたって「O N」

となる。本質的に、画像は、一連のビット・プレーンに演算分解される。この場合、各画素は「ON」あるいは「OFF」のいずれかであり、ビット・プレーンが順次に表示される。好ましい形態においては、すなわち、(通常バイナリの)重み付けビット・プレーン技術においては、ビット・プレーンの持続時間に重み付けがなされ、それによって、画像の合成に必要なビット・プレーンの数を減らし、アドレス指定要件をいくぶんか減らすことになる。

【0027】

画素構造 - スイッチング、アドレス時間

容量性要素を切り換えるのにSRAMタイプの背面回路基板を使用する場合、背面回路基板上の位置をアドレス指定するのに必要な時間は、容量性要素が応答したかどうかにかかわらず、その位置を切り換えるのに必要なだけに短くてもよい。位置は、常に、電源に接続されており、アドレス指定パルスが停止した後も容量性要素に電力(電流/電圧)を供給し続けることができる。

【0028】

対照的に、電力は、アドレス指定が行われている間のみDRAM位置から容量性要素に供給され、その後、能動要素(トランジスタ)がオフにされる。もしアドレス指定パルスが必要な電荷量を転送するには不十分な長さであるならば、容量性要素は不完全に切り換えられる。このことは、たとえば、容量性要素が、或る種のスメクチック液晶セルの場合の様に強誘電性材料を含む場合に、生じがちなことである。たとえば、大型配列において、アドレス指定時間が短くなる。

【0029】

1つの解決策は、アドレス指定パルス中に急速に荷電される付加的な「スラグ」静電容量を与えることであり、こうすれば、容量性要素がより長い時間にわたって切り換えを行いながら電荷溜めを得ることができる。この局面は、我々の継続中の出願においてさらに詳しく扱われている(PCT/GB99/04279(代理人整理番号P20960W0参照))。この参考資料は、それぞれの第1電極を付勢するための半導体基板上のアドレス指定可能な能動要素の配列を有する半導体能動背面回路基板を提供することに関するものであり、そこでは、少なくとも、前記電極の下方にある領域の一部が、コンデンサとして作用するようになっている。特に、前記部分は空乏領域として形成することができ、それによって、使用時、逆バイアス・ダイオードとして作用する。あるいは、個別のコンデンサ電極板を前記電極下方に形成し、1つを基板に接続し、他方を電極に接続するようにしてもよい。

【0030】

スメクチック液晶電気光学セル

スメクチック液晶相においては、分子は、コレステリック、ネマティック相によって示される配向秩序に加えて、位置秩序(「層」)を示す。そこにある多数の異なったスメクチックサブ相は、スメクチック層の構造全体において配向秩序が異なっており、最も普通なのは、スメクチックA相(SmA)およびスメクチックC相(SmC)である。

【0031】

スメクチック材料についての普通の整列配向は、セル厚さを横切って電界を印加することができるので、平らであり(分子が主セル面とほぼ平行であり)、スメクチック層がセルの平面に対して直角である。セル平面においてスメクチック層で、ホメオトロピック整列配向を得ることが可能であり、このような装置は急速屈折率変調器となることができる。しかしながら、切り換えのために適切な電界を印加するためには、非常に小さい電極ギャップが必要であり、したがって、このような装置は、非常に小さい能動領域を有する傾向がある。その結果、このタイプの装置は比較的珍しい。

【0032】

スメクチックA相において、配向方向(ディレクタ)は層の平面に対して直角である。配向方向に対して直角に電界を印加することにより、電界強さにほぼ線形に従属する量だけ、配向方向を、印加電界に対して平行な軸線まわりに傾斜させ、アナログ・グレイ・スケール変調を達成することが可能になる。光の偏光が影響を受けるので、強度変調または位

相変調を達成することができる。そして、配向方向の回転がセルの平面において行われるので、通常、入射光は、常に、材料の光軸に対して垂直である。セルの厚さと関連して、このことは、このような装置のため視角を向上させることになる。この効果（エレクトロクリニク効果と呼ばれる）は、極めて急速であり、約100ナノ秒までのスイッチング時間短縮が観察された。

【0033】

スメクチックC相において、配向方向は、スメクチック層の平面と一定（「傾斜」）角度をなす。傾斜角度は、材料および温度に依存し、スメクチック層にその先端があり、その軸線がこの層に対して直角であり、配向方向のすべての可能性ある位置が表面にある円錐を構成する。キラル・スメクチックC相（SmC*）のバルクにおいて、配向方向は、螺旋と同様に層から層へ歳差運動的に変化する。

【0034】

キラル・スメクチックC相において、液晶材料は強誘電体であり、永久双極子を有する。これは、時に、自発分極（ P_s ）と呼ばれる。バルク材料においては、 P_s は、配向方向が歳差運動的に変化するにつれて層の平面において回転するので、正味効果は観測できない。もし歳差運動的な変化が、装置の平面に位置する配向方向の2つの向きだけが可能であるように配向方向の表面安定化および/または反対の対掌性キラル物質でバック・ドーピングすることによって抑制されるならば、バルク強誘電性は観察され得る。

【0035】

スメクチックC*材料は、それぞれ、高傾斜及び低傾斜材料として知られる2つのクラスに広範囲にわたって分割され得る。クラスI材料は、層シーケンス、アイソトロピック-ネマティックA*-スメクチックC*を有し、約22.5°（45°の円錐角度）まで全般的にグループ分けされた傾斜角を有する低傾斜材料となる傾向がある。クラスII材料は、相シーケンス、アイソトロピック-ネマティック-スメクチックC*を有し、より大きい傾斜角を有する高傾斜材料となる傾向がある。75°より大きい円錐角度を有する材料は、希であるが、位相変調を必要とするホログラフィック用途の場合、90°の円錐角度が理想であろう。

【0036】

低傾斜材料の場合、スメクチック層は、直角以外の角度でセル表面に対して傾斜し、その結果、配向方向円錐は、傾斜軸線を有し、その表面は、セル表面に対して接線方向となる。高傾斜材料の場合には、円錐軸線は、セル表面に対して直角となる。

【0037】

構造が表面安定化されると、理論的には、少なくともクラスI材料の場合、低傾斜材料の2つの状態間には優先度はなく、双安定構造となるはずである。表面安定化は、単にセル内の層を薄くすることによって達成され得る。2つの状態は、偏光に異なった効果を奏し、したがって、強度変調または位相変調を提供できる。実際、特にシリコン背面回路基板で真の双方向性を得ることは非常に難しいか、不可能であり、一方の状態が他方の状態に対して軽い優先度がある。それにもかかわらず、これは、比較的長い緩和時間を生じるはずである。

【0038】

高傾斜材料の場合、2つの状態は同等ではなく、一方の状態が他方の状態よりも優先し、その結果、なんら他の要因のない状態で単安定性となる。これら2つの状態は、光の位相変調を得ることができるようにするものであり、間接的に、たとえば、ホログラフィック用途において、強度変調を行うことができる。高低両方の傾斜材料は、本発明の空間光変調器において使用することができる。

【0039】

安定性 / 緩和

自発偏光の存在および液晶分子が電界の影響の下に再整列するときのその再整列は、たとえば、再整列中にスメクチック層の両側の電極間の有意の付加的な電流あるいは電荷を生じさせることになる。面積Aの画素は、スイッチング中、 $2AP_s$ の電荷を消費するこ

となる。このファクタは、画素スイッチングがD R A Mタイプの能動背面回路基板によって制御されるとき、すなわち、画素静電容量および P_s が重要な設計パラメータとなっているとき、特に重要である。また、本発明の好ましい実施例における同様に、アドレス指定パルスが画素スイッチングには不十分に長い場合、電荷消費がこのような装置において電極を横切る電界を低減することに注目されたい。

【 0 0 4 0 】

既に説明したように、ここに記載した背面回路基板の使用は、液晶装置に限られない。しかしながら、これらの背面回路基板は、液晶装置の製造で使用するのに特に適している。ここで再び、このような装置においてネマティックあるいはコレステリック材料を使用することは可能であるが、スイッチング作用がより急速であるため、スメクチック材料を使用することが好ましい。

【 0 0 4 1 】

スメクチック材料が好ましいとする他の理由は、急速スイッチング時間である。D R A Mタイプ能動背面回路基板を使用する場合（背面回路基板がS R A Mタイプであるときには、パワー／電流が各画素に連続的に与えられる可能性があるので、これは適用できない）、ひとたび画素が所望の状態に置かれたならば、緩和時間を延ばすことができ、双安定効果さえ得ることができる。緩和が生じる場合における急速なスイッチング時間を有することの1つの利点は、観察時間に使用できる画素繰り返しアドレス期間の一部を増大させることにある。別の利点は、特に光学処理が関係する場合、データ・スループットの増大にある。

【 0 0 4 2 】

静電安定化

画素が一方向へ切り換えられたときに生じる電荷消費は、画素が他方向に切り換えられたときに対応する電荷を発生させる。したがって、切り換えられた画素が完全に電氣的に隔離されている場合には、電荷は流れることができず、画素は緩和できない。D R A Mタイプ配列の動作において、この状態は、配列のすべてのトランジスタをオフにすることによって実施され得る。そして、好ましい実施例においては、すべてのトランジスタをオフにすることは、行スキナに大域リセット信号N R A Rを与えることによって可能となる。また、アドレス指定機構の或る種の実施例においては、ひとたびフレーム内のすべての行がスキャンされてしまったならば、次のフレーム・スキャンのスタートまで、すべてのトランジスタがオフ状態のままにされる。（交流安定化を有するものを含めた、アドレス指定機構の他の実施例は、トランジスタをオンにしたままにしなければならない）。

【 0 0 4 3 】

実際には、電荷漏洩は完全に除去することはできず、したがって、緩和が、長期間にわたって生じることになる。電荷漏洩の普通の原因は、先に延べた静電容量と関連した光導電性および／またはD R A M配列の関連したスイッチング・トランジスタにおける光導電性または他の漏洩電流である。

【 0 0 4 4 】

したがって、電気絶縁は、緩和時間を長くするには有用であるが、ツールとしては不完全である。材料およびセル設計の適切な選択によって、または、電気絶縁によって、長い緩和時間が達成されるかどうかの重要なファクタは、画素が本質的に所望状態に維持されるべき間に、この画素の連続するアドレス指定の間に十分な時間をとることができるということである。

【 0 0 4 5 】

A C 安定化

緩和中、配向方向は装置の平面方向から他の位置に回転する。電界が材料に付与された場合、電界それ自体が材料の偏光を誘発する。そして、偏光が電界に反応し、電界の二乗に比例し、したがって、電界極性から独立したトルクを生じさせる。負の誘電率異方性を有する材料の場合、このトルクは、画素の平面に分子を維持するように作用し、それによって、液晶の配向方向をその切り換えられた状態のいずれかに「錠止」する。こうして、

連続したアドレス指定（通常、スイッチング電圧に対する低振幅）間の交互の電界の連続付与が、配向方向の、別の向きへの緩和を防ぐ。2つの好ましい向きのいずれかから配向方向が回転するいかなる傾向も、配向方向をそれが持つべき向きに回転させる交流電界によって効果的に直ちに反作用を受ける。この効果は、交流電界が存在する限りその間に得られるはずであり、その結果、装置は、あたかも双安定性であるかのようにふるまう。

【0046】

D R A M配列装置においては、この効果は、D R A Mスイッチング・トランジスタのすべてを大域的にオンとし、列電極のすべてに同じ直流信号（たとえば、ゼロまたはVボルト）を印加し、共通正面電極に交流電圧を、列電極に付与された直流レベルと一致する直流レベルを伴って印加することによって、得ることができる。

【0047】

切り換えられた画素状態をこのように無限に続けることは、同じ光学状態を数日、数ヶ月あるいは数年にもわたって維持する必要がある或る種のタイプの光学的処理において特に重要である。

【0048】

したがって、配列の動作中、複数の行を、より好ましくは、すべての行を同時に使用可能とすることができ、各列にある使用可能とされた画素が、すべて、同時に同じ状態にされ得ることが望ましいことは明らかである。この点は、1つの画素の切り換え状態を延長させるために空白化、交流安定化を行うことに関連して既に説明した。この仕方は、また、電位の直流パルスが付与する時間を明確かつ精密に定めることができるので、望ましい。このことは、直流バランシングを考慮するときに望ましい。この段階に続いて、交流安定化を使用しない場合には、また、使用可能とされたトランジスタを使用不可能にする、好ましくは、配列全体にわたって大域的に使用不可能にし、たとえば、液晶セルの短絡による緩和を防ぐことも望ましい。

【0049】

後述する実施例においては、列に送られた並列データが同じであり、すべての行が使用可能とされるので、配列全体が0または1にされ、それによって、配列を空白にすることができる。もし列に沿った並列データが変化するならば、垂直方向へ筋の入った画像が生成される。

【0050】

空白処理中の正面電極と列の間の電位差がゼロである場合、画素が短絡されることになり、それによって、緩和が生じ得る。あるいは、電位差は、正または負の直流であってもよく、その場合、すべての画素を比較的急速にオンまたはオフに駆動する。もし直流電位差がゼロであるが、小さい交流電圧が、好ましくは、共通正面電極上に存在するならば、或る種の環境において、画素は、現在の状態に維持され得る（交流安定化）。

【0051】

したがって、本発明は、電氣的にアドレス指定可能な要素の配列またはこのような配列を包含する能動背面回路基板を提供する。そこにおいては、前記配列は、前記要素の複数の互いに重なり合わない組と、一度に1つずつ前記組をアドレス指定するように配置した手段と、前記複数のセットの2つ以上（好ましくは、すべて）の組（「選択組」）を同時にアドレス指定する手段とを包含する。多くの配列は、直交する導体の組を経てアドレス指定される。そして、たいていの普通の配列形態は、アドレス指定可能な行（組）と列として配置されるが、他の配置も可能である。たとえば、極座標（距離および角度）に基づいた配置も可能である。しかしながら、現代のコンピュータ技術および標準の変換器は、大多数の場合、その他のフォーマットを利用不可能なものにする傾向がある。

【0052】

好ましくは、アドレス手段は、複数のステージを有する少なくとも1つのシフト・レジスタを有し、前記組の各々が、それぞれのステージの出力部に接続される。したがって、1つのレジスタの動作開始時に挿入される指示信号は、このレジスタをクロック・ダウンし、順次に各組をアドレス指定することができる。好ましくは、レジスタあるいはそれ以

降の回路からの出力は、さらに別の要素の組がアドレス指定される前に、(クロック)パルスに 응답してアドレスを除去するように構成される。

【0053】

シフト・レジスタの出力ステージ、または出力ステージと(「選択」)組との間の回路は、第1制御入力部を包含し得る。この第1制御入力部は、活性化されたときに、「選択組」のすべてに第1の所定信号を送る。この第1の所定信号は、選択組のすべての要素を同じ第1の所定状態に切り換えるのに使用され得る。そして、使用時、好ましい実施例においては、第1の所定信号は、DRAMタイプ配列のすべてのスイッチング・トランジスタをオンにするのに役立つ。

【0054】

シフト・レジスタの出力ステージ、または出力ステージと(「選択」)組の間の回路は、さらに、第2制御入力部を包含することができる。この第2制御入力部は、活性化されたときに、選択組のすべてに第2の所定信号を送る。この第2の所定信号は、第1の所定信号と異なり、選択組のすべての要素を同じ第2の所定状態へ切り換えるのに使用され得る。使用時、好ましい実施例においては、DRAMタイプ配列のすべてのスイッチング・トランジスタをオフにするのに役立つ。

【0055】

好ましくは、第1、第2の所定信号のうちの1つが他方よりも優先するように構成される。

【0056】

要素が行(組)および列として配置されているとき、2つのシフト・レジスタがあり得る。1つは奇数行用、もう1つは偶数行用とすることができる。1つのシフト・レジスタだけからの出力がいつでもアクティブ(活動)であり、前の行のアドレスの除去に続いて1つだけの行がアドレス指定されるように構成してもよい。

【0057】

シフト・レジスタは、一度に1つレジスタだけをクロッキングするように構成した手段でクロックされ得る。このクロッキング作用は、たとえば、1つのフル・レジスタをクロッキングし、次いで他のレジスタをクロッキングすることによって、あるいは、各レジスタを交互にクロッキングすることによって、必要に応じて逐次的(累進的)あるいは飛び越しスキップを行い、一度に1つの行をアドレス指定するように変更可能である。しかしながら、たとえば、奇数行及び偶数行からなる隣り合った対について、両レジスタからの出力を同時にアクティブにすることも可能である。

【0058】

シフト・レジスタ(単数または複数)によってアドレス指定される要素組の数を増やすために、シフト・レジスタの出力部の後にデマルチプレクサを設けてもよい。これは、また、アドレス指定することができる行の数を増大させる。

【0059】

配列の要素が第2のアドレス指定可能な入力部を有する場合、複数の前記列(好ましくは、すべての列)の第2のアドレス指定可能な入力部を同時にアドレス指定することができる。

【0060】

第2のアドレス指定可能な入力部は、デマルチプレクサを経てより少ない数 n の並列データ・ラインからデータを受け取るように配置することができる。デマルチプレクサは、並列の入力ラインからデータを受け取るための複数(n 個)の選択的に作動可能なラッチを包含してもよい。この場合、ラッチの選択動作は置き換えられ得る。その結果、データをラッチし、すべての列に同時に送ることができる。これは、配列が空白のとき等に使用できる。

【0061】

本発明のさらなる特徴および利点は、特許請求の範囲、および、添付図面を参照しながらの以下の実施例の説明を考慮することから明らかとなろう。

【 0 0 6 2 】

図 1 は、厚膜アルミナ・ハイブリッド基板またはチップ・キャリア 2 上に装着した液晶セル 1 の概略横断面図である。このセル 1 は、図 2 の展開図に示してある。電気光学装置を装着するためのハイブリッド基板の使用は、我々の係属中の出願でさらに詳しく論議されている（PCT/GB99/04285(代理人整理番号P20960WO参照)）。

【 0 0 6 3 】

セル 1 は、能動シリコン背面回路基板 3 を有し、これの中心領域は、320 列、240 行に配置された能動ミラー画素の配列 4 を提供するように形成してある。配列の外側で、背面回路基板 3 の縁から隔たって、周縁接着剤シール 5 があり、このシールは、正面電極 6 の周縁領域に背面回路基板 3 をシールする。図 2 は、接着剤シールが途切れ、組み立て済みのセル内に液晶材料を挿入できるようになっていることを示し、液晶材料の挿入後、シールが、同じ接着剤の更なる使用によって、あるいは、それ自体公知の任意他の材料または手段によって完全にされる。

【 0 0 6 4 】

正面電極 6 は、背面回路基板 3 に対面する下面上に被覆されたほぼ矩形の平らなガラスまたはシリカの基板 7 を有し、導電性のシルク・スクリーン加工した連続的なインジウム・スズ酸化物層 8 を備える。基板 7 の 1 つの側縁には、蒸着したアルミニウム縁接点 9 が設けてあり、この接点は基板の縁まわり、そして、層 8 の一部を覆って延びており、それによって、組み立て済みセル 1 における層 8 に対する電気接続部となる。

【 0 0 6 5 】

背面回路基板 3 のシリコン基板上に形成された絶縁スペーサ 25 が、シリコン基板から所定の精密で安定した距離のところに正面電極 6 を設置するように上方へ延びており、液晶材料がこの様にして定められたスペースを満たされる。後に説明するように、スペーサ 25 および背面回路基板 3 が、シリコン基板上に形成されると同時に、同じステップのすべてあるいは少なくとも若干を用いて能動背面回路基板の要素がシリコン基板上に形成される。

【 0 0 6 6 】

図 3 は、セル 1 の動作と密接に関連した印刷回路基板上の回路の概略図であり、ここには、背面回路基板 3 および正面電極 6 として概略的に示してある。背面回路基板 3 は、インタフェース 13 を経てメモリ 12 からデータを受け取り、そして、背面回路基板 3、正面電極 6、メモリ 12 およびインタフェース 13 のすべては、プログラム可能な論理回路モジュール 14 の制御下にあり、このモジュールそれ自体はインタフェース 15 を経て PC のパラレル・ポートに接続している。

【 0 0 6 7 】

図 4 は、能動背面回路基板 3 の配列（「平面図」）の全般的な概略図を示している。

【 0 0 6 8 】

図 5、6 を参照しながら後で詳細に説明するように、画素能動要素の中央配列 4 の各々は、1 組の行導体の 1 つに接続したゲートを有する NMOS トランジスタと、1 セットの列導体の 1 つに接続したドレン電極と、ミラー電極の形をしているか、あるいは、ミラー電極に接続しているソース電極または領域とを、本質的に、有する。普通の正面電極 6 の対向部分と、介在したキラル・スメクチック液晶材料 20 と共に、後部設置ミラー電極は、容量特性を有する液晶画素セルを形成する。

【 0 0 6 9 】

奇数行、偶数行の導体は、配列の両側に隔たったそれぞれのスキャナ 44、45 に接続している。各スキャナは、シフト・レジスタ 44a、45a と配列の間に介在するレベルシフト 44b、45b を包含する。使用時、指示信号は、レジスタに沿って送られ、順番に個々の行を使用可能にする（関連したトランジスタに通電する）。そして、レジスタの適当な制御によって、異なったタイプのスキャン、たとえば、インターレース式またはノンインターレース式のスキャンを所望に応じて実施することができる。

【 0 0 7 0 】

偶数列、奇数列の導体は、配列の頂部、底部から隔たったそれぞれのドライバ42、43に接続している。各ドライバは、32から160のデマルチプレクサ42a、43a、供給ラッチ42b、43bおよびラッチ、列導体間のレベルシフト42c、43cを有する。使用時、5相クロックの制御の下に、連続した組の32の奇数または偶数列導体のためのメモリ24からのデータが、縁結合パッド46、47の組からデマルチプレクサ42a、43aへ送られ、列導体に駆動電圧として供給するために42c、43cのところでレベルシフトされる前に42b、42cのところでラッチされる。行スキヤニングと列駆動との同期により、適切なデータ駆動電圧が、1つの行の使用可能なトランジスタを経て液晶画素に与えられる。この目的のために、種々の制御回路48およびテスト回路48'が設けてある。

【0071】

引き続いてその行を使用不可能にすることで、トランジスタが高インピーダンス状態になり、データに対応する電荷が、たとえば、別の画像を書き込む（あるいは同じ画像を書き直す）かまたは現在の画像を安定させるために、この行が再びアドレス指定されるまで、或る延期期間にわたって容量性液晶画素上に維持される。

【0072】

図5に概略的に示すように、能動背面回路基板は、p型シリコン基板51に基づいている。配列4の領域において、それは、NMOSトランジスタ52、画素ミラー53および絶縁スペーサ列25を包含する。基板51は、まず、下方のほぼ連続するシリコン酸化物層57によって覆われ、次いで、上方のほぼ連続するシリコン酸化物層58によって覆われる。スペーサに類似し、そして、同様の高さを有するように構成した絶縁畝状体が配列4の領域外側に形成される。絶縁性の柱状態および畝状体の機能は、正面電極22とシリコン基板51との間に一定の正確な間隔を確保し、背面回路基板と正面電極間との短絡を防ぐと共に、液晶画素配列における電氣的、光学的な一様性および動作を得ることにある。

【0073】

ここで、図5が単に背面回路基板における異なった高さを示し、要素の他の空間的配置が実際に見出されるものと一致しているわけではないことは了解されたい。図6は、全般的に図5のものに類似する、トランジスタおよびミラー電極の実際の配置の平面図であるが、列25は図示していない。トランジスタ52は、回路それ自体の最も高い部分である。

【0074】

これらの層に加えて、トランジスタ52は、さらに、層57上の金属ゲート電極59と、層58上の金属ドレン電極60とによって構成されている。電極59、60は、それぞれ、行導体61、列導体62に接続されている。トランジスタ52のところで、層57は、非常に薄いゲート酸化物層55によって基板51から隔たったポリシリコン領域56を含むように修正されている。

【0075】

トランジスタ・ソースは、層58内の大きい拡散領域63の形をしており、これは、画素ミラー53の電極65に接続され、ゲート領域64は、ほぼ列、行導体61、62の交差領域の下に位置し、充填率を最大にすると共に、それを入射光から保護している。

【0076】

画素ミラーは、層58上の画素電極65によって形成される。この電極は、ドレン電極60と同じ金属で作っており、そして、ドレン電極60と同時に形成される。ミラー電極65の大部分の下方には、基板51内に空乏領域66が形成されている。組み立て済みの装置において、画素電極は、2ミクロンよりいくぶん小さい距離だけ対向した正面電極から隔たっており、間に、スメクチック液晶材料20が介在する。

【0077】

画素ミラーはほぼ平らである。これは、下層の別個の回路要素が内からである。また、画素ミラーは、画素面積の65%の割合（充填率）を占める。充填率を最大にするという

必要性は、2つのトランジスタおよびそれらに関連した要素により多くのスペースを振り向ける必要のあるS R A Mタイプよりもむしろ、D R A Mタイプ背面回路基板を使用することを決定する際の1つの重要点である。

【0078】

各画素と関連したある絶縁性の列または柱状体は、背面回路基板21の残りの部分でより上方に延びるが、これはまた、基板51を覆う層57、58と、層57、58間の第1金属膜67と、層58と正面電極(使用時)22との間の第2金属膜68とを含む。第1、第2の金属膜67、68は、同じ金属で、トランジスタ52の電極59、60と同時に蒸着される。スペーサの領域において、基板は、フィールド酸化物層69を得るように修正されており、層57の底部は、薄い酸化物層71によって隔たった2つのポリシリコン層70、72を得るように修正されている。

【0079】

金属層を含むにもかかわらず、スペーサは、正面電極と能動背面回路基板との間に良好な絶縁を与える。このように絶縁スペーサを形成することによって、背面回路基板上の他の要素に対して正確にこれら絶縁スペースを位置決めすることができる。それによって、光学的あるいは電氣的な特性との任意の干渉を回避することができる。そして、同じプロセスをそこで使用して、背面回路基板の能動および他の要素と同時に、同じプロセスを用いてそれらを製作することによって、コストおよび効率に関して有利となる。

【0080】

上述したように、このように形成した画素セルは、静電容量を有する。キラル・スメクチック液晶材料は強誘電性であるから、分子の再整列を生じさせるに十分な電界を付与することで、付加的な電荷転送を行うことができる。この効果は、液晶材料が再整列するのに時間がかかるので、時定数と関連している。

【0081】

再整列時に電荷が流れるための要件および関連した時定数は、多数の帰結を有する。特に、再整列が比較的急速であり得る場合、装置の急速スキャンングのために必要なよりもかなり小さくてよい。

【0082】

S R A Mタイプ背面回路基板の場合、画素の状態は、次のアドレス指定まで保持され、バス電流から供給されるパワーは、再整列が完了するまで供給され得る。しかしながら、D R A Mタイプ背面回路基板の場合、パワーは、アドレス指定期間中にのみ各画素に供給される。セルの静電容量値は、比較的小さく、再整列が完了するのに十分な電荷を保持することができない。

【0083】

この問題を処理する1つの方法は、画素がアドレス指定されたときに急速に荷電される付加的な「スラグ」静電容量を各画素に与えることである。この電荷は、その後、液晶分子が再整列し、次の画素がアドレス指定されるにつれて消費される。したがって、スラグ静電容量は、アドレス指定パルスが再整列時間と同じくらい長い時間を必要とすることを効果的に排除する。

【0084】

図5において、拡散層66は、使用時、逆バイアスされたダイオードを形成し、その空乏領域が、スラグ静電容量として作用する。

【0085】

この実施例において使用されるスメクチック液晶は、単安定整列性を有し、次のアドレス指定まで切り換えられた状態に留まるD R A Mタイプ画素の場合、電荷漏洩を制限することが重要である。ある意味では、当初の状態に緩和を可能にする電荷漏洩の量が比較的大きいという点で、再整列中に付加的な電荷変位があるという事実は有用である。その場合、オリジナル状態への緩和を許す電荷漏洩量は比較的大きい。

【0086】

普通のカプセル化されたコンピュータで使用されるD R A Mと異なって、照明光は、背

面回路基板に浸透する可能性がある。もしそれが敏感な要素に達するならば、光導電性が、スキャン期間よりも短い時間で画素の緩和を生じさせる可能性がある。これは、偶発的として許すべきではない。したがって、(a)できるだけ敏感な要素に光が浸透するのを減らし、(b)それにもかかわらずなお浸透する光の影響を軽減するステップを採用する必要がある。

【0087】

図5、6において、ステップ(a)は、トランジスタ52、特にそのゲート領域が金属導体60、61の直ぐ下に位置している限り実施される。この場合、領域66(特に感光性が強い)によって提供されるダイオードは、ミラー層65によって大きく隠されている。スラグ静電容量および光導電性効果の回避に関するさらなる詳細は、我々の係属中の出願に見出される(PCT/GB99/04279(代理人整理番号P20960WO参照))。

【0088】

図1~6の配置における65%の充填率が許容できるほど十分に高い場合、ミラー電極の反射率は最適化されない。その理由は、その材料が背面回路基板の能動要素を製造する際に使用されるものと同じだからである。

【0089】

平面全体を覆って蒸着された連続頂部絶縁層を背面回路基板に設けることは、通常の半導体製造工場の実務である。そして、先の図の配置を製造するためには、この絶縁層を除くか、または、それを第1平面に付与するのを避ける必要がある。

【0090】

しかしながら、背面回路基板の部分的あるいは完全平面化によって、ミラー電極の充填率および反射率を向上させることができる。

【0091】

部分的な平面化の場合、頂部絶縁層は保持されるが、下層電極パッド65まで延びる通路は、ミラーとしてもはや機能しないほど小さくなる可能性がある。非常に反射率の高いミラー・コーティングが、画素面積の大部分を覆って蒸着され、前述の通路に接続される。

【0092】

この構造は、とりわけ、高い充填率、非常に反射率の高いミラー電極および下層の半導体材料までの光の浸透を低減することに有利である。絶縁列および畝状物を保持して背面回路基板に対して正面電極を支持、隔離し、充填率を僅かに減らすことが好ましいが、頂部絶縁層がこれらに加わる。唯一の製造後ステップは、反射ミラー材料の蒸着である。ここで、背面回路基板の下層構造により、後者が以前ほど平らでないことは了解されたい。

【0093】

フル平面化は、背面回路基板の形状を、絶縁材料(たとえば重合体)で充填することによって効果的に除去する公知のプロセスである。やはり、このプロセスは、製造工場で導入された頂部絶縁層の有無にかかわらず、現在の背面回路基板に実行され得る。そして、非常に平らで、非常に反射率が高いミラーを高充填率で各画素上へ蒸着する。しかしながら、製品は部分的平面化と同じ利点を有し、性能でも優れているかも知れないが、現在の技術によるその製造は多数の製造後ステップを含み、あるものは容易にあるいは効率的に実施されず(たとえば、絶縁性材料の平坦さを確保すること)、したがって、当面好ましくない。

【0094】

キラル・スメクチック液晶材料は、それ自体公知の手段によって一方あるいは両方の基板のところで所望の表面整列配向を与えられる。能動半導体背面回路基板の場合、処理は、もし行われるとして、部分平面化あるいはフル平面化となろう。

【0095】

回路

ここまで説明してきた実施例は、320列および240行の矩形画素配列を有し、列は、平行データ・ラインによって給電され、行は、望ましい順番でデータを受け取るか、あ

るいは、受け取ったデータに作用するように使用可能にされる。この配列は、各方向において標準の半分のVGA解像度である。配列の解像度をVGA規格まで高めることが望ましいであろう。これは、変形例に関して後に説明する。

【0096】

駆動される仕方に依存して、そして、印加電圧の値に依存して、スメクチック液晶空間光変調器の本実施例は、少なくとも10MHzのライン率および15~20kHzまでのフレーム率で駆動され得るが、秒あたり約1~1.5ギガ画素のデータ入力を必要とする。代表的には、画素アドレス時間が約100ナノ秒である場合、画素は、実際に、約1~5マイクロ秒かかって光学状態間の切り換えを行う。全フレーム書き込み時間が24マイクロ秒のオーダーにある場合、フレーム間書き込み期間は、約80マイクロ秒である。

【0097】

ライン周波数で決定されるような、空間変調器の実フレーム率と配列の潜在フレーム率(約80kHz)との不一致は、画素要素が完全に切り換わるのに必要な時間(ラインまたは画素のアドレス指定時間よりかなり大きく、その間に、電荷がセル静電容量およびスラグ静電容量から引き出される)とか、直流バランシングを許すように配列を空白化する必要性とか、連続したフレームの書き込み間での空間光変調器への光学的アクセスとかの種々の要因から生じる。

【0098】

マスタ・クロックが50MHzで作動する。このマスタ・クロックからパルスCLが公知の要領で発生し、その波形NTE、NTO、NISE、NC0~NC4が図7、7aに示してある。頭文字「N」は、信号がロー状態で活動状態である負論理回路の使用を示している。使用時、これらの信号の反転は、この頭文字「N」を除いた同じ用語を有する。配列の行または列に適用したときなど、最終文字「E」および「O」は偶数、奇数を表している。

【0099】

図8は、図4の制御回路48の諸部分を示している。ここには、すべての行をセット(配列を空白化)し、すべての行をリセット(配列の再書き込みを可能に)するための別の信号NSARおよびNRARがある。

【0100】

図8(a)は、列ドライバ42、43を制御する際に使用するための、信号NSARが非活動状態にあるときの信号NC0~NC4からの、10MHzライン周波数での5つの重なり合っていないクロック(N)CC0~(N)CC4の発生を示している。

【0101】

図4に関して既に指摘したように、32本の入力並列データ・ラインのグループが、配列の頂部でドライバ42によって160個の偶数列に1:5デマルチプレクスされ、そして、32本の入力並列データ・ラインの相補的なグループが、配列の底部でドライバ43によって160個の奇数列に1:5デマルチプレクスされる。その他の点では、ドライバ42、43は同様に構成される。

【0102】

図9は、ドライバ42の32個の同様な回路のうちの1つを示している。各回路は、第1セットの32個の偶数列におけるそれぞれ単一の列に対するものである。32本の入力データ・ラインのそれぞれに接続した入力部131からのデータ信号DDは、クロックNCC0の活動期間中にゲート132によって伝送され、クロック・パルスNCC4によって制御されるゲート134がラッチ135への信号の伝送を可能にするまで、インバータ133のゲート・コンデンサ上に保持される。ラッチ135は、双安定であり、本質的に、ゲート・パルスCC4によって制御される別のゲート136を経てリング状に接続された2つのインバータからなる。このリングは、信号がゲート134を経てラッチに送られているときに開き、その後、閉じてラッチ出力部に信号を保持する。ラッチの出力部は、レベルシフタ137および2つの直列接続バッファ138を経て列導体に接続している。

【0103】

第1セットの列導体のこの全体構成は、残りの4つのセットについても繰り返され、各セットは、同じ32本の入力データ・ラインを有し、第1ゲート132上にそれぞれ適切な異なったクロック信号NCC1～NCC4がある。ゲート134に付与された信号は、そのままNCC4およびCC4として残る。その結果、ライン全体についてのデータ信号が、信号NCC4に応答してすべての320個の列に同時に付与され、次のパルスNCC4までそこに維持される。

【0104】

NSARが活動状態のとき、それは、クロック・パルスNCC0～NCC4と置き換わり、320個の列すべてを64本のデータ入力ラインに対して同時に利用できるようにする。

【0105】

図8(b)は、行ドライバ44、45を制御する際に使用するために、信号NISEまたはNISOが活動状態にあるときに信号NC0～NC4から10MHzで5つの重なり合っていないクロック(N)CR0～(N)CR4を発生させることを示している。

【0106】

図4に関して既に説明したように、配列の偶数、奇数行は、それぞれのスキャナ44、45によって駆動(使用可能に)される。各スキャナは、出力部あるいは120個の隣接出力部に関連したレベルシフタを有するシフト・レジスタを備える。シフト・レジスタの各ステージは、完全に双安定であり、クロック・パルスNC0、NC2、NC4によって制御される。単一の指示信号パルスNTE、NTOが、各フレームのスタートでそれぞれのシフト・レジスタの第1ステージに接続され、次いで、要求されるスキャンングのタイプに依存して、必要な要領でレジスタをクロックに同期して、順次移行する。

【0107】

図10は、好ましい実施例の奇数行スキャナ44の単一ステージを示しており、これは、シフト・レジスタ44aの単一ステージ140と2つのバッファ149との間に接続されたレベルシフタ44bの関連したレベルシフタ・ユニット141を含む。偶数行スキャナ45も、同様の要領で配置する。

【0108】

ステージ140は、伝送ゲート145を経てリング状に接続された一対の反転論理ゲート143、144を有する。論理ゲート143の入力部142は、ゲート145の出力部および伝送ゲート146の出力部に接続される。伝送ゲート146は、レジスタ内の先行ステージからの出力147(指示信号NTE)を受け取るように作用する。ゲート145、146は、それぞれ、反転クロック信号NCR0、CR0によって使用可能にされる。それによって、伝送ゲート146からの信号がゲート143の入力部に送られたときにリングが壊され、次いで、再形成され、受信信号の反転状態を出力ポイント148で維持する。

【0109】

ゲート143'、144'、145'および146'は、ゲート143～146に対して同様の要領で配置され、クロック・パルスNCR4、CR4に応答して同様に作用する。それによって、ポイント148での信号の反転は、出力ポイント148'で保持される。そこにおいて、この信号は、回路121によってレベルシフトされ、それぞれの行に送られる。したがって、各行は、信号NCR4に応答して使用可能にされる。

【0110】

ゲート143、144および144'の各々は、2つの入力部を有するNANDゲートであり、ゲート143'は、3つの入力部を備えたNANDゲートである。ゲート143および144'への第2入力、信号NSARであり、ゲート143'、144への第2入力、信号NRARであり、そして、ゲート143'への第3入力、信号NCR2'である。信号NSAR、NRARおよびNCR2'が非活動状態のとき、ゲートは、インバータとして機能し、リングは、双安定となる。

【0111】

信号 $\text{NCR}2'$ は、図 8 (c) に示すように発生させられる。これは、信号 $\text{NCR}2$ と同様であるが、信号 NSAR が活動状態のとき、置き換えられる。 NSAR が非活動状態のとき、クロック信号 $\text{NCR}2'$ の効果は、第 2 リングをリセットし、行を、次の行が使用可能にされる前に、使用不可能にすることにあり、したがって、データ供給が単一行に確実になされ、行の間で同じデータが重畳することがない。

【0112】

制御信号 NSAR は、信号 $\text{NCR}2'$ を使用不可能にするように作用し、そして、レジスタの出力のすべてをセット (ラッチ) するように作用し、それによって、すべての行を使用不可能にしてこのセクションの始めに説明した要領で空白化を行う。制御信号 NRA は、次いで、すべての行を再びオフにするように作用する。したがって、信号 NSAR は、シフト・レジスタの通常動作を置き換える。

【0113】

信号 NSAR の作用は、こうして、(a) 列クロック $\text{NCC}0 \sim \text{NCC}5$ と置き換えられ、5 セットの列すべてに 64 個のデータ入力部からデータを同時に与えること、そして、(b) クロック・パルス $\text{NCR}2'$ およびレジスタの通常作用を使用不可能にし、そして、すべての行をラッチすることにある。これによって、全画素配列を同時に空白化することができる。

【0114】

画素配列 NTO および NTE が最初に導入されたとき以外は、信号 NISE および NISO は、相補的である。活動状態のとき、これらの作用は、行クロック・パルス (N) $\text{CR}0 \sim (\text{N}) \text{CR}4$ の発生を禁止する (図 8 (b))。こうして、シフト・レジスタ 44a、44b のうち一方だけが、任意の時点で活動状態になり、指示信号が行に伝達される方法を制御することが可能になる。たとえば、図示したように、 NISE および NISO がライン周波数の半分を有するように発生させられた場合、レジスタが代わる代わりに使用可能にされ、配列の下に向かって累進的、即ちノンインタレース・ライン・スキャンを行わせる。代替案として、フレーム・アドレス期間の半分のパルスの形で信号 NISE および NISO を与えることがある。その結果、1 つのレジスタが完全にスキャンされ、次いで、他のレジスタが完全にスキャンされ、インタレース・スキャンを可能にする。

【0115】

他のモードも可能である。たとえば、隣り合った奇数行と偶数行を同時に使用可能にして、半分の垂直解像度でフレーム率を二倍にすることができる。

【0116】

この実施例では、シフト・レジスタ・ステージが信号 NSAR 、 NRA に直接応答するようになっているが、レジスタと行の間に別個のエンティティとして別の手段を設けてもよい。たとえば、レジスタ出力部と関連した行との間に直列に接続した NSAR 用の OR ゲート、 NRA 用の AND ゲートを設けてもよい。

VGA 解像度

本実施例の変形例において、単一の画素ミラー能動要素の代わりに、4 つ (2 × 2) のグループを使用する。そして、それに対応して、行、列アドレス・ラインを二重にしている。各寸法でアドレス・ラインの二重化に順応させるべく、列ドライバ、行スキャナは、1 : 2 のデマルチプレクサを備える。

【0117】

列回路は、単に数を倍にしただけであり、各対が、伝送ゲート 150、151 によって交互に使用可能にされる。相補的な駆動制御入力部 152、153 が図 11 に概略的に示してある。

【0118】

図 12a ~ 12c は、行スキャナについての 3 つの可能な方式を示している。図 12a の好ましい方式においては、論理ゲート 160、161 が、出力ポイント 148' と、それぞれのレベルシフタ 141、バッファ 149 の間に配置されている。ゲートの第 2 入力部 162、163 は、相補的なやり方で駆動され、上方対あるいは下方対の画素 (RU お

よび R L) のいずれかを使用可能にする。

【 0 1 1 9 】

しかしながら、図 1 2 b、1 2 c に概略的に示すように、デマルチプレクシング動作は、それぞれ、レベルシフト 1 4 1 と、最終出力ステージ 1 4 9 ' との間のゲート 1 6 4、1 6 5 のところ、あるいは、最終出力ステージを構成するゲート 1 6 6、1 6 7 のところで、レベルシフト 1 4 1 の後に実施され得る。

【 0 1 2 0 】

信号 1 5 2、1 5 3 および / または 1 6 2、1 6 3 を適当に制御することによって、種々の他の配列書き込みモードが可能となることは明らかであろう。たとえば、4 : 1 行インターレース方式がある。

【 0 1 2 1 】

この変形例においては、ミラー面積対画素面積の比は縮小される。入射光から下層能動要素を遮断するのに注意が必要である。全画素静電容量対液晶セル静電容量の比率もまた、1 0 : 1 ~ 8、4 : 1 にいくぶん縮小される。それにもかかわらず、解像度の増大との妥協は、まったく不利とならないと考えられる。

【 0 1 2 2 】

動作

空間光変調は、光学処理用途、たとえば、ホログラフィック用途と、スイッチング用途の両方に機会を与える。その場合、必要条件は、普通に、要因（たとえば、タイミング、照明連続性、観察長など）に関して非常に厳しい。これに対抗すべく、たいていの光学処理は、像平面を横切ったのバイナリ変調だけを必要とする。

【 0 1 2 3 】

表示目的のためには、目による順応および一時的平均化が前述の要因に関してより大きいラチチュードを許すが、普通は、表示領域を横切ってグレイ・スケール変調を行う必要がある。

【 0 1 2 4 】

能動背面回路基板設計によって与えられる融通性に部分的に依存して、好ましい実施例の空間光変調器を駆動できる方法は多数ある。

【 0 1 2 5 】

(a) バイナリ / グレイ・スケール

したがって、たとえば、バイナリ変調とグレイ・スケール変調の選択がある。グレイ・スケール変調それ自体は、各画素を横切って印加される振幅電圧の適当な制御によってアナログ的に達成され得る（先に述べたエレクトロクロミック効果参照）が、表示目的のためには、配列に可変仮変調を行って見かけ上のグレイ・スケールを得る方が有利である。さらに有利には、配列をデジタル的にこのように駆動する。この局面は、我々の係属中の出願にさらに詳しく記載されている（PCT/GB99/04260およびPCT/GB99/04277参照）。

【 0 1 2 6 】

(b) 多数回リフレッシュ

ここで再び、液晶材料は、連続した画像発生間の所望時間をカバーするに十分な長さの緩和時間を有しても有さなくてもよい。有さない場合には、画像は、2 度以上書き込んで所望時間を得る必要がある。本実施例で利用できる高書き込み速度は、この局面において有用であり、1 つの画像が利用できる時間全体の割合を増大させることになる。

【 0 1 2 7 】

(c) 正面電極電圧

さらに、広義に言えば、共通正面電極と能動背面回路基板要素の間に印加される電圧は、少なくとも 2 つの方法で管理され得る。背面回路基板から利用できる全電圧が V であると仮定するならば、正面電極を V / 2 にセットし、それによって、ただ 1 回のフレーム・スキャン中に、全画素要素を所望に応じてオンあるいはオフにすることができる。欠点は、とりわけ、各画素を横切ってより低い電圧 V / 2 を印加すること、スイッチング時間が長くなると言うことである。

【 0 1 2 8 】

あるいは、正面電極をVとゼロに交互に駆動し、背面回路基板を同期制御して1つのフレーム・スキャン中に選択画素を光学的にオンとし、他のフレーム・スキャン中に他の選択画素を光学的にオフにしてもよい。各画素に印加される電圧は、より高く、Vであり、したがって、スイッチング速度を増大させるが、2つのフレーム・スキャンを実施してデータ入力を完了する必要がある。

【 0 1 2 9 】

これらの2つの方法は、これからは、それぞれ「ワンパス」、「ツーパス」と呼ぶ。本実施例において、ワンパス方式は、最大の使用可能電圧でいくぶんより高いフレーム率を可能にする。

【 0 1 3 0 】

これらの考察および全直流バランシングを達成するかどうか（もし達成するのであるならば、直流バランシングを達成しようとしている時間）のような他の考察は、空間光変調が作動する方法を正確に決定する。

【 0 1 3 1 】

ワンパス機構

図13は、正面電極電圧V_{EE}がV/2であるときにワンパス方式において使うことができる電圧波形を示している。オフからオンにされるべきアドレス指定されたラインにおける画素DUPのミラー電極のところの電圧V_{pad}は、列電極から値Vへ駆動される。また、オンからオフにしようとしている画素UDPの場合、ミラー電極は、ゼロ電圧に駆動される。液晶セルを横切って生じる電圧は、V_{LC}である。付勢は、代表的には、約10nsを採用するが、本実施例においては、実際に、100nsが許される。実際に画素が切り換わるのにかなり長い期間Tが許されるが、それに続いて、すべての画素電極電圧（V_{pad}）は、レベルシフトへの電圧を変えることにより電圧V/2まで戻される。図13aに示すように、信号NSAR、NRARを使用して第2スキャンまたはセット/リセット動作を実施し、すべての画素トランジスタをオン、オフする。V/2まで画素を戻すことにより、直流印加長さが定まり、反復可能となる。

【 0 1 3 2 】

図13a、13bにおいて、パルス131は、個々の行の選択を示し、T_Lは、配列にデータを入れる時間（液晶が落ち着くまでの期間を含む）を示し、T_Rは、画像が読まれる時間を示しており、この時間のスタートのみが図示してある。パルス132は、第2スキャン中の個々の行の選択またはセット/リセット・オブションのための大域的行選択を示している。

【 0 1 3 3 】

セット/リセット・オブションは、より急速であり、好ましい。すべての画素への直流印加の長さは、配列に書き込みを行うのに取られる時間が有限であるため、セット/リセット・オブションを使用するときに、行毎に異なるが、同じ画素へ付与される直流パルスの長さがフレーム毎に等しいため、この点は重要ではない。直流バランスを意図しているときは重要な要因となる。いずれにしても、トランジスタは、その後、オフにされ、静電的な安定化を可能にする（後述する）である。

【 0 1 3 4 】

すべての画素が各フレーム・スキャン中に付勢されるので、フレーム毎に同じ状態を保つ液晶要素は、同じ方向に繰り返し駆動される。これは、ゼロ直流バランスを得る際の問題を提起する。

【 0 1 3 5 】

さらに、V/2まですべての画素電極を戻すことは、光導電性が重要な場合に問題を提起する。この場合、図13bに示すように、フレームの書き込みに続いて正面電極電圧V_{FE}をゼロに戻すのと同期をとって、すべての画素電極をゼロボルトにゲートで制御すると好ましい。

【 0 1 3 6 】

ツーパス方式

図 1 4 は、配列全体に書き込みをするのに必要な 2 つのフレーム・スキャン期間またはパス P 1、P 2 にわたってツーパス機構において使用され得る電圧波形を示している。第 1 パス P 1 において、選定画素がアドレス指定されて光学的にオンにされ、第 2 パスにおいて、画素 P 2 がアドレス指定されて光学的にオフにされる。パス以外の期間では、すべての直流電圧がゼロとなり、オプションとして、切り換え状態の交流安定化のために低レベル交流電圧となる。

【 0 1 3 7 】

1 番目の波形は、正面電極での電圧 V_{FE} を示しており、これは、第 2 パス P 2 の期間にわたってだけ V ボルトまで上昇する。

【 0 1 3 8 】

2 番目及び 3 番目の波形は、それぞれ ON または OFF となっている画素ミラー・パッドにおける電圧 V_{pad} のプロットである。第 1 パス中、任意のパッドを 0 ボルトから V ボルトへ切り換えることができる。第 1 の大域的空白化 B_V は、2 つのパス間ですべてのミラー・パッドを V ボルトに駆動するように印加される。第 2 パス中、任意のパッドを、 V ボルトから 0 ボルトに切り換えることができる。第 2 の大域的空白化 B_0 は、第 2 パスの終わりですべてのパッドを 0 ボルトに駆動するように印加される。空白化 B_V および B_0 は、第 2 電極の切り換えと実質的に同期して印加される。

【 0 1 3 9 】

2 番目の波形は、第 1 パスの行スキャン中にオンとされるべく選択される画素のためのパッドにおける電圧を示しており、したがって、4 番目の波形に示すような関連する液晶要素を横切って正の電位差パルスを与える。第 1 パス後、 V_{FE} の切り換えと関連して第 1 の大域的空白化 B_V が作用し、切り換えられてしまっているかどうかに関係なく、すべての液晶要素を横切る電位差をゼロに低下させる。液晶セルの両側は、こうして、 V ボルトとなる。

【 0 1 4 0 】

3 番目の波形は、第 2 パスの行スキャン中にオフとされるべく選択される画素のためのパッドにおける電圧を示しており、したがって、5 番目の波形で示す関連する液晶要素を横切って負の電位差を与える。第 2 パス後、 V_{FE} の切り換えと関連して第 2 大域的空白化 B_0 が作用し、切り換えられてしまっているかどうかと関係なく、すべての液晶要素を横切る電位差をゼロに低下させる。こうして、液晶セルの両側が 0 ボルトとなる。

【 0 1 4 1 】

いずれのパス中にも（オプションとして）アドレス指定されない任意の画素は、空白化 B_V 、 B_0 の効果のみによるパッド電圧を有する。 B_V および B_0 は、 V_{FE} の切り換えとほぼ同期しており、その結果、これらの画素は、2 つのパスを通じてゼロ電位差となる。すべての場合に、 V_{FE} に対する B_V 、 B_0 のタイミングは、不要な画素のスイッチングが生じないようにしなければならない。

【 0 1 4 2 】

さらに、2 つのパスは、互いに直ぐに続いているように図示してあるが、好ましくは、機構が必要な画素スイッチングと矛盾しない限り、そうである必要はまったくない。たとえば、パス間に小さい遅延があって、最後にアドレス指定された画素を完全に切り換えることが可能であるかも知れない。このような場合、第 2 パスの開始と同期して B_V を印加し、 V_{FE} をスイッチングすることが望ましいであろう。

【 0 1 4 3 】

ここで、単一のパスおよび単一パス方式の低電圧 $V/2$ （したがって、スイッチングが遅い）に比して、2 つのパスの要件および利用できるフル電圧 V の印加が相反する要因であることは了解されたい。また、図 1 4 のパスの順序の逆転、その結果、空白化プロセスの変更などがあり得ることも明らかであろう。

【 0 1 4 4 】

さらに説明すると、図 1 5 は、配列全体に書き込みを行うのに必要な第 1、第 2 のフレ

ーム・スキャン期間またはパス P 1、P 2 にわたって同様のツーパス機構で使用され得る単純化した電圧波形を示している。P 1 において、選定画素がアドレス指定されて光学的にオンにされ、P 2 において、選択画素がアドレス指定され、光学的にオフにされる。P 1、P 2 以外の期間では、すべての電圧はゼロ直流となり、オブションとして、切り換え状態の交流安定化のために交流電圧が低レベルとなる。

【0145】

波形 (i) は、P 1 の期間中だけ V ボルトまで上昇する、正面電極における電圧 V F E を示している。

【0146】

波形 (i i) は、任意の画素ミラー・パッドで得られる電圧 V p a d の全般的なプロットである。P 1 中の第 1 期間 A の間、任意のパッドが 0 ボルトから V ボルトへ切り換えられる。第 1 の大域空白化 B V は、P 1、P 2 間にすべてのミラー・パッドを V ボルトに駆動するように印加される。P 2 中の期間 B の間、任意のパッドが、V ボルトから 0 ボルトへ切り換えられ得る。第 2 の大域空白化 B 0 は、第 2 パスの終わりですべてのパッドを 0 ボルトへ駆動するように印加される。空白化 B V および B 0 は、第 2 電極のスイッチングと同期して印加される。

【0147】

波形 (i i i) は、P 1 の行スキャン中にオンにされ、したがって、波形 (v) に示すように関連した液晶要素を横切って正の電位差パルスを与える選定画素のためのパッドにおける電圧を示している。P 1 後、V F E のスイッチングと関連して第 1 の大域空白化 B V が作用し、切り換えられてしまっているかどうかにかかわらず、すべての液晶要素を横切る電位差をゼロまで低下させる。こうして、液晶セルの両側が V ボルトとなる。

【0148】

波形 (v) は、P 2 の行スキャン中にオフとされるべく選択される画素のためのパッドにおける電圧を示しており、波形 (v i) で示すような関連する液晶要素を横切る負の電位差を与える。P 2 後、V F E のスイッチングと関連して第 2 の大域空白化 B 0 が作用し、切り換えられてしまっているかどうかに関わりなく、すべての液晶要素を横切る電位差をゼロまで低下させる。こうして、液晶セルの両側が 0 ボルトになる。

【0149】

波形 (v i i) は、P 1 または P 2 のいずれかでも (オブションとして) アドレス指定されず、空白化 B V、B 0 の効果のみによる任意の画素のためのパッドにおける電圧パルスを示している。B V、B 0 は、V F E のスイッチングと実質的に同期であり、その結果、これらの画素は、2 つのパスを通じてゼロ電位差を経験する。すべてのケースにおいて、V F E に対する B V、B 0 のタイミングは、画素の不要なスイッチングを生じさせないようにしなければならない。

【0150】

さらに、P 1、P 2 は互いに直ぐに続いているように示したが、方式が必要な画素スイッチングと矛盾しない限り、このような配置である必要はまったくない。たとえば、P 1、P 2 間に小さい遅延があつて最後にアドレス指定された画素を完全に切り換えることが可能になるかも知れないが、このような場合、P 2 の開始時点と同期して B V を印加し、V F E のスイッチングを行うのが望ましいであろう。

【0151】

ここで、2 つのパスについての要件および利用できるフル電圧 V の印加が、単一のパスおよび単一パス機構の低電圧 V / 2 (従って、スイッチングが遅い) に比して、相反する要因であることは了解されたい。また、空白化プロセスの必然的な変更態様で、図 15 の P 1、P 2 の順番を逆転させることが可能であり、対応する参考資料の同じ概略タイプの説明を用いて、図 16 に示すように、空白化プロセスを変更したりすることができることも明らかであろう。

【0152】

バイナリ画像形成

バイナリ画像は、上述したようなワンパス方法によって空白画像にまたは画像が存在する状態から書き込むことができる。

【 0 1 5 3 】

しかしながら、空白画像から始めた場合、新しい画像を書き、次いで、直流バランスを達成すべく各画素に印加した電圧を反転させることは、光学像の空白像への反転とならず、反転光学像を生じることになる。それに加えて、時間平均光学像は、正像および反転像が同じ時間にわたって保持される場合、ゼロであり、したがって、照明（すなわち、観察ステップ）を中断して正像を見ることが必要である。

【 0 1 5 4 】

さらに、たとえば、大域セット信号 NSAR を配列に印加すると共に列電圧及び、正面電極電圧を制御してすべての画素を短絡（0 ボルトに）するかあるいはこれらの画素を（プラスまたはマイナスの V）へ駆動することによって、アドレス指定された画素を緩和させたり、すべての画素を 1 つの状態（比較的急速）に駆動したりするだけで光学的に均一な画像が生じるが、直流バランスを得ることはできない。

【 0 1 5 5 】

画像が存在している状態で始まる場合、類似した問題点がある。

【 0 1 5 6 】

ツーパス方式、たとえば、図 1 4 に示す形態の機構は、多数の方法で作動させ得る。

【 0 1 5 7 】

第 1 ツーパス方式においては、既存の画像は、単に、第 1 パス中にすべての適切な画素をオンにし、第 2 パス中に相補的な画素の組をオフにすることによって新しい画像と置き換えることができる。すなわち、画素が既に「1」であるかどうかに関係なく、新しい画像のすべての「1」を最初にアドレス指定し、次いで、画素が既に「0」であるかどうかに関わりなく、新しい画像内のすべての「0」をアドレス指定するのである。画素がアドレス指定されないことはない。

【 0 1 5 8 】

この機構は、すべての画素がそれらの現在の状態に関係なく各画像についてアドレス指定され、直流バランスが直接影響することがない単一パス方式と同じ欠点を有する。しかしながら、それは、コンピュータ的には容易であり迅速である。

【 0 1 5 9 】

第 2 のツーパス機構においては、状態変化が必要なときにのみ任意の液晶要素をオンあるいはオフにする。さもなければ、無アドレス指定状態に留まる。各画素は、したがって、明確に定められた等しい長さの交互のオン、オフ・パルスのみを受け、したがって、自動的に直流バランスを長期間にわたって与える。

【 0 1 6 0 】

延長期間にわたってうまくこの機構が作動するためには、連続した付勢の間に、たとえば、上述したようなスキャン間の交流安定化の付与によって、画素が緩和し得ないようになっている必要がある。

【 0 1 6 1 】

自動的な長期間直流バランスの利点は、第 1 のツーパス機構に対する計算がより困難になるということで、部分的に相殺される。

【 0 1 6 2 】

第 3 の好ましい機構は、図 1 4 のツーパス機構の変更例であり、図 1 7 に示してあるが、これは、直流バランスおよび急速あるいは駆動消去を伴って、一連のバイナリ画像を連続的に書き込むことを可能にする。図 1 7 の波形（i i i）及び（i v）は、選ばれた画素についてのミラー・パッド電圧および画素電位差を示している。

【 0 1 6 3 】

第 1 の WRITE 期間 $t_0 \sim t_1$ の間、第 1 の画像が、オンにする必要のある要素のみを駆動し（波形（i i）の期間 A の間）、他のすべての要素が 0 ボルトを受け取るように書き込みプロセスを制御することによって、空白の要素配列に書き込まれる。図 1 4 のツ

ーパス機構の第1パスと同様に、第1の大域空白化B0を0ボルトにすることによって、WRITEステップが、好ましくは、時刻t1の直後に行われ、そして、VFEは、図17の波形(i)に示すように、0ボルトに留まる。IMAGE期間t1~t2については、必要なバイナリ画像は無変更に留まる。

【0164】

空白配列に対する引き続く消去は、負の画像を書き込まれた画素にのみ書き込むことによって、ERASE期間t2~t3中に行われる。これは、VFEのスイッチングと同期して、時刻t2で第2大域空白化BVにVボルトを印加し、期間B中に、先にオンとされた要素のみをアドレス指定し、他の要素が0ボルトを受けるようにすることによって行われる。t3で、第3の大域空白化B0に、VFEの0ボルトへのスイッチングと同期して、0ボルトが印加される。従って、この消去ステップは、全般的に、図14の第2パスと同様である。

【0165】

こうして、駆動要素は、交互に、反対の電圧を受け、直流バランスを与え、他の非選定要素は、電圧を受けず、平衡状態に留まる。

【0166】

時刻t3の後、別のバイナリ画像の書き込みを開始することができる。図示のように、これは、ほぼ時刻t3で開始し得る。

【0167】

こうして、この第3ツープラス方式は、書き込み、消去の2つのパス中に異なった方向にフル電圧Vが印加され得る第2のツープラス方法に類似しているが、時刻毎にアドレス指定されるのが、異なった非相補的なグループではなくて、同じグループの選定画素であり、したがって、計算要件を縮小することができるという点で異なっている。また、それは、すべての要素がフレーム・スキャン中に必ず一方向へあるいは他の方向へ駆動されるワンパス方法とも異なる。

【0168】

この第3方式の利点は、時間平均画像が、書き込み、消去および「観察」プロセスの長さに無関係に非ゼロであるということにある。これは、画像と反転画像の間ではなく、画像と空白の間で交替するためである。このことは、光学的照明を連続的にすることができる。

【0169】

さらなる重要点は、書き込みステージが或る時間だけ行われ、この時間中に画像が「観察」あるいは利用されるのに対し、消去後に得られる空白画像を任意の時間にわたって保持する必要がまったくないということである。図17に特に示したように、ひとたびすべての画素が初期状態に切り換えられてしまったならば、さらなる書込ステージを直ちに開始することができる。IMAGE期間対WRITE、ERASE期間の比率が大きくてもよいので、画像は、時間全体の大きい割合の部分にわたって利用でき、そして、そのコントラスト比がそれ相応に改善される。

【0170】

上記および他の像形成方式が大域空白化を使用しているものとして説明したが、空白化の任意のものあるいはすべてを、すべての列が空白化電圧に保持されるさらに別のフレーム・スキャンと取り替え得ることは了解されたい。これらの機構は、我々の係属中の出願の主題をなしている(PCT/GB99/04275(代理人参照番号P20962WO))。

【0171】

ここで、上記の説明のかなりの部分がアドレス指定可能な配列を有する背面回路基板を組み込んでいる液晶セルに関したものであるが、本発明の配列が、画素が光変調器または表示装置として機能することを意図されているかどうかは無関係に、また、画素の構成物が液晶相を有することを意図しているかどうかは無関係に、任意の画素構造で利用できることは了解されたい。

【0172】

「グレイ・スケール」なる用語を本願明細書において使用したが、この用語が、白色を含む任意の色に関して使用されていることは了解されたい。さらに、本発明の方法、配列、背面回路基板、回路などを、白色を含む単一の色に関して説明したが、可変カラー・ディスプレイなどをそれ自体公知の方法で製造することになることは了解されたい。たとえば、単一配列を異なった色の画素に空間的に細分化し、たとえば、投影あるいは一時的なマルチプレクシング、たとえば、赤、緑、青の画像の逐次的な投影によって異なった着色モノクローム・配列からディスプレイを重畳することによって製造できることは了解されたい。

【図面の簡単な説明】

【図１】は、能動背面回路基板を組み込んであり、基板上に装着した液晶セルの概略横断面図を示している。

【図２】は、図１に示す液晶セルの構成要素の展開図である。

【図３】は、液晶セルと密接に関連した回路を示す、図３のインタフェースの一部の概略ブロック回路図である。

【図４】は、中心画素・配列を含む、図１の液晶セルの能動背面回路基板の概略平面図である。

【図５】は、図４の背面回路基板の一部を示す概略横断面図であり、画素・配列の領域において遭遇する種々の層および高さを説明する図である。

【図６】は、図４の背面回路基板の配列の単一画素の概略平面図である。

【図７および７a】は、波形図である。

【図８】は、図４の制御回路の一部を示す概略回路図である。

【図９】は、図４の列ドライバの一部を示す概略回路図である。

【図１０】は、図４の行スキャナの一部を示す概略図である。

【図１１】は、アドレス指定される列の数を増やすための図９の回路の変更態様を示している。

【図１２】は、アドレス指定される行の数を増やすための図１０の変更態様を示している。

【図１３】は、ワンパス画像書き込み機構を説明するのに用いる波形を示している。

【図１４～１６】は、ツーパス画像書き込み機構を説明するのに用いる波形を示している。

【図１７】は、図１４の機構の変更態様を説明するための波形を示している。