(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0056098
(43) 공개일자 2025년04월25일

(51) 국제특허분류(Int. Cl.)
H04L 25/12 (2006.01) *B60R 16/023* (2006.01)
H04L 12/40 (2006.01) *H04L 25/02* (2006.01)
(52) CPC특허분류
H04L 25/12 (2021.08)
B60R 16/023 (2013.01)
(21) 출원번호 10-2024-0102561
(22) 출원일자 2024년08월01일
심사청구일자 2024년08월01일
(30) 우선권주장
1020230139812 2023년10월18일 대한민국(KR)

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 101동 801호(방배동, 대성아파트)
(74) 대리인
양성보

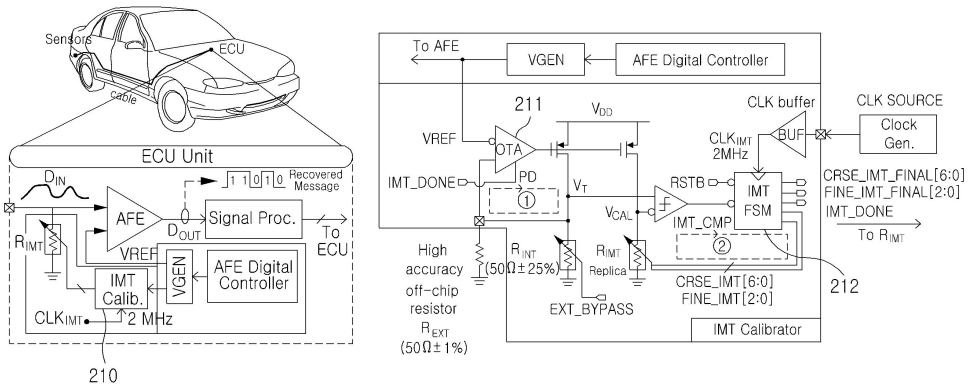
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **입력 버스 종단 보정 회로를 사용하여 공정 면역성을 가진 자동차 SENT 수신기**

(57) 요 약

ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로는 디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하기 위한 OTA(Operational Transconductance Amplifier), 미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 비교기(IMT_CMP) 및 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 IMT-FSM(IMT Finite State Machine)을 포함한다.

대 표 도



(52) CPC특허분류
H04L 12/40032 (2013.01)
H04L 25/0276 (2013.01)
H04L 25/0278 (2013.01)

명 세 서

청구범위

청구항 1

ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로에 있어서,

디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하기 위한 OTA(Operational Transconductance Amplifier);

미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 비교기(IMT_CMP); 및

IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 IMT-FSM(IMT Finite State Machine)

을 포함하는 SENT 인터페이스 회로.

청구항 2

제1항에 있어서,

상기 OTA는,

입력 차동 쌍을 통해 수신 신호를 증폭하고, 캐스코딩 트랜지스터를 통해 OTA의 이득 및 출력 임피던스를 증가시키며, 부하 커패시터에 따른 주파수 응답을 보장하기 위한 바이어스 전압을 제공하는

SENT 인터페이스 회로.

청구항 3

제1항에 있어서,

상기 비교기는,

CMOS-레일-투-레일 비교기이며,

미리 정해진 기준 보다 낮은 공통 모드 입력 레벨을 갖는 입력 신호가 PMOS 트랜지스터의 차동 쌍을 사용하여 증폭되는 제1 스테이지;

추가 이득을 제공하기 위한 차동 증폭기의 제2 스테이지; 및

풀 스윙 비교 신호를 위한 버퍼링을 제공하는 제3 스테이지

를 포함하는 SENT 인터페이스 회로.

청구항 4

제1항에 있어서,

상기 IMT-FSM는,

IMTC 시퀀스를 제어하기 위한 코어스(coarse) 임피던스 보정 신호 및 파인(fine) 임피던스 보정 신호를 생성하고, 상기 코어스 임피던스 보정 신호 및 파인 임피던스 보정 신호는 임피던스 보정을 반복 수행하는 동안 각 클럭 주기 후에 증가하여 보정 전압을 감소시키고, 상기 보정 전압이 미리 정해진 목표 전압을 초과하면 임피던스 보정을 완료하는

SENT 인터페이스 회로.

청구항 5

ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble

Transmission) 인터페이스 회로의 동작 방법에 있어서,

OTA(Operational Transconductance Amplifier)를 통해 디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하는 단계;

비교기(IMT_CMP)를 통해 미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 단계; 및

IMT-FSM(IMT Finite State Machine)를 통해 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 단계

를 포함하는 SENT 인터페이스 회로의 동작 방법.

청구항 6

제5항에 있어서,

상기 OTA를 통해 디지털 제어 IMTC를 위한 입력 공통 모드 전압 범위를 제공하는 단계는,

입력 차동 쌍을 통해 수신 신호를 증폭하고, 캐스코딩 트랜지스터를 통해 OTA의 이득 및 출력 임피던스를 증가시키며, 부하 커패시터에 따른 주파수 응답을 보장하기 위한 바이어스 전압을 제공하는

SENT 인터페이스 회로의 동작 방법.

청구항 7

제5항에 있어서,

상기 비교기를 통해 미리 정의된 기준 임피던스와 종단 레플리카 사이의 임피던스 차이를 비교하는 단계는,

CMOS-레일-투-레일 비교기인 상기 비교기의 제1 스테이지를 통해 미리 정해진 기준 보다 낮은 공통 모드 입력 레벨을 갖는 입력 신호가 PMOS 트랜지스터의 차동 쌍을 사용하여 증폭하고, 제2 스테이지를 통해 추가 이득을 제공하며, 제3 스테이지를 통해 풀 스윙 비교 신호를 위한 버퍼링을 제공하는

SENT 인터페이스 회로의 동작 방법.

청구항 8

제5항에 있어서,

상기 IMT-FSM를 통해 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 단계는,

IMTC 시퀀스를 제어하기 위한 코어스(coarse) 임피던스 보정 신호 및 파인(fine) 임피던스 보정 신호를 생성하고, 상기 코어스 임피던스 보정 신호 및 파인 임피던스 보정 신호는 임피던스 보정을 반복 수행하는 동안 각 클럭 주기 후에 증가하여 보정 전압을 감소시키고, 상기 보정 전압이 미리 정해진 목표 전압을 초과하면 임피던스 보정을 완료하는

SENT 인터페이스 회로의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 입력 버스 종단 보정 회로를 사용하여 공정 면역성을 가진 자동차 SENT 수신기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] CMOS 기술의 특징 크기가 지속적으로 감소함에 따라 이전에 분리된 오프칩 모듈을 단일 칩에 통합할 수 있게 되어 보다 소형화된 전자 아키텍처가 발전하고 있다. 미래의 고성능 차량 상호 연결을 위한 솔루션으로 간주되는 SENT(Single-Edge Nibble Transmission)는 여러 센서와 ECU(Electronic Control Unit) 모듈 사이에 훨씬 더 높은 대역폭 통신 링크를 제공할 수 있다. 최근 차량의 데이터 집약적 특성에 대한 수요 증가로 인해 차량 상호 연결을 위한 고속 센서 인터페이스 솔루션 연구에 집중하고 있다. 예를 들어, 속도, 온도, 압력 센서 및 카메라, 레이더 및 라이더 모듈과 같은 ADAS(Advanced Driver-Assistance Systems)의 다용도 센서는 운전자의

안전과 미래의 자율 주행을 보장하기 위해 실시간으로 처리해야 하는 대량의 감지 데이터를 생성한다. 따라서 신속한 데이터 처리를 위해 ECU로 빠르고 효율적인 데이터 전송을 위해 높은 데이터 속도의 센서 인터페이스 프로토콜을 필요로 한다.

[0003] LIN(Local Interconnect Network)은 설계 단순성과 제한된 데이터 대역폭(즉, 20Kb/s)으로 구현하기가 비교적 쉽다. 결과적으로 LIN은 더 데이터가 많이 사용되고 실시간 애플리케이션에 대한 불충분함을 겪는다. CAN(Controller Area Network)은 정교한 오류 검출과 효과적인 실시간 통신을 제공할 수 있다. 그러나 CAN은 제한된 대역폭(예를 들어, 1Mb/s)을 가지며 비용에 민감한 자동차 애플리케이션에서 비용이 많이 든다. 이러한 앞서 언급한 문제를 완화하기 위해 모든 디지털 프로토콜 기반 SENT 상호 연결은 모든 디지털 패킷 프로토콜을 통해 간단하고 고속 및 저전력 상호 연결을 제공하도록 제안된다. 그러나 SENT는 모든 디지털 데이터 트랜잭션에 데이터 신뢰성을 제공할 수 있지만 SENT는 여전히 더 낮은 데이터 대역폭으로 어려움을 겪고 있다. 따라서 자동차 상호 연결에 사용되는 최첨단 기술은 미래의 고성능 차량 상호 연결 시스템의 요구 사항을 충족하지 못한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국등록특허 제10-2253167호(2021.05.11)

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 데이터 대역폭, 전력 효율 및 데이터 신뢰성을 충족하기 위해 디지털 제어 IMT 방식과 고처리량 SENT 송수신기를 통합하는 새로운 IMT 보정을 이용한 에너지 효율적인 SENT 인터페이스 및 그 동작 방법을 제공하는데 있다. 제안하는 SENT 인터페이스는 기존 SENT 상호 연결과 달리 디지털 제어 IMT 방식을 사용하여 신호 반사와 왜곡을 최소화하고 SENT 채널에서 데이터 신호 전력 전달과 데이터 대역폭 통신의 효율성을 극대화하고자 한다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로는 디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하기 위한 OTA(Operational Transconductance Amplifier), 미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 비교기(IMT_CMP) 및 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 IMT-FSM(IMT Finite State Machine)을 포함한다.

[0007] 상기 OTA는 입력 차동 쌍을 통해 수신 신호를 증폭하고, 캐스코딩 트랜지스터를 통해 OTA의 이득 및 출력 임피던스를 증가시키며, 부하 커패시터에 따른 주파수 응답을 보장하기 위한 바이어스 전압을 제공한다.

[0008] 상기 비교기는 CMOS-레일-투-레일 비교기이며, 미리 정해진 기준 보다 낮은 공통 모드 입력 레벨을 갖는 입력 신호가 PMOS 트랜지스터의 차동 쌍을 사용하여 증폭되는 제1 스테이지, 추가 이득을 제공하기 위한 차동 증폭기의 제2 스테이지 및 풀 스윙 비교 신호를 위한 버퍼링을 제공하는 제3 스테이지를 포함한다.

[0009] 상기 IMT-FSM는 IMTC 시퀀스를 제어하기 위한 코어스(coarse) 임피던스 보정 신호 및 파인(fine) 임피던스 보정 신호를 생성하고, 상기 코어스 임피던스 보정 신호 및 파인 임피던스 보정 신호는 임피던스 보정을 반복 수행하는 동안 각 클럭 주기 후에 증가하여 보정 전압을 감소시키고, 상기 보정 전압이 미리 정해진 목표 전압을 초과하면 임피던스 보정을 완료한다.

[0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로의 동작 방법은 OTA(Operational Transconductance Amplifier)를 통해 디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하는 단계, 비교기(IMT_CMP)를 통해 미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 단계 및 IMT-FSM(IMT Finite State Machine)를 통

해 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 단계를 포함한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면 데이터 대역폭, 전력 효율 및 데이터 신뢰성을 충족하기 위해 디지털 제어 IMT 방식과 고처리량 SENT 송수신기를 통합한다. 제안하는 SENT 인터페이스는 기존 SENT 상호 연결과 달리 디지털 제어 IMT 방식을 사용하여 신호 반사와 왜곡을 최소화하고 SENT 채널에서 데이터 신호 전력 전달과 데이터 대역폭 통신의 효율성을 극대화할 수 있다. 본 발명의 실시예들에 따르면 ECU 측에서 제안하는 IMT 방식을 적용하여 효율적인 데이터 전송을 가능하게 하고 SENT 데이터 채널의 임피던스를 일치시켜 채널 반사의 간섭을 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 IMT 기반 SENT 인터페이스를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 IMTC 방식이 적용된 ECU 측의 IMT 기반 SENT 인터페이스를 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 IMT 기반 SENT 인터페이스의 동작 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 일 실시예에 따른 폴디드 캐스코드 OTA 회로의 설계 및 AC 응답을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 IMTC 방식을 위한 비교기 회로의 시뮬레이션 결과를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 모든 PVT 코너에서 시뮬레이션된 IMT 임피던스 대 디지털 교정 코드를 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 SENT 드라이버 및 시뮬레이션된 파형을 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 ECU 아날로그 프런트엔드 회로도 및 시뮬레이션 파형을 나타내는 도면이다.

도 9는 본 발명의 일 실시예에 따른 SENT 채널에서의 IC 패키지 모델링 및 시뮬레이션된 신호 손실을 나타내는 도면이다.

도 10은 본 발명의 일 실시예에 따른 IMT을 가진 SENT 인터페이스 및 시뮬레이션된 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명에서는 새로운 임피던스 매칭 종료(Impedance-Matching Termination; IMT) 방식을 사용한 에너지 효율적이고 고속의 SENT(Single-Edge Nibble Transmission) 인터페이스를 제안한다. 온칩 디지털 제어 IMT 방식과 고속 SENT 송수신기를 통합한 제안된 IMT 기반 SENT 인터페이스는 단일 종단 오프칩 SENT 채널을 통해 훨씬 전력 효율적이고 높은 대역폭의 링크를 가능하게 한다. 본 발명의 실시예에 따른 IMT 기반 SENT IO는 40Mb/s를 전송한다. 각 IMT 방식과 SENT IO는 1.0V 공급에서 각각 2.8mW와 0.24mW를 소비한다. 제안된 IMT 기반 SENT IO는 5m 동축 케이블 거리에서 0.149nJ/b/와이어의 전력 효율로 40Mb/s/pin에서 작동한다. 프로토타입 칩은 총 면적이 0.52mm^2인 28nm CMOS 프로세스로 제작된다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 IMT 기반 SENT 인터페이스를 나타내는 도면이다.

[0016] 본 발명에서는 데이터 대역폭, 전력 효율 및 데이터 신뢰성을 충족하기 위해 디지털 제어 IMT 방식과 고처리량 SENT 송수신기를 통합하여 새로운 SENT 인터페이스를 제안한다. 제안된 SENT 송수신기는 공유된 단일 에지를 통해 디지털 제어 IMT 방식을 활용한다.

[0017] 제안하는 SENT 인터페이스는 기존 SENT 상호 연결과 달리 디지털 제어 IMT 방식을 사용하여 신호 반사와 왜곡을 최소화하고 SENT 채널에서 데이터 신호 전력 전달과 데이터 대역폭 통신의 효율성을 모두 극대화한다.

[0018] 도 1을 참조하면, 제안하는 SENT 상호 연결 아키텍처가 IMT 방식과 SENT 송수신기를 통합하여 데이터 처리량, 신호 무결성 및 전력 효율성을 향상시키는 것을 보여준다. 일치하지 않는 SENT 임피던스의 신호 반사로 인한 간섭은 센서 유닛(110)과 ECU 유닛(120) 사이의 SENT 채널에서 상당한 신호 손실과 왜곡을 유발할 수 있다. 따라

서 ECU 측에서 제안된 IMT 방식은 효율적인 데이터 전송을 가능하게 하고 SENT 데이터 채널의 임피던스를 일치시켜 채널 반사의 간섭을 줄일 수 있다.

[0020] 도 2는 본 발명의 일 실시예에 따른 IMTC 방식이 적용된 ECU 측의 IMT 기반 SENT 인터페이스를 나타내는 도면이다.

[0021] 도 2(a)는 본 발명의 일 실시예에 따른 IMTC 방식이 적용된 IMT 기반 SENT 인터페이스의 구조를 나타내는 도면이다.

[0022] 본 발명의 실시예에 따른 IMTC(Impedance Matching Termination Calibrator)(210)이 적용된 ECU 측의 IMT 기반 SENT 인터페이스에서, IMTC(210)은 디지털 임피던스 매칭 보정을 위한 OTA(Operational Transconductance Amplifier)(211), 비교기(IMT_CMP) 및 IMT-FSM(IMT Finite State Machine)(212)을 포함한다.

[0023] 본 발명의 실시예에 따른 IMTC 방식에서, OTA(211)는 먼저 R_{ZREF}(즉, V_T)의 DC 동작점을 ECU 입력(즉, V_{REF})에서 동일한 DC 전압 조건으로 강제하므로 보정된 R_IMT 값의 정확도를 보장한다.

[0024] 그런 다음, 본 발명의 실시예에 따른 비교기는 미리 정의된 기준 임피던스와 종단 레플리카(termination replica)(즉, R_{ZREF} 대 R_{IMT}) 사이의 임피던스 차이를 '비교'하여 온칩 내부 임피던스 값이 원하는 기준 임피던스 값보다 높은지 낮은지(즉, 전압 도메인을 통해 간접적으로)를 결정한다.

[0025] 본 발명의 실시예에 따른 IMT-FSM은 IMT 보정 시퀀스를 제어하고 코어스(coarse) 임피던스 보정 신호 및 파인(fine) 임피던스 보정 신호(즉, CRSE_IMT 및 FINE_IMT, CRSE_IMT_FINAL 및 FINE_IMT_FINAL)를 생성하여 내부 임피던스 보정의 최적화를 완료한다. FSM 디지털 제어기는 또한 자체 디지털 임피던스 보정의 완료를 나타내는 임피던스 제어 신호(즉, IMT_DONE)를 생성한다.

[0026] 도 2(b)는 제안된 IMT 보정기의 타이밍 다이어그램을 보여준다. 시스템 리셋 신호(즉, RSTB)를 수신하면 디지털 보정 IMT-FSM이 보정 프로세스를 활성화하기 위해 클럭 동기화 트리거 신호(즉, CLK_IMT)를 기다린다. 미세 모드 이진 코드(FINE_IMT[2:0])는 임피던스 값을 미세 조정하는 데 사용되는 반면 서모미터 코드(thermometer code)(CRSE_IMT[6:0])는 임피던스 값의 코어스 조정에 사용된다. 이러한 코드는 각 클럭 주기 후에 증가하여 보정 전압(V_{CAL})을 감소시킨다. V_{CAL}이 목표 전압을 초과하면 비교기 출력이 low로 활성화되고 FSM은 IMT_DONE 플래그를 low에서 high로 잠근다(lock). 그런 다음 최종 보정 코드(CRSE_IMT_FINAL[6:0] 및 FINE_IMT_FINAL[2:0])는 전압 교차점이 발생하기 전에 가장 가까운 값으로 잠긴다. 이러한 최종 보정 코드는 제안된 IMT 방식에 적용되어 보정 프로세스가 완료된다.

[0028] 도 3은 본 발명의 일 실시예에 따른 IMT 기반 SENT 인터페이스의 동작 방법을 설명하기 위한 흐름도이다.

[0029] 본 발명의 실시예에 따른 ECU(Electronic Control Unit) 측의 IMT(Impedance Matching Termination) 기반 SENT(Single-Edge Nibble Transmission) 인터페이스 회로의 동작 방법은 OTA(Operational Transconductance Amplifier)를 통해 디지털 제어 IMTC(Impedance Matching Termination Calibrator)를 위한 입력 공통 모드 전압 범위를 제공하는 단계, 비교기(IMT_CMP)를 통해 미리 정의된 기준 임피던스와 종단 레플리카(termination replica) 사이의 임피던스 차이를 비교하는 단계 및 IMT-FSM(IMT Finite State Machine)를 통해 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 단계를 포함하다.

[0030] 본 발명의 실시예에 따르면, 상기 OTA를 통해 디지털 제어 IMTC를 위한 입력 공통 모드 전압 범위를 제공하는 단계에서, 입력 차동 쌍을 통해 수신 신호를 증폭하고, 캐스코딩 트랜지스터를 통해 OTA의 이득 및 출력 임피던스를 증가시키며, 부하 커패시터에 따른 주파수 응답을 보장하기 위한 바이어스 전압을 제공한다.

[0031] 본 발명의 실시예에 따르면, 비교기를 통해 미리 정의된 기준 임피던스와 종단 레플리카 사이의 임피던스 차이를 비교하는 단계에서, CMOS-레일-투-레일 비교기인 상기 비교기의 제1 스테이지를 통해 미리 정해진 기준 보다 낮은 공통 모드 입력 레벨을 갖는 입력 신호가 PMOS 트랜지스터의 차동 쌍을 사용하여 증폭하고, 제2 스테이지를 통해 추가 이득을 제공하며, 제3 스테이지를 통해 풀 스윙 비교 신호를 위한 버퍼링을 제공한다.

[0032] 본 발명의 실시예에 따르면, IMT-FSM를 통해 IMTC 시퀀스를 제어하고 임피던스 보정의 최적화를 수행하는 단계에서, IMTC 시퀀스를 제어하기 위한 코어스(coarse) 임피던스 보정 신호 및 파인(fine) 임피던스 보정 신호를

생성하고, 상기 코어스 임피던스 보정 신호 및 파인 임피던스 보정 신호는 임피던스 보정을 반복 수행하는 동안 각 클럭 주기 후에 증가하여 보정 전압을 감소시키고, 상기 보정 전압이 미리 정해진 목표 전압을 초과하면 임피던스 보정을 완료한다.

[0033] 본 발명의 실시예에 따른 IMTC 방식의 동작을 설명하는 흐름도를 도 3(a)에 도시하였다.

[0034] 먼저, 임피던스 보정 신호(즉, CRSE_IMT 및 FINE_IMT, CRSE_IMT_FINAL 및 FINE_IMT_FINAL) = 0, 디지털 임피던스 보정의 완료를 나타내는 임피던스 제어 신호(즉, IMT_DONE) = Low 로 초기화 한다(310).

[0035] 시스템 리셋 신호(즉, RSTB)를 수신(320)하면 디지털 보정 IMT-FSM이 보정 프로세스를 활성화하기 위해 클럭 동기화 트리거 신호(즉, CLK_IMT)를 기다린다.

[0036] 시스템 리셋 신호(즉, RSTB)가 Low이면, 비교기(IMP_CMP)를 체크하고, 임피던스 보정 신호를 이용하여 임피던스를 보정한다. 미세 모드 이진 코드(FINE_IMT[2:0])는 임피던스 값을 미세 조정하는 데 사용되는 반면 서모미터 코드(thermometer code)(CRSE_IMT[6:0])는 임피던스 값의 코어스 조정에 사용된다. 이러한 코드는 임피던스 보정을 반복 수행하고(340), 각 클럭 주기 후에 증가하여 보정 전압(V_{CAL})을 감소시킨다(350). V_{CAL}이 목표 전압을 초과하면 비교기 출력이 low로 활성화되고 FSM은 IMT_DONE 플래그를 low에서 high로 잠근다(lock)(360). 그런 다음 최종 보정 코드(CRSE_IMT_FINAL[6:0] 및 FINE_IMT_FINAL[2:0])는 전압 교차점이 발생하기 전에 가장 가까운 값으로 잠긴다. 이러한 최종 보정 코드는 제안된 IMT 방식에 적용되어 보정 프로세스가 완료된다.

[0037] 본 발명의 실시예에 따른 IMT 기반 SENT 인터페이스에 대한 최악의 시나리오에서 모든 코드를 반복한 후에도 비교기 출력이 변경되지 않으면 보정이 실패한 것으로 간주되고 IMT_DONE 플래그가 낮은 논리 레벨로 잠겨 보정이 종료된다. 제안된 보정 프로세스에 의해 SENT 채널 임피던스의 최종 보정 값은 항상 특성 임피던스(즉, 50Ω)를 유지할 수 있다.

[0038] 도 3(b)는 SENT 기준 클럭 주파수가 2MHz인 경우 코너에서 IMTC 방식의 동작 시뮬레이션 결과를 보여준다. 제안된 보정 방식은 SENT 채널 임피던스 조정의 복원력 있고 정밀한 제어를 제공하고 데이터 신뢰성과 통신 정확성을 보장함으로써 채널 특성 임피던스 및 신호 섭동의 잠재적 교란에도 불구하고 최적의 목표 임피던스 값에 수렴하는 놀라운 성능을 보여준다.

[0040] 도 4는 본 발명의 일 실시예에 따른 폴디드 캐스코드 OTA 회로의 설계 및 AC 응답을 나타내는 도면이다.

[0041] 도 4(a)는 IMTC 방식의 폴디드 캐스코드(folded-cascode) OTA 회로의 개략도를 보여준다. 폴디드 캐스코드 출력-트랜스 컨덕턴스 증폭기(OTA)는 높은 이득, 넓은 대역폭 및 안정성으로 인해 아날로그 회로에서 널리 사용된다.

[0042] 본 발명의 실시예에 따른 OTA 개략도는 바이어싱 전류원(I_{B0} 및 I_B), 차동 쌍(INP 및 INN), 캐스코딩 트랜지스터, 바이어스 전압원(V_B) 및 부하 커패시터(C_L)를 포함한다. 입력 차동 쌍은 약한 수신 신호를 증폭하는 반면, 캐스코딩 트랜지스터는 증폭기의 이득 및 출력 임피던스를 크게 향상시킨다. 폴디드 캐스코드 OTA 안정성은 매우 민감하기 때문에 최적의 바이어스 전압은 부하 커패시터에 따른 적절한 주파수 응답을 보장하기 위해 신중하게 최적화되어야 한다.

[0043] 도 4(b)는 이득 및 위상 플롯을 모두 포함하는 폴디드 캐스코드 OTA 회로의 AC 응답을 보여준다. 이득 플롯은 -3dB에서 7MHz 대역폭으로 48dB의 DC 이득을 강조한다. 또한 위상 플롯은 회로 안정성을 보장하는 데 중요한 요소인 67° 의 위상 마진을 보여준다. 이러한 시뮬레이션 결과는 폴디드 캐스코드 OTA가 광범위한 입력 공통 모드 전압 범위를 유지하면서도 DC 이득, 대역폭 및 안정성 측면에서 균형 잡힌 성능을 달성하여 IMTC 동작에 적합한 OTA 회로를 가능하게 한다는 것을 보여준다.

[0045] 도 5는 본 발명의 일 실시예에 따른 IMTC 방식을 위한 비교기 회로의 시뮬레이션 결과를 나타내는 도면이다.

[0046] 도 5(a)는 IMTC 방식에 사용된 고이득 및 CMOS-레일-투-레일 비교기 설계를 보여준다. 비교기 회로는 3개의 주요 증폭 스테이지로 구성된다. 제1 스테이지(510)에서, 낮은 공통 모드 입력 레벨을 갖는 작은 입력 신호가 PMOS 트랜지스터의 차동 쌍을 사용하여 증폭된다. 추가 이득을 제공하기 위해, 차동 증폭기의 제2 스테이지(520)가 추가된다. 증폭기는 2개의 상보적인 폴디드 캐스코드 토폴로지를 자기 편향 메커니즘과 결합한다. 증폭

단계는 또한 심각한 PVT에 대한 견고성을 보장하고 더 많은 공급 스위칭 전류를 제공할 수 있다. 비교기 회로는 IMTC 방식과 같은 고속, 고정밀 애플리케이션을 제공한다. 비교기의 최종 출력은 풀 스윙 비교 신호를 달성하기 위해 제3 스테이지(530)에 의해 안정적으로 버퍼링된다.

[0047] 도 5(b)와 5(c)는 1mV 차동 입력이 있는 SS(slow-slow) 코너 대 TT(typical- typical) 코너에서 제안된 비교기의 시뮬레이션된 과도 응답을 보여준다. 비교기는 풀 스윙 출력 전압과의 비교를 성공적으로 결정한다. 도 5(d)는 1mV와 10mV의 차동 입력에 대한 지연 대 입력 공통 모드 전압(VIN_{CM}) 플롯을 보여준다. 플롯은 10mV 입력에 비해 1mV 입력에 대해 관찰된 더 뚜렷한 지연 변화와 함께 VIN_{CM}이 높을수록 지연이 증가함을 나타낸다. 그러나 지연 변화는 IMT 클럭 주기(즉, T_CLK_IMT = 0.5μs)와 비교할 때 매우 작게 유지된다. 따라서 제안된 비교기는 IMTC 방식 적용에서 고속 고입력 해상도에 대한 요구 사항을 충족한다.

[0049] 도 6은 본 발명의 일 실시예에 따른 모든 PVT 코너에서 시뮬레이션된 IMT 임피던스 대 디지털 교정 코드를 나타내는 도면이다.

[0050] 도 6은 다양한 프로세스, 전압 및 온도(PVT) 변화에 따른 IMT 임피던스 대 디지털 보정 코드의 시뮬레이션된 파형을 보여준다. 도 6을 참조하면, PVT 변화에 관계없이 디지털 보정 코드를 조정하여 IMT 임피던스를 SENT 인터페이스 채널의 목표 50Ω 특성 임피던스로 탄력적으로 조정할 수 있음을 보여준다. 제안된 IMT 방식은 보정 메커니즘의 견고성을 제공하여 데이터 패킷 통신의 신호 무결성 및 신뢰성을 유지하는 데 중요한 정밀한 임피던스 매칭을 보장할 수 있다. 제안된 IMT 방식은 35.5Ω에서 70Ω까지 임피던스를 커버하는 64개의 고유한 디지털 코드 값의 충분한 범위를 제공할 수 있다. 이는 1.56%의 동등한 평균 보정 단계 크기 정확도에 해당한다.

[0052] 도 7은 본 발명의 일 실시예에 따른 SENT 드라이버 및 시뮬레이션된 파형을 나타내는 도면이다.

[0053] 도 7(a)는 SENT 데이터 패킷의 SENT 드라이버를 나타내는 도면이다. 롱-SENT 케이블 채널에서 용량성 부하 및 신호 왜곡이 상당히 크기 때문에 SENT 드라이버는 높은 신호 무결성을 제공하여 다른 유사한 차량 내 인터페이스(즉, CAN, LIN)에서와 같이 채널을 통해 드라이버 신호의 신뢰성 있는 전송을 보장해야 한다.

[0054] SENT 드라이버는 최종 출력단을 구동하는 프리드라이버로 NAND와 NOR 논리 게이트를 통합하는 세그먼트 설계를 사용한다. 세그먼트 구성은 드라이버 강도에 대한 정밀한 제어를 용이하게 하여 심각한 PVT 변화와 채널 왜곡에 대한 적응 능력을 가능하게 한다.

[0055] 도 7(b)는 40Mbps 입력 데이터 속도로 작동하는 SENT 드라이버의 시뮬레이션 결과를 보여준다. 제안하는 드라이버는 출력 강도를 정밀하게 제어할 수 있어 신호 무결성과 데이터 신뢰성이 향상된다.

[0057] 도 8은 본 발명의 일 실시예에 따른 ECU 아날로그 프런트엔드 회로도 및 시뮬레이션 파형을 나타내는 도면이다.

[0058] 도 8(a)는 SENT 임피던스 네트워크와 ECU 유닛 내의 아날로그-프론트엔드로 구성된 SENT ECU 방식의 개략적인 파형과 시뮬레이션된 파형을 보여준다. SENT 채널은 여전히 1Mb/s로 작동하는 최첨단 SENT 인터페이스에 비해 40Mb/s에서 상당한 신호 손실을 경험하기 때문에 단일 엔드 입력 신호를 감지하는 인기 있는 차동 쌍이며, 이는 VREF 생성기 방식(즉, VGEN)에 의해 생성된 온-칩 전압 기준과 비교된다. 출력 전압은 이후 푸시-풀 단계에 의해 버퍼링되고 디지털 도메인에서 복원된다. 기준 전압은 VGEN 블록에 의해 생성되고 AFE 디지털 제어기에 의해 조절된다.

[0059] 도 8(b)는 노이즈 전압 기준과 함께 최악의 조건(즉, ss/0.9V, 100° C)에서 시뮬레이션 결과를 보여준다. 그러나 SENT 데이터 패킷은 여전히 효과적으로 복구될 수 있으며, 이는 SENT 데이터 패킷 신호의 향상된 신호 무결성을 보여준다.

[0061] 도 9는 본 발명의 일 실시예에 따른 SENT 채널에서의 IC 패키지 모델링 및 시뮬레이션된 신호 손실을 나타내는 도면이다.

[0062] 도 9(a)는 SENT 인터페이스 채널을 나타내는 도면이고, 도 9(b)는 SENT 패키지 모델링을 나타내며, 도9(c)는

SENT 인터페이스 채널의 시뮬레이션된 신호 손실을 보여준다.

[0063] SENT 인터페이스는 심각한 대역폭 제한에 직면할 수 있으며, 이는 IC 패드, 패키징 라우팅, 바이어스 및 플립칩 범프와 같은 임피던스 불연속성으로 인해 상당한 데이터 손실을 초래할 수 있다. 채널 임피던스 불연속성은 임피던스가 변하는 지점에서 반사 및 신호 손실을 유발하여 신호 무결성을 크게 저하시킬 수 있다. 이러한 불연속성은 더 나은 신호 무결성을 방해하여 고속 데이터 전송에서 성능 저하 및 오류율 증가로 이어진다. 따라서 SENT 패키지 및 채널 상호 연결의 매우 정확한 모델링은 신뢰할 수 있는 SENT 인터페이스 설계에 매우 중요하다. 도 9(c)는 여러 경우(즉, 패키지만, 패키지 및 2미터 케이블, 패키지 및 5미터 케이블)에 대한 시뮬레이션된 신호 손실을 보여준다. 일반적인 경우와 최악의 경우의 시뮬레이션된 신호 손실은 각각 40Mb/s 데이터 전송율에서 -4.5dB 및 -7.6dB이다.

[0065] 도 10은 본 발명의 일 실시예에 따른 IMT을 가진 SENT 인터페이스 및 시뮬레이션된 파형을 나타내는 도면이다.

[0066] 도 10은 제안된 IMT(임피던스 매칭 종료) 방식과 시뮬레이션된 파형을 가진 SENT 인터페이스를 보여준다. 디지털 처리 블록으로부터 40Mb/s의 디지털 데이터 패킷이 긴 케이블 채널을 통해 전송된다. SENT 인터페이스는 IMT 방식을 통합함으로써 향상된 신호 무결성을 제공하여 송수신된 SENT 데이터 패킷의 효과적인 복구를 가능하게 한다.

[0067] 본 발명의 실시예에 따른 IMT 방식은 전체 전력 소비의 2%에 불과한 전력 오버헤드를 무시할 정도로 증가시킨다. 이 최소 증가는 신호 무결성과 데이터 신뢰성이 크게 향상된 점을 고려할 때 특히 중요하다. 따라서 제안된 IMT 보정 방식은 상당한 전력 부담 없이 데이터 전송 품질을 향상시키는 매우 효과적인 솔루션이 될 수 있다.

[0068] 본 발명의 실시예에 따르면, IMT 방식을 사용하여 에너지 효율적이고 고속인 SENT 인터페이스를 제안하고, 온칩 디지털 제어 IMT 방식과 고속 SENT IO를 포함하는 IMT 기반 SENT 인터페이스는 단일 엔드 오프칩 SENT 채널을 통해 전력 효율적이고 높은 대역폭 연결을 가능하게 한다. 이러한 송수신기는 확장된 케이블 채널에 비해 상당한 전력 효율과 신뢰성을 보여준다.

[0070] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0071] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0072] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판

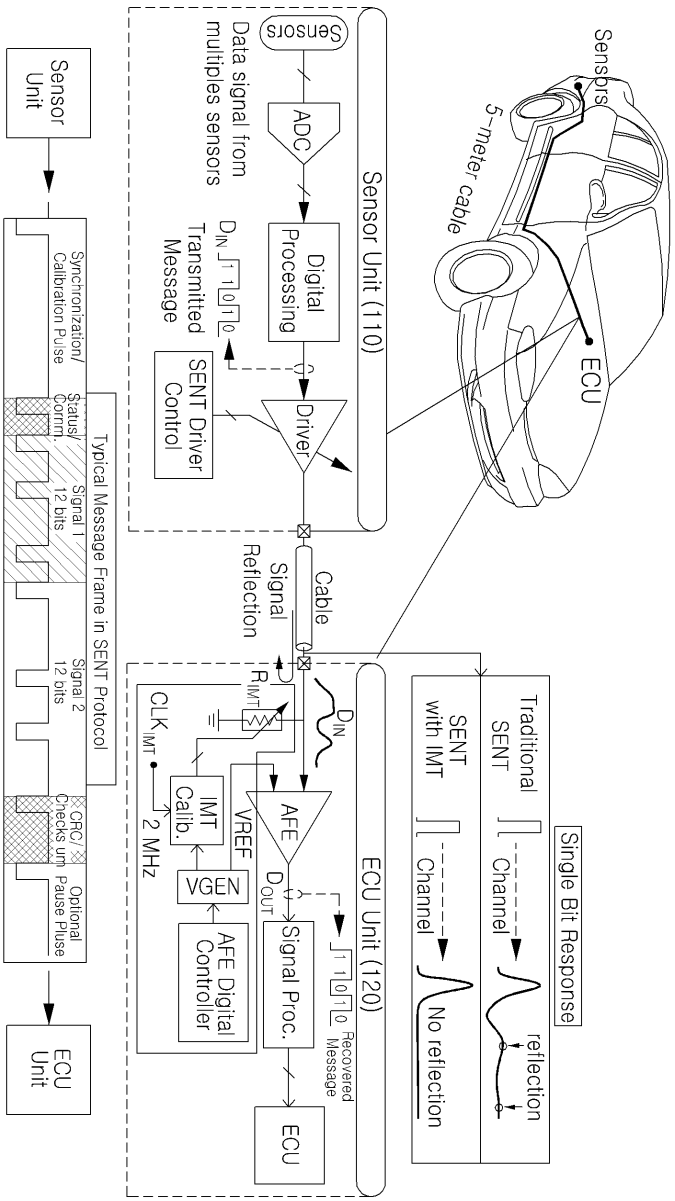
독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0073] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

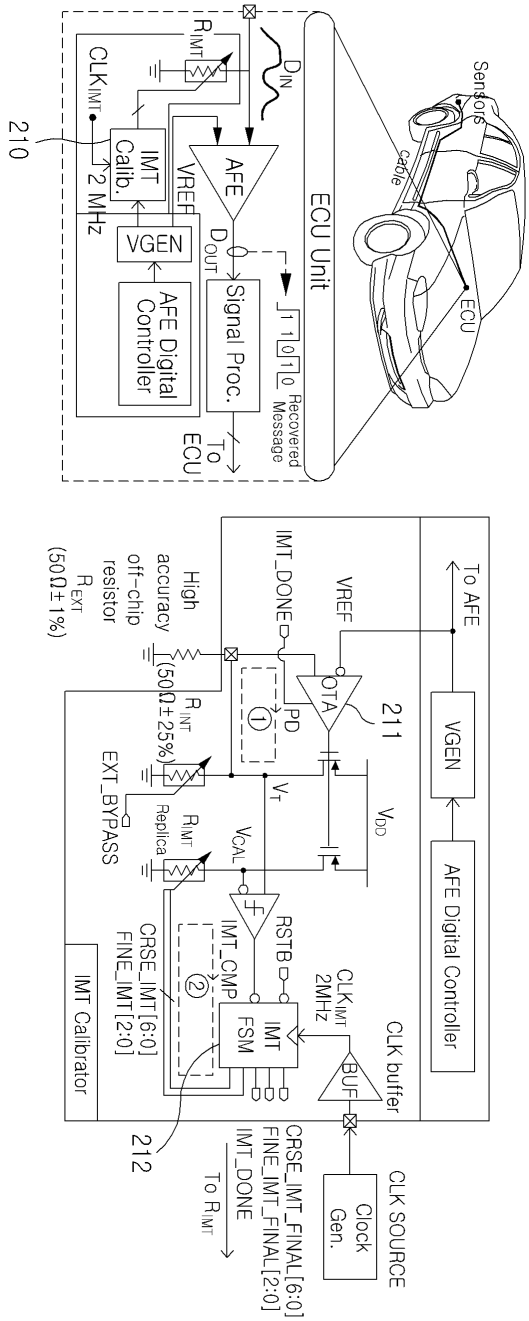
[0074] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

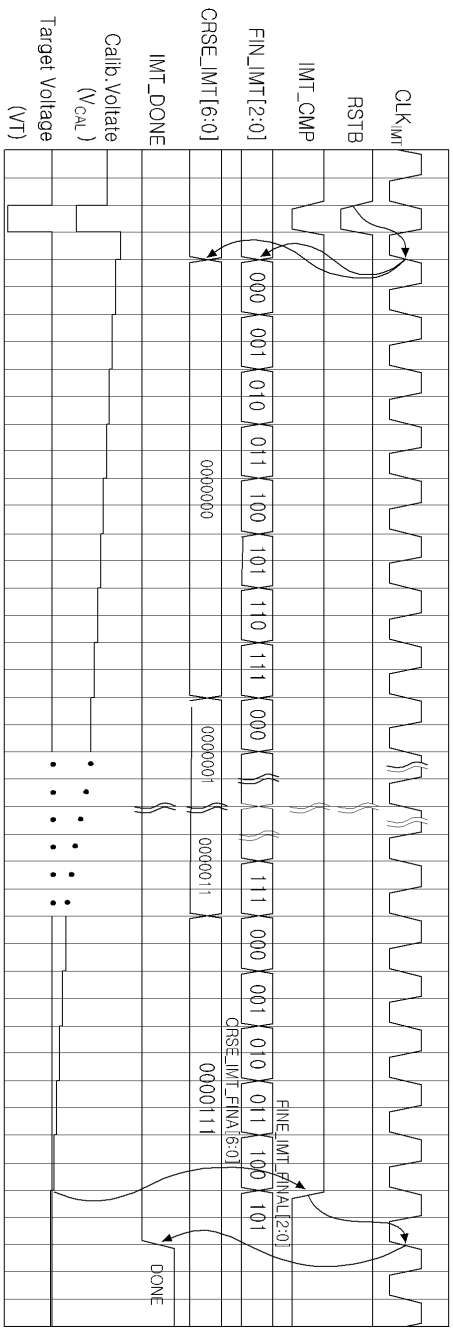
도면1


Sensors
5-meter cable
ECU
Sensor Unit (110)
Sensors
ADC
Digital Processing
Driver
SENT Driver Control
Data signal from multiples sensors
Transmitted Message
Cable
Signal Reflection
ECU Unit (120)
AFE
VREF
VGEN
IMT Calib.
AFE Digital Controller
Signal Proc.
ECU
Recovered Message
2 MHz
Traditional SENT
SENT with IMT
Channel
reflection
No reflection
Single Bit Response
Sensor Unit
ECU Unit
Typical Message Frame in SENT Protocol
Synchronization/ Calibration Pulse
Status/ Comm.
Signal 1 12 bits
Signal 2 12 bits
CRC/ Checksum
Optional Pause Pluse

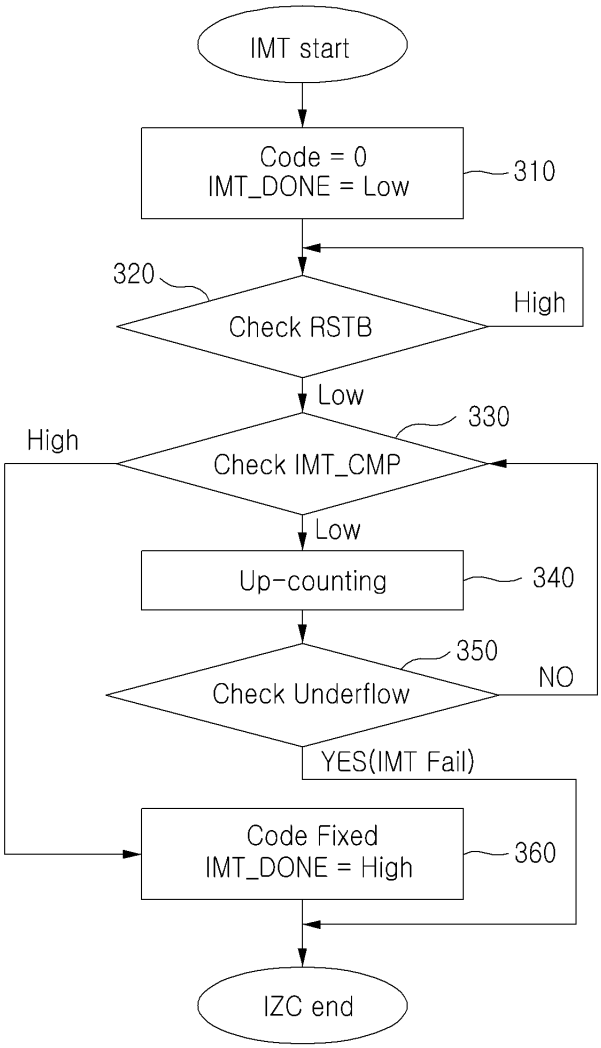
도면2a


210
R_{IMT}
CLK_{IMT}
2 MHz
IMT Calib.
VREF
AFE
D_{IN}
VGEN
AFE Digital Controller
D_{OUT}
Signal Proc.
To ECU
Recovered Message
ECU Unit
Cable
Sensors
ECU
To AFE
VREF
IMT_DONE
High accuracy off-chip resistor
R_{EXT} (50Ω±1%)
R_{INT} (50Ω±25%)
EXT_BYPASS
Replica
R_{INT}
V_{CAL}
V_T
V_{DD}
PD
OTA
211
VGEN
AFE Digital Controller
CLK buffer
RSTB
IMT_CMP
IMT FSM
CLK_{IMT} 2MHz
BUF
CRSE_IMT[6:0]
FINE_IMT[2:0]
IMT Calibrator
212
CRSE_IMT_FINAL[6:0]
FINE_IMT_FINAL[2:0]
IMT_DONE
To R_{IMT}
CLK SOURCE
Clock Gen.

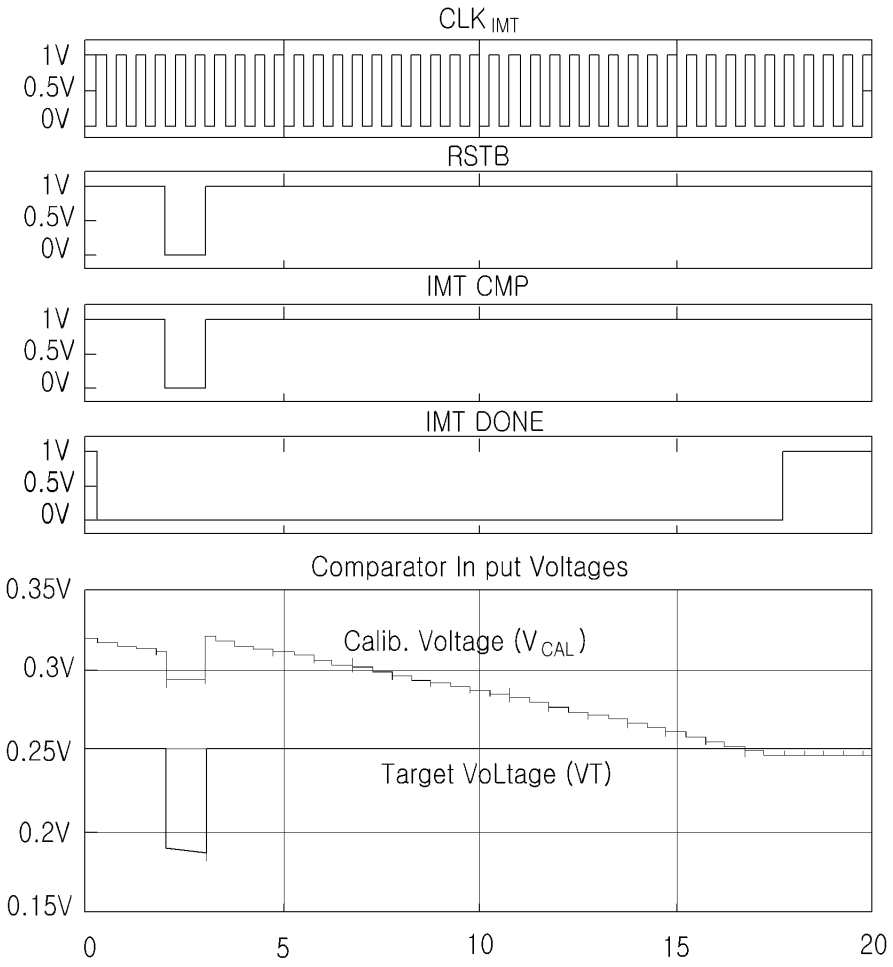
도면2b


CLK_IMT
RSTB
IMT_CMP
FIN_IMT[2:0]
CRSE_IMT[6:0]
IMT_DONE
Calib.Voltate (V_CAL)
Target Voltage (VT)
000
001
010
011
100
101
110
111
0000000
0000001
0000111
CRSE_IMT_FINAL[6:0]
FINE_IMT_FINAL[2:0]
DONE

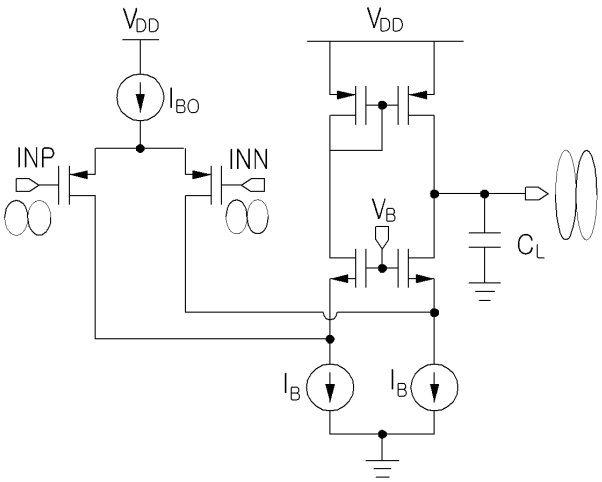
도면3a


IMT start
Code = 0
IMT_DONE = Low
310
320
Check RSTB
High
Low
330
High
Check IMT_CMP
Low
Up-counting
340
350
Check Underflow
NO
YES(IMT Fail)
Code Fixed
IMT_DONE = High
360
IZC end

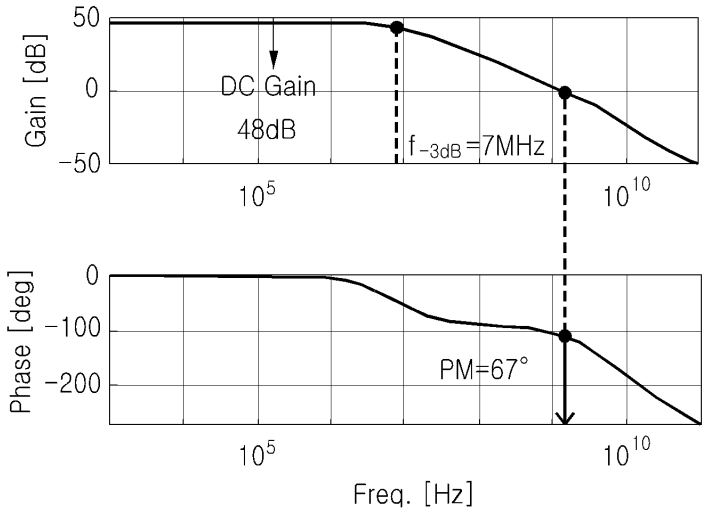
도면3b


CLK IMT
1V
0.5V
0V
RSTB
1V
0.5V
0V
IMT CMP
1V
0.5V
0V
IMT DONE
1V
0.5V
0V
Comparator In put Voltages
0.35V
0.3V
0.25V
0.2V
0.15V
Calib. Voltage (V CAL)
Target VoLtage (VT)
0
5
10
15
20

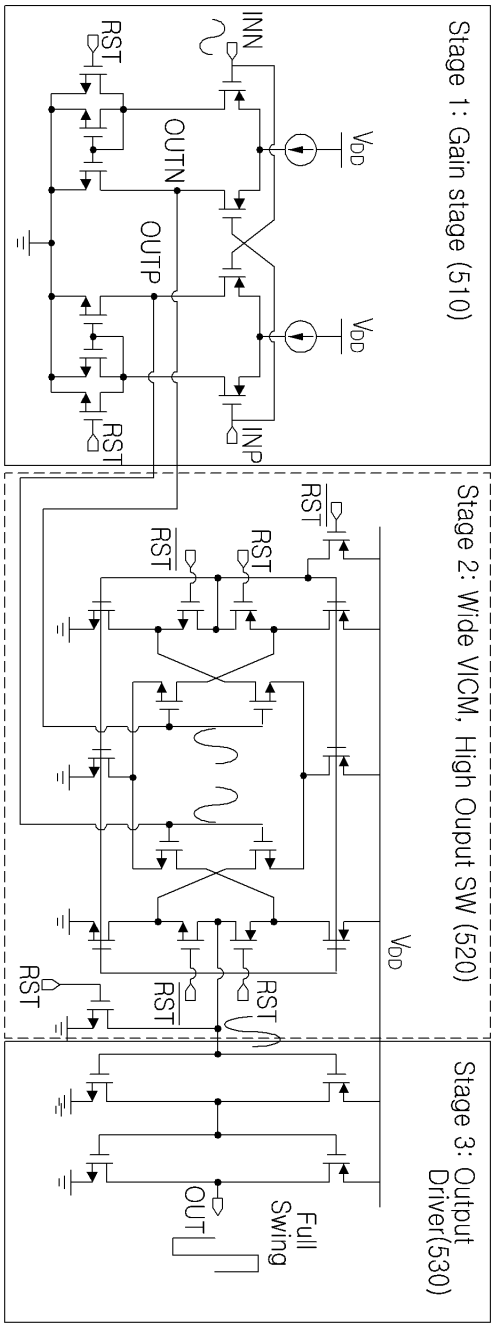
도면4a


VDD
VDD
IBO
INP
INN
VB
CL
IB
IB

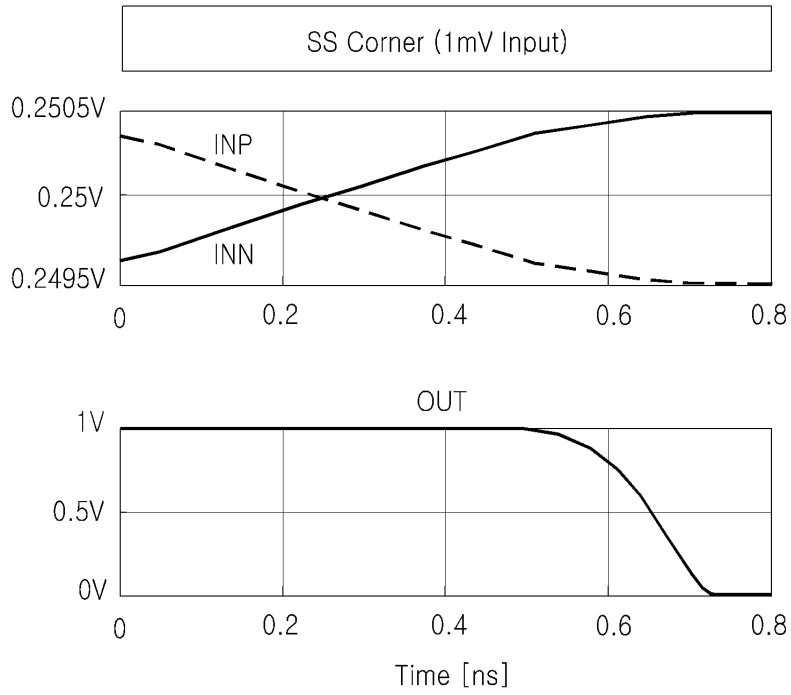
도면4b


50
0
−50
Gain [dB]
DC Gain
48dB
f −3dB =7MHz
10^5
10^10
0
−100
−200
Phase [deg]
PM=67°
10^5
10^10
Freq. [Hz]

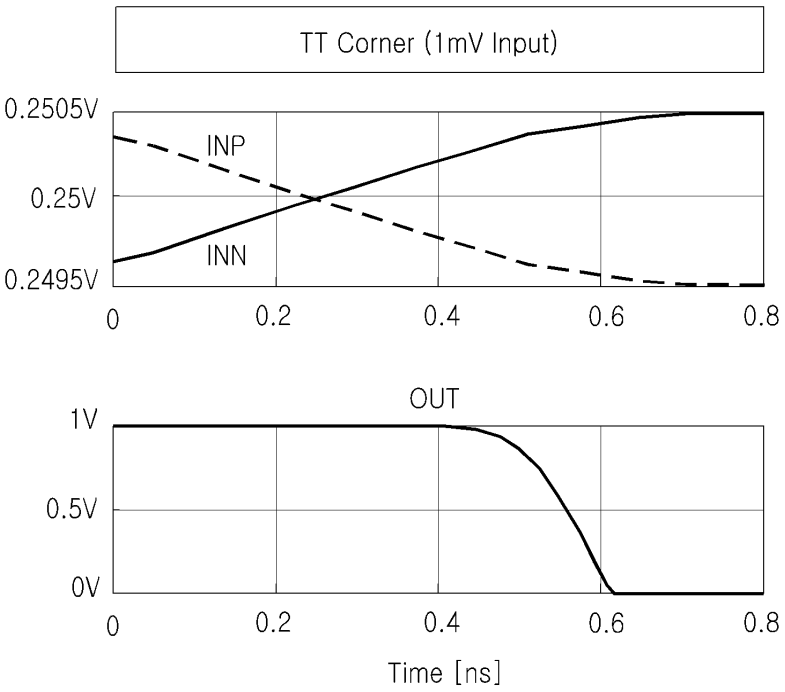
도면5a


Stage 1: Gain stage (510)
INN
INP
OUTN
OUTP
RST
VDD
Stage 2: Wide VICM, High Ouput SW (520)
Stage 3: Output Driver(530)
OUT
Full Swing

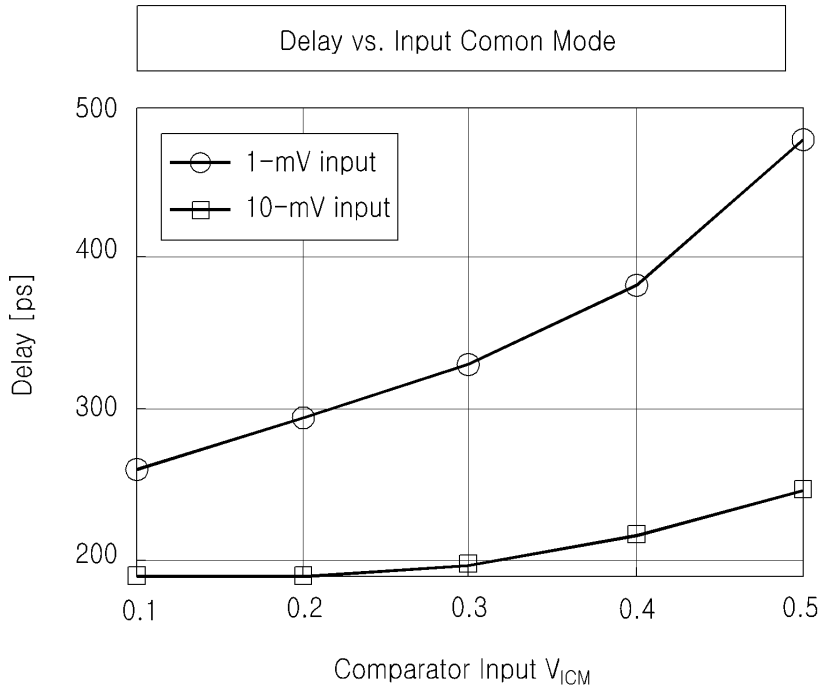
도면5b


SS Corner (1mV Input)
0.2505V
0.25V
0.2495V
INP
INN
0
0.2
0.4
0.6
0.8
OUT
1V
0.5V
0V
0
0.2
0.4
0.6
0.8
Time [ns]

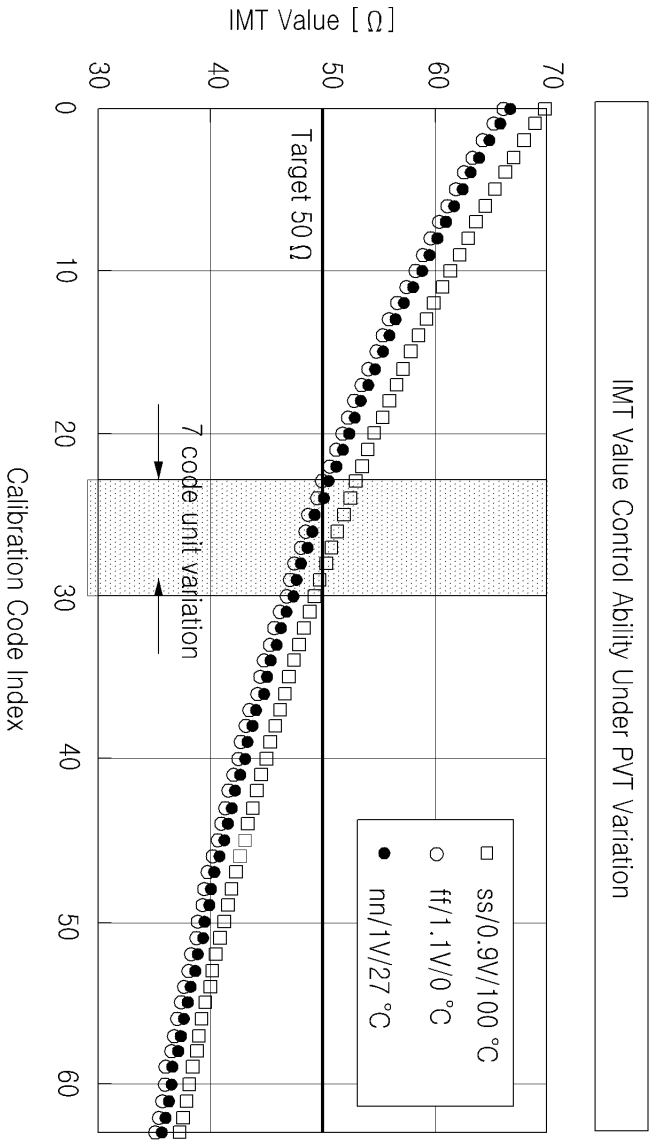
도면5c


TT Corner (1mV Input)
0.2505V
0.25V
0.2495V
INP
INN
0
0.2
0.4
0.6
0.8
OUT
1V
0.5V
0V
0
0.2
0.4
0.6
0.8
Time [ns]

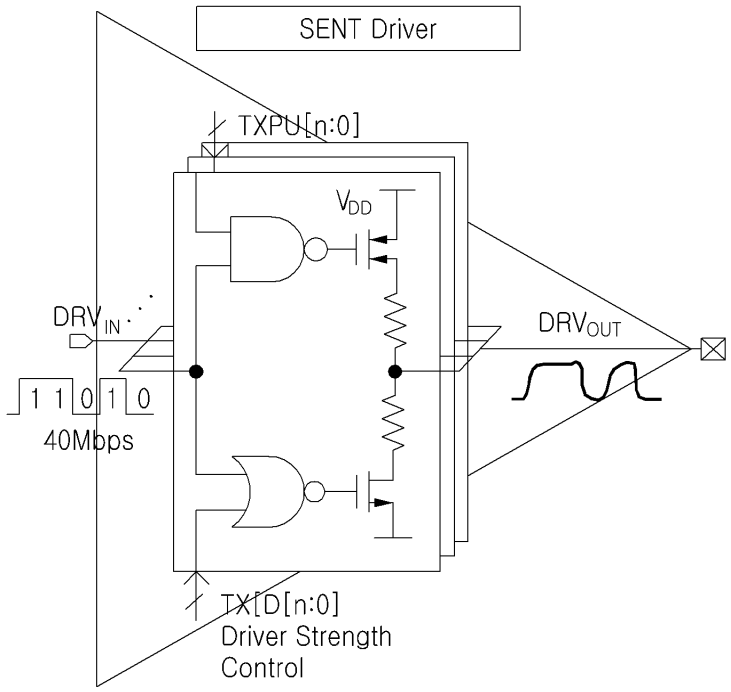
도면5d


Delay vs. Input Comon Mode
500
400
300
200
Delay [ps]
1-mV input
10-mV input
0.1
0.2
0.3
0.4
0.5
Comparator Input V_{ICM}

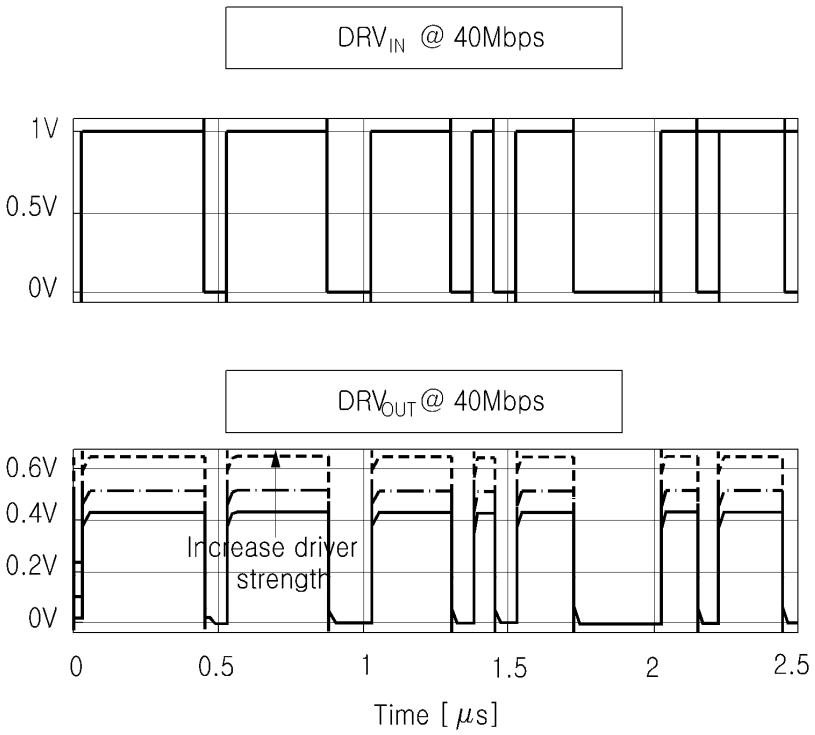
도면6


IMT Value Control Ability Under PVT Variation
IMT Value [Ω]
30
40
50
60
70
Target 50Ω
7 code unit variation
Calibration Code Index
0
10
20
30
40
50
60
ss/0.9V/100 °C
ff/1.1V/0 °C
nn/1V/27 °C

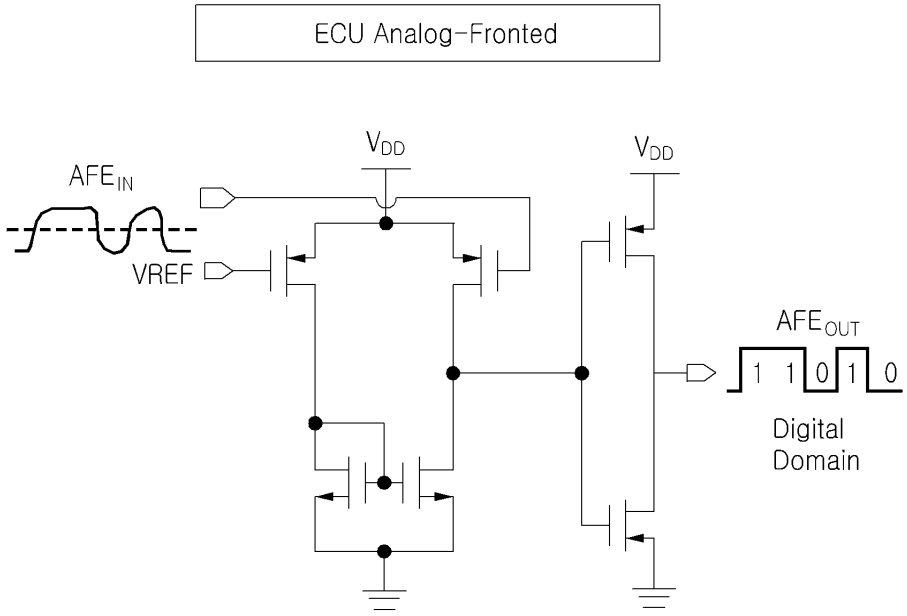
도면7a


SENT Driver
TXPU[n:0]
V_{DD}
DRV_{IN}
DRV_{OUT}
1 1 0 1 0
40Mbps
TX[D[n:0]
Driver Strength
Control

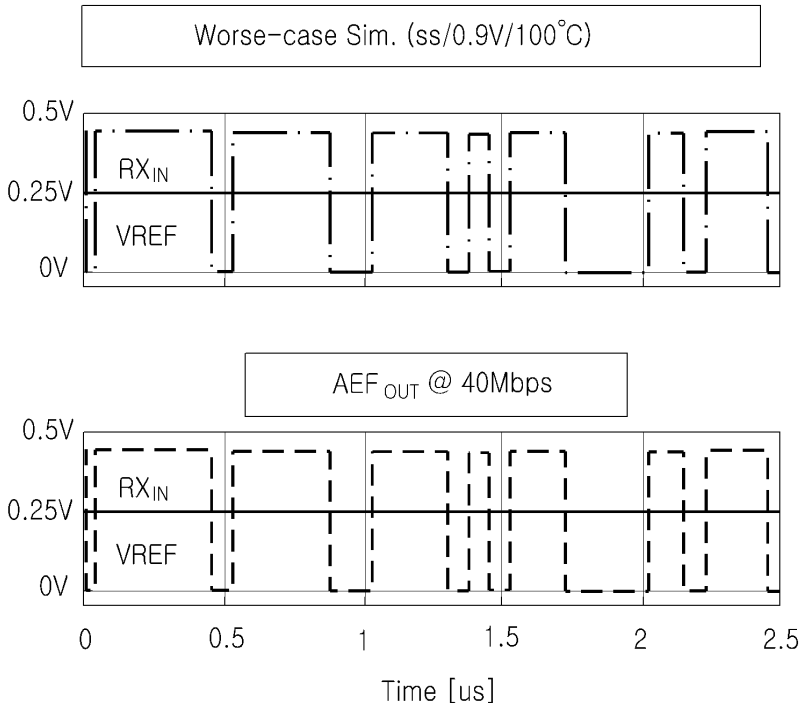
도면7b


DRV_{IN} @ 40Mbps
1V
0.5V
0V
DRV_{OUT}@ 40Mbps
0.6V
0.4V
0.2V
0V
Increase driver strength
0
0.5
1
1.5
2
2.5
Time [μs]

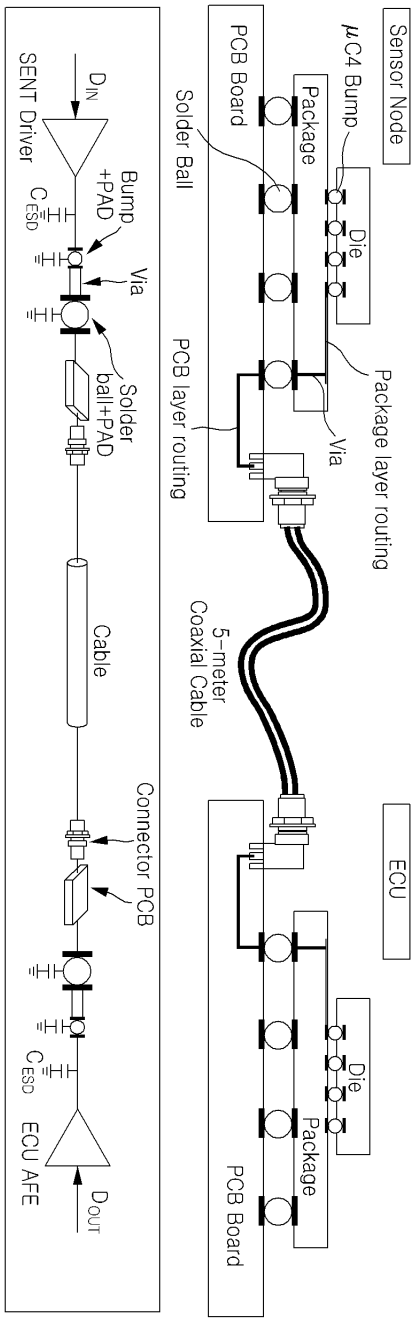
도면8a


ECU Analog-Fronted
VDD
VDD
AFEIN
VREF
AFEOUT
1 1 0 1 0
Digital
Domain

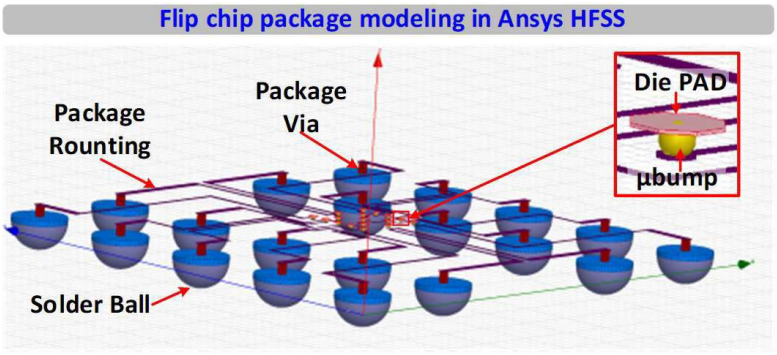
도면8b


Worse-case Sim. (ss/0.9V/100°C)
0.5V
0.25V
0V
RXIN
VREF
AEF OUT @ 40Mbps
0.5V
0.25V
0V
RXIN
VREF
0
0.5
1
1.5
2
2.5
Time [us]

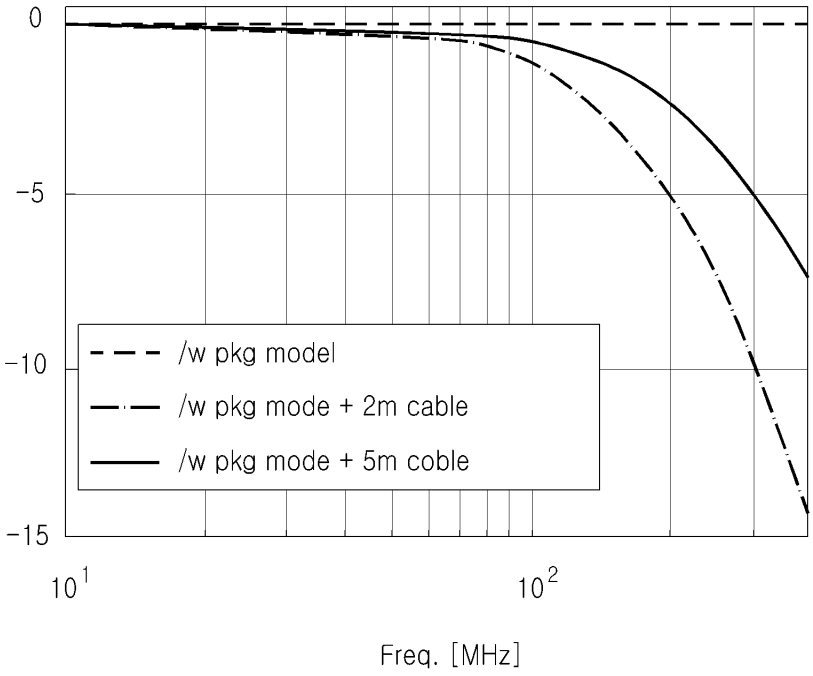
도면9a


Sensor Node
μC4 Bump
Die
Package
PCB Board
Solder Ball
PCB layer routing
Via
Package layer routing
5-meter Coaxial Cable
ECU
Die
Package
PCB Board
SENT Driver
DIN
Bump +PAD
CESD
Via
Solder ball+PAD
Cable
Connector PCB
CESD
ECU AFE
DOUT

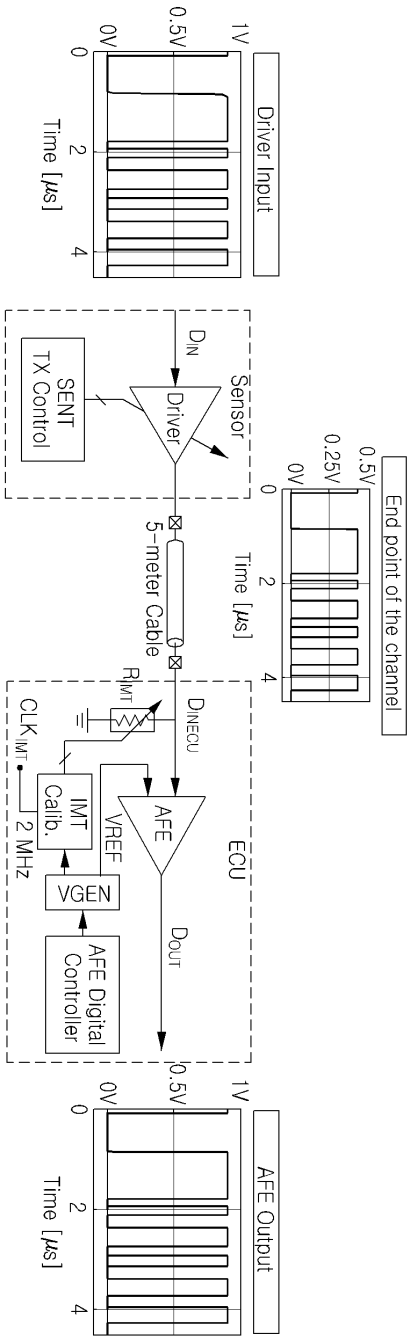
도면9b


Flip chip package modeling in Ansys HFSS
Package Rounting
Package Via
Die PAD
µbump
Solder Ball

도면9c


0
-5
-10
-15
/w pkg model
/w pkg mode + 2m cable
/w pkg mode + 5m coble
10^1
10^2
Freq. [MHz]

도면10


Driver Input
1V
0.5V
0V
0
2
4
Time [μs]
Sensor
SENT TX Control
Driver
DIN
5-meter Cable
End point of the channel
0.5V
0.25V
0V
Time [μs]
RIMT
DINECU
CLKIMT
IMT Calib.
2 MHz
VGEN
VREF
AFE
AFE Digital Controller
DOUT
ECU
AFE Output