



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0058682  
(43) 공개일자 2011년06월01일

(51) Int. Cl.

H01L 27/12 (2006.01) H01L 21/20 (2006.01)

(21) 출원번호 10-2010-0116003

(22) 출원일자 2010년11월22일  
심사청구일자 없음

(30) 우선권주장  
JP-P-2009-266150 2009년11월24일 일본(JP)  
(뒷면에 계속)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

노다 고세이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
다케우치 도시히코

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
이시카와 마코토

(74) 대리인

장훈

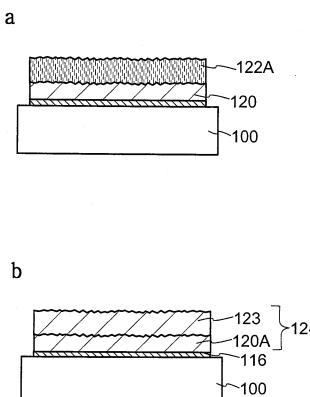
전체 청구항 수 : 총 32 항

#### (54) S O I 기판 및 반도체 장치의 제작 방법

#### (57) 요 약

절연층을 개재하여 유리 기판 또는 플라스틱 기판에 형성된 제 1 단결정 반도체층 위에 비정질 반도체층을 형성한다. 비정질 반도체층은, 성막 온도 100°C 이상 275°C 이하, 실란계 가스를 희석(稀釋)하지 않고 사용하는 CVD 법에 의하여 형성한다. 열 처리를 행하여 비정질 반도체층을 고상 에피택시얼 성장시켜, 단결정 반도체층의 막 두께가 두꺼운 SOI 기판을 제작한다.

**대 표 도** - 도8



(30) 우선권주장

JP-P-2009-266151 2009년11월24일 일본(JP)

JP-P-2009-266152 2009년11월24일 일본(JP)

---

## 특허청구의 범위

### 청구항 1

절연층을 사이에 두고 기판 위에 형성된 제 1 단결정 반도체층을 준비하는 단계와;

성막 온도 100°C 이상 275°C 이하에서, 실란계 가스를 희석(稀釋)하지 않고 사용하는 CVD법에 의하여 상기 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하는 단계와;

상기 제 1 단결정 반도체층 위에 제 2 단결정 반도체층을 형성하도록 상기 비정질 반도체층을 고상 에피택시열 성장시키기 위해서 열 처리를 행하는 단계를 포함하는, SOI 기판의 제작 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 2 단결정 반도체층은 제거되는, SOI 기판의 제작 방법.

### 청구항 3

제 1 항에 있어서,

상기 열 처리에 의하여 상기 제 1 단결정 반도체층의 결정성이 향상되는, SOI 기판의 제작 방법.

### 청구항 4

제 1 항에 있어서,

상기 열 처리를 행하기 전에 상기 비정질 반도체층을 희 가스로 플라즈마 처리하여 평탄화시키는, SOI 기판의 제작 방법.

### 청구항 5

제 1 항에 있어서,

상기 열 처리는 550°C 이상의 처리 온도에서 행해지는, SOI 기판의 제작 방법.

### 청구항 6

제 1 항에 있어서,

단결정 반도체 기판에 손상 영역을 형성하기 위해서 상기 단결정 반도체 기판에 이온을 조사하는 단계와;

상기 절연층을 사이에 두고 상기 단결정 반도체 기판과 상기 기판을 서로 접합하는 단계와;

상기 기판 위에 상기 제 1 단결정 반도체층을 형성하기 위해서 상기 손상 영역을 따라 상기 단결정 반도체 기판을 분리하는 단계를 더 포함하고,

상기 절연층을 사이에 두고 상기 기판 위에 형성된 상기 제 1 단결정 반도체층이 준비되는, SOI 기판의 제작 방법.

#### 청구항 7

제 1 항에 있어서,

상기 기판은 유리 기판 또는 플라스틱 기판인, SOI 기판의 제작 방법.

#### 청구항 8

절연층을 사이에 두고 기판 위에 형성된 제 1 단결정 반도체층을 준비하는 단계와;

성막 온도 100°C 이상 275°C 이하에서, 실란계 가스만을 사용한 분위기하에서 CVD법에 의하여 상기 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하는 단계와;

상기 제 1 단결정 반도체층 위에 제 2 단결정 반도체층을 형성하도록 상기 비정질 반도체층을 고상 에피택시얼 성장시키기 위해서 열 처리를 행하는 단계를 포함하는, SOI 기판의 제작 방법.

#### 청구항 9

제 8 항에 있어서,

상기 제 2 단결정 반도체층은 제거되는, SOI 기판의 제작 방법.

#### 청구항 10

제 8 항에 있어서,

상기 제 2 단결정 반도체층의 고상 에피택시얼 성장한 부분은 제거되는, SOI 기판의 제작 방법.

#### 청구항 11

제 8 항에 있어서,

상기 열 처리에 의하여 상기 제 1 단결정 반도체층의 결정성이 향상되는, SOI 기판의 제작 방법.

#### 청구항 12

제 8 항에 있어서,

상기 열 처리를 행하기 전에 상기 비정질 반도체층을 희 가스로 플라즈마 처리하여 평탄화시키는, SOI 기판의 제작 방법.

#### 청구항 13

제 8 항에 있어서,

상기 열 처리는 550°C 이상의 처리 온도에서 행해지는, SOI 기판의 제작 방법.

#### 청구항 14

제 8 항에 있어서,

단결정 반도체 기판에 손상 영역을 형성하기 위해서 상기 단결정 반도체 기판에 이온을 조사하는 단계와;

상기 절연층을 사이에 두고 상기 단결정 반도체 기판과 상기 기판을 서로 접합하는 단계와;

상기 기판 위에 상기 제 1 단결정 반도체층을 형성하기 위해서 상기 손상 영역을 따라 상기 단결정 반도체 기판을 분리하는 단계를 더 포함하고,

상기 절연층을 사이에 두고 상기 기판 위에 형성된 상기 제 1 단결정 반도체층이 준비되는, SOI 기판의 제작 방법.

#### 청구항 15

제 8 항에 있어서,

상기 기판은 유리 기판 또는 플라스틱 기판인, SOI 기판의 제작 방법.

#### 청구항 16

절연층을 사이에 두고 기판 위에 형성된 제 1 단결정 반도체층을 준비하는 단계와;

성막 온도 100°C 이상 275°C 이하에서, 실란계 가스를 희석하지 않고 사용하는 CVD법에 의하여 상기 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하는 단계와;

상기 제 1 단결정 반도체층과 상기 비정질 반도체층으로 제 2 단결정 반도체층을 형성하도록 상기 비정질 반도체층을 고상 에피택시얼 성장시키기 위해서 열 처리를 행하는 단계를 포함하는, SOI 기판의 제작 방법.

#### 청구항 17

제 16 항에 있어서,

상기 제 2 단결정 반도체층은 제거되는, SOI 기판의 제작 방법.

#### 청구항 18

제 16 항에 있어서,

상기 제 2 단결정 반도체층의 고상 에피택시얼 성장한 부분은 제거되는, SOI 기판의 제작 방법.

#### 청구항 19

제 16 항에 있어서,

상기 제 2 단결정 반도체층의 결정성은 상기 제 1 단결정 반도체층의 결정성보다 더 향상되는, SOI 기판의 제작 방법.

#### 청구항 20

제 16 항에 있어서,

상기 열 처리를 행하기 전에 상기 비정질 반도체층을 희 가스로 플라즈마 처리하여 평탄화시키는, SOI 기판의 제작 방법.

#### 청구항 21

제 16 항에 있어서,

상기 열 처리는 550°C 이상의 처리 온도에서 행해지는, SOI 기판의 제작 방법.

### 청구항 22

제 16 항에 있어서,

단결정 반도체 기판에 손상 영역을 형성하기 위해서 상기 단결정 반도체 기판에 이온을 조사하는 단계와;

상기 절연층을 사이에 두고 상기 단결정 반도체 기판과 상기 기판을 서로 접합하는 단계와;

상기 기판 위에 상기 제 1 단결정 반도체층을 형성하기 위해서 상기 손상 영역을 따라 상기 단결정 반도체 기판을 분리하는 단계를 더 포함하고,

상기 절연층을 사이에 두고 상기 기판 위에 형성된 상기 제 1 단결정 반도체층이 준비되는, SOI 기판의 제작 방법.

### 청구항 23

제 16 항에 있어서,

상기 기판은 유리 기판 또는 플라스틱 기판인, SOI 기판의 제작 방법.

### 청구항 24

절연층을 사이에 두고 기판 위에 형성된 제 1 단결정 반도체층을 준비하는 단계와;

성막 온도 100°C 이상 275°C 이하에서, 실란계 가스만을 사용한 분위기하에서 CVD법에 의하여 상기 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하는 단계와;

상기 제 1 단결정 반도체층과 상기 비정질 반도체층으로 제 2 단결정 반도체층을 형성하도록 상기 비정질 반도체층을 고상 에피택시얼 성장시키기 위해서 열 처리를 행하는 단계를 포함하는, SOI 기판의 제작 방법.

### 청구항 25

제 24 항에 있어서,

상기 제 2 단결정 반도체층은 제거되는, SOI 기판의 제작 방법.

### 청구항 26

제 24 항에 있어서,

상기 제 2 단결정 반도체층의 고상 에피택시얼 성장한 부분은 제거되는, SOI 기판의 제작 방법.

### 청구항 27

제 24 항에 있어서,

상기 제 2 단결정 반도체층의 결정성은 상기 제 1 단결정 반도체층의 결정성보다 더 향상되는, SOI 기판의 제작 방법.

**청구항 28**

제 24 항에 있어서,

상기 열 처리를 행하기 전에 상기 비정질 반도체층을 희 가스로 플라즈마 처리하여 평탄화시키는, SOI 기판의 제작 방법.

**청구항 29**

제 24 항에 있어서,

상기 열 처리는 550°C 이상의 처리 온도에서 행해지는, SOI 기판의 제작 방법.

**청구항 30**

제 24 항에 있어서,

단결정 반도체 기판에 순상 영역을 형성하기 위해서 상기 단결정 반도체 기판에 이온을 조사하는 단계와;

상기 절연층을 사이에 두고 상기 단결정 반도체 기판과 상기 기판을 서로 접합하는 단계와;

상기 기판 위에 상기 제 1 단결정 반도체층을 형성하기 위해서 상기 순상 영역을 따라 상기 단결정 반도체 기판을 분리하는 단계를 더 포함하고,

상기 절연층을 사이에 두고 상기 기판 위에 형성된 상기 제 1 단결정 반도체층이 준비되는, SOI 기판의 제작 방법.

**청구항 31**

제 24 항에 있어서,

상기 기판은 유리 기판 또는 플라스틱 기판인, SOI 기판의 제작 방법.

**청구항 32**

제 1 항에 있어서,

선택적으로 제 1 도전형 및 제 2 도전형을 부여하는 불순물 원소를 상기 제 2 단결정 반도체층에 첨가하여 제 1 도전성을 갖는 제 1 영역, 상기 제 1 도전형과 다른 제 2 도전형을 갖는 제 2 영역, 상기 제 1 도전형을 갖는 제 4 영역, 및 상기 제 1 영역, 상기 제 2 영역, 상기 제 4 영역 이외의 상기 제 2 단결정 반도체층의 제 3 영역을 형성하는 단계와;

상기 제 1 영역과 접하는 제 1 전극 및 상기 제 4 영역과 접하는 제 3 전극을 형성하는 단계와;

상기 제 2 단결정 반도체층, 상기 제 1 전극, 및 상기 제 3 전극을 덮는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 제 2 전극을 형성하는 단계를 더 포함하는, 상기 SOI 기판을 포함하는 반도체 장치를 제작하는 방법.

**명세서****기술분야**

[0001] 본 발명은, SOI(Silicon On Insulator) 기판의 제작 방법 및 SOI 기판을 사용한 반도체 장치 및 그 제작 방법에 관한 것이다.

## 배경기술

- [0002] 근년에 들어, 고성능 디바이스용의 반도체 장치용으로서 SOI(Silicon On Insulator) 기판이 사용된다. 절연층 위에 형성된 얇은 단결정 실리콘층 특유의 장점(feature)을 살림으로써, 집적 회로 중의 트랜지스터끼리를 완전히 분리시켜 형성할 수 있고, 또한, 트랜지스터를 완전 공핍형(空乏型)으로 할 수 있기 때문에, 고집적, 고속 구동, 저소비 전력 등, 부가가치(附加價值)가 높은 반도체 집적 회로를 실현할 수 있다.
- [0003] 상술한 바와 같은 SOI 기판을 제작하는 방법 중의 하나로서, 수소 이온 주입과 박리를 조합한, 소위 수소 이온 주입 박리법이 알려져 있다. 수소 이온 주입 박리법의 대표적인 공정을 이하에 나타낸다.
- [0004] 우선, 실리콘 기판에 수소 이온을 주입함으로써, 기판 표면으로부터 소정의 깊이에 이온 주입층을 형성한다. 다음에, 베이스 기판(지지 기판)이 되는 다른 실리콘 기판을 산화시켜 산화실리콘층을 형성한다. 그 후, 수소 이온을 주입한 실리콘 기판과, 베이스 기판이 되는 실리콘 기판의 산화실리콘층을 밀착시켜, 2매의 실리콘 기판을 접합한다. 그리고, 가열 처리를 행함으로써, 이온 주입층에 있어서, 한 측의 실리콘 기판을 분할하여 베이스 기판 측에 얇은 단결정 실리콘층을 형성한다.
- [0005] 상술한 바와 같은 방법에 의하여 형성되는 단결정 실리콘층은, 보통, 50nm 내지 300nm 정도이며, 매우 얇다. 따라서, 상술한 바와 같은 방법에 의하여 형성되는 단결정 실리콘층은, 고집적, 고속 구동, 저소비 전력이 요구되는 트랜지스터의 용도로서는 극히 적합하다. 한편, 파워 디바이스나, 광전 변환 장치 등의 용도를 고려하는 경우, 내압의 향상, 광전 변환 효율의 향상 등의 관점에서, 단결정 실리콘층에 대해서 일정한 두께가 요구된다.
- [0006] 수소 이온 주입 박리법을 사용하여 형성되는 단결정 실리콘층의 두께는, 주로 이온 주입을 행할 때의 가속 전압에 의존한다. 가속 전압을 작게 하면, 이온 주입층은 얇은 영역에 형성되기 때문에, 단결정 실리콘층은 얇게 된다. 반대로, 가속 전압을 크게 하면, 단결정 반도체층은 두껍게 된다.
- [0007] 따라서, 단결정 반도체층을 두껍게 하기 위해서는, 단순히 가속 전압을 크게 하면 좋은 것을 알 수 있다. 그러나, 현실적으로는, 가속 전압을 크게 하여 두꺼운 단결정 반도체층을 형성하는 것은 용이하지 않다. 이유는, 양산(量產)에 적합한 이온의 주입 장치(큰 전류를 흘릴 수 있는 장치)를 사용하는 경우, 장치상의 제한이 있어 가속 전압을 일정 이상으로 크게 할 수 없기 때문이다. 전류가 작은 이온 주입 장치를 사용하는 경우에는, 가속 전압을 높일 수 있지만, 소정의 주입량을 얻기 위해서는, 시간이 필요하기 때문에, 생산성의 면에 있어서 바람직하지 않다. 또한, 100kV를 넘는 고전압으로 이온을 가속시키는 경우에는, 유해(有害)한 방사선(放射線)이 발생되는 경우도 있고, 안전성의 면에 있어서 문제가 있다.
- [0008] 상술한 바와 같은 문제를 해소하기 위해서, 이온 주입을 행할 때의 가속 전압에 의하지 않고, 에피택시얼 성장에 의하여 단결정 반도체층을 후막화(厚膜化)하는 방법이 검토되고 있다(예를 들어, 특히 문헌 1 및 특히 문헌 2 참조).
- [0009] 특히 문헌 1에서는, CVD(Chemical Vapor Deposition)법의 기상 성장(기상 에피택시얼 성장)에 의하여 실란계 가스를 수소 환원시켜, 1100°C 내지 1200°C에서 단결정 반도체층 위에 에피택시얼 성장시킨다. 또는, 분자선(分子線) 에피택시법에 의하여, 실란계 가스를 600°C 내지 900°C에서 에피택시얼 성장시킨다.
- [0010] 특히 문헌 2에서는, 플라즈마 CVD법 등에 의하여 단결정 반도체층의 표면에 비정질 실리콘층을 형성한다. 그 후, 1100°C 이상, 60분의 열 처리에 의하여 단결정 반도체층을 핵(核)으로 하여 비정질 실리콘층을 고상 에피택시얼 성장시킨다.
- [0011] 특히 출원인 특히 문헌 3에서는, 단결정 실리콘층 위에서 에피택시얼 성장시키기 위해서 단결정 실리콘층에 레이저 처리 등을 행하여 시드(seed)층이 되는 단결정 실리콘층의 결정 결함을 수복한다. 이 이유는, 수소 이온 주입 박리법을 사용한 수소 이온 주입 공정이나, 분리 공정에 의하여 단결정 실리콘층에 결정 결함이 생기지만, 이 결정 결함이 존재하면 에피택시얼 성장이 잘 진행되지 않았기 때문이다.

## 선행기술문헌

### 특허문헌

- [0012] (특허문헌 0001) 특개2000-30995호 공보  
 (특허문헌 0002) 특개평11-74209호 공보

(특허문헌 0003) 특개2009-177145호 공보

## 발명의 내용

### 해결하려는 과제

- [0013] 특히 문헌 1에 기재된 방법은, 기상 에피택시얼 성장에 의한 성막 속도를 일정 이상 높이는 것이 어렵다. 이것은, 반도체 장치의 양산을 고려하는 경우에는, 큰 문제가 된다. 또한, 특히 문헌 2에서는, 고온에서 열 처리를 행해야 하기 때문에, 내열성이 낮은 플라스틱 기판 또는 유리 기판 등에 응용할 수 없었다. 특히 문헌 3에서는, 에피택시얼 성장시키기 전에 레이저 처리 공정이 필요하기 때문에, 그것이 SOI 기판의 제작 비용을 비싸게 하였다.
- [0014] 상술한 바와 같은 문제점을 감안하여, 양산에 적합하고, 내열성이 낮은 기판도 사용할 수 있는 제작 방법에 의하여 단결정 반도체층의 막 두께가 두꺼운 SOI 기판을 제공하는 것을 목적인 하나로 한다.
- [0015] 또한, 시드층이 되는 단결정 반도체층의 결정 결함을 수복하는 공정을 별도 준비하지 않아도, 그 후의 에피택시얼 성장이 양호하게 진행되는 방법을 제공하는 것을 목적인 하나로 한다.
- [0016] 시드층이 되는 단결정 반도체층의 결정 결함을 수복하는 공정을 별도 준비하지 않아도, 고상 에피택시얼 성장에 의하여 단결정 반도체층의 결정성이 회복된 SOI 기판을 제공하는 것을 목적인 하나로 한다.

### 과제의 해결 수단

- [0017] 본 발명에서는, SOI 기판을 구성하는 박막의 단결정 반도체층 위에 비정질 반도체층을 형성하고, 고상 에피택시얼 성장시킨다. 상기 비정질 반도체층의 형성 방법은, 실란계 가스를 희석(稀釋)하지 않고 사용하고, 또 기판 온도 100°C 이상 275°C 이하의 CVD법에 의하여 형성한다.
- [0018] 또한, 본 명세서에 있어서, 실란계 가스를 희석하지 않고 사용한다는 것은, 실란계 가스가 희석되는 바와 같은 의도적인 다른 가스 등의 혼합을 제외한다는 뜻이다. 예를 들어, 수소 등을 실란계 가스와 함께 CVD 장치의 챔버에 가하는 바와 같은 다른 가스 등의 혼합을 제외한다는 것이다. 바꿔 말하면, 본 명세서에서의 실란계 가스를 희석하지 않고 사용한다는 것은, 챔버 내의 분위기를 실란계 가스만으로 하는 것을 가리킨다. 그러나, 실란계 가스에 대해서 제어할 수 없는 다른 성분의 함유, 예를 들어, 불순물 정도의 양의 다른 성분의 함유까지도 배제하는 것이 아니다.
- [0019] 본 발명의 구성은, 절연층을 개재하여 유리 기판 또는 플라스틱 기판 위에 형성된 제 1 단결정 반도체층을 준비하고, 성막 온도 100°C 이상 275°C 이하에서 실란계 가스를 희석하지 않고 사용하는 CVD법에 의하여 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하고, 열 처리를 행하여 비정질 반도체층을 고상 에피택시얼 성장시켜 제 1 단결정 반도체층 위에 제 2 단결정 반도체층을 형성하는 것이다.
- [0020] 또한, 다른 본 발명의 구성은, 절연층을 개재하여 유리 기판 또는 플라스틱 기판 위에 형성된 제 1 단결정 반도체층을 준비하고, 성막 온도 100°C 이상 275°C 이하에서, 또 실란계 가스를 희석하지 않고 사용하는 CVD법에 의하여 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하고, 비정질 반도체층을 희석 가스로 플라즈마 처리하여 평탄화시키고, 열 처리를 행하여 비정질 반도체층을 고상 에피택시얼 성장시켜 제 1 단결정 반도체층 위에 제 2 단결정 반도체층을 형성하는 것이다.
- [0021] 또한, 다른 본 발명의 구성은, 절연층을 개재하여 유리 기판 또는 플라스틱 기판 위에 형성된 제 1 단결정 반도체층을 준비하고, 성막 온도 100°C 이상 275°C 이하에서, 실란계 가스를 희석하지 않고 사용하는 CVD법에 의하여 제 1 단결정 반도체층 위에 비정질 반도체층을 형성하고, 열 처리를 행하여, 비정질 반도체층을 고상 에피택시얼 성장시켜 제 1 단결정 반도체층 위에 제 2 단결정 반도체층을 형성하고, 제 2 단결정 반도체층을 제거하는 것이다.
- [0022] 또한, 본 명세서에 있어서, 단결정이란, 결정 구조가 일정한 규칙성을 가져 형성되고, 어느 부분에서나 결정 축이 일정한 방향으로 향하는 것을 가리킨다. 단, 본 명세서에 있어서는, 결함이나 격자 왜곡 등의 규칙성의 흐트러짐을 제외하는 것이 아니다.

## 발명의 효과

[0023] 본 발명에서는, 수소 이온 주입 박리법 등에 의하여 막 두께가 두꺼운 단결정 반도체층을 갖는 SOI 구조를 제작하는 경우에, 단결정 반도체 기판으로부터 단결정 반도체층을 두껍게 분리할 필요가 없다. 따라서, 단결정 반도체층을 분리한 후의 단결정 반도체 기판을 재이용하는 경우, 분리되는 단결정 반도체층을 얇게 할 수 있기 때문에, 재이용하는 횟수를 증가시킬 수 있어, SOI 기판의 제조 비용을 억제할 수 있다.

[0024] 본 발명은 고상 에피택시얼 성장 기술을 사용하기 때문에, 특히 문헌 1과 같이 기상 에피택시얼 성장시키는 경우와 비교하여 에피택시얼 성장 속도를 높일 수 있다. 또한, 실란계 가스를 희석하지 않고 비정질 반도체층을 성막하기 때문에, 실란계 가스를 수소 희석하여 성막하는 보통의 방법보다 성막 속도를 높일 수 있다. 즉, SOI 기판의 생산성이 향상된다. 또한, 특히 문헌 2보다 매우 낮은 온도에서 단결정 반도체층을 후막화할 수 있기 때문에, 내열성이 낮은 기판도 사용할 수 있다.

[0025] 상기 비정질 반도체층의 형성 방법을 사용함으로써, 시드층이 되는 단결정 반도체층의 결함을 회복하기 위한 공정, 예를 들어, 레이저 처리 공정 등을 형성하지 않아도, 양호하게 고상 에피택시얼 성장을 행할 수 있다. 따라서, 본 발명은 특히 문헌 3보다 싸게 SOI 기판을 제작할 수 있다. 또, 고상 에피택시얼 성장시킴으로써, 시드층이 되는 단결정 반도체층의 결정성이 회복될 수 있다. 따라서, 보다 결정성이 향상된 단결정 반도체층을 갖는 SOI 기판을 제작할 수 있다.

[0026] 또한, 또 하나의 발명으로서, 고상 에피택시얼 성장에 의하여 시드층이 되는 단결정 반도체층의 결정성이 회복되는 점을 적극적으로 사용한다. 즉, 고상 에피택시얼 성장한 후에, 에피택시얼 성장한 층의 부분을 제거함으로써, 결정성이 회복된, 보다 결정성이 뛰어난 박막의 단결정 반도체층을 갖는 SOI 기판을 제작할 수도 있다.

### 도면의 간단한 설명

[0027] 도 1은 수소 유량에 대한 단결정 반도체층의 라만 측정 결과.

도 2는 아르곤 유량에 대한 단결정 반도체층의 라만 측정 결과.

도 3은 비정질 실리콘 성막시의 기판 온도에 대한 단결정 반도체층의 라만 측정 결과.

도 4는 수소 유량에 대한 a-Si 성막 속도.

도 5a 내지 도 5d는 본 실시형태의 SOI 기판의 단면 STEM 사진 및 전자 회절상(回折像).

도 6은 열 처리 온도에 대한 단결정 반도체층의 라만 측정 결과.

도 7a 내지 도 7e는 본 실시형태의 SOI 기판의 제작 공정도.

도 8a 및 도 8b는 본 실시형태의 SOI 기판의 제작 공정도.

도 9a 내지 도 9c는 본 실시형태의 SOI 기판의 제작 공정도.

도 10a 내지 도 10c는 본 실시형태의 SOI 기판의 제작 공정도.

도 11a 내지 도 11c는 열 처리 전후(前後) 및 에피택시얼 성장 유무 상태에 서의 단결정 반도체층의 라만 측정 결과.

도 12는 a-Si 막 두께에 대한 단결정 반도체층의 라만 측정 결과.

도 13a 내지 도 13d는 본 실시형태의 TFT의 제작 공정도.

도 14a 내지 도 14c는 본 실시형태의 TFT의 제작 공정도.

도 15는 본 실시형태의 단결정 반도체층의 EBSP 측정 결과.

도 16a 내지 도 16d는 본 실시형태를 사용한 광전 변환 장치의 제작 공정도.

도 17a 및 도 17b는 본 실시형태를 사용한 광전 변환 장치의 제작 공정도.

도 18a 내지 도 18c는 본 실시형태를 사용한 광전 변환 장치의 제작 공정도.

도 19a 및 도 19b는 본 실시형태를 사용한 광전 변환 장치의 제작 공정도.

도 20은 본 실시형태를 사용한 광전 변환 장치의 상면도.

도 21a 및 도 21b는 본 실시형태를 사용한 광전 변환 소자의 상면도 및 단면도.

도 22a 내지 도 22h는 본 실시형태를 사용한 광전 변환 소자의 제작 공정도.

도 23a 및 도 23b는 본 실시형태를 사용한 반도체 장치의 단면도 및 상면도.

도 24a 내지 도 24d는 본 실시형태를 사용한 반도체 장치의 제작 공정도.

### 발명을 실시하기 위한 구체적인 내용

[0028]

본 실시형태에 대해서 도면을 사용하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고, 그 형태 및 상세한 형태를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일한 것을 가리키는 부호는 다른 도면 간에서도 공통적으로 사용한다.

[0029]

(실시형태 1)

[0030]

도 7a 내지 도 7e에 본 실시형태의 제작 공정을 도시한다. 우선, 지지 기판(100)을 준비한다(도 7a 참조). 지지 기판(100)에는, 액정 표시 장치 등에 사용되는 투광성을 갖는 유리 기판을 사용할 수 있다. 유리 기판으로서는, 변형점이 580°C 이상 680°C 이하(바람직하게는, 600°C 이상 700°C 이하)인 것을 사용하면 좋다. 또한, 유리 기판은 무 알칼리 유리 기판인 것이 바람직하다. 무 알칼리 유리 기판에는, 예를 들어, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리 등의 유리 재료가 사용된다.

[0031]

또한, 지지 기판(100)으로서는, 유리 기판 외에, 플라스틱 기판, 세라믹스 기판, 석영 기판이나 사파이어 기판 등의 절연체로 이루어지는 기판, 실리콘 등의 반도체로 이루어지는 기판, 금속이나 스테인리스 등의 도전체로 이루어지는 기판 등을 사용할 수도 있다. 다만, 본 발명은, 내열성이 낮은 지지 기판에 있어서도 사용되는 온도 범위로 SOI 기판을 제작하는 것이 특징의 하나이다. 따라서, 유리 기판 또는 플라스틱 기판 등을 지지 기판(100)으로 할 수 있는 것이 본 발명의 특징이다.

[0032]

본 실시형태에 있어서는 나타내지 않지만, 지지 기판(100)의 표면에 절연층을 형성하여도 좋다. 상기 절연층을 형성함으로써, 지지 기판(100)에 불순물(알칼리 금속이나 알칼리 토류 금속 등)이 포함되는 경우에는, 상기 불순물이 반도체층에 확산되는 것을 방지할 수 있다. 절연층은 단층 구조라도 좋고, 적층 구조라도 좋다. 절연층을 구성하는 재료로서는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등을 들 수 있다.

[0033]

여기서, 산화질화실리콘이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것을 가리키며, 예를 들어, 산소가 50at.% 이상 70at.% 이하, 질소가 0.5at.% 이상 15at.% 이하, 실리콘이 25at.% 이상 35at.% 이하, 수소가 0.1at.% 이상 10at.% 이하의 범위로 포함되는 것을 가리킨다. 또한, 질화산화실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것을 나타내고, 예를 들어, 산소가 5at.% 이상 30at.% 이하, 질소가 20at.% 이상 55at.% 이하, 실리콘이 25at.% 이상 35at.% 이하, 수소가 10at.% 이상 25at.% 이하의 범위로 함유되는 것을 가리킨다. 다만, 상기의 범위는, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정한 경우의 범위이다. 또한, 구성 원소의 함유 비율은 그 합이 100at.%를 넘지 않는 값이다.

[0034]

다음에, 단결정 반도체 기판(110)을 준비한다. 단결정 반도체 기판(110)으로서는, 예를 들어, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘 등의 제 14 족 원소로 이루어지는 반도체 기판을 사용할 수 있다. 물론, 갈륨비소, 인듐인 등의 화합물 반도체로 이루어지는 기판을 사용하여도 좋다. 본 실시형태에 있어서는, 단결정 반도체 기판(110)으로서, 단결정 실리콘 기판을 사용한다. 단결정 반도체 기판(110)의 사이즈는 한정되지 않지만, 예를 들어, 8인치(200mm), 12인치(300mm), 18인치(450mm)와 같은 원형의 반도체 기판을 직사각형으로 가공하여 사용할 수 있다.

[0035]

상기 단결정 반도체 기판(110)에 대해서 각종 처리를 행하여 손상(損傷) 영역(114), 절연층(116)을 형성한다(도 7b 참조). 각종 처리의 자세한 내용에 대해서는 도 9a 내지 도 9c를 사용하여 이후 설명한다. 또한, 손상 영역(114)은 이온이 도입된 영역이며, 상기 영역에 있어서, 단결정 반도체 기판(110)을 분리시킬 수 있다. 따라서, 손상 영역(114)이 형성되는 깊이에 의거하여 단결정 반도체 기판(110)으로부터 분리되는 단결정 반도체층의 두께가 결정된다. 본 실시형태에 있어서는, 손상 영역(114)을 단결정 반도체 기판(110)의 표면으로부터 50nm 이상 300nm 이하의 깊이에 형성한다.

- [0036] 또한, 절연층(116)은, 접합에 따른 충이기 때문에, 그 표면은 높은 평탄성을 갖는 것이 바람직하다. 이와 같은 절연층(116)으로서는, 예를 들어, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 형성되는 산화실리콘 막을 사용할 수 있다.
- [0037] 그 후, 상기 지지 기판(100)과 단결정 반도체 기판(110)을 접합한다(도 7c 참조). 구체적으로는, 지지 기판(100) 및 절연층(116)의 표면을 초음파 세정 등의 방법에 의하여 세정한 후, 지지 기판(100)의 표면과 절연층(116)의 표면이 접촉하도록 배치한다. 그리고, 지지 기판(100)의 표면과 절연층(116)의 표면이 접합되도록, 가압 처리를 행한다. 접합의 메커니즘으로서는, 반데르발스 힘(Van der Waal's forces)이 관여하는 메커니즘이나, 수소 결합이 관여하는 메커니즘 등이 생각된다.
- [0038] 또한, 상술한 접합을 행하기 전에, 지지 기판(100) 또는 절연층(116)의 표면을 산소 플라즈마 처리 또는 오존 처리하여 그 표면을 친수성(親水性)으로 하여도 좋다. 이 처리에 의하여 지지 기판(100) 또는 절연층(116)의 표면에 수산기(水酸基)가 부가되기 때문에, 접합에 따른 계면에 수소 결합을 형성할 수 있다.
- [0039] 다음에, 접합된 지지 기판(100) 및 단결정 반도체 기판(110)에 대해서 가열 처리를 행하여 접합을 강화시킨다. 이 때의 가열 온도는, 손상 영역(114)에 있어서의 분리가 진행되지 않는 온도로 할 필요가 있다. 예를 들어, 400°C 미만, 바람직하게는, 300°C 이하로 할 수 있다. 가열 처리 시간에 대해서는, 특히 한정되지 않고, 처리 속도와 접합 강도의 관계를 고려하여 최적의 조건을 적절히 설정하면 좋다. 본 실시형태에 있어서는, 200°C, 2시간의 가열 처리를 행한다. 여기서, 접합에 따른 영역에 마이크로파를 조사하여 접합에 따른 영역만을 국소적으로 가열 할 수도 있다. 또한, 접합 강도에 문제가 없는 경우는, 상기 가열 처리를 생략하여도 좋다.
- [0040] 다음에, 단결정 반도체 기판(110)을 손상 영역(114)에서 제 1 단결정 반도체층(120)과 단결정 반도체 기판(130)으로 분리한다(도 7d 참조). 단결정 반도체 기판(110)의 분리는, 가열 처리에 의하여 행한다. 상기 가열 처리의 온도는, 지지 기판(100)의 내열 온도를 기준으로 할 수 있다. 예를 들어, 지지 기판(100)으로서 유리 기판을 사용하는 경우에는, 가열 온도는 400°C 이상 650°C 이하로 하는 것이 바람직하다. 다만, 단시간이면, 400°C 이상 700°C 이하의 가열 처리를 행하여도 좋다. 또한, 본 실시형태에 있어서는, 600°C, 2시간의 가열 처리를 행한다.
- [0041] 상술한 바와 같은 가열 처리를 행함으로써, 손상 영역(114)에 형성된 미소한 구멍의 체적 변화가 생겨, 손상 영역(114)에 균열이 생긴다. 결과적으로, 손상 영역(114)에 있어서 단결정 반도체 기판(110)이 분리한다. 절연층(116)은 지지 기판(100)과 접합되기 때문에, 지지 기판(100) 위에는 단결정 반도체 기판(110)으로부터 분리된 제 1 단결정 반도체층(120)이 잔존한다. 또한, 이 가열 처리에서, 지지 기판(100)과 절연층(116)의 접합에 따른 계면이 가열되기 때문에, 상기 계면에 공유 결합이 형성되고, 지지 기판(100)과 절연층(116)의 결합력이 더 한층 향상된다. 또한, 분리된 후의 단결정 반도체 기판(130)은, 재생 처리를 행한 후, 재이용할 수 있다. 재생 처리 후의 단결정 반도체 기판(130)은, SOI 기판의 단결정 반도체층을 얻기 위해서 사용하여도 좋고, 그 외의 용도로서 사용하여도 좋다. SOI 기판의 단결정 반도체층을 얻기 위해서 사용하는 경우에는, 본 발명은 얇은 단결정 반도체층을 분리하면 충분하기 때문에, 1매의 단결정 반도체 기판으로부터 복수의 SOI 기판을 제작할 수 있다.
- [0042] 상술한 바와 같이 형성된 SOI 기판(도 7e 참조)에 있어서, 제 1 단결정 반도체층(120)의 표면에는, 분리 공정이나 이온 도입 공정에 의한 결함이 존재한다. 그러나, 본 발명에 있어서는, 레이저 광 조사 등의 제 1 단결정 반도체층(120) 표면의 결함을 수복하는 처리를 하지 않아도, 그 후의 에피택시얼 성장을 양호하게 행할 수 있다. 이 점은, 본 발명의 중요한 특징의 하나이다. 또한, 도 7e의 상태의 제 1 단결정 반도체층(120)을, 전재(轉載) 후의 단결정 반도체층이라고도 한다.
- [0043] 상술한 공정에 따라, 단결정 반도체 기판(110)으로부터 분리하여 형성된 제 1 단결정 반도체층(120)을 갖는 SOI 기판을 제작할 수 있다(도 7e 참조).
- [0044] 다음에, 제 1 단결정 반도체층(120) 위에 제 1 비정질 반도체층(122A)을 형성한다(도 8a 참조). 여기서, 제 1 비정질 반도체층(122A)은, 제 1 단결정 반도체층(120)에 맞추어 재료를 선택하여 형성하면 좋다. 제 1 단결정 반도체층(120)은, 단결정 실리콘층이기 때문에, 제 1 비정질 반도체층(122A)은 비정질 실리콘층으로 한다. 제 1 단결정 반도체층(120)이 게르마늄층, 실리콘게르마늄층, 또는 탄화실리콘층이면, 각각 제 1 비정질 반도체층(122A)으로서는 비정질 게르마늄층, 비정질 실리콘게르마늄층, 비정질 탄화실리콘층의 조합이다.
- [0045] 다음에, 열 처리를 행하여 제 1 단결정 반도체층(120)을 시드층으로 하여 제 1 비정질 반도체층(122A)을 고상 에피택시얼 성장시켜 막 두께가 두꺼운 제 2 단결정 반도체층(124A)을 형성한다(도 8b 참조).

- [0046] 종래는, 특히 문헌 3에 나타내는 바와 같이, 수소 이온 주입 박리법에 의하여 얻어지는 제 1 단결정 반도체층(120)을 에피택시얼 성장시키는 경우, 결정 결함을 수복한 단결정 반도체층 위가 아니면, 에피택시얼 성장은 진행되지 않았다.
- [0047] 그리고, 발명자들은, 단결정 반도체층 위에서 고상 에피택시얼 성장시키는 비정질 반도체막의 형성 방법을 검토함으로써, 단결정 반도체층의 결정 결함을 수복하지 않아도 고상 에피택시얼 성장시키는 것에 성공하였다.
- [0048] 우선, 발명자들은 CVD에 의하여 제 1 비정질 반도체층(122A)을 제 1 단결정 반도체층(120) 위에 형성할 때의 반응 가스에 착안하였다. 일반적으로는, 제 1 비정질 반도체층(122A)으로서 비정질 실리콘막을 사용하는 경우, 수소 희석된 실란계 가스를 사용하여 성막하였다. 이 이유는, 불안정한 Si-H 결합을 수소 라디칼에 의하여 에칭함으로써, 막질이 좋은 비정질 실리콘막을 형성하고, 그 후의 에피택시얼 성장을 양호하게 할 목적이 있었다.
- [0049] 따라서, 발명자들은 의도적으로 실란계 가스의 수소 희석율을 작게 하는 것을 검토하였다. 구체적으로는, 실란 유량을 200sccm로 일정하게 하고, 수소 유량을 0sccm, 50sccm, 100sccm로 변화시켜 비정질 실리콘막을 형성하였다. 결과적으로, 수소 희석하지 않고, 실란계 가스만으로 형성된 비정질 실리콘막은, 양호하게 고상 에피택시얼 성장하는 것을 알 수 있었다. 그 결과를 도 1에 도시한다. 세로축은 고상 에피택시얼 성장 후의 단결정 반도체층(제 2 단결정 반도체층(124A)에 대응한다)을 라만 측정한 결과의 반치전폭(半值全幅)이다. 반치전폭은 수치가 작을수록 결정성이 양호하다고 판단할 수 있다. 도 1을 보면, 수소 유량이 적을수록 결정성이 좋다.
- [0050] 또한, 비정질 실리콘막 형성시의 반응 가스에 아르곤을 첨가한 경우도 실험하였다. 그 결과를 도 2에 도시한다. 도 2는, 실란 유량 100sccm로 하고, 아르곤 유량을 0sccm, 100sccm, 200sccm로 하였을 때의 실험 결과이다. 세로축은 고상 에피택시얼 성장 후의 단결정 반도체층(제 2 단결정 반도체층(124A)에 대응한다)을 라만 측정한 결과의 반치전폭이다. 이 결과를 봐도, 아르곤 유량이 적을수록 결정성이 좋다.
- [0051] 이들의 결과에 따라, CVD의 반응 가스로서 실란계 가스를 희석하지 않고, 실란계 가스 100%로 제 1 비정질 반도체층(122A)을 형성함으로써, 결정성이 양호한 제 2 단결정 반도체층(124A)을 얻을 수 있는 것을 알 수 있었다. 이 결과는, 수소 희석한 실란계 가스로 성막함으로써, 비정질 실리콘막 중의 Si-H 결합을 제거하는 종래의 방법과 전혀 다르다.
- [0052] 수소 희석하지 않는 실란계 가스로 성막한 비정질 실리콘막에 있어서, 고상 에피택시얼 성장이 양호하게 진행된 이유는 이하와 같이 추측된다. 실란계 가스를 희석하지 않는 것에 의하여 비정질 실리콘막 중에 Si-H 결합이 적극적으로 함유되었다. 그리고, 고상 에피택시얼 성장시의 열 처리에 의하여 Si-H 결합이 끊어져 비정질 실리콘막 중의 수소가 이탈하여 Si-Si 결합의 재배열이 촉진되었다. 따라서, 결정 수복이 행해지지 않는 단결정 반도체층(120) 위에 있어서도, 고상 에피택시얼 성장이 양호하게 진행되었다.
- [0053] 다음에, 발명자들은 제 1 비정질 반도체층(122A)을 CVD에 의하여 형성할 때의 기판 온도(성막 온도라고도 한다)에 착안하였다. 도 3은, 제 1 비정질 반도체층(122A)으로서 비정질 실리콘막을 CVD에 의하여 형성하였을 때의 기판 온도를 측정한 결과이다. 비정질 실리콘막은 모노실란 가스를 희석하지 않고 형성하였다. 세로축은 각 기판 온도에서 형성한 비정질 실리콘막을 제 1 비정질 반도체층(122A)으로 하였을 때의 고상 에피택시얼 성장 후의 단결정 반도체층(제 2 단결정 반도체층(124A)에 대응한다)을 라만 측정한 결과의 반치전폭이다. 기판 온도 100°C 내지 275°C에 있어서, 반치전폭이  $4.8\text{cm}^{-1}$  이하에 있어서 비교적 결정성이 좋고, 기판 온도 300°C 이상에 있어서 반치전폭이  $5.2\text{cm}^{-1}$  이상으로 결정성이 비교적 나쁘다. 이 이유는, 어느 정도 기판 온도가 상승하면, 비정질 실리콘의 형성과 함께 기상 에피택시얼 성장하는 부분도 생기기 때문에, 그 후의 열 처리에서 단결정이 되기 어렵다고 추측된다. 또는, 기판 온도가 낮을수록 비정질 실리콘막 중에 포함되는 수소량은 증가되기 때문에, 기판 온도 275°C 이하의 비정질 실리콘막 중의 수소량이 고상 에피택시얼 성장에 적합하다고도 추측된다. 따라서, 도 3을 보면, 비정질 실리콘막을 고상 에피택시얼 성장시키기 위해서는, 반치전폭  $4.8\text{cm}^{-1}$  이하의 단결정 반도체층을 얻을 수 있는 기판 온도 100°C 이상 275°C 이하로 형성된 비정질 실리콘막이 좋은 것을 알 수 있었다. 보다 바람직하게는, 반치전폭  $4.6\text{cm}^{-1}$  이하의 단결정 반도체층을 얻을 수 있는 기판 온도 150°C 이상 250°C 이하로 형성한 비정질 실리콘막이 좋은 것을 알 수 있었다.
- [0054] 또한, 기판 온도 100°C 미만에서의 형성은, 막질이 매우 나쁘고, 에피택시얼 성장하기 위해서는 부적합(不適合)하였다. 또한, 기판 온도 300°C 이상에서 형성한 경우는, 비정질 실리콘의 형성과 마찬가지로 기상 에피택시얼 성장하는 부분이 생긴다고 생각할 수 있기 때문에, 고상 에피택시얼 성장시키는 막으로서는 부적합하다.

- [0055] 상술한 것에 의하여 실란계 가스를 희석하지 않고, 또 기판 온도(성막 온도) 100°C 이상 275°C 이하, 특히, 150°C 이상 250°C 이하로 CVD에 의하여 제 1 비정질 반도체층(122A)을 형성함으로써, 양호한 고상 에피택시얼 성장을 실현할 수 있는 것을 알 수 있었다. 상기 성막 방법을 사용함으로써, 시드층이 되는 제 1 단결정 반도체층(120)의 결정 결함을 수복하지 않아도, 제 1 단결정 반도체층(120) 위에 있어서, 고상 에피택시얼 성장을 양호하게 행할 수 있다. 또한, 본 명세서에 있어서의 기판 온도를 성막 온도라고 하여도 좋다.
- [0056] 상기 방법에 의하여, 시드층이 되는 단결정 반도체층의 결정 회복을 하지 않아도, 고상 에피택시얼 성장법에 의하여 후막화된 단결정 반도체층을 갖는 SOI 기판을 제작할 수 있다.
- [0057] 본 발명에 있어서, 제 1 비정질 반도체층(122A)의 형성 방법이 중요한 특징의 하나이다. 상술한 바와 같이, 제 1 비정질 반도체층(122A)은, 수소 또는 그 외의 가스에 의하여 희석하지 않고, 실란계 가스(대표적으로는, 모노실란)를 100%로 하여 플라즈마 CVD법에 의하여 형성한다. 그 때의 기판 온도는, 100°C 이상 275°C 이하, 바람직하게는, 150°C 이상 250°C 이하로 행한다. 상술한 바와 같은 성막법에 의하여 제 1 비정질 반도체층(122A)을 형성함으로써, 레이저광 조사 등의 제 1 단결정 반도체층(120)의 결함을 수복하는 처리를 행하지 않아도, 그 후의 고상 에피택시얼 성장을 양호하게 행할 수 있다.
- [0058] 또한, 실란계 가스로서는 상기 모노실란 가스를 사용하는 것에 한정되지 않고, 디실란( $\text{Si}_2\text{H}_6$ ) 가스나 그 외를 사용하여도 좋다. 실란계 가스를 수소 희석하면, 실리콘에 결합된 수소 원자가 탈리하기 쉽게 되고, 비정질 실리콘막 중의 수소량이 적게 된다. 따라서, 수소 희석 또는 그 외의 가스로 희석하지 않는 것에 의하여 형성한 비정질 실리콘막 중에 수소를 함유시킬 수 있다. 그리고, 비정질 실리콘막 중에 함유시킨 수소의 존재에 의하여, 고상 에피택시얼 성장시의 실리콘의 재배열을 원활(圓滑)하게 진행시킬 수 있다.
- [0059] 또한, 실란 가스를 희석하지 않는 것에 의하여, 수소 희석한 경우와 비교하여 비정질 반도체층의 성막 속도를 향상시킬 수 있다. 도 4는, 기판 온도 250°C에서 비정질 실리콘막을 100nm 형성한 경우의 성막 속도의 그래프이며, 실란 유량은 100sccm 및 200sccm로 행하였다. 도 4를 보면, 수소 유량이 0인 경우가 가장 성막 속도가 빠른 것을 알 수 있다. 이 점에서, 본 발명은 SOI 기판의 생산성을 높게 할 수 있다.
- [0060] 플라즈마 CVD법을 사용하여 제 1 비정질 반도체층(122A)을 형성할 때의 그 외의 조건은, 주파수가 27MHz, 전력이 30W 이상 100W 이하, 챔버 내 압력이 35Pa, 전극 간격(평행평판형)이 25mm이다. 또한, 상기 성막 조건은 일례에 불과하고, 본 실시형태는 이것에 한정하여 해석되는 것이 아니다.
- [0061] 또한, 제 1 비정질 반도체층(122A)의 에피택시얼 성장을 행하기 전에, 제 1 단결정 반도체층(120)의 표면에 형성되는 자연 산화층 등을 제거해 두는 것이 바람직하다. 이 이유는, 제 1 단결정 반도체층(120)의 표면에 산화층이 존재하는 경우에는, 제 1 단결정 반도체층(120)의 결정성의 영향을 받은 에피택시얼 성장을 진행시킬 수 없어, 제 2 단결정 반도체층(124A)의 결정성이 저하하기 때문이다. 여기서, 상기 산화층의 제거는, 불산계의 용액 또는 수소 플라즈마 등을 사용하여 행할 수 있다.
- [0062] 그 후, 노(盧)에 있어서, 500°C에서 1시간 열 처리한 후, 550°C에서 4시간 열 처리를 행하였다. 이로써, 제 1 비정질 반도체층(122A)이 고상 에피택시얼 성장하여 막 두께가 두꺼운 제 2 단결정 반도체층(124A)이 형성된다(도 8b 참조). 이 때, 제 1 단결정 반도체층(120)은 종(種) 결정으로서 기능하고, 상층(上層)의 제 1 비정질 반도체층(122A)을 단결정화시킬 수 있다. 제 2 단결정 반도체층(124A)은, 제 4 단결정 반도체층(120A)과 고상 에피택시얼 성장한 제 3 단결정 반도체층(123)으로 이루어진다. 제 3 단결정 반도체층(123)과 제 4 단결정 반도체층(120A)의 계면은, 판별(判別)할 수 있는 경우도 있었지만, 최적의 제작 방법을 선택함으로써, 판별하기 어려운 정도로 완전하게 재결정되는 경우도 있었다.
- [0063] 상기 에피택시얼 성장시키기 위한 열 처리에 의하여, 제 1 단결정 반도체층(120)의 막 특성도 개선되고, 보다 결정성이 좋은 제 4 단결정 반도체층(120A)이 형성되었다. 이 점에 대해서는, 실시형태 2에서 자세히 설명한다.
- [0064] 도 5a에 기판 온도 200°C에서 형성한 비정질 실리콘막을 고상 에피택시얼 성장시킨 SOI 기판의 단면 STEM 결과를 도시한다. 구조는, 유리 기판 위에 하지막, 단결정 실리콘층, 고상 에피택시얼층의 순차로 아래부터 적층된 것이며, 상층의 C증착막, Pt, C막은 분석을 위해서 형성된 것이다. 단결정 실리콘층, 에피택시얼층의 각각의 개소 1 내지 개소 3에 있어서의 전자 회절상을 도 5b 내지 도 5d에 도시한다. 이 결과, 어느 곳에 있어서나, 결정성을 갖는 것을 확인할 수 있었다. 또한, 반사 전자 회절 패턴(EBSP: Electron Backscatter diffraction Pattern) 측정을 행한 결과, 에피택시얼층의 결정 방위는 대략 (100) 방향이며, 종 결정이 되는 단결정 실리콘

의 결정 방위와 일치하는 것을 알 수 있었다. 그 결과를 도 15에 도시한다.

[0065] 고상 에피택시얼 성장시의 열 처리는, RTA(Rapid Thermal Anneal), 노(furnace), 미리파 가열 장치(millimeter wave heating apparatus) 등의 열 처리 장치를 사용하여 행할 수 있다. 열 처리 장치의 가열 방식으로서는 저항 가열 방식, 램프 가열 방식, 가스 가열 방식, 전자파 가열 방식 등을 들 수 있다. 레이저 빔의 조사나, 열 플라즈마 젯의 조사를 행하여도 좋다.

[0066] 일반적으로, 노는 외열식이고, 챔버 내와 피처리물은 열적으로 평형 상태가 된다. 한편, RTA는 피처리물에 직접 에너지를 줌으로써 순간적인 가열(급속 가열)을 행하는 것이고, 챔버 내와 피처리물은 열적으로 비평형 상태이다. RTA 장치로서는 램프 가열식의 RTA(LRTA: Lamp Rapid Thermal Anneal) 장치, 가열된 기체를 사용하는 가스 가열식의 RTA(GRTA: Gas Rapid Thermal Anneal) 장치, 또는 램프 가열식과 가스 가열식의 양쪽 모두를 구비한 RTA 장치 등을 들 수 있다. RTA 장치를 사용하는 경우에는, 처리 온도 500°C 이상 750°C 이하, 처리 시간 0.5분 이상 10분 이하로 하는 것이 바람직하다.

[0067] 노를 사용하는 경우는, 처리 온도를 550°C 이상에서 행하는 것이 바람직하다. 도 6은, 기판 온도 200°C에서 비정질 실리콘막을 형성하고, 고상 에피택시얼 성장시의 열 처리로서, 4시간의 열 처리를 각 온도별로 행하였을 때의 열 처리 후의 라만 측정 결과이다. 500°C에서 4시간의 열 처리에서는, 비정질 실리콘막의 결정성이 확인되기 않아, 고상 에피택시얼 성장하지 않는 것이 확인되었다. 한편, 550°C 이상에서는, 결정성이 확인되어, 고상 에피택시얼 성장이 진행된 것이 확인되었다. 또한, 열 처리 온도가 고온이 될수록 결정성이 좋게 된다. 따라서, 열 처리 온도의 상한(上限)은, SOI 기판에 있어서의 지지 기판(100)의 내열 온도로 하면 좋다.

[0068] 상술한 것에 의하여, 후막화된 단결정 반도체층을 갖는 SOI 기판을 제작할 수 있다. 본 발명은, 특히 문현 2와 같은 종래의 고상 에피택시얼 성장과 비교하면, 매우 저온이고, 고상 에피택시얼 성장시킬 수 있다. 이것은, 고상 에피택시얼 성장시키는 비정질 반도체층의 형성 방법에 의한 것이다. 비정질 반도체층 중에 수소를 많이 함유시켜, 고상 에피택시얼 성장시에 층 중의 수소를 방출시킴으로써 실리콘 결합의 재배열이 촉진되기 때문에, 저온의 열 처리라도 고상 에피택시얼 성장이 양호하게 진행되었다. 따라서, 본 발명에서는, 지지 기판(100)으로서, 내열성이 낮은 유리 기판이나 플라스틱 기판이라도 사용할 수 있으므로 SOI 기판의 생산 비용의 저감, 및 대형(大型)의 SOI 기판을 제작할 수 있다.

[0069] 제 2 단결정 반도체층(124A)의 표면은, 그 후, 평탄화 처리된다. 평탄화 처리로서는, 드라이 에칭 처리나 웨트 에칭 처리 등의 에칭 처리, CMP(Chemical Mechanical Polishing), 플라즈마 처리를 비롯한 연마 처리 등이 있다. 플라즈마 처리로서는, 희 가스를 사용하면 좋다.

[0070] 또한, 다른 평탄화 처리로서, 도 8a에 도시한 제 1 비정질 반도체층(122A)을 형성한 후에, 희 가스를 사용한 플라즈마 처리에 의하여 제 1 비정질 반도체층(122A) 표면을 평탄화시켜도 좋다. 그리고, 플라즈마 처리를 행한 제 1 비정질 반도체층(122A)을 고상 에피택시얼 성장시키면, 표면이 평탄한 제 2 단결정 반도체층(124A)을 얻을 수 있다. 플라즈마 처리를 행하지 않은 제 2 단결정 반도체층(124A)의 평균면 거칠기(Ra)가 7nm 내지 8nm인 한편, 희 가스로서 아르곤을 사용하여 플라즈마 처리한 경우는 제 2 단결정 반도체층(124A)의 평균면 거칠기는 3nm 내지 4nm가 되고, 평균면 거칠기를 약 1/2 이하로 할 수 있었다. 또한, 플라즈마 처리에 이어서 NF<sub>3</sub> 가스 등에 의한 에치 백을 행하면, 플라즈마 처리시에 제 1 비정질 반도체층(122A) 내에 혼입하는 불순물을 제거할 수 있다.

[0071] 여기서, 제 1 비정질 반도체층(122A)을 형성하기 전에 평탄화하는 경우보다, 즉, 도 7e에 도시하는 상태의 제 1 단결정 반도체층(120)의 표면을 평탄화하는 경우보다, 제 1 비정질 반도체층(122A)을 형성한 후에 희 가스를 사용한 플라즈마 처리에 의하여 평탄화하는 경우가 좋은 결과를 얻을 수 있었다. 이후, 실시예 1에서 나타낸다.

[0072] 종래는, 전재(轉載) 후의 도 7e에 도시하는 상태의 제 1 단결정 반도체층(120)에 레이저 조사자를 행하여 부분적으로 용융시킴으로써, 제 1 단결정 반도체층(120)의 재결정화와 함께 표면 거칠기의 개선도 행하였다. 그러나, 레이저 조사자를 행함으로써, 레이저의 피치 줄무늬의 발생이 문제가 되었다. 그러나, 희 가스를 사용한 플라즈마 처리에 의한 평탄화에서는, 이 문제를 방지할 수 있다. 또한, 희 가스에 의한 플라즈마 처리를 행하는 대상은, 비정질 반도체층이기 때문에, 플라즈마 대미지에 의한 결정성의 저하의 문제도 없고, 그 후의 고상 에피택시얼 성장에 의하여 문제가 없이 단결정화할 수 있다.

[0073] 또한, 희 가스를 사용한 플라즈마 처리에 의하여 평탄화한 후, 제 2 단결정 반도체층(124A)을 얻은 후라도, 평탄성이 불충분하면, 드라이 에칭 처리나 웨트 에칭 처리 등의 에칭 처리나, CMP를 비롯한 연마 처리를 더 행하

여도 좋다.

- [0074] 다음에, 도 9a 내지 도 9c를 사용하여 본 실시형태에 있어서 사용하는 단결정 반도체 기판(110)의 처리 방법에 대해서 설명한다.
- [0075] 우선, 단결정 반도체 기판(110)을 준비한다(도 9a 참조). 단결정 반도체 기판(110)의 자세한 내용에 대해서는, 도 7a 내지 도 7e의 설명 부분을 참조할 수 있기 때문에, 여기서는 생략한다.
- [0076] 단결정 반도체 기판(110)을 세정한 후, 단결정 반도체 기판(110)의 표면에 절연층(112)을 형성한다. 절연층(112)을 형성하지 않는 구성으로 할 수도 있지만, 후의 이온 도입시의 단결정 반도체 기판(110)의 오염 및 표면의 손상을 방지하기 위해서는, 절연층(112)을 형성하는 것이 바람직하다. 절연층(112)의 두께는, 10nm 이상 400nm 이하로 하면 좋다.
- [0077] 절연층(112)을 구성하는 재료로서는, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등을 들 수 있다. 절연층(112)의 형성 방법으로서는, CVD법, 스퍼터링법, 단결정 반도체 기판(110)의 산화(또는 질화)에 의한 방법 등이 있다.
- [0078] 다음에, 절연층(112)을 개재하여 전계로 가속된 이온으로 이루어지는 이온빔(140)을 단결정 반도체 기판(110)에 조사하여 단결정 반도체 기판(110)의 표면으로부터 소정의 깊이의 영역에 손상 영역(114)을 형성한다(도 9b 참조). 손상 영역(114)이 형성되는 영역의 깊이는, 이온빔(140)의 가속 에너지와 이온빔(140)의 입사각에 의하여 제어할 수 있다. 또한, 손상 영역(114)은, 이온의 평균 침입 깊이와 같은 정도의 깊이의 영역에 형성된다.
- [0079] 상술한 손상 영역(114)이 형성되는 깊이에 따라, 단결정 반도체 기판(110)으로부터 분리되는 단결정 반도체층의 두께가 결정된다. 손상 영역(114)이 형성되는 깊이는, 단결정 반도체 기판(110)의 표면으로부터 500nm 이하이며, 바람직하게는, 400nm 이하이며, 보다 바람직하게는, 50nm 이상 300nm 이하이다. 손상 영역(114)을 얇게 형성함으로써, 분리된 후의 단결정 반도체 기판이 두껍게 잔존하기 때문에, 단결정 반도체 기판의 반복 이용 횟수를 증가시킬 수 있다. 다만, 손상 영역(114)을 얇게 형성하는 경우에는, 가속 전압을 낮게 하기 때문에, 생산성 등에 대해서 고려가 필요하게 된다.
- [0080] 상기 이온의 조사는, 이온 도핑 장치나 이온 주입 장치를 사용하여 행할 수 있다. 이온 주입 장치에서는, 소스 가스를 여기하여 이온종을 생성하고, 생성된 이온종을 질량 분리하여 소정의 질량을 갖는 이온종을 피처리물에 도입한다. 이온 도핑 장치는, 프로세스 가스를 여기하여 이온종을 생성하고, 생성된 이온종을 질량 분리하지 않고 피처리물에 도입한다. 또한, 질량 분리 기구를 구비하는 이온 도핑 장치에서는, 이온 주입 장치와 마찬가지로, 질량 분리를 수반하는 이온의 조사를 행할 수도 있다.
- [0081] 이온 도핑 장치를 사용하는 경우의 이온의 조사 공정은, 예를 들면, 이하의 조건으로 할 수 있다.
- 가속 전압 10kV 이상 100kV 이하(바람직하게는 30kV 이상 80kV 이하)
  - 도즈량  $1 \times 10^{16} / \text{cm}^2$  이상  $4 \times 10^{16} / \text{cm}^2$  이하
  - 빔 전류 밀도  $2 \mu\text{A}/\text{cm}^2$  이상(바람직하게는  $5 \mu\text{A}/\text{cm}^2$  이상, 보다 바람직하게는  $10 \mu\text{A}/\text{cm}^2$  이상)
- [0082] 이온 도핑 장치를 사용하는 경우, 이온 조사 공정의 소스 가스로서는 수소를 포함하는 가스를 사용할 수 있다. 상기 가스를 사용함으로써, 이온종으로서  $\text{H}^+$ ,  $\text{H}_2^+$ ,  $\text{H}_3^+$ 를 생성할 수 있다. 수소 가스를 소스 가스로서 사용하는 경우에는,  $\text{H}_3^+$ 를 많이 조사하는 것이 바람직하다. 구체적으로는, 예를 들어, 이온빔(140)에,  $\text{H}^+$ ,  $\text{H}_2^+$ ,  $\text{H}_3^+$ 의 총량에 대하여  $\text{H}_3^+$  이온이 70% 이상 포함되도록 하는 것이 바람직하다. 또한,  $\text{H}_3^+$  이온의 비율을 80% 이상으로 하는 것이 보다 바람직하다. 이와 같이,  $\text{H}_3^+$ 의 비율을 높여 둠으로써, 손상 영역(114)에  $1 \times 10^{20} \text{ atoms/cm}^2$  이상의 농도로 수소를 포함시키는 것이 가능하다. 이로써, 손상 영역(114)에서 분리가 용이하게 된다.  $\text{H}_3^+$  이온을 많이 사용함으로써,  $\text{H}^+$ ,  $\text{H}_2^+$ 를 사용하는 경우보다도 이온의 도입 효율이 향상된다. 즉, 도입에 걸리는 시간을 단축할 수 있다. 또한, 여기서는,  $\text{H}_3^+$ 를 많이 사용하는 경우에 대해서 설명하였지만,  $\text{H}^+$ 나  $\text{H}_2^+$ 의 비율을 높여 사용하여도 문제는 없다.

- [0086] 이온 주입 장치를 사용하는 경우에는, 질량 분리에 의해,  $H_3^+$  이온이 주입되도록 하는 것이 바람직하다. 물론,  $H^+$ ,  $H_2^+$ 를 주입하여도 좋다. 다만, 이온 주입 장치를 사용하는 경우에는 이온종을 선택하여 주입하므로, 이온 도핑 장치를 사용하는 경우와 비교하여 이온 도입의 효율이 저하하는 경우가 있다.
- [0087] 이온 도입 공정의 소스 가스는, 상술한 것 외에 헬륨이나 아르곤 등의 희 가스, 불소 가스나 염소 가스로 대표되는 할로겐 가스, 불소 화합물 가스(예를 들어,  $BF_3$ ) 등의 할로겐 화합물 가스 중에서 선택된 1종 또는 복수 종의 가스를 사용할 수 있다. 소스 가스에 헬륨을 사용하는 경우는, 질량 분리를 행하지 않고,  $He^+$  이온의 비율이 높은 이온 빔(140)을 만들어 낼 수 있다. 이와 같은 이온 빔(140)을 사용함으로써, 손상 영역(114)을 효율 좋게 형성할 수 있다.
- [0088] 또한, 복수 횟수의 조사 공정을 행함으로써, 손상 영역(114)을 형성할 수도 있다. 이 경우, 이온 조사 공정마다 소스 가스를 다르게 하여도 좋고, 같은 소스 가스를 사용하여도 좋다. 예를 들어, 소스 가스로서 희 가스를 사용하여 이온 조사를 행한 후, 수소를 포함하는 가스를 소스 가스로서 사용하여 이온 조사를 행할 수 있다. 또한, 먼저 할로겐 가스 또는 할로겐 화합물 가스를 사용하여 이온 조사를 행하고, 다음에 수소 가스를 포함하는 가스를 사용하여 이온 조사를 행할 수도 있다.
- [0089] 상술한 손상 영역(114)을 형성한 후, 절연층(112)을 제거하여 절연층(116)을 형성한다(도 9c 참조). 절연층(116)은, 접합에 따른 층이기 때문에, 그 표면은, 높은 평탄성을 갖는 것이 바람직하다. 이와 같은 절연층(116)으로서는, 예를 들어, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 형성되는 산화실리콘층을 사용할 수 있다. 또한, 질화실리콘층을 사용하여도 좋다.
- [0090] 여기서, 절연층(112)을 제거하는 이유는, 상기 이온의 조사에 의하여 절연층(112)이 손상할 가능성이 높기 때문이다. 따라서, 이온 조사에 의한 절연층(112)의 손상이 문제가 되지 않는 경우에는, 절연층(112) 위에 절연층(116)을 형성하여도 좋다. 또는, 절연층(112)을 절연층(116)으로서 사용할 수도 있다.
- [0091] 상술한 공정에 따라, 도 7b에 도시되는 반도체 기판을 얻을 수 있다. 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0092] (실시형태 2)
- [0093] 실시형태 1의 방법을 사용하여 고상 에피택시얼 성장시킨 결과, 도 8a에 도시하는 제 1 비정질 반도체층(122A)뿐만 아니라, 그 하층(下層)의 제 1 단결정 반도체층(120)도 결정성이 개선되는 것을 알 수 있었다. 그리고, 본 실시형태에서는, 에피택시얼 성장에 의하여 결정성이 개선된 단결정 반도체층을 적극적으로 사용한다. 즉, 고상 에피택시얼 성장시킨 후, 애칭에 의하여 에피택시얼 성장시킨 두께 이상의 애치 백 처리를 행하여 박막화하는 형태에 대해서 설명한다. 또한, 상술한 도면과 동일한 부분에는 동일 부호를 붙이고, 동일한 부분의 설명은 생략한다.
- [0094] 우선, 고상 에피택시얼 성장을 행하지 않고, 단순히 SOI 기판에 열 처리를 행한 경우의 결정성을 확인하였다. SOI 기판으로서는, 도 7e에 도시하는 상태의 SOI 기판(지지 기판(100) 위에 절연층(116)을 개재하여 제 1 단결정 반도체층(120)을 전재한 것)을 사용하고, 상기 기판에 500°C에서 1시간의 열 처리를 행한 후, 550°C에서 4시간의 열 처리를 행하고, 열 처리 전후에서의 제 1 단결정 반도체층(120)의 결정성을 확인하였다. 도 11a가 라만 결과이다. 열 처리 전후에 있어서, 제 1 단결정 반도체층(120)의 반치전폭의 변화는 없고, 단결정 실리콘층의 결정성이 개선되지 않는 것을 확인할 수 있었다.
- [0095] 다음에, 도 7e에 도시한 상태의 SOI 기판에 대해서 500°C에서 1시간의 열 처리를 행한 후, 550°C에서 4시간의 열 처리를 행한 것(비교예 1)과, 도 8a의 상태의 SOI 기판(실시형태 1의 방법에 의하여 제 1 비정질 반도체층을 형성)에 대해서, 500°C에서 1시간의 열 처리를 행한 후, 550°C에서 4시간의 열 처리에 의하여 고상 에피택시얼 성장시킨 것(샘플 A)의 결정성을 라만 측정에 의하여 확인하였다. 샘플 A에 있어서, 제 1 비정질 반도체층(122A)은, 기판 온도 250°C에서 형성하였다. 도 11b 및 도 11c가 라만 결과이고, 도 11b에 라만 스펙트럼, 도 11c에 도 11b의 각 라만 스펙트럼의 반치전폭의 값을 도시한다. 샘플 A와 비교예 1의 라만 스펙트럼에 있어서,  $482\text{cm}^{-1}$  부근과  $520\text{cm}^{-1}$  부근에 각각 피크가 있지만, 전자(前者)는 형광등의 라만 피크이며, 후자(後者)가 실리콘의 라만 피크이다.
- [0096] 도 11b 및 도 11c를 보면, 고상 에피택시얼 성장시킨 샘플 A가 비교예 1보다 반치전폭이 작고, 결정성이 좋은

것을 확인할 수 있다. 또한, 샘플 A의 라만 결과는, 에피택시얼 성장한 층과 그 하층의 단결정 반도체층의 양쪽 모두를 합친 측정 결과이다. 실험 결과에 따라, 단순히 전재후의 단결정 반도체층을 열 처리하여도 결정성은 회복되지 않고, 고상 에피택시얼 성장시킴으로써, 하층의 전재된 단결정 반도체층의 결정성도 회복되는 것을 확인할 수 있었다. 또한, 라만 결과에 의한 결정성은, 라만 스펙트럼 강도보다 반치전폭에 의하여 판단된다. 이 이유는, 라만 스펙트럼 강도는, 막 두께나 막 표면의 요철 등에 의존하여 변화되기 때문이다.

[0097] 이 결과에 의거하여 본 실시형태의 SOI 기판의 제작 방법에 대해서, 도 10a 내지 도 10c를 사용하여 설명한다. 지지 기판과 단결정 반도체 기판을 접합하여 분리하는 공정은, 실시형태 1의 도 7a 내지 도 7e와 마찬가지다. 그리고, 도 8a와 마찬가지로 제 1 단결정 반도체층(120) 위에 제 1 비정질 반도체층(122A)을 형성한다(도 10a 참조).

[0098] 다음에, 열 처리를 행하여 제 1 비정질 반도체층(122A)을 고상 에피택시얼 성장시켜 제 3 단결정 반도체층(123)으로 한다(도 10b 참조). 이 때, 고상 에피택시얼 성장시킴으로써, 제 1 단결정 반도체층(120)도 결정 개선되고, 제 4 단결정 반도체층(120A)이 된다. 즉, 제 3 단결정 반도체층(123)과 제 4 단결정 반도체층(120A)으로 이루어지는 제 2 단결정 반도체층(124A)이 형성된다. 제 4 단결정 반도체층(120A)과 제 3 단결정 반도체층(123)의 계면은, 판별할 수 있는 경우도 있지만, 판별하기 어려운 정도로 제 3 단결정 반도체층(123)이 완전하게 재결정되는 경우도 있다.

[0099] 제 1 비정질 반도체층(122A)의 막 두께는 얇아도, 하층의 제 1 단결정 반도체층(120)의 결정 개선에는 영향은 없다. 도 12에 제 1 비정질 반도체층(122A)의 막 두께를 변경시킨 경우의 라만 결과를 도시한다. 제 1 비정질 반도체층(122A)의 막 두께가 10nm로 박막이라도, 고상 에피택시얼 성장의 열 처리 후에는 제 2 단결정 반도체층(124A)의 반치전폭이 작게 되고, 결정성이 개선되는 것을 알 수 있다.

[0100] 다음에, 적어도 제 3 단결정 반도체층(123)이 제거되도록, 에치 백 처리를 행한다(도 10c 참조). 에치 백 처리로서는, 웨트 에칭이라도 좋고, 드라이 에칭이라도 좋다. 드라이 에칭이라면, NF<sub>3</sub> 플라즈마 에칭 등에 의하여 행하면 좋다. 제 3 단결정 반도체층(123)을 제거함으로써, 제 1 비정질 반도체층(122A)의 성막시나 고상 에피택시얼 성장의 열 처리시에 제 1 비정질 반도체층(122A)에 불순물이 혼입되어도, 디바이스에 대한 영향을 적게 할 수 있다. 또한, 제 4 단결정 반도체층(120A)과 제 3 단결정 반도체층(123)의 계면을 없앨 수 있기 때문에, 본 실시형태에서 제작된 SOI 기판을 사용하여 트랜지스터를 제작하는 경우, 트랜지스터 특성을 향상시킬 수 있다.

[0101] 또한, 에치 백 처리와 함께, 제 4 단결정 반도체층(120A) 표면의 평탄화 처리를 겸하여도 좋다. 그렇게 하면, 공정수가 증가하지 않고, 제작 비용도 비싸게 되지 않는다. 또한, 평탄화 처리로서, 실시형태 1에서도 설명한 바와 같이, 제 1 비정질 반도체층(122A)에 희 가스를 사용한 플라즈마 처리에 의하여 평탄화를 행하여도 좋다.

[0102] 결정성이 나쁘고, 결함을 갖는 전재 후의 제 1 단결정 반도체층(120)에 대해서 본 실시형태의 SOI 기판 제작 방법에 의하여 레이저 처리 등의 결함 수복 공정 없이 결정성을 향상시킬 수 있다. 또한, 고상 에피택시얼 성장시키는 제 1 비정질 반도체층(122A)은, 최종적으로 제거하기 때문에, 제 1 비정질 반도체층(122A) 자체의 막질을 좋게 할 필요는 없다. 또한, 성막 조건을 미세하게 설정하여 재현성(再現性)을 높게 할 필요도 없다. 즉, 본 실시형태에 있어서의 제 1 비정질 반도체층(122A)의 막질은, 어느 정도 폭을 가질 수 있기 때문에, SOI 기판의 생산성의 향상으로 이어진다. 또한, 본 실시형태는, 전재 후의 단결정 반도체층의 결함 수복을 레이저 처리에 의하여 행하는 것보다 저비용으로, 또 생산성 좋게 행할 수 있다.

[0103] 본 실시형태는, 상술한 실시형태와 적절히 조합하여 사용할 수 있다.

[0104] (실시형태 3)

[0105] 본 실시형태에서는, 도 13a 내지 도 14c를 참조하여 상기 실시형태에서 제작한 SOI 기판을 사용하여 n채널형 박막 트랜지스터, 및 p채널형 박막 트랜지스터를 제작하는 방법을 설명한다. 복수의 박막 트랜지스터(TFT)를 조합함으로써, 각종 반도체 장치를 형성할 수 있다. 또한, 상술한 도면과 동일한 부분에는 동일한 부호를 붙이고, 동일한 부분의 설명은 생략한다.

[0106] SOI 기판으로서, 실시형태 1의 방법에 의하여 제작한 SOI 기판을 사용하는 경우에 대해서 설명한다. 또한, 여기서는 상기 도 8b에 도시되는 제 2 단결정 반도체층(124A)에, 평탄화 처리를 행한 SOI 기판을 사용한다. 평탄화 처리로서는, 드라이 에칭 처리나 웨트 에칭 처리 등의 에칭 처리, CMP를 비롯한 연마 처리 등이 있다. 또한, SOI 기판으로서, 실시형태 2의 방법에 의하여 제작한 것을 사용하여도 좋다.

- [0107] 도 13a는, 실시형태 1에서 설명한 방법에 의하여 제작된 SOI 기판의 단면도이다. 예칭에 의하여 SOI 기판의 제2 단결정 반도체층(124A)을 소자 분리하여 도 13b에 도시하는 바와 같이, 반도체막(251), 반도체막(252)을 형성한다. 반도체막(251)은 n채널형의 TFT를 구성하고, 반도체막(252)은 p채널형의 TFT를 구성한다.
- [0108] 도 13c에 도시하는 바와 같이, 반도체막(251), 반도체막(252) 위에 절연막(254)을 형성한다. 다음에, 절연막(254)을 개재하여 반도체막(251) 위에 게이트 전극(255)을 형성하고, 반도체막(255) 위에 게이트 전극(256)을 형성한다.
- [0109] 또한, 제 2 단결정 반도체층(124A)의 소자 분리를 위한 예칭을 행하기 전에, TFT의 임계값 전압을 제어하기 위해서 봉소, 알루미늄, 갈륨 등의 억셉터가 되는 불순물 원소, 또는 인, 비소 등의 도너가 되는 불순물 원소를 제 2 단결정 반도체 층(124A)에 첨가하는 것이 바람직하다. 예를 들어, n채널형 TFT가 형성되는 영역에 억셉터를 첨가하여 p채널형 TFT가 형성되는 영역에 도너를 첨가한다.
- [0110] 다음에, 도 13d에 도시하는 바와 같이, 반도체막(251)에 n형의 저농도 불순물 영역(257)을 형성하고, 반도체막(252)에 p형의 고농도 불순물 영역(259)을 형성한다. 우선, 반도체막(251)에 n형의 저농도 불순물 영역(257)을 형성한다. 이로써, p채널형 TFT가 되는 반도체막(252)을 레지스트로 마스크하고, 도너를 반도체막(251)에 첨가한다. 도너로서, 인 또는 비소를 첨가하면 좋다. 이온 도핑법 또는 이온 주입법에 의하여 도너를 첨가함으로써, 게이트 전극(255)이 마스크가 되고, 반도체막(251)에 자기 정합적으로 n형의 저농도 불순물 영역(257)이 형성된다. 반도체막(251)의 게이트 전극(255)과 중첩하는 영역은, 채널 형성 영역(260)이 된다.
- [0111] 다음에, 반도체막(252)을 덮는 마스크를 제거한 후, n채널형 TFT가 되는 반도체막(251)을 레지스트 마스크로 덮는다. 다음에, 이온 도핑법 또는 이온 주입법에 의하여 억셉터 반도체막(252)에 첨가한다. 억셉터로서, 봉소를 첨가할 수 있다. 억셉터의 첨가 공정에서는, 게이트 전극(256)이 마스크로서 기능하고, 반도체막(252)에 p형의 고농도 불순물 영역(259)이 자기 정합적으로 형성된다. 고농도 불순물 영역(259)은, 소스 영역 또는 드레인 영역으로서 기능한다. 반도체막(252)의 게이트 전극(256)과 중첩하는 영역은 채널 형성 영역(260)이 된다. 여기서는, n형의 저농도 불순물 영역(257)을 형성한 후, p형의 고농도 불순물 영역(259)을 형성하는 방법을 설명하였지만, 먼저 p형의 고농도 불순물 영역(259)을 형성할 수도 있다.
- [0112] 다음에, 반도체막(251)을 덮는 레지스트를 제거한 후, 플라즈마 CVD법 등에 의하여 질화실리콘 등의 질소 화합물이나 산화실리콘 등의 산화물로 이루어지는 단층 구조 또는 적층 구조의 절연막을 형성한다. 이 절연막을 수직 방향의 이방성 예칭함으로써, 도 14a에 도시하는 바와 같이, 게이트 전극(255), 게이트 전극(256)의 측면에 접하는 사이드 월 절연막(261), 사이드 월 절연막(262)을 형성한다. 이 이방성 예칭에 의하여 절연막(254)도 예칭된다.
- [0113] 다음에, 도 14b에 도시하는 바와 같이, 반도체막(252)을 레지스트(265)로 덮는다. 반도체막(251)에 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역을 형성하기 위해서, 이온 주입법 또는 이온 도핑법에 의하여 반도체막(251)에 고도즈량으로 도너를 첨가한다. 게이트 전극(255) 및 사이드 월 절연막(261)이 마스크가 되고, n형의 고농도 불순물 영역(267)이 형성된다. 다음에, 도너 및 억셉터의 활성화를 위한 가열 처리를 행한다.
- [0114] 활성화의 가열 처리 후, 레지스트(265)를 제거하여 도 14c에 도시하는 바와 같이, 수소를 포함한 절연막(268)을 형성한다. 절연막(268)을 형성한 후, 350°C 이상 450°C 이하의 온도에 의한 가열 처리를 행하고, 절연막(268) 중에 포함되는 수소를 반도체막(251), 반도체막(252) 중에 확산시킨다. 절연막(268)은, 프로세스 온도가 350°C 이하의 플라즈마 CVD법에 의하여 질화실리콘 또는 질화산화실리콘을 퇴적하는 것에 의하여 형성할 수 있다. 반도체막(251), 반도체막(252)에 수소를 공급함으로써, 반도체막(251), 반도체막(252) 중 및 절연막(254)과의 계면에서의 포획 중심이 되는 결함을 효과적으로 보상(補償)할 수 있다.
- [0115] 그 후, 충간 절연막(269)을 형성한다. 충간 절연막(269)은, 산화실리콘막, BPSG(Boron Phosphorus Silicon Glass)막 등의 무기 재료로 이루어지는 절연막, 또는 폴리이미드, 아크릴 등의 유기 수지막으로 선택된 단층 구조의 막, 적층 구조의 막으로 형성할 수 있다. 충간 절연막(269)에 콘택트 홀을 형성한 후, 도 14c에 도시하는 바와 같이, 배선(270)을 형성한다. 배선(270)의 형성에는, 예를 들어, 알루미늄막 또는 알루미늄 합금막 등의 저저항 금속막을 배리어 메탈막으로 끼운 3층 구조의 도전막으로 형성할 수 있다. 배리어 메탈막은, 몰리브덴, 크롬, 티타늄 등의 금속막으로 형성할 수 있다.
- [0116] 상술한 공정에 따라, n채널형 TFT와 p채널형 TFT를 갖는 반도체 장치를 제작할 수 있다. SOI 기판의 제작 과정에서 채널 형성 영역을 구성하는 반도체막의 금속 원소의 농도를 저감시키기 때문에, 오프 전류가 작고, 임계값

전압의 변동이 억제된 TFT를 제작할 수 있다.

[0117] 도 13a 내지 도 14c를 참조하여 TFT의 제작 방법을 설명하였지만, TFT 외에 용량, 저항 등, TFT와 함께 각종 반도체 소자를 형성함으로써, 고부가가치의 반도체 장치를 제작할 수 있다.

[0118] 본 실시형태는, 상술한 실시형태와 적절히 조합하여 사용할 수 있다.

[0119] (실시형태 4)

[0120] 본 실시형태에서는, 상기 실시형태 1 또는 실시형태 2의 방법에 의하여 제작한 SOI 기판을 사용하여 광전 변환 장치를 제작하는 방법을 도 16a 내지 도 20을 참조하여 설명한다. 또한, 상술한 도면과 동일한 부분에는 동일한 부호를 붙이고, 동일한 부분의 설명은 생략한다.

[0121] 단결정 반도체 기판(110)을 준비한다. 도 16d에 도시하는 바와 같이, 상기 단결정 반도체 기판(110)은, 소정의 깊이의 영역에 손상 영역(114)이 형성되고, 일 표면 측에는 제 1 불순물 반도체층(108)이 형성된다. 또한, 단결정 반도체 기판(110)의 일 표면 위에는 제 1 전극(106)과 절연층(116)이 순차적으로 적층되어 형성된다. 또한, 제 1 전극(106)은, 제 1 불순물 반도체층(108)이 형성된 측 또는 제 1 불순물 반도체층(108)이 형성되는 측의 일 표면 위에 형성된다(도 16d 참조).

[0122] 손상 영역(114), 제 1 불순물 반도체층(108), 제 1 전극(106), 절연층(116)의 형성 순서는 한정되지 않고, 이하에 나타내는 (1) 내지 (4)를 들 수 있다.

[0123] (1) 단결정 반도체 기판(110)의 일 표면 위에 절연층(112)을 형성하고, 상기 절연층(112)이 형성된 면 측으로부터 일 도전형을 부여하는 불순물 원소를 첨가하여 단결정 반도체 기판(110)의 일 표면 측에 제 1 불순물 반도체층(108)을 형성한 후, 절연층(112)이 형성된 면 측으로부터 이온 또는 클러스터(cluster) 이온을 조사하여 단결정 반도체 기판(110)의 소정의 깊이의 영역에 손상 영역(114)을 형성한다. 절연층(112)을 제거한 후, 상기 절연층(112)이 형성된 표면 측인 제 1 불순물 반도체층(108) 위에 제 1 전극(106)을 형성하고, 상기 제 1 전극 위에 절연층(116)을 형성한다.

[0124] (2) 단결정 반도체 기판(110)의 일 표면 위에 절연층(112)을 형성하고, 상기 절연층(112)이 형성된 면 측으로부터 이온 또는 클러스터 이온을 조사하여 단결정 반도체 기판(110)의 소정의 깊이의 영역에 손상 영역(114)을 형성한 후, 절연층(112)이 형성된 면 측으로부터 일 도전형을 부여하는 불순물 원소를 첨가하여 단결정 반도체 기판(110)의 일 표면 측에 제 1 불순물 반도체층(108)을 형성한다. 절연층(112)을 제거한 후, 상기 절연층(112)이 형성된 표면 측인 제 1 불순물 반도체층(108) 위에 제 1 전극(106)을 형성하고, 상기 제 1 전극(106) 위에 절연층(116)을 형성한다.

[0125] (3) 단결정 반도체 기판(110)의 일 표면 위에 제 1 전극(106)을 형성한다. 상기 제 1 전극(106)이 형성된 면 측으로부터 일 도전형을 부여하는 불순물 원소를 첨가하고, 단결정 반도체 기판(110)의 제 1 전극(106)이 형성된 일 표면 측에 제 1 불순물 반도체층(108)을 형성한다. 또한, 제 1 전극(106)이 형성된 면 측으로부터 이온 또는 클러스터 이온을 조사하여 단결정 반도체 기판(110)의 소정의 깊이의 영역에 손상 영역(114)을 형성한 후, 제 1 전극(106) 위에 절연층(116)을 형성한다.

[0126] (4) 단결정 반도체 기판(110)의 일 표면 위에 제 1 전극(106)을 형성한다. 상기 제 1 전극(106)이 형성된 면 측으로부터 이온 또는 클러스터 이온을 조사하여 단결정 반도체 기판(110)의 소정의 깊이의 영역에 손상 영역(114)을 형성한다. 또한, 제 1 전극(106)이 형성된 면 측으로부터 일 도전형을 부여하는 불순물 원소를 첨가하여 단결정 반도체 기판(110)의 제 1 전극(106)이 형성된 일 표면 측에 제 1 불순물 반도체층(108)을 형성한다. 제 1 전극(106) 위에 절연층(116)을 형성한다.

[0127] 본 실시형태에서는, (1)의 형성 순서의 예에 대해서 도 16a 내지 도 16d를 사용하여 설명한다. 상술한 도면과 동일한 부호를 붙이는 것에 대해서는, 상술한 설명 부분을 참조할 수 있기 때문에, 여기서는 자세한 설명을 생략한다.

[0128] 단결정 반도체 기판(110)의 일 표면 위에 절연층(112)을 형성한다. 그리고, 절연층(112)이 형성된 면 측으로부터 일 도전형을 부여하는 불순물 원소를 첨가하여 제 1 불순물 반도체층(108)을 형성한다(도 16a 참조). 절연층(112)을 형성하지 않는 구성으로 할 수도 있지만, 후의 이온 도입시의 단결정 반도체 기판(110)의 오염 및 표면의 손상을 방지하기 위해서는, 절연층(112)을 형성하는 것이 바람직하다.

[0129] 단결정 반도체 기판(110)에 일 도전형을 부여하는 불순물 원소를 첨가하고, 단결정 반도체 기판(110)의 일 표면

측에 제 1 불순물 반도체층(108)을 형성한다. 제 1 불순물 반도체층(108)은, 두께가 30nm 내지 150nm, 바람직하게는, 50nm 내지 100nm로 형성한다. 일 도전형을 부여하는 불순물 원소는, 단결정 반도체 기판(110) 위에 형성한 절연층(112)을 통과시켜 첨가한다. 예를 들어, 일 도전형을 부여하는 불순물 원소로서 봉소를 첨가하고, p형의 제 1 불순물 반도체층(108)을 형성한다. 봉소의 첨가는,  $B_2H_6$ ,  $BF_3$ 을 원료 가스로서 생성된 이온을 질량 분리하지 않고 전압으로 가속하여 생성되는 이온류(ion flow)를 기판에 조사하는 이온 도핑 장치를 사용하여 행하는 것이 바람직하다. 단결정 반도체 기판(110)의 면적이 대각(對角)이 300mm를 초과하는 크기이어도 이온빔의 조사 면적을 크게 할 수 있고, 효율 좋게 처리할 수 있기 때문이다. 예를 들어, 장변(長邊)의 길이가 300mm를 초과하는 선 형상 이온빔을 형성하고, 상기 선 형상 이온빔이 단결정 반도체 기판(110)의 일단(一端)으로부터 타단(他端)까지 조사되도록 처리하면, 단결정 반도체 기판(110)의 전체 면에 제 1 불순물 반도체층(108)을 균일하게 형성할 수 있다.

[0130] 또한, 제 1 불순물 반도체층(108)은, 열 확산법에 의하여 형성할 수도 있다. 다만, 열 확산법은 대략 900°C 정도 또는 그 이상의 고온 처리가 되기 때문에, 손상 영역을 형성하기 전에 행한다.

[0131] 제 1 불순물 반도체층(108)은, 본 실시형태에 따른 광전 변환 장치에 있어서, 광 입사 측과 반대 측의 면에 배치되고, 이면 전계(BSF: Back Surface Field)를 형성한다. 단결정 반도체 기판(110)으로서 p형 기판을 적용하면, 별도 p형을 부여하는 불순물 원소를 첨가한 불순물 반도체층(본 실시형태에서는 제 1 불순물 반도체층(108))을 형성하지 않아도 좋지만, 이와 같이 고농도 p형 영역(제 1 불순물 반도체 층(108))과 저농도 p형 영역(단결정 반도체 기판으로부터 박편화되는 제 1 단결정 반도체층)의 배치로 함으로써, 광 차폐 효과에 의하여, 광 여기에 의하여 생성된 캐리어(전자와 정공)의 재결합을 방지하여 캐리어 수집 효율을 높일 수 있다. 따라서, 광전 변환 장치의 광전 변환 효율을 향상시킬 수 있다.

[0132] 단결정 반도체 기판(110)에 전계로 가속된 이온으로 이루어지는 이온빔을 조사하여 단결정 반도체 기판(110)의 소정의 깊이의 영역에 손상 영역(114)을 형성한다(도 16b 참조).

[0133] 또한, 제 1 불순물 반도체층(108)을 통과하여 수소를 포함하는 원료 가스에 의하여 생성되는 이온 또는 클러스터 이온을 조사하여 손상 영역(114)을 형성함으로써, 제 1 불순물 반도체층(108)의 수소화를 겸할 수 있다.

[0134] 단결정 반도체 기판(110) 위에 형성한 절연층(112)을 제거한 후, 제 1 불순물 반도체층(108) 위에 제 1 전극(106)을 형성한다(도 16c 참조).

[0135] 제 1 전극(106)은, 후에 단결정 반도체 기판(110)을 분리하기 위한 열 처리 온도에 견딜 수 있는 재료를 사용할 필요가 있고, 고융점 금속인 것이 바람직하다. 구체적으로는, 제 1 전극(106)에는 지지 기판(100)의 변형점 온도 정도의 내열성이 필요하다. 예를 들어, 티타늄, 몰리브덴, 텉스텐, 탄탈, 크롬, 니켈 등의 금속 재료를 적용한다. 또한, 상술한 금속 재료와, 금속 재료의 질화물의 적층 구조로 할 수도 있다. 예를 들어, 질화티타늄층과 티타늄층, 질화탄탈층과 탄탈층, 질화텅스텐층과 텉스텐층 등의 적층 구조를 들 수 있다. 질화물과의 적층 구조로 하는 경우는, 제 1 불순물 반도체 층(108)과 접하여 질화물을 형성한다. 질화물을 형성함으로써, 제 1 전극(106)과 제 1 불순물 반도체층(108)의 밀착성을 향상시킬 수 있다. 제 1 전극(106)은, 증착법이나 스퍼터링법에 의하여 형성된다.

[0136] 제 1 전극(106) 위에 절연층(116)을 형성한다(도 16d 참조). 예를 들어, 절연층(116)으로서, 막 두께 50nm의 산화질화실리콘층, 막 두께 50nm의 질화산화실리콘층, 및 막 두께 50nm의 산화실리콘층의 적층막을 형성한다. 이를 절연층은 플라즈마 CVD법에 의하여 형성할 수 있다. 최상층이고, 접합면이 되는 산화실리콘층은, 성막 후에 표면의  $R_a$ 값이 0.5nm 이하, 바람직하게는 0.3nm 이하가 되도록 하는 것이 바람직하고, 예를 들어 원료 가스에 TEOS(tetraethyl-ortho silicate)를 사용하여 플라즈마 CVD법에 의하여 형성한다. 또한, 절연층(116)에 질소를 포함하는 실리콘 절연층, 구체적으로는 질화산화실리콘층을 포함함으로써, 후에 접합하는 지지 기판(100)으로부터의 불순물 확산을 방지할 수도 있다.

[0137] 단결정 반도체 기판(110)의 제 1 전극(106)이 형성된 면 측과, 지지 기판(100)의 일 표면 측을 중첩하여 접합한다(도 17a 참조). 본 실시형태에서는, 제 1 전극(106)과 지지 기판(100)의 사이에 절연층(116)을 사이에 두고 접합한다. 접합면은, 절연층(116)의 일 표면(제 1 전극(106)과 접하지 않는 면 측)과, 지지 기판(100)의 일 표면이다.

[0138] 또한, 단결정 반도체 기판(110)과 지지 기판(100)을 접합한 후는, 가열 처리를 행하여 접합을 강화한다.

[0139] 또한, 제 1 전극(106) 표면(제 1 불순물 반도체층(108) 측과 반대 측의 표면)이 평활성을 갖는 경우, 구체적으

로는, 평균면 거칠기  $R_a$  값이  $0.5\text{nm}$  이하, 바람직하게는  $0.3\text{nm}$  이하인 경우는, 절연층(116)을 형성하지 않아도 지지 기판과 접합할 수 있는 경우도 있다. 그 경우, 절연층(116)을 형성하지 않고, 제 1 전극(106)과 지지 기판을 직접 접합하여도 좋다.

[0140] 다음에, 가열 처리를 행하고, 손상 영역(114)에서 단결정 반도체 기판(110)으로부터 제 1 단결정 반도체층(120)을 분리한다. 지지 기판(100) 위에는, 단결정 반도체 기판(110)으로부터 분리된 제 1 단결정 반도체층(120)이 잔존하고, 소위 SOI 구조를 얻을 수 있다. 제 1 단결정 반도체층(120)은, 단결정 반도체 기판(110)과 대략 같은 결정성을 갖는다. 또한, 제 1 단결정 반도체층(120)이 분리된 단결정 반도체 기판(130)을 얻을 수 있다 (도 17b 참조).

[0141] 상술한 공정에 의하여, 지지 기판(100) 위에 고정된 제 1 단결정 반도체층(120)을 얻을 수 있다. 또한, 지지 기판(100)과 제 1 단결정 반도체층(120)의 사이에는, 절연층(116), 제 1 전극(106), 제 1 불순물 반도체층(108)이 형성된다.

[0142] 제 1 단결정 반도체층(120) 위에 실시형태 1에서 설명한 방법에 의하여 제 1 비정질 반도체층(122A)을 형성한다 (도 18a 참조).

[0143] 제 1 비정질 반도체층(122A)의 막 두께는, 제 1 단결정 반도체층(120)과 합하여  $800\text{nm}$  이상, 바람직하게는,  $1000\text{nm}$  이상으로 하고, 성막 시간이나 성막 비용 등, 택트 타임(tact time)이나 생산성을 고려하면, 제 1 비정질 반도체층(122A)은 막 두께  $100\text{nm}$  이상  $2000\text{nm}$  이하로 하는 것이 바람직하다.

[0144] 제 1 비정질 반도체층(122A)으로서는, 진성 반도체를 형성한다. 또한, p형의 비정질 반도체층 또는 n형 비정질 반도체층을 형성하여도 좋다.

[0145] 열 처리를 행하여 제 1 비정질 반도체층(122A)을 고상 예피택시얼 성장시킨다. 이 열 처리에 의하여 제 3 단결정 반도체층(123)과 제 4 단결정 반도체층(120A)으로 이루어지는, 제 2 단결정 반도체층(124A)이 형성된다 (도 18b 참조). 제 2 단결정 반도체층(124A)을 광전 변환층에 사용하면, 막 두께가 두껍기 때문에, 광전 변환 효율을 향상시킬 수 있다.

[0146] 또한, 제 4 단결정 반도체층(120A)의 막 두께가 충분하면, 실시형태 2와 같이, 제 3 단결정 반도체층(123)을 에칭 제거하여 제 4 단결정 반도체층(120A)을 광전 변환층으로 하여도 좋다.

[0147] 제 3 단결정 반도체층(123)의 일 표면 측(제 4 단결정 반도체층(120A)과 접하지 않는 면 측)에 제 1 불순물 반도체층(108)과 반대의 도전형을 부여하는 불순물 원소를 첨가하여 제 2 불순물 반도체층(115)을 형성한다 (도 18c 참조). 제 2 불순물 반도체층(115)은, 두께  $30\text{nm}$  내지  $150\text{nm}$ , 바람직하게는,  $50\text{nm}$  내지  $100\text{nm}$ 로 형성한다. 예를 들어, 제 1 불순물 반도체층(108)과 반대의 도전형을 부여하는 불순물 원소로서 인 또는 비소를 첨가하여 n형의 제 2 불순물 반도체층(115)을 형성한다. 지지 기판(100)으로서 유리 기판을 적용하는 경우, 열 확산법의 프로세스 온도에 견딜 수 없기 때문에, 이온 주입이나 이온 도핑에 의하여 불순물 원소를 첨가한다.

[0148] 또한, 도시하지 않지만, 제 1 비정질 반도체층(122A) 위에 제 1 불순물 반도체층(108)과 반대의 도전형(예를 들어, n형)의 비정질 반도체층을 형성한다. 그리고, 열 처리를 행하여 고상 성장시켜 제 2 단결정 반도체층(124A)과 제 2 불순물 반도체층(115)을 형성할 수도 있다. n형의 비정질 반도체층은, 모노실란, 또는 디실란 등의 실리콘의 수소화물을 원료 가스에 사용하고, 상기 원료 가스에 n형의 불순물인 포스핀( $\text{PH}_3$ )을 첨가하여 성막함으로써 형성할 수 있다. p형의 비정질 반도체층을 형성하는 경우는, 디보란( $\text{B}_2\text{H}_6$ )을 첨가하면 좋다.

[0149] 또한, 제 2 불순물 반도체층(115)은, 비정질 반도체 또는 미결정 반도체에 의하여 형성할 수도 있다. 주로 광전 변환층으로서 기능하는 영역은, 단결정 반도체층으로 형성되기 때문에, 제 2 불순물 반도체층(115)을 비정질 반도체 또는 미결정 반도체로 형성하여도 문제가 되지 않는다. 또한, 제 2 불순물 반도체층(115)을 비정질 반도체 또는 미결정 반도체로 형성하는 경우는, 막 두께를 예를 들어,  $50\text{nm}$  내지  $100\text{nm}$ 로 얇게 하는 것이 바람직하다. 이것은, 제 2 불순물 반도체층(115)에서의 캐리어 재결합을 방지하기 위해서이다.

[0150] 상술한 바와 같이, 일 도전형의 제 1 불순물 반도체층(108), 제 2 단결정 반도체층(124A), 상기 일 도전형과 반대의 도전형인 제 2 불순물 반도체층(115)이 순차로 적층된 유닛 셀(109)을 얻을 수 있다 (도 19a 참조).

[0151] 제 1 전극(106) 위에 형성된 제 1 불순물 반도체층(108), 제 2 단결정 반도체층(124A) 및 제 2 불순물 반도체층(115)을 선택적으로 에칭하여 제 1 전극(106)의 일부(바람직하게는, 제 1 전극(106)의 단부)를 노출시킨다 (도

19a 참조).

[0152] 광전 변환 장치로서 기능시키기 위해서는, 정극(正極)과 부극(負極)에 대응하는 전극으로부터, 광전 변환된 전기 에너지를 추출할 필요가 있다. 제 1 전극(106)은, 정극과 부극에 대응하는 전극의 한쪽으로서 기능하지만, 그 상층은 단결정 반도체층으로 덮이고, 그 하층은, 지지 기판(100)이 형성되기 때문에, 그대로 전기를 외부로 추출하기 어렵다. 따라서, 제 1 전극(106)의 상층에 형성되는 층을 에칭하여 상기 제 1 전극(106)의 일부를 노출시켜, 리드(lead)할 수 있는 전극을 형성하는 것이 바람직하다.

[0153] 구체적으로는, 제 2 불순물 반도체층(115) 위에 레지스트나 질화실리콘층 등의 절연층을 사용하여 마스크를 형성하고, 상기 마스크를 사용하여 에칭을 행하면 좋다. 에칭은,  $\text{NF}_3$ ,  $\text{SF}_6$  등의 불소계 가스를 사용한 드라이 에칭을 행하면 좋고, 적어도 제 1 전극(106)과 상기 제 1 전극(106)의 상층에 형성되는 층(제 2 불순물 반도체층(108) 내지 제 2 불순물 반도체층(115))의 에칭 선택비를 충분히 높게 취할 수 있는 조건으로 행하면 좋다. 에칭 후, 불필요하게 된 마스크는 제거한다.

[0154] 본 실시형태에서는, 제 2 불순물 반도체층(115)을 형성한 후에 제 1 전극(106)을 노출시키는 예를 나타내지만, 제 1 전극(106)을 노출시킨 후에 제 2 불순물 반도체층(115)을 형성할 수도 있다. 구체적으로는, 열 처리에 의하여 제 3 단결정 반도체층(123)을 형성한 후, 상기 제 3 단결정 반도체층(123) 위에 마스크를 형성하고, 상기 마스크를 사용하여 에칭을 행함으로써, 제 1 전극(106)의 일부를 노출시킨다. 불필요하게 된 마스크를 제거한 후, 제 3 단결정 반도체층(123)에 제 2 불순물 반도체층(108)과 반대의 도전형을 부여하는 불순물 원소를 첨가하여, 제 2 불순물 반도체층(115)을 형성한다.

[0155] 제 2 불순물 반도체층(115) 위에 제 2 전극(118)을 형성한다. 또한, 노출시킨 제 1 전극(106)에 접하는 보조 전극(160)을 형성한다(도 19b 참조).

[0156] 제 2 전극(118)은, 도 20에 도시하는 바와 같이, 상면에서 보았을 때에, 격자 형상(또는 빗 형상, 빗살 형상)으로 형성한다. 이와 같이 형성함으로써, 유닛 셀(109)에 광을 조사할 수 있고, 유닛 셀(109)이 효율 좋게 광을 흡수할 수 있다. 제 2 전극(118)의 형상은 특별히 한정되는 것이 아니지만, 유닛 셀(109; 제 2 불순물 반도체층(115)) 위를 덮는 면적을 가능한 한 작게 하는 것이, 광을 입사하는 유효면적이 커지는 것은 말할 필요도 없다. 또한, 도 20의 O-P에 있어서의 단면이 도 19b에 상당한다.

[0157] 보조 전극(160)은, 제 2 전극(118)과 같은 공정으로 형성할 수 있다. 본 실시형태의 광전 변환 장치에 있어서, 제 1 전극(106)은 정극 또는 부극의 한쪽의 전극으로서 기능하지만, 지지 기판(100)과 유닛 셀(109)의 사이 전체 면에 형성되고, 자유롭게 배선을 리드할 수 없기 때문에, 보조 전극(160)을 형성함으로써 광전 변환된 전기 에너지를 추출하기 쉽게 된다. 보조 전극(160)은, 추출 전극으로서 기능한다.

[0158] 제 2 전극(118)과 보조 전극(160)은, 알루미늄, 은, 연석(鉛錫; 땀납) 등을 사용하고, 인쇄법 등에 의해 형성한다. 예를 들어, 은 페이스트를 사용하여 스크린 인쇄법으로 형성할 수 있다. 또한, 페이스트 등을 사용하여 스크린 인쇄법에 의하여 전극을 형성하는 경우, 그 두께는 수 $\mu\text{m}$  내지 수백 $\mu\text{m}$  정도가 될 수 있다. 다만, 도시하는 것은 모식도이고, 반드시 실제의 치수를 나타내고 있는 것은 아니다.

[0159] 상술한 공정에 따라, 광전 변환 장치를 제조할 수 있다. 텐덤형으로 하고자 하는 경우는, 도 19a의 유닛 셀(109)을 형성한 후에, 그 상부에, 유닛 셀(109)을 마찬가지로 더 형성하여 적층하면 좋다. 그 후, 도 19b의 방법에 의하여 제 2 전극(118) 및 보조 전극(160)을 형성한다.

[0160] 또한, 유닛 셀(109) 위에 반사 방지층을 겸한 패시베이션층을 형성하는 것이 바람직하다.

[0161] 반도체 표면에 있어서의 반사율은 광장 의존성을 있지만, 보통 30% 내지 50%라고 말한다. 광 입사면에서의 반사는 입사하는 광의 손실이 되어, 광전 변환 효율이 저하되는 요인이다. 따라서, 유닛 셀(109)의 광 입사면(본 실시형태에서는 제 2 불순물 반도체층(115) 위)에, 굴절율이 유닛 셀(109)의 입사면의 재료인 반도체와 공기의 굴절율의 중간에 위치하고, 또 광의 입사를 방해하지 않는 투과성을 갖는 패시베이션층을 형성함으로써, 유닛 셀(109) 입사면에서의 반사를 방지할 수 있다. 이와 같은 패시베이션층으로서는, 질화실리콘층, 질화산화실리콘층, 또는 불화마그네슘층 등을 형성할 수 있다.

[0162] 유닛 셀(109)과 제 2 전극(118), 및 유닛 셀(109)과 보조 전극(160)의 사이에 패시베이션층을 형성한다. 이 경우, 유닛 셀(109) 위에 패시베이션층을 형성한 후, 제 2 불순물 반도체층(115)과 제 1 전극(106)의 표면의 일부가 노출되도록 패시베이션층을 에칭하여, 개구부를 형성한다. 또는, 리프트 오프법 등을 적용하여, 개구부가 형성된 패시베이션층을 형성할 수도 있다. 그리고, 패시베이션층에 형성된 개구부를 개재하여 제 2 불순물 반

도체층(115)과 접하는 제 2 전극(118)을, 인쇄법에 의하여 형성한다. 또한, 동일 공정에서, 패시베이션층에 형성된 개구부를 개재하여 제 1 전극(106)과 접하는 보조 전극(160)을 형성한다.

[0163] 본 실시형태에 따른 제조 공정은, 결정의 고상 에피택시얼 성장 기술을 사용함으로써, 광전 변환층으로서 기능하는 1000nm 이상의 단결정 반도체층을 얻을 수 있다. 고상 에피택시얼 성장을 이용함으로써, 원료로서 사용하는 단결정 반도체는 종결정으로서 기능할 수 있는 양이면 충분하고, 단결정 반도체의 소비량을 억제할 수 있다. 또한, 비정질 반도체나 미결정 반도체의 경우는 입계가 존재함으로써 캐리어가 트랩되어 광전 변환 효율이 낮게 되지만, 단결정 반도체는 입계가 없기 때문에, 광전 변환 효율이 뛰어나고, 고효율의 광전 변환 장치를 제공할 수 있다. 또한, 종래는, 광전 변환 장치를 지지하는 구조체 부분도 단결정 반도체로 형성하였지만, 이종(異種) 재료간의 접합 기술을 사용하여 단결정 반도체 기판을 박편화(薄片化)한 단결정 반도체층을 지지 기판에 고정시키는 구성으로 함으로써, 단결정 반도체의 소비량을 억제할 수 있다. 또한, 단결정 반도체층을 분리한 후의 단결정 반도체 기판은 반복하여 이용할 수 있다. 따라서, 자원(資源)을 유효하게 이용할 수 있다.

[0164] 본 실시형태는, 상술한 실시형태와 적절히 조합하여 사용할 수 있다.

[0165] (실시형태 5)

[0166] 본 실시형태에서는, 실시형태 1 또는 실시형태 2의 방법에 의하여 제작한 SOI 기판을 사용하여 광전 변환 소자를 구비하는 반도체 장치 및 그 제작 방법에 대해서 설명한다. 또한, 상술한 도면과 동일한 부분에는, 동일한 부호를 붙이고, 동일한 부분의 설명은 생략한다.

[0167] 개시하는 발명의 일 형태에 따른 광전 변환 소자(180)는, 광 투과성을 갖는 지지 기판(100) 위에 형성된다(도 21a 및 도 21b 참조). 여기서, 도 21b는 도 21a의 A-B에 있어서의 단면에 상당한다.

[0168] 광전 변환 소자(180)는, 광전 변환의 효과를 갖는 반도체 영역(164), 제 1 도전형(여기서는, p형)을 나타내는 반도체 영역(158), 제 2 도전형(여기서는, n형)을 나타내는 반도체 영역(162)을 갖는 섬 형상의 단결정 반도체 층과, 섬 형상의 단결정 반도체층을 덮도록 형성된 절연층(154) 및 절연층(166)과, 제 1 도전형을 나타내는 반도체 영역(158)과 전기적으로 접속된 제 1 전극(172)과, 제 2 도전형을 나타내는 반도체 영역(162)과 전기적으로 접속된 제 2 전극(174)을 갖는다. 여기서, 제 1 도전형을 나타내는 반도체 영역(158)과 제 2 도전형을 나타내는 반도체 영역(162) 양쪽 모두는 광전 변환의 효과를 갖는 반도체 영역(164)에 인접하고, 또 광전 변환의 효과를 갖는 반도체 영역(164)을 사이에 두고 간격이 두어진다. 또한, 상기 제 1 도전형과 제 2 도전형은 바꾸어 도 좋다.

[0169] 또한, 지지 기판(100)과 광전 변환 소자(180)의 사이에는, 절연층(116)이 형성된다. 상기 절연층은, 광전 변환 소자(180)를 지지 기판(100)에 고정하는 역할을 한다.

[0170] 광전 변환 소자(180)의 동작은 이하와 같다. 광전 변환 소자(180)에 있어서, 광전 변환의 효과를 갖는 반도체 영역(164)에 광이 입사하면, 상기 반도체 영역에는, 전자 및 정공이 생성된다. 제 1 도전형을 나타내는 반도체 영역(158)과 제 2 도전형을 나타내는 반도체 영역(162)의 사이에 외부로부터 전압이 인가되지 않는 경우(무 바이어스의 경우)에는, 생성된 전자는, 자기 정합적인 전장(電場)의 영향에 의하여 n형 반도체 영역의 방향으로 흐른다. 마찬가지로, 생성된 정공은 p형 반도체 영역의 방향으로 흐른다. 외부로부터 전압이 인가되는 경우(예를 들어, 역 바이어스가 인가되는 경우)에는, 자기 정합적인 전장 및 외부로부터의 전압의 영향을 받아서 전자 및 정공이 흐른다.

[0171] 이와 같이 생기는 전류는, 광의 강도에 의존하기 때문에, 이 성질을 이용하여 광 센서로 할 수 있다. 또한, 광에 의한 기전력(起電力)을 광전 변환 소자의 외부에 추출함으로써, 발전 시스템으로서 사용할 수도 있다.

[0172] 여기서, 본 실시형태에 있어서의 광전 변환 소자를 구성하는 상기 섬 형상의 반도체층(반도체 영역(162, 164, 158))의 결정성은, 단결정이다. 특히, 광전 변환의 효과를 갖는 반도체 영역(164)의 결정성은 단결정으로 한다. 단결정 반도체를 광전 변환 소자에 사용함으로써 비정질 반도체나 다결정 반도체를 사용하는 경우와 비교하여 암 전류(광 미조사(未照射)시의 전류)를 저하시킬 수 있다. 또한, 단결정 반도체를 광전 변환 소자에 사용함으로써, 다결정 반도체를 사용하는 경우와 비교하여 광 조사시의 전류를 증대시킬 수 있다. 이로써, 광센서로서의 감도가 향상된다. 또한, 단결정 반도체를 광전 변환 소자에 사용함으로써, 광전 변환 효율이 향상된다. 이들의 효과는 결함 등에 기인하는 광 생성 캐리어의 트랩을 충분히 억제하는 것이 가능하게 되기 때문에 얻을 수 있는 것이다.

[0173] 또한, 여기서 나타내는 바와 같이, 지지 기판이 광 투과성을 가짐으로써, 지지 기판 측으로부터 대상물의 광(대

상물로부터의 반사광)을 입사시키는 구성(지지 기판 측으로부터의 광을 검출하는 구성)으로 할 수 있다. 이 경우에는, 전극(또는 배선) 측으로부터 대상물의 광을 입사시키는 경우와 비교하여 소자 레이아웃의 자유도가 향상된다. 이와 같이, 지지 기판이 광 투과성을 가짐으로써, 광 투과성을 가지지 않는 경우와 비교하여 집적화가 용이하게 된다는 장점도 있다.

[0174] 다음에, 광전 변환 소자의 제작 공정에 대해서 도 22a 내지 도 22h를 사용하여 설명한다. 광전 변환 소자의 제작에 사용하는 SOI 기판의 제작 공정은, 실시형태 1 또는 실시형태 2와 같기 때문에, 자세한 설명은 생략한다. 본 실시형태에서는, 대표로서 실시형태 1의 방법에 의하여 제작한 SOI 기판을 사용한다.

[0175] 우선, 실시형태 1의 방법에 의하여 제작한 SOI 기판에 대해서 제 2 단결정 반도체층(124A) 표면의 평탄화를 위해서, 표면에 레이저 광을 조사함으로써, 표면의 평탄성을 향상시킨다. 또한, 평탄성이 충분한 것이라면, 평탄화 공정은 행하지 않아도 좋다. 실시형태 2의 방법에 의하여 제작한 SOI 기판을 사용하면, 제 2 단결정 반도체층(124A) 대신에 제 4 단결정 반도체층(120)을 사용한다.

[0176] 또한, 레이저 광의 조사에 의한 제 2 단결정 반도체층(124A)의 용융은 부분 용융으로 하는 것이 바람직하다. 완전 용융시킨 경우에는, 액상이 된 후의 무질서한 핵 발생에 의하여 미결정화하고, 결정성이 저하되기 때문이다. 한편, 부분 용융에 있어서는, 용융되지 않는 고상 부분에 의거하여 결정 성장시킬 수 있기 때문에, 제 2 단결정 반도체층(124A)을 완전 용융시키는 경우와 비교하여 결정 품위를 향상시킬 수 있다. 또한, 부분 용융에 있어서는, 절연층(116)으로부터의 산소나 질소 등의 흡수를 억제할 수 있다. 또한, 상기에 있어서, 부분 용융이란, 레이저 광의 조사에 의하여 제 2 단결정 반도체층(124A)이 용융되는 깊이를 절연층(116) 측 계면의 깊이보다 얕게 하는(즉, 제 2 단결정 반도체층(124A)의 두께보다 얕게 하는) 것을 가리킨다. 즉, 제 2 단결정 반도체층(124A)의 상층은 용융되어 액상이 되지만, 하층은 용융되지 않고 고상인 채 유지되는 상태를 가리킨다. 또한, 완전 용융이란, 제 2 단결정 반도체층(124A)이 절연층(116)과의 계면까지 용융되어, 액체 상태가 되는 것을 가리킨다.

[0177] 상기 레이저 광의 조사에는, 펄스 발진 레이저를 사용하는 것이 바람직하다. 이 이유는, 고 에너지를 얻을 수 있고, 부분 용융 상태를 만들어 내는 것이 용이해지기 때문이다. 발진 주파수는, 1Hz 이상 10MHz 이하로 하는 것이 바람직하지만, 이것에 한정할 필요는 없다. 상술한 펄스 발진 레이저의 발진기로서는, Ar 레이저, Kr 레이저, 엑시머(ArF, KrF, XeCl) 레이저, CO<sub>2</sub> 레이저, YAG 레이저, YVO<sub>4</sub> 레이저, YLF 레이저, YAlO<sub>3</sub> 레이저, GdVO<sub>4</sub> 레이저, Y<sub>2</sub>O<sub>3</sub> 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 금 증기 레이저 등이 있다. 또한, 부분 용융시키는 것이 가능하면, 연속 발진 레이저를 사용하여도 좋다. 연속 발진 레이저의 발진기로서는, Ar 레이저, Kr 레이저, CO<sub>2</sub> 레이저, YAG 레이저, YVO<sub>4</sub> 레이저, YLF 레이저, YAlO<sub>3</sub> 레이저, GdVO<sub>4</sub> 레이저, Y<sub>2</sub>O<sub>3</sub> 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 헬륨 카드뮴 레이저 등이 있다.

[0178] 레이저 광의 파장으로서는, 제 2 단결정 반도체층(124A)에 흡수되는 파장을 선택할 필요가 있다. 그 파장은, 레이저 광의 표피 깊이(skin depth) 등을 고려하여 결정하면 좋다. 예를 들어, 레이저 광의 파장은 250nm 이상 700nm 이하의 범위로 할 수 있다. 또한, 레이저 광의 에너지 밀도는, 레이저 광의 파장, 레이저 광의 표피 깊이, 제 2 단결정 반도체층(124A)의 막 두께 등을 고려하여 결정할 수 있다. 레이저 광의 에너지 밀도는, 예를 들어, 300mJ/cm<sup>2</sup> 이상 800mJ/cm<sup>2</sup> 이하의 범위로 하면 된다. 또한, 상기 에너지 밀도의 범위는, 펄스 발진 레이저로서 XeCl 엑시머 레이저(파장: 308nm)를 사용한 경우의 일례이다.

[0179] 레이저 광의 조사는, 대기 분위기와 같은 산소를 포함하는 분위기, 또는 질소 분위기나 아르곤 분위기와 같은 불활성 분위기에서 행할 수 있다. 불활성 분위기 중에서 레이저 광을 조사하려면, 기밀성이 있는 챔버 내에서 레이저 광을 조사하여, 이 챔버 내의 분위기를 제어하면 좋다. 챔버를 사용하지 않는 경우에는 레이저 광의 피조사면에 질소 가스 등의 불활성 가스를 분사함으로써 불활성 분위기를 형성할 수도 있다.

[0180] 또한, 질소 등의 불활성 분위기에서 행하는 쪽이, 대기 분위기보다도 제 2 단결정 반도체층(124A)의 평탄성을 향상시키는 효과는 높다. 또한, 대기 분위기보다도 불활성 분위기의 쪽이 크랙(crack)이나 리지(ridge)의 발생을 억제하는 효과가 높고, 레이저 광을 사용할 수 있는 에너지 밀도의 범위가 넓어진다. 또한, 레이저 광의 조사는, 감압 분위기에서 행하여도 좋다. 감압 분위기에서 레이저 광을 조사하는 경우에는, 불활성 분위기에 있어서의 조사와 동등한 효과를 얻을 수 있다.

[0181] 또한, 레이저 광의 조사 처리를 행하기 전에는, 제 2 단결정 반도체층(124A)의 표면을 세정해 두는 것이 바람직

하다.

[0182] 상술한 공정에 의하여, 표면 거칠기가 저감된 제 2 단결정 반도체층(124A)을 갖는 SOI 기판을 얻을 수 있다.

[0183] 다음에, 상기 SOI 기판을 사용하여 광전 변환 소자(180)를 제작하는 공정에 대해서 설명한다. 우선, 상기 공정에 의하여 지지 기판(100) 위에 절연층(116) 및 제 2 단결정 반도체층(124A)이 형성된 구성의 SOI 기판을 준비한다(도 22a 참조).

[0184] 제 2 단결정 반도체층(124A)에는, 봉소, 알루미늄, 갈륨 등의 p형 불순물 원소나, 인, 비소 등의 n형 불순물 원소를 미량으로 첨가하여도 좋다. 불순물 원소를 첨가하는 영역, 및 첨가하는 불순물 원소의 종류는, 적절히 변경할 수 있다.

[0185] 그 후, 제 2 단결정 반도체층(124A) 위에 마스크(150)를 형성하고, 이 마스크(150)를 사용하여 제 2 단결정 반도체층(124A)을 패터닝함으로써, 광전 변환 소자에 사용되는 섬 형상의 반도체층(152)을 형성한다(도 22b 참조). 마스크(150)는 레지스트 재료를 사용한 포토리소그래피 등에 의하여 형성할 수 있다. 또한, 패터닝을 행할 때의 에칭 처리에는, 웨트 에칭 또는 드라이 에칭의 양쪽 모두를 적용할 수 있다. 섬 형상의 반도체층(152)을 형성한 후, 마스크(150)는 제거한다.

[0186] 다음에, 반도체층(152)을 덮도록 절연층(154)을 형성한다(도 22c 참조). 절연층(154)은 형성하지 않아도 좋지만, 절연층(154)을 형성할 때에는, 이후 불순물 원소를 첨가할 때의 반도체층(152)의 손상을 억제할 수 있다. 또한, 본 실시형태에서는, 절연층(154)으로서, 플라즈마 CVD법을 사용하여 산화실리콘막을 단층으로 형성한다. 산화실리콘 이외에도 절연층(154)으로서, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등을 포함하는 막을 단층 구조 또는 적층 구조로 형성할 수 있다.

[0187] 플라즈마 CVD법 이외의 제작 방법으로서는, 스퍼터링법이나 고밀도 플라즈마 처리에 의한 산화 또는 질화에 의한 방법을 들 수 있다. 고밀도 플라즈마 처리는, 예를 들어, 헬륨, 아르곤, 크립톤, 크세논 등의 희 가스와, 산소, 산화질소, 암모니아, 질소, 수소 등의 가스의 혼합가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 도입에 의하여 행함으로써, 저전자 온도로 고밀도의 플라즈마를 생성할 수 있다. 이와 같은 고밀도의 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체층(152)의 표면을 산화 또는 질화함으로써, 1nm 이상 20nm 이하, 바람직하게는, 2nm 이상 10nm 이하의 절연층(154)을 형성할 수 있다.

[0188] 상술한 고밀도 플라즈마 처리에 의한 반도체층의 산화 또는 질화는 고상 반응이기 때문에, 절연층(154)과 반도체층(152)의 계면 준위 밀도를 충분히 낮게 할 수 있다. 특히, 반도체층이 단결정인 경우는, 고밀도 플라즈마 처리를 사용하여 반도체층의 표면을 고상 반응으로 산화시키는 경우에도, 균일성이 좋고, 계면 준위 밀도가 충분히 낮은 게이트 절연층(154)을 형성할 수 있다.

[0189] 또는, 지지 기판(100)이 내열성이 있다면, 반도체층(152)을 열 산화시킴으로써, 절연층(154)을 형성하여도 좋다. 이와 같이, 열 산화를 사용하는 경우에는, 어느 정도의 내열성을 갖는 지지 기판(100)을 사용하는 것이 필요하다.

[0190] 또한, 수소를 포함하는 절연층(154)을 형성하고, 그 후, 350°C 이상 450°C 이하의 온도에서 가열 처리를 행함으로써, 절연층(154) 중에 포함되는 수소를 반도체층(152) 중에 확산시켜도 좋다. 이 경우, 절연층(154)으로서는 플라즈마 CVD법을 사용한 질화실리콘 또는 질화산화실리콘을 사용할 수 있다. 또한, 프로세스 온도는 350°C 이하로 하면 좋다. 이와 같이, 반도체층(152)에 수소를 공급함으로써, 반도체층(152) 중, 및 절연층(154)과 반도체층(152)의 계면에 있어서의 결함을 효과적으로 저감시킬 수 있다.

[0191] 다음에, 절연층(154) 위에 선택적으로 마스크(156)를 형성하고 반도체층(152)의 일부에 제 1 도전형을 부여하는 불순물 원소를 첨가한다. 이로써, 제 1 도전형을 나타내는 반도체 영역(158)이 형성된다(도 22d 참조). 여기서는, 제 1 도전형을 부여하는 불순물 원소로서 봉소를 사용하고, 제 1 도전형을 p형으로 하는 구성으로 설명하지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 제 1 도전형을 부여하는 불순물 원소로서, 알루미늄 등을 사용하여도 좋다. 또한, 제 1 도전형을 n형으로 하는 경우에는, 인이나 비소 등을 사용할 수도 있다. 마스크(156)는 마스크(150)와 같은 방법에 의하여 형성하면 좋다.

[0192] 구체적으로는, 예를 들어, B<sub>2</sub>H<sub>6</sub>를 원료 가스로서 사용하고, 10kV 내지 40kV의 가속 전압,  $3.0 \times 10^{14} \text{ cm}^{-2}$  내지  $1.0 \times 10^{17} \text{ cm}^{-2}$  정도의 도즈량으로 봉소를 첨가하면 좋다. 불순물 원소의 첨가의 조건은, 요구되는 특성 등에 따라,

적절히 변경할 수 있지만, 도즈량을 적게 하면, 암 전류를 억제할 수 있는 경향이 있다. 이 이유는, 고 도즈 조건으로 불순물 원소를 첨가하면, 반도체층(152)의 손상이 크게 되어 결함에 기인하는 캐리어 트랩이 생기는 것에 대해서, 저 도즈 조건으로 불순물 원소를 첨가하면, 손상이 조금이기 때문에, 결함에 기인하는 전류가 생기지 않기 때문이다. 또한, 제 1 도전형을 나타내는 반도체 영역(158)을 형성한 후에는, 마스크(156)는 제거한다.

[0193] 그 후, 절연층(154) 위에 선택적으로 마스크(300)를 형성하여 반도체층(152)의 일부에 제 2 도전형을 부여하는 불순물 원소를 첨가한다. 이로써, 제 2 도전형을 나타내는 반도체 영역(162)이 형성되는 것과 함께, 제 1 도전형을 부여하는 불순물 원소 및 제 2 도전형을 부여하는 불순물 원소가 첨가되지 않는, 광전 변환의 효과를 갖는 반도체 영역(164)이 형성된다(도 22e 참조). 제 2 도전형은, 제 1 도전형과 다른 도전형으로 한다. 즉, 제 1 도전형이 p형의 경우에는, 제 2 도전형은 n형이며, 제 1 도전형이 n형의 경우에는 제 2 도전형은 p형이다. 여기서는, 제 2 도전형을 부여하는 불순물 원소로서, 인을 사용하여, 제 2 도전형을 n형으로 하는 구성으로 설명한다. n형을 부여하는 불순물 원소로서는, 그 이외에 비소 등을 사용할 수 있다. 마스크(300)는, 마스크(150)나 마스크(156)와 같은 방법에 의하여 형성하면 좋다.

[0194] 구체적으로는, 예를 들어, PH<sub>3</sub>을 원료 가스로서 사용하고, 10kV 내지 40kV의 가속 전압,  $1.0 \times 10^{14} \text{ cm}^{-2}$  내지 5.0  $\times 10^{16} \text{ cm}^{-2}$  정도의 도즈량으로 인을 첨가하면 좋다. 불순물 원소의 첨가의 조건은, 요구되는 특성에 따라, 적절히 변경할 수 있다. 도즈량을 적게 함으로써, 암 전류를 억제할 수 있는 이유는, 제 1 도전형을 부여하는 불순물 원소를 첨가하는 경우와 마찬가지이다. 제 2 도전형을 나타내는 반도체 영역(162)을 형성한 후에는, 마스크(300)는 제거한다.

[0195] 또한, 상기 제 1 불순물 원소 및 제 2 불순물 원소의 첨가는, 광전 변환의 효과를 갖는 반도체 영역(164)의 폭이 0.1 μm 내지 20 μm, 바람직하게는, 3 μm 내지 10 μm가 되도록 행한다. 물론, 마스크(156) 및 마스크(300)의 가공 정밀도가 충분하다면, 0.1 μm 이하로 할 수도 있다.

[0196] 다음에, 반도체층(152) 및 절연층(154)을 덮도록 절연층(166)을 형성한다(도 22f 참조). 절연층(166)은 반드시 형성할 필요는 없지만, 절연층(166)을 형성함으로써, 알칼리 금속이나 알칼리 토류 금속 등의 불순물 원소가 반도체층(152)에 침입하는 것을 방지할 수 있다. 또한, 형성되는 광전 변환 소자의 표면을 평坦하게 할 수 있다.

[0197] 절연층(166)은, 예를 들어, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 질화알루미늄, 산화알루미늄 등의 재료를 사용하여 형성할 수 있다. 본 실시형태에서는, 절연층(166)을 CVD법을 사용하여 형성한 300nm 정도의 두께의 산화질화실리콘막과, CVD법을 사용하여 형성한 600nm 정도의 두께의 산화실리콘막의 적층 구조로 한다. 물론, 개시하는 발명의 일 형태는 이것에 한정되지 않고, 단층 구조 또는 3층 이상의 적층 구조로 할 수도 있다.

[0198] 절연층(166)은, 그 이외에도 폴리아미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용하여 형성할 수도 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수도 있다. 여기서, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 절연층(166)의 제작 방법은, 그 재료에 따라, CVD법, 스퍼터링법, SOG법, 스판 코팅법, 딥 법, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등) 등의 방법, 탁터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 설비를 적절히 사용할 수 있다.

[0199] 다음에, 반도체층(152)의 일부가 노출하도록 절연층(154) 및 절연층(166)에 콘택트 홀(168) 및 콘택트 홀(170)을 형성한다(도 22g 참조). 여기서는, 특히, 제 1 도전형을 나타내는 반도체 영역(158) 및 제 2 도전형을 나타내는 반도체 영역(162)의 일부가 노출하도록 콘택트 홀(168) 및 콘택트 홀(170)을 형성한다. 콘택트 홀(168) 및 콘택트 홀(170)은, 선택적으로 마스크를 형성한 후의 에칭 처리 등에 의하여 형성할 수 있다. 에칭 처리로서는, 예를 들어, 에칭 가스로서 CHF<sub>3</sub>와 He의 혼합 가스를 사용한 드라이 에칭을 적용할 수 있지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다.

[0200] 그리고, 상기 콘택트 홀을 통하여 반도체층(152)에 접하는 도전층을 형성하고, 이것을 패터닝함으로써 제 1 전극(172) 및 제 2 전극(174)을 형성한다(도 22h 참조). 제 1 전극(172) 및 제 2 전극(174)의 기초가 되는 도전층은, CVD법, 스퍼터링법, 증착법 등에 의하여 형성할 수 있다. 재료로서는, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 실리콘(Si) 등을 사용할 수 있다. 또한, 상기 재료를 주성분으로 하는 합금을 사용하여도 좋고, 상기

재료를 포함하는 화합물을 사용하여도 좋다. 또한, 도전층은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.

[0201] 알루미늄을 주성분으로 하는 합금의 예로서는, 알루미늄을 주성분으로 하고 니켈을 포함하는 합금을 들 수 있다. 또한, 알루미늄을 주성분으로 하고, 니켈과, 탄소 또는 실리콘의 한쪽 또는 양쪽 모두를 포함하는 것을 들 수 있다. 알루미늄이나 알루미늄실리콘(Al-Si)은 저항값이 낮고, 저렴하기 때문에, 제 1 전극(172) 및 제 2 전극(174)을 형성하는 재료로서 적합하다. 특히, 알루미늄실리콘은, 패터닝 시의 레지스트 베이크에 의한 힐록의 발생을 억제할 수 있기 때문에 바람직하다. 또한, 실리콘 대신에, 알루미늄에 0.5% 정도의 Cu를 혼입시킨 재료를 사용하여도 좋다.

[0202] 도전층을 적층 구조로 함으로써, 제 1 전극(172) 및 제 2 전극(174)을 적층하는 구조로 하는 경우에는, 예를 들어, 배리어막과 알루미늄 실리콘막과 배리어막의 적층 구조, 배리어막과 알루미늄 실리콘막과 질화티타늄막과 배리어막의 적층 구조 등을 채용하면 좋다. 또한, 배리어막이란, 티타늄, 티타늄의 질화물, 몰리브덴 또는 몰리브덴의 질화물 등을 사용하여 형성된 막이다. 배리어막의 사이에 알루미늄실리콘막을 끼우도록 도전막을 형성하면, 알루미늄이나 알루미늄실리콘의 힐록의 발생을 한층 더 방지할 수 있다. 또한, 환원성(還元性)이 높은 원소인 티타늄을 사용하여 배리어막을 형성하면, 제 1 도전형을 나타내는 반도체 영역(158)과 제 2 도전형을 나타내는 반도체 영역(162) 위에 얇은 산화막이 형성되어 있었다고 하여도, 배리어막에 포함되는 티타늄이 상기 산화막을 환원하여, 제 1 도전형을 나타내는 반도체 영역(158)과 제 1 전극(172)의 콘택트, 제 2 도전형을 나타내는 반도체 영역(162)과 제 2 전극(174)의 콘택트를 양호하게 할 수 있다. 또한, 배리어막을 복수 적층하도록 사용하여도 좋다. 그 경우는, 예를 들어, 하층으로부터 티타늄, 질화티타늄, 알루미늄 실리콘, 티타늄, 질화티타늄과 같이, 5층 구조 또는 그 이상의 적층 구조로 할 수도 있다.

[0203] 또한, 도전층으로서 WF<sub>6</sub> 가스와 SiH<sub>4</sub> 가스로부터 화학 기상 성장법에 의하여 형성한 텅스텐 실리사이드를 사용하여도 좋다. 또한, WF<sub>6</sub>을 수소 환원하여 형성한 텅스텐을 도전층으로서 사용하여도 좋다.

[0204] 상술한 바와 같이, 광 투과성을 갖는 지지 기판(100) 위에 광전 변환 소자(180)가 형성된다. 본 실시형태에 나타내는 방법에 의하여 제작된 광전 변환 소자는, 막 두께가 두꺼운 단결정 반도체층을 사용할 수 있다. 따라서, 광전 변환 소자에 흐르는 전류를 증가시킬 수 있고, 광전 변환 효율이 높아지기 때문에, 소자 특성을 높일 수 있다. 이로써, 광 센서로서의 감도를 향상시킬 수 있다. 또한, 광 센서의 미세화가 가능하게 된다.

[0205] 본 실시형태는, 예를 들어, 광 센서를 갖는 화소가 매트릭스 상태로 배치된 표시 장치에 사용할 수 있다. 상기 표시 장치는, 화소에 광 센서와 표시 소자를 갖는다. 광 센서로서 광전 변환 소자(180)를 사용할 수 있다.

[0206] 본 실시형태는, 상술한 실시형태와 적절히 조합하여 사용할 수 있다.

[0207] (실시형태 6)

[0208] 본 실시형태에서는, 실시형태 1에 나타내는 SOI 기판을 사용한 반도체 장치의 예에 대해서 도 23a 내지 도 24d를 참조하여 설명한다. 본 실시형태에서 나타내는 반도체 장치에는, 막 두께가 두꺼운 단결정 반도체층을 갖는 SOI 기판이 적합하기 때문에, 실시형태 1의 방법에 의하여 제작한 SOI 기판을 사용하는 것이 바람직하다. 그러나, 실시형태 2의 방법에 의하여 제작한 SOI 기판을 사용하여도 좋다. 또한, 상술한 도면과 동일한 부분에는 동일한 부호를 붙이고, 동일한 부분의 설명은 생략한다.

[0209] <반도체 장치의 개략>

[0210] 도 23a 및 도 23b에는 반도체 장치의 구성의 일례를 도시한다. 도 23a는 단면도, 도 23b는 평면도를 도시한다. 또한, 도 23a는 도 23b의 A-B선에 있어서의 단면에 대응한다.

[0211] 지지 기판(100) 위에는, 절연층(116), 제 2 단결정 반도체층(124A)이 순차로 형성된다(도 23a 참조). 제 2 단결정 반도체층(124A)은, 제 1 도전형이 부여된 제 1 영역(200)과, 제 1 도전형과 다른 제 2 도전형이 부여된 제 2 영역(202)과, 제 1 도전형이 부여된 제 3 영역(204)과, 제 3 영역(204)에 접하는 제 4 영역(206)을 구비한다. 여기서, 제 3 영역(204)은 제 2 단결정 반도체층(124A)에 있어서 제 1 영역(200), 제 2 영역(202), 제 4 영역(206) 이외의 영역이다.

[0212] 제 1 영역(200)에는, 소스 전극(또는 드레인 전극)으로서 기능하는 제 1 전극(210)이 접하여 형성된다. 제 2 영역(202)과 중첩하는 영역에는 게이트 절연층(212)을 사이에 두고 게이트 전극으로서 기능하는 제 2 전극(214)이 형성된다. 또한, 제 4 영역(206)에는, 드레인 전극(또는 소스 전극)으로서 기능하는 제 3 전극(216)이 접

하여 형성된다(도 23a 참조).

[0213] 또한, 평면적으로 보면, 소스 전극(또는 드레인 전극)으로서 기능하는 제 1 전극(210)의 주위에는 게이트 전극으로서 기능하는 제 2 전극(214)이 배치되고, 그 주위에는 드레인 전극(또는 소스 전극)으로서 기능하는 제 3 전극(216)이 배치된다(도 23b 참조). 도 23a 및 도 23b에서는, 제 1 전극(210)을 중앙에 배치하고, 그 주위에 제 2 전극(214) 및 제 3 전극(216)을 배치하는 구성으로 하지만, 반도체 장치의 레이아웃은 이것에 한정되지 않는다.

[0214] 제 1 영역(200)은, 제 1 도전형이 부여된 영역이다. 제 1 도전형은 n형이라도 좋고, p형이라도 좋다. 평면적으로 보면, 제 1 영역(200)은, 소스 전극(또는 드레인 전극)으로서 기능하는 제 1 전극(210)과 중첩하도록 형성된다(도 23b 참조). 또한, 그 주연부(周緣部)가, 게이트 전극으로서 기능하는 제 2 전극(214)과 중첩하는 구성이라도 좋다. 깊이 방향에 대해서는, 제 1 영역(200)은, 도전성이 높은 영역까지 도달하지 않는 구성으로 하는 것이 필요하다(도 23a 참조).

[0215] 제 2 영역(202)은, 제 1 영역(200)의 외측에 형성되고, 제 1 도전형과 다른 제 2 도전형이 부여된 영역이다. 즉, 제 1 도전형이 n형인 경우에는, 제 2 도전형은 p형이고, 제 1 도전형이 p형인 경우에는, 제 2 도전형은 n형이다.

[0216] 평면적으로 보면, 제 2 영역(202)은, 제 1 영역(200)의 외주(外周)를 덮도록 형성된다. 또한, 제 2 영역(202)은, 게이트 전극으로서 기능하는 제 2 전극(214)과 중첩하도록 형성된다(도 23b 참조).

[0217] 깊이 방향에 대해서는, 제 2 영역(202)은, 제 1 영역(200)보다 깊은 영역까지 도달한다(도 23a 참조). 이로써, 게이트 전극으로서 기능하는 제 2 전극(214)에 온이 되는 전압을 인가하지 않는 상태에서는, 소스 전극(또는 드레인 전극)으로서 기능하는 제 1 전극(210)과 드레인 전극(또는 소스 전극)으로서 기능하는 제 3 전극(216)과의 절연이 확보된다.

[0218] 제 3 영역(204)은, 제 1 도전형이 부여된 영역이다. 상기 영역은, 제 2 단결정 반도체층(124A)의 대략 전체 영역에 형성된다. 제 3 영역은, 전류의 경로로서의 역할을 갖는다. 또한, 제 1 영역(200)과 제 3 영역(204)은, 제 2 영역(202)에 의하여 간격이 두어진다.

[0219] 제 4 영역(206)은, 제 1 도전형이 부여된 영역이다. 또한, 제 4 영역(206)과 제 3 전극(216)의 오직 접속을 실현시키기 위해서, 제 4 영역(206)에는 제 3 영역(204)과 비교하여 고농도의 불순물 원소가 첨가되는 것이 바람직하지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 제 3 영역(204)과 제 4 영역(206)에 차이가 없어도 문제가 없다.

[0220] 평면적으로 보면, 제 4 영역(206)은, 드레인 전극(또는 소스 전극)으로서 기능하는 제 3 전극(216)과 중첩하도록 형성된다(도 23b 참조).

[0221] 게이트 절연층(212)은, 제 2 단결정 반도체층(124A)의 열 산화, 또는 절연 재료를 퇴적시키는 방법에 의하여 형성된다. 퇴적법에 있어서는, 산화실리콘, 산화질화실리콘 등을 열 CVD법이나, 플라즈마 CVD법에 의하여 형성하는 방법을 적용할 수 있다.

[0222] 제 1 전극(210)은 제 1 영역(200)에 접촉하도록 형성된다. 또한, 제 3 전극(216)은 제 4 영역(206)에 접촉하도록 형성된다. 제 1 도전형이 n형인 경우, 보통 동작시에는 소스 전극으로서 기능하는 제 1 전극(210)이 부(負)로 바이어스되고, 드레인 전극으로서 기능하는 제 3 전극(216)이 정(正)으로 바이어스된다.

[0223] 게이트 전극으로서 기능하는 제 2 전극(214)은, 게이트 절연층(212) 위에 형성됨으로써, 제 1 영역 내지 제 4 영역과 절연된다. 제 2 전극(214)의 상부는, 바람직하게는 절연층으로 덮인다. 절연층에 의하여 제 1 전극(210)이나 제 3 전극(216)과 확실하게 절연할 수 있다.

[0224] <반도체 장치의 동작>

[0225] 제 1 영역(200)을 n형, 제 2 영역(202)을 p형, 제 3 영역(204) 및 제 4 영역(206)을 n형으로 하면, 소스 전극으로서 기능하는 제 1 전극(210)과, 드레인 전극으로서 기능하는 제 3 전극(216) 사이에는 npn접합이 개재하기 때문에, 게이트 전극으로서 기능하는 제 2 전극(214)에 바이어스를 인가하지 않는 경우에는 극히 적은 전류가 흐른다.

[0226] 제 2 전극(214)에 정 바이어스를 인가하면, 제 2 전극(214)과 중첩하는 제 2 영역(202)의 게이트 절연층(212)과의 계면 부근에 부의 전하(전자)가 유기(誘起)되어 채널이 되고, 제 1 전극(210)과 제 3 전극(216) 사이에 전류

가 흐른다.

[0227] <변형 예>

도 23a 및 도 23b에 도시하는 반도체 장치는, 구성을 적게 변형함으로써 상기와 다른 동작을 행할 수 있다. 예를 들어, 제 4 영역(206)을 제 2 영역과 같은 도전형으로 할 수 있다. 이 경우, 제 1 영역(200)과 접하는 제 1 전극(210)이 에미터 전극이라고 불리고, 제 4 영역(206)과 접하는 제 3 전극(216)이 컬렉터 전극이라고 불린다.

[0229] 상기 구성에 있어서도, 게이트 전극으로서 기능하는 제 2 전극(214)에 정의 바이어스를 인가하면, 제 2 영역(202)에 채널이 형성되어 도통한다. 여기서, 제 4 영역(206)이 p형이 된다.

[0230] 상기 반도체 장치는, 입력 측에 절연 게이트형 전계 효과 트랜지스터의 구성을 갖고, 출력 측에 바이폴라 트랜지스터의 구성을 구비한 것이다. 이로써, 상기 반도체 장치는, 게이트 전극으로서 기능하는 제 2 전극(214)과, 에미터 전극으로서 기능하는 제 1 전극(210)의 사이의 전압으로 구동되고, 또한 제 2 전극(214)으로의 입력 신호에 따라, 온 또는 오프의 동작을 행할 수 있다. 상기 구성에 의하여 스위칭 동작이 고속화되고, 온 저항이 낮기 때문에 자기 발열이 억제되고, 대전력을 제어하는 것이 쉽게 된다.

[0231] <제작 공정>

[0232] 도 23a 및 도 23b에 도시한 반도체 장치의 제작 공정에 대해서 도 24a 내지 도 24d를 사용하여 설명한다.

[0233] 우선, 상술한 실시형태 1에 나타낸 방법에 따라, SOI 기판(500)을 얻는다(도 24a 참조). 상기 SOI 기판(500)은, 지지 기판(100) 위에 절연층(116), 제 2 단결정 반도체층(124A)이 순차로 형성된 구조를 갖는다. 또한, 제 2 단결정 반도체층(124A)에는 제 1 도전형을 부여하는 불순물 원소가 첨가된다.

[0234] 제 2 단결정 반도체층(124A)에 첨가할 수 있는 불순물 원소에는, n형의 도전성을 부여하는 인(P)이나 비소(As), p형의 도전성을 부여하는 봉소(B)나 알루미늄(Al) 등이 있지만, 여기서는, 인(P)을 첨가하여 n형의 도전성을 부여하는 경우에 대해서 설명한다. 즉, 여기서는 제 1 도전형은 n형이다.

[0235] 다음에, 제 2 단결정 반도체층(124A)에 p형을 부여하는 불순물 원소(예를 들어, 봉소)와 n형을 부여하는 불순물 원소(예를 들어, 인)를 선택적으로 첨가하여 제 1 도전형이 부여된 제 1 영역(200), 제 1 도전형과 다른 제 2 도전형이 부여된 제 2 영역(202), 제 1 도전형이 부여된 제 4 영역(206)을 형성한다(도 24b 참조). 이로써, 제 2 단결정 반도체층(124A)의 제 1 영역(200), 제 2 영역(202), 제 4 영역(206) 이외의 영역이 제 3 영역(204)이 된다. 여기서, 제 2 영역(202)의 일부는 이후의 채널 형성 영역으로서 기능하고, 제 1 영역(200)은 이후의 소스 영역(또는 드레인 영역)으로서 기능하고, 제 4 영역(206)은 이후의 드레인 영역(또는 소스 영역)으로서 기능한다. 또한, 제 1 영역(200)의 불순물 농도는, 제 3 영역의 불순물 농도보다 높은 것이 바람직하다.

[0236] 제 1 영역(200), 제 2 영역(202), 제 3 영역(204), 제 4 영역(206)을 형성한 후에는, 제 1 영역(200)과 접하도록 제 1 전극(210)을 형성하고, 제 4 영역(206)과 접하도록 제 3 전극(216)을 각각 선택적으로 형성한다(도 24c 참조). 여기서, 제 1 전극(210)은 소스 전극(또는 드레인 전극)으로서 기능하고, 제 3 전극(216)은 드레인 전극(또는 소스 전극)으로서 기능한다.

[0237] 제 1 전극(210) 및 제 3 전극(216)에는, 내열성이 높은 재료를 사용하는 것이 바람직하다. 예를 들어, 티타늄, 몰리브덴, 텅스텐, 탄탈, 크롬, 니켈 등을 사용할 수 있다. 또한, 알루미늄, 구리 등의 저저항 재료를 사용하여도 좋다. 또한, 도전형을 부여하는 불순물 원소가 첨가된 반도체 재료(예를 들어, 폴리실리콘)를 사용하여도 좋다.

[0238] 그 후, 제 2 단결정 반도체층(124A), 제 1 전극(210), 및 제 3 전극(216)을 덮도록 게이트 절연층(212)을 형성하고, 게이트 절연층(212) 위에 게이트 전극으로서 기능하는 제 2 전극(214)을 선택적으로 형성한다(도 24d 참조). 여기서, 제 2 전극(214)은, 그 일부가 제 1 영역(200)과 중첩하도록 형성하는 것이 바람직하다. 이로써, 전계의 집중이 완화되기 때문에, 내압을 더 한층 향상시킬 수 있다. 또한, 그 후에 제 2 전극(214)을 덮도록 절연층을 형성하여도 좋다.

[0239] 게이트 절연층(212)은, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 산화탄탈 등의 재료를 사용하여 형성할 수 있다. 제작 방법으로서는, 열 산화법(열 질화법), 플라즈마 CVD법, 스퍼터링법, 고밀도 플라즈마 처리에 의한 산화 또는 질화에 의한 방법 등이 있다.

[0240] 제 2 전극(214)은 제 1 전극(210)이나 제 3 전극(216)과 마찬가지로 형성할 수 있다.

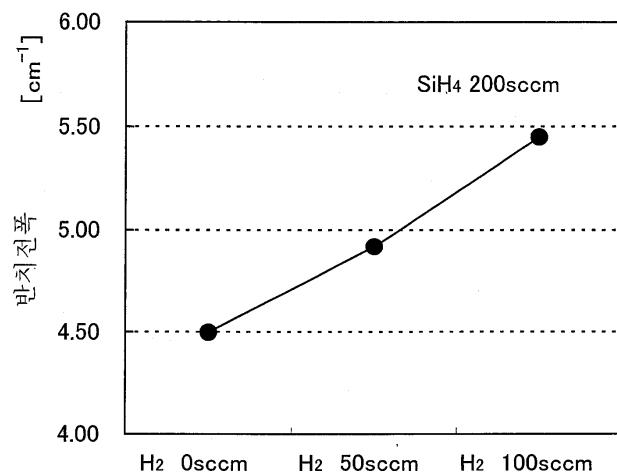
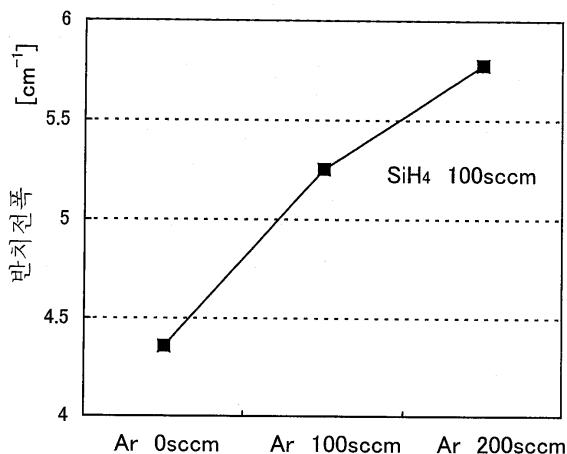
- [0241] 상술한 공정에 의하여, 소위 파워 MOSFET라고 불리는 반도체 장치를 제작할 수 있다. 본 실시형태에서 나타낸 바와 같이, 파워 MOSFET에 막 두께가 두꺼운 단결정 반도체층을 사용함으로써, 반도체 소자의 내압 향상, 전력 손실의 저감 등이 실현된다. 또한, 상술한 실시형태에서 설명한 바와 같이, 저비용으로, 및 간편하게 막 두께가 두껍고, 결정성이 양호한 단결정 반도체층을 포함하는 SOI 기판을 제공할 수 있기 때문에, 반도체 소자 및 반도체 장치의 제조 비용을 억제할 수 있다.
- [0242] 본 실시형태는, 상술한 실시형태와 적절히 조합하여 사용할 수 있다.
- [0243] (실시예 1)
- [0244] 본 실시예에서는, 본 실시형태 1 또는 실시형태 2에서 설명한 희 가스를 사용한 플라즈마 처리에 대해서 설명한다.
- [0245] 우선, 상기 실시형태 1에 있어서 설명한 방법을 사용하여 유리 기판 위에 단결정 실리콘층을 형성한다. 본 실시예에서는, 두께가 0.7mm의 유리 기판 위에 두께 100nm의 산화실리콘층과, 두께 100nm의 단결정 실리콘층으로 이루어지는 적층 구조를 형성하였다. 그 후, 상기 단결정 실리콘층 위에 비정질 실리콘층을 100nm 형성하였다.
- [0246] 비정질 실리콘층의 제작 조건은 이하와 같다.
- [0247] · 성막법: 플라즈마 CVD
  - [0248] · 원료 가스: 실란 100sccm
  - [0249] · 전력(주파수): 50W(27MHz)
  - [0250] · 압력: 35Pa
  - [0251] · 전극 간격: 25mm
  - [0252] · 성막 온도: 200°C
  - [0253] · 막 두께: 100nm
- [0254] 다음에, 플라즈마 처리의 조건은 이하와 같다. 희 가스로서 아르곤을 사용한다.
- [0255] · 압력: 0.5Pa
  - [0256] · 원료 가스: 아르곤 300sccm
  - [0257] · 전력: 350W
  - [0258] · 시간: 60초
- [0259] 비정질 실리콘층 형성 전에 아르곤 플라즈마에 의한 평탄화를 행한 경우(비교예 2)와, 비정질 실리콘층 형성 후에 아르곤 플라즈마에 의한 평탄화를 행한 경우(샘플 B)의 평균면 거칠기(Ra)를 비교한다. 다만, 평균면 거칠기는, 평탄화한 후, 비정질 실리콘층을 열 처리하여 고상 에피택시얼 성장시킨 후의 평균면 거칠기를 나타낸다. 또한, 비정질 실리콘층 형성 후에 아르곤 플라즈마 처리를 행한 경우의 비정질 실리콘층의 막 감소는 27nm 정도이다.
- [0260] [표 1]

	평균면 거칠기 Ra[nm]			
	측정점 1	측정점 2	측정점 3	평균
샘플 B	6.18	5.94	5.98	6.04
비교예 2	14.19	14.60	14.92	14.57

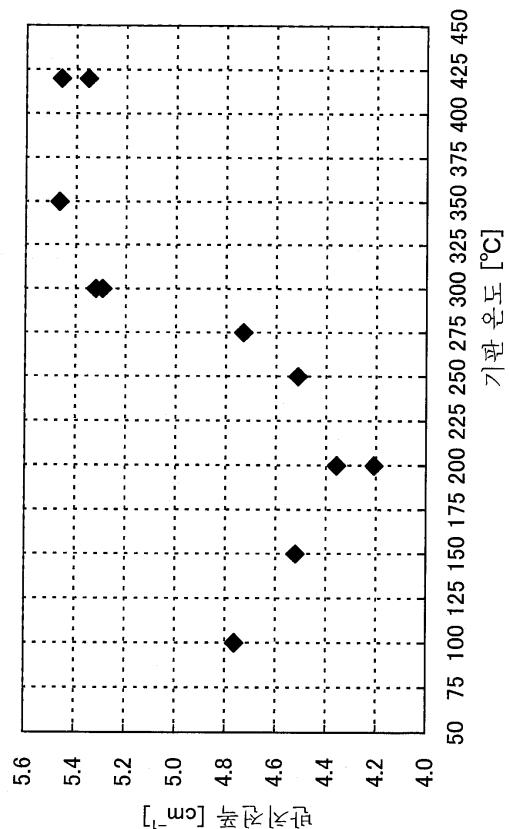
- [0261]
- [0262] 표 1을 보면, 비정질 실리콘층 형성 후에 아르곤 플라즈마 처리를 행한 샘플 B는, 성막을 행하기 전에 아르곤 플라즈마 처리를 행한 비교예 2에 대해서 평균면 거칠기가 작은 것을 알 수 있다. 또한, 비교예 2는, 에피택시얼 성장의 종이 되는 단결정 반도체층의 결정 상태가 플라즈마 대미지에 의하여 나쁘게 되고, 그 후의 고상 에피택시얼 성장이 양호하게 진행되지 않았다.

## 부호의 설명

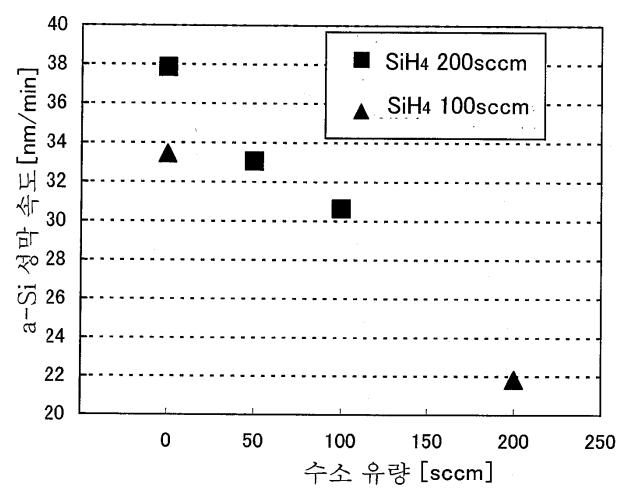
- [0263] 100: 지지 기판  
 120: 단결정 반도체층  
 122A: 제 1 비정질 반도체층  
 124A: 제 2 단결정 반도체층  
 116: 절연층  
 120A: 제 4 단결정 반도체층  
 123: 제 3 단결정 반도체층

**도면****도면1****도면2**

도면3

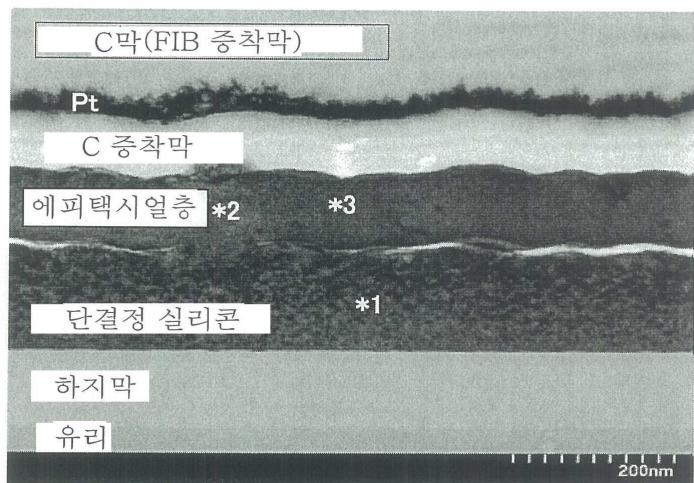


도면4



## 도면5

a



b



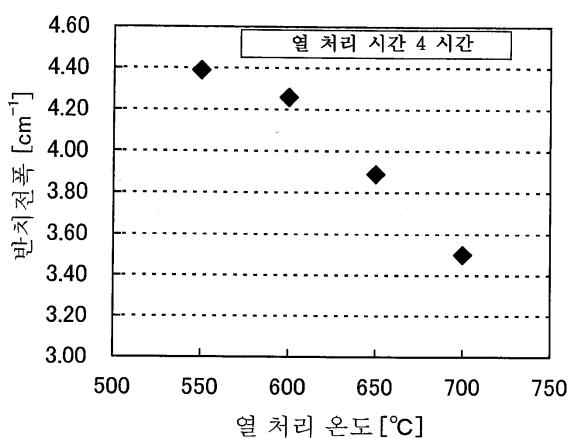
c



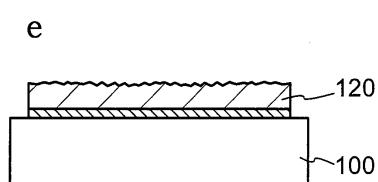
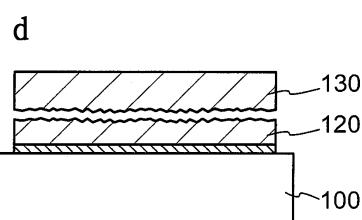
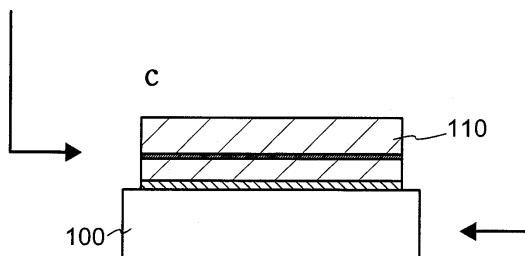
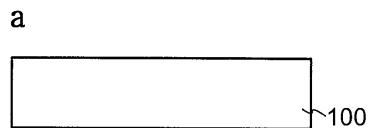
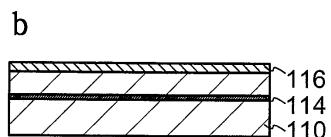
d



## 도면6

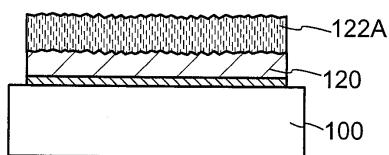


도면7

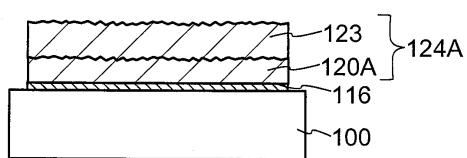


도면8

a



b

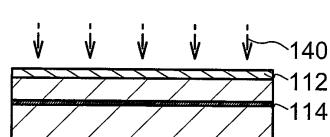


도면9

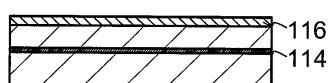
a



b

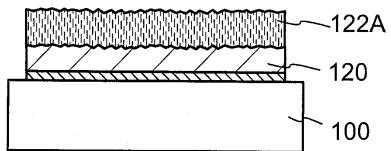


c

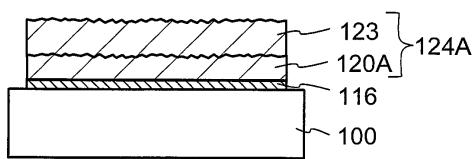


도면10

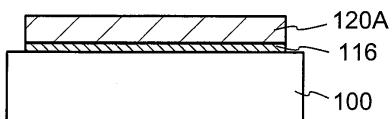
a



b

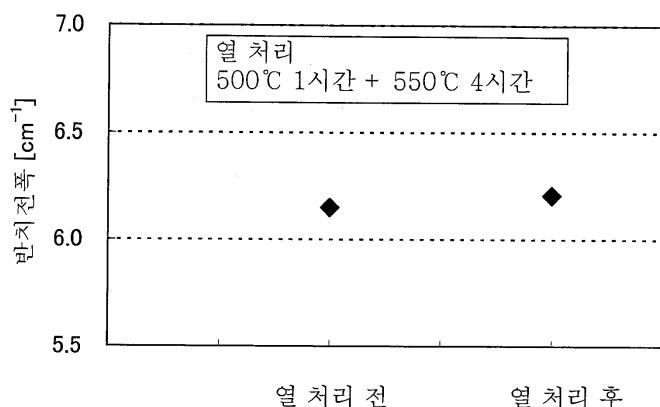


c

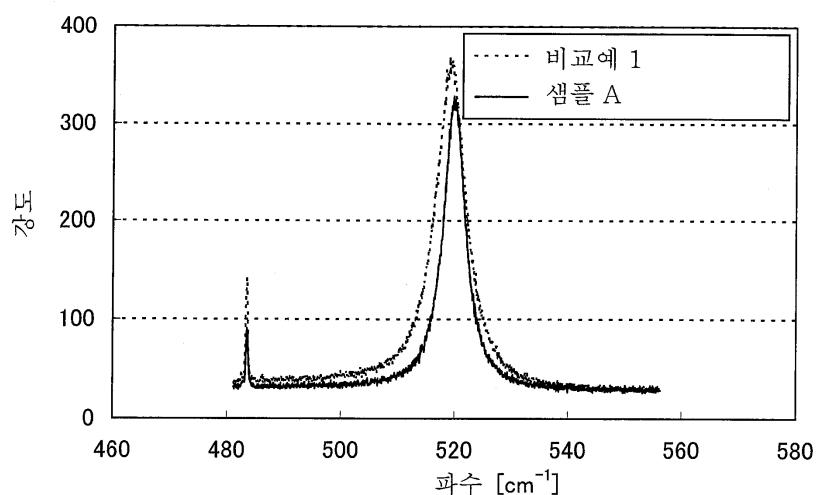


## 도면11

a



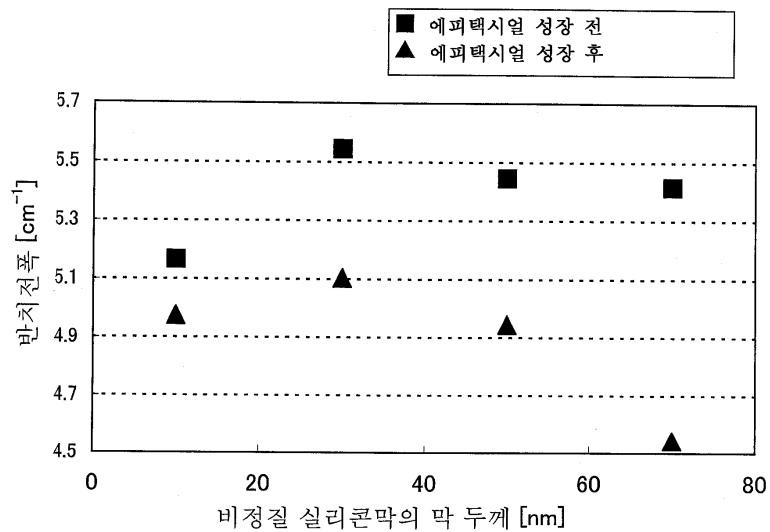
b



c

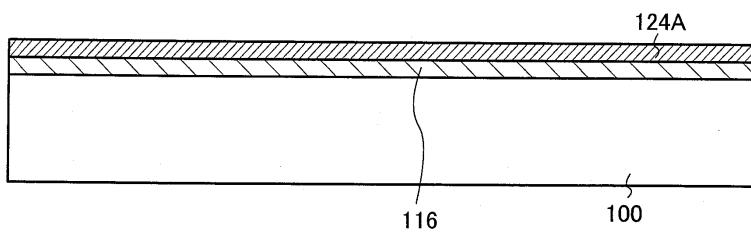
	반치전폭 [ $\text{cm}^{-1}$ ]
비교예 1	6.21
샘플 A	4.51

## 도면12

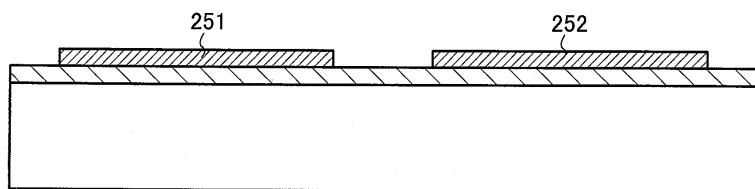


도면13

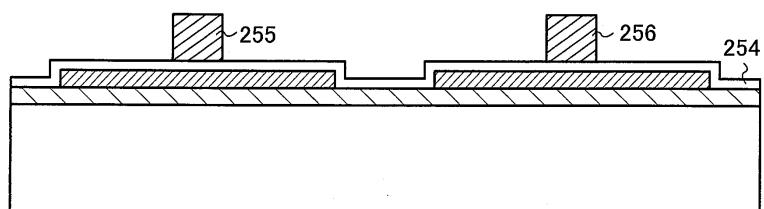
a



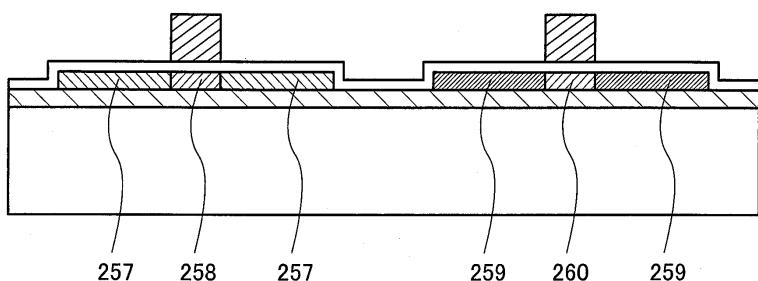
b



c

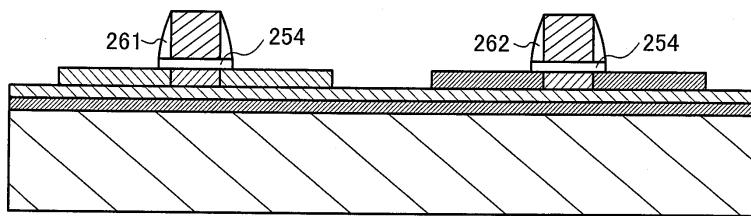


d

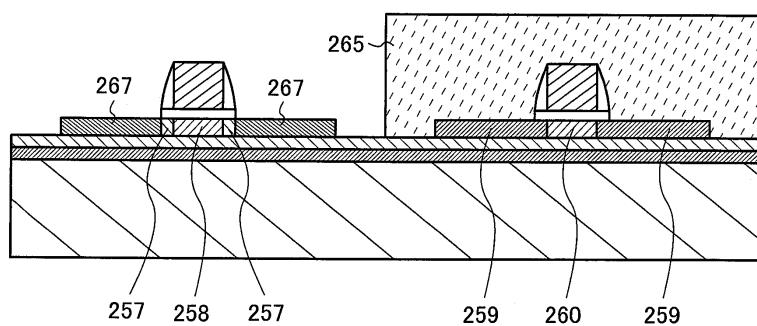


## 도면14

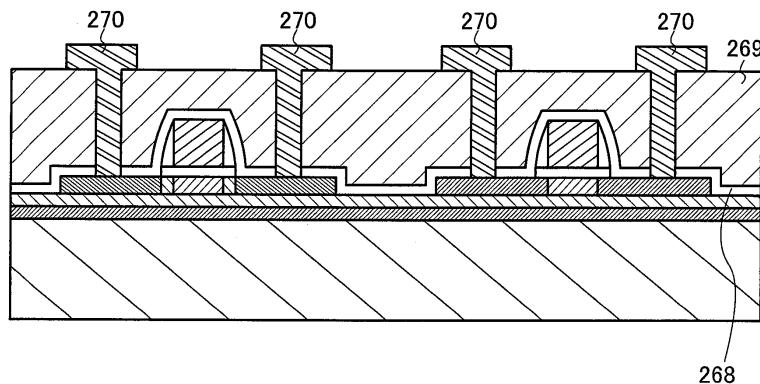
a



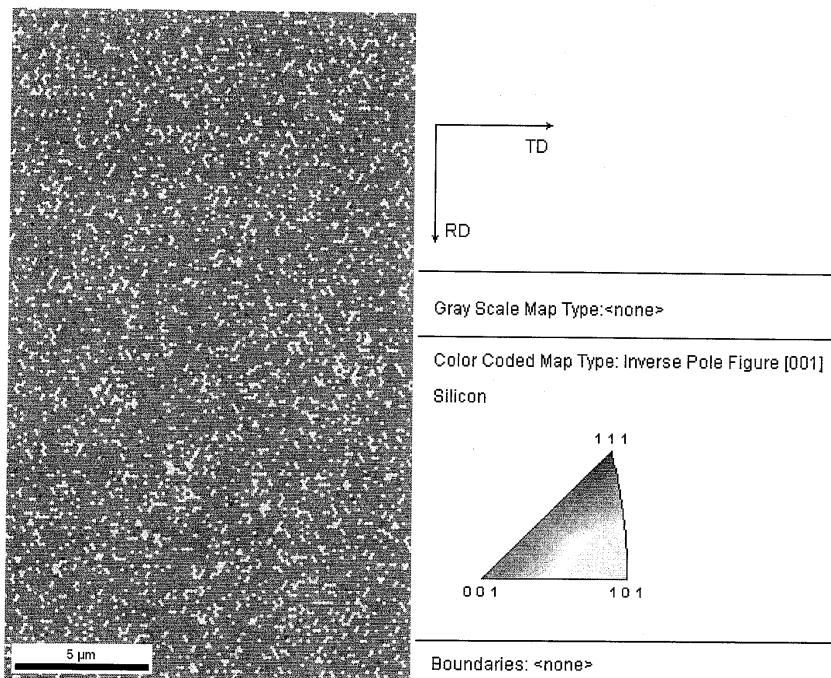
b



c

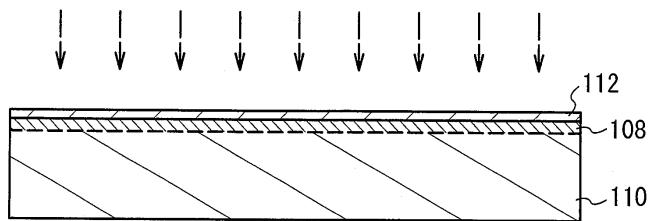


도면15

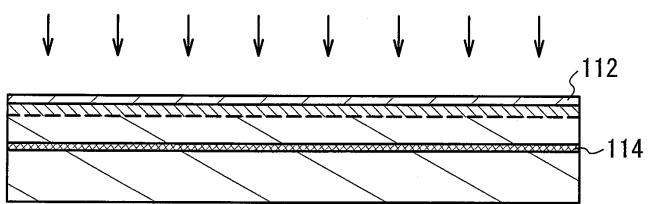


## 도면16

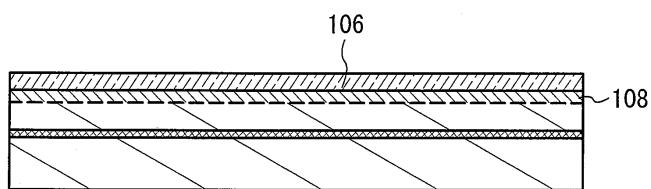
a



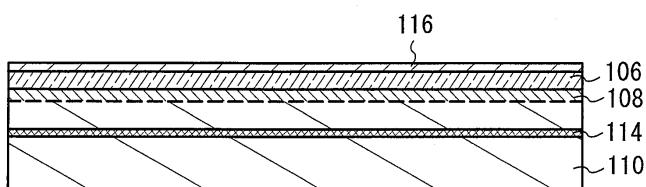
b



c

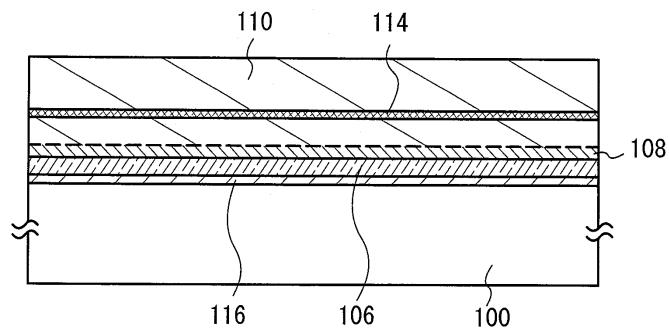


d

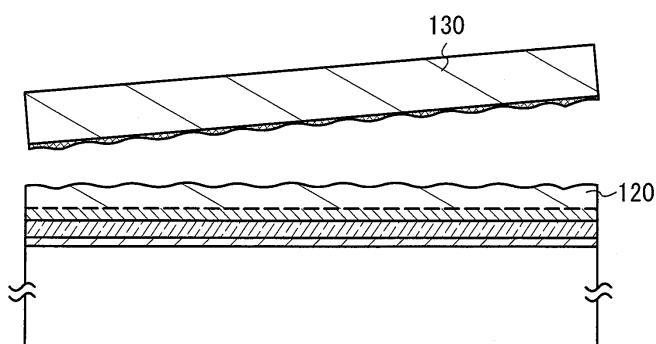


도면17

a

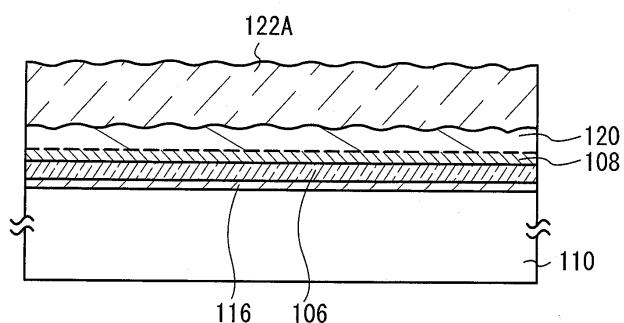


b

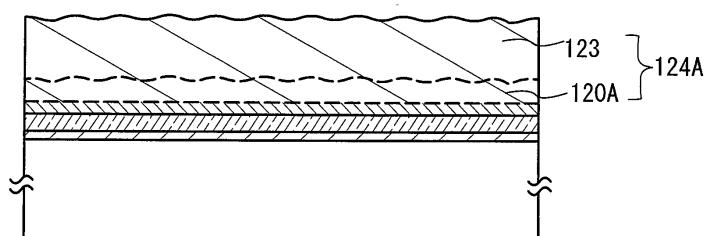


## 도면18

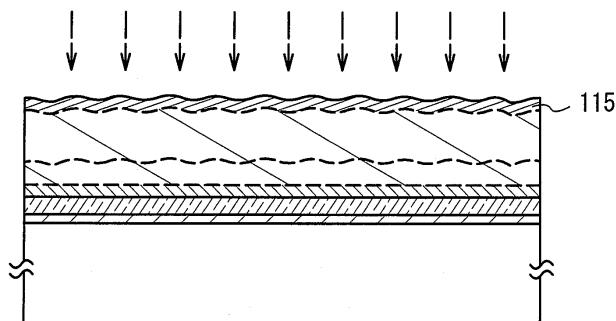
a



b

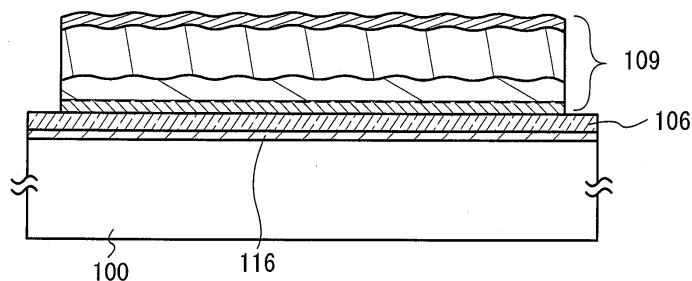


c

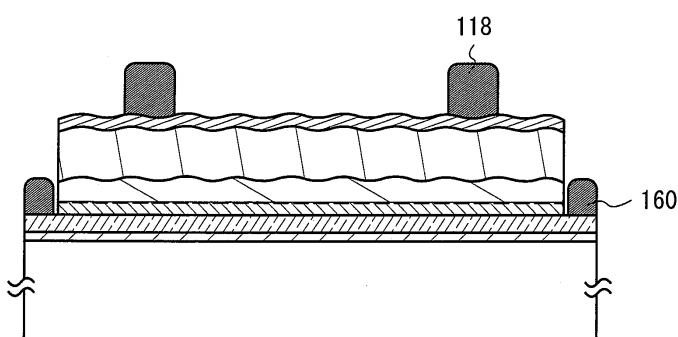


도면19

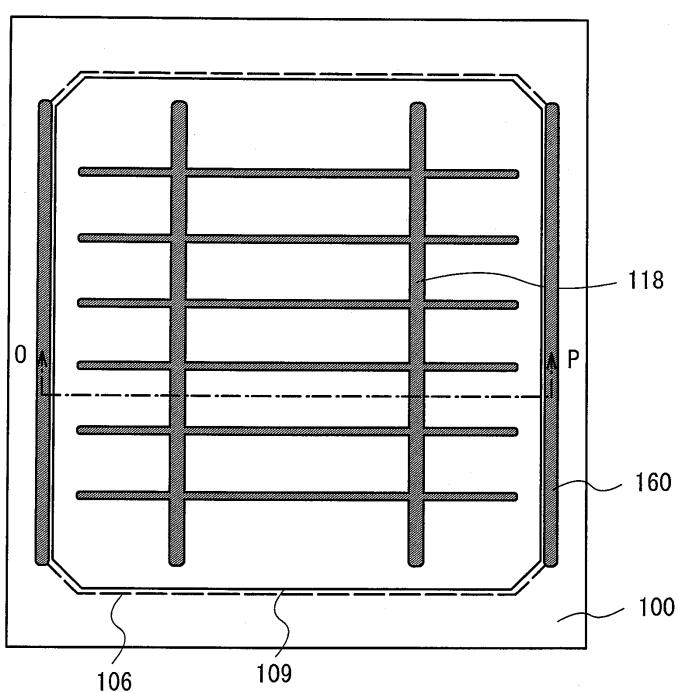
a



b

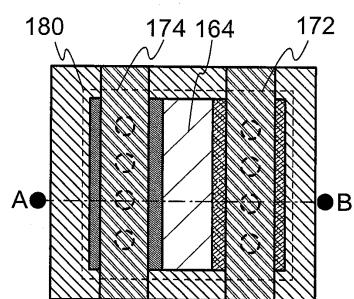


도면20

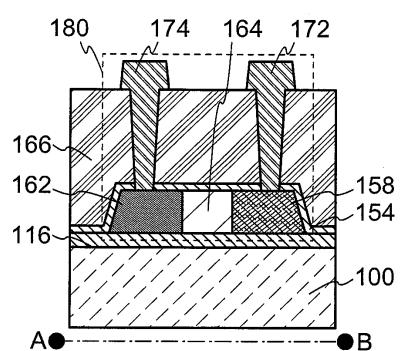


도면21

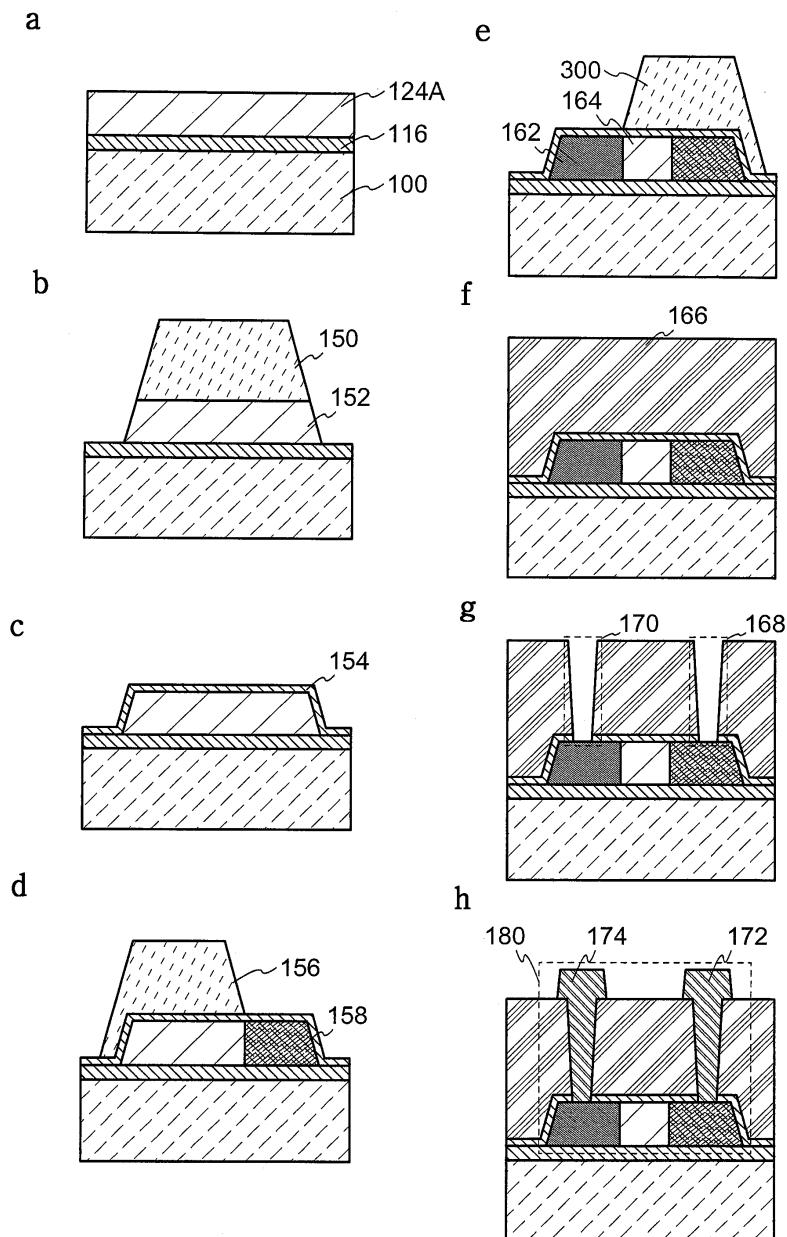
a



b

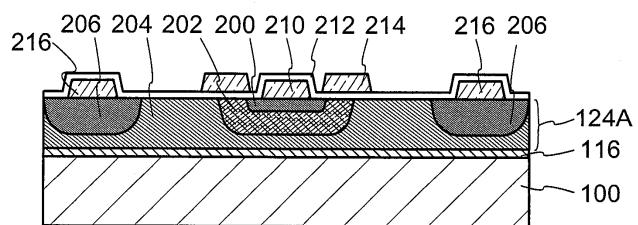


## 도면22



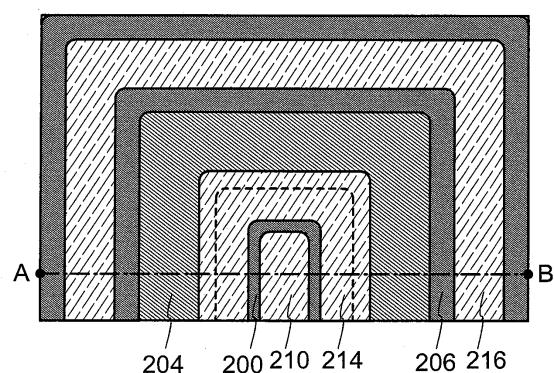
도면23

a



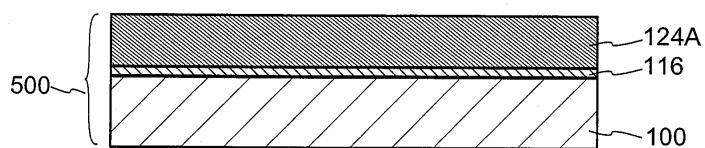
A ————— B

b

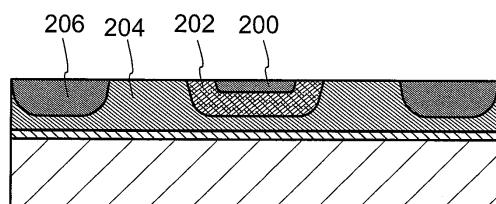


## 도면24

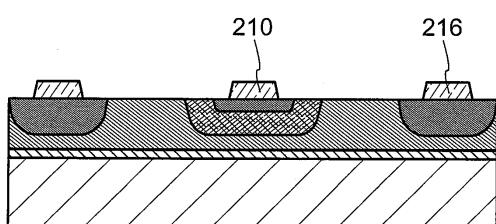
a



b



c



d

