



(12) 发明专利

(10) 授权公告号 CN 108962993 B

(45) 授权公告日 2021.09.24

(21) 申请号 201710790536.1

(51) Int.CI.

(22) 申请日 2017.09.05

H01L 29/78 (2006.01)

(65) 同一申请的已公布的文献号

H01L 29/06 (2006.01)

申请公布号 CN 108962993 A

H01L 21/336 (2006.01)

(43) 申请公布日 2018.12.07

(56) 对比文件

(30) 优先权数据

US 2004/0012038 A1, 2004.01.22

2017-102560 2017.05.24 JP

US 2004/0012038 A1, 2004.01.22

(73) 专利权人 株式会社东芝

US 6521954 B1, 2003.02.18

地址 日本东京都

CN 104134686 A, 2014.11.05

(72) 发明人 藤农佑树 横山升 奥村秀树

JP 特开2000-196074 A, 2000.07.14

(74) 专利代理机构 永新专利商标代理有限公司

审查员 卢振宇

72002

代理人 夏斌

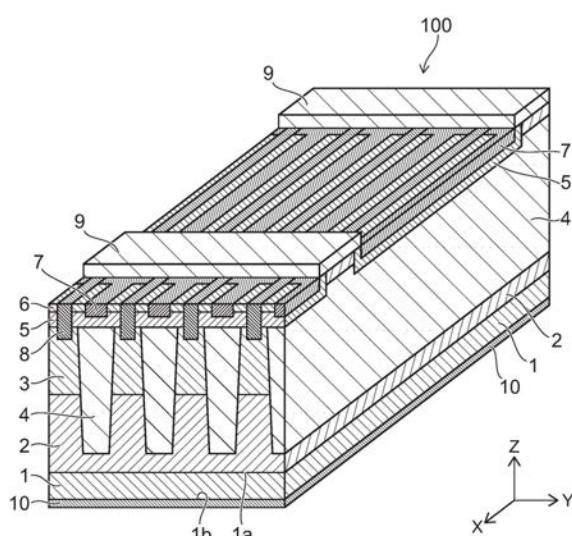
权利要求书2页 说明书8页 附图12页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明提供半导体装置及其制造方法。实施方式所涉及的半导体装置的制造方法具备：在半导体基板上形成第1导电型的半导体层的工序；在上述半导体基板以及上述半导体层上形成沟槽的工序；在上述沟槽的内壁面上以及底面上形成第2导电型的半导体膜的工序；在上述半导体膜的侧面上以及底面上形成含有硅氧化物的第1绝缘膜的工序；在上述第1绝缘膜的侧面上以及底面上形成含有硅氮化物的第2绝缘膜的工序；以及在上述第2绝缘膜的侧面上以及底面上形成含有硅氧化物的第3绝缘膜的工序。



1. 一种半导体装置的制造方法,具备:  
在半导体基板上形成第1导电型的半导体层的工序;  
在上述半导体基板以及上述半导体层上形成沟槽的工序;  
在上述沟槽的内壁面上以及底面上形成第2导电型的半导体膜的工序;  
在上述半导体膜的侧面上以及底面上形成含有硅氧化物的第1绝缘膜的工序;  
在上述第1绝缘膜的侧面上以及底面上形成含有硅氮化物的第2绝缘膜的工序;以及  
在上述第2绝缘膜的侧面上以及底面上形成含有硅氧化物的第3绝缘膜的工序,  
上述第1绝缘膜与上述第3绝缘膜的厚度的合计为上述第2绝缘膜的厚度的0.5倍以上、4倍以下。
2. 如权利要求1所述的半导体装置的制造方法,其中,  
形成上述第3绝缘膜的工序包括对上述第2绝缘膜实施氧化处理的工序。
3. 如权利要求1所述的半导体装置的制造方法,其中,  
形成上述第1绝缘膜的工序包括对上述半导体膜实施氧化处理的工序。
4. 如权利要求1所述的半导体装置的制造方法,其中,  
还具备在上述沟槽的上部且在上述第3绝缘膜的侧面的一部分上形成覆盖膜的工序。
5. 一种半导体装置,具备:  
第1导电型的第1半导体区域,沿着第1方向延伸;  
第2导电型的第2半导体区域,沿着上述第1方向延伸,在与上述第1方向交叉的第2方向上相对于上述第1半导体区域配置,包围空隙;以及  
绝缘部,设置在上述空隙与上述第2半导体区域之间,具有含有硅氧化物的第1绝缘膜、含有硅氮化物的第2绝缘膜以及含有硅氧化物的第3绝缘膜,  
上述第1绝缘膜与上述第3绝缘膜的厚度的合计为上述第2绝缘膜的厚度的0.5倍以上、4倍以下。
6. 如权利要求5所述的半导体装置,其中,  
上述第1绝缘膜、上述第2绝缘膜以及上述第3绝缘膜依次位于从上述第2半导体区域朝向上述空隙的位置。
7. 如权利要求5所述的半导体装置,其中,  
上述第1绝缘膜位于上述第2半导体区域的侧面上以及底面上,  
上述第2绝缘膜位于上述第1绝缘膜的侧面上以及底面上,  
上述第3绝缘膜位于上述第2绝缘膜的侧面上以及底面上。
8. 如权利要求5所述的半导体装置,还具备:  
第2导电型的第3半导体区域,设置在上述第1半导体区域以及上述第2半导体区域上;  
以及  
覆盖膜,设置在上述空隙上,上述绝缘部位于上述覆盖膜与上述第3半导体区域之间。
9. 如权利要求5所述的半导体装置,其中,  
上述半导体装置还具备设置在上述第1半导体区域以及上述第2半导体区域上的第2导电型的多个第3半导体区域,  
在从上述第1方向观察时,上述多个第3半导体区域呈岛状配置。
10. 如权利要求5所述的半导体装置,其中,

上述第1半导体区域具有第1区域以及第2区域,该第2区域设置在上述第1区域上且比上述第1区域的杂质浓度高。

11. 如权利要求5所述的半导体装置,其中,

上述半导体装置还具备第1导电型的第4半导体区域,上述第1半导体区域位于该第4半导体区域的上表面,

上述第1方向是从上述第4半导体区域朝向上述第1半导体区域的方向。

12. 一种半导体装置,具备:

第1导电型的第1半导体区域,沿着第1方向延伸;

第2导电型的第2半导体区域,沿着上述第1方向延伸,在与上述第1方向交叉的第2方向上隔着空隙相对于上述第1半导体区域配置;以及

绝缘部,以与上述第1半导体区域以及上述第2半导体区域分别接触的方式,设置在上述空隙与上述第1半导体区域以及上述第2半导体区域之间,具有含有硅氧化物的第1绝缘膜、含有硅氮化物的第2绝缘膜以及含有硅氧化物的第3绝缘膜。

13. 如权利要求12所述的半导体装置,其中,

上述第1绝缘膜、上述第2绝缘膜以及上述第3绝缘膜依次位于从上述第1半导体区域朝向上述空隙、以及从上述第2半导体区域朝向上述空隙的位置。

14. 如权利要求12所述的半导体装置,其中,

上述第1绝缘膜位于上述第1半导体区域的侧面上以及上述第2半导体区域的侧面上,

上述第2绝缘膜位于上述第1绝缘膜的侧面上,

上述第3绝缘膜位于上述第2绝缘膜的侧面上。

15. 如权利要求12所述的半导体装置,还具备:

第2导电型的第3半导体区域,设置在上述第1半导体区域以及上述第2半导体区域上;以及

覆盖膜,设置在上述空隙上,上述绝缘部位于上述覆盖膜与上述第3半导体区域之间。

16. 如权利要求12所述的半导体装置,其中,

上述第1绝缘膜与上述第3绝缘膜的厚度的合计为上述第2绝缘膜的厚度的0.5倍以上、4倍以下。

17. 如权利要求12所述的半导体装置,其中,

上述半导体装置还具备第1导电型的第4半导体区域,上述第1半导体区域以及上述第2半导体区域位于该第4半导体区域的上表面上,

上述绝缘部位于上述第4半导体区域的侧面上以及底面上。

18. 如权利要求17所述的半导体装置,其中,

上述半导体装置还具备第1导电型的第5半导体区域,上述第4半导体区域位于该第5半导体区域的上表面上,

上述第1方向是从上述第5半导体区域朝向上述第4半导体区域的方向。

## 半导体装置及其制造方法

[0001] 本申请享受以日本专利申请2017-102560(申请日:2017年5月24日)作为基础申请的优先权。本申请通过参照该基础申请而包含该基础申请的全部内容。

### 技术领域

[0002] 实施方式总体上涉及半导体装置及其制造方法。

### 背景技术

[0003] 作为用于电力控制等用途的半导体装置,具有MOSFET(Metal Oxide Semiconductor Field Effect Transistor)。在这种MOSFET中,有的具有n型半导体区域与p型半导体区域隔着沟槽交替地设置的超结构造。在具有这种构造的MOSFET中,随着单元的间距的细微化而形成高纵横比的沟槽,在保护各半导体区域的同时提高沟槽的填埋性成为课题。

### 发明内容

[0004] 实施方式提供提高了可靠性的半导体装置及其制造方法。

[0005] 实施方式所涉及的半导体装置的制造方法具备:在半导体基板上形成第1导电型的半导体层的工序;在上述半导体基板以及上述半导体层上形成沟槽的工序;在上述沟槽的内壁面上以及底面上形成第2导电型的半导体膜的工序;在上述半导体膜的侧面上以及底面上形成含有硅氧化物的第1绝缘膜的工序;在上述第1绝缘膜的侧面上以及底面上形成含有硅氮化物的第2绝缘膜的工序;以及在上述第2绝缘膜的侧面上以及底面上形成含有硅氧化物的第3绝缘膜的工序。

### 附图说明

[0006] 图1是表示第1实施方式所涉及的半导体装置的立体图。

[0007] 图2是表示第1实施方式所涉及的半导体装置的截面图。

[0008] 图3中的(a)是图2的区域A的放大图,(b)是图2的区域B的放大图。

[0009] 图4是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0010] 图5是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0011] 图6是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0012] 图7是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0013] 图8是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0014] 图9是表示第1实施方式所涉及的半导体装置的制造方法的截面图。

[0015] 图10是表示第2实施方式所涉及的半导体装置的立体图。

[0016] 图11是表示第3实施方式所涉及的半导体装置的截面图。

[0017] 图12是图11的区域C的放大图。

## 具体实施方式

[0018] 以下,参照附图对本发明的各实施方式进行说明。

[0019] 另外,附图是示意性或概念性的图,各部分的厚度与宽度之间的关系、部分间的大小比例等不一定限于与实际的相同。此外,即便在表示相同部分的情况下,也有时根据附图的不同而彼此的尺寸、比例被不同地表示。

[0020] 另外,在本说明书以及各图中,对于与已说明了的附图的要素相同的要素标注相同的符号并适当省略详细说明。

[0021] 以下,在本说明书中,采用XYZ正交坐标系。将从漏极区域1朝向半导体区域2的方向设为Z方向,将相对于Z方向垂直的方向且相互正交的两个方向设为X方向以及Y方向。

[0022] 另外,对于在以下说明的各实施方式,也可以将各半导体区域的p型与n型反转而实施各实施方式。

[0023] (第1实施方式)

[0024] 图1是表示本实施方式所涉及的半导体装置的立体图。

[0025] 图2是表示本实施方式所涉及的半导体装置的截面图。

[0026] 图3中的(a)以及图3中的(b)是图2的区域A以及区域B的放大图。

[0027] 图1以及图2分别表示半导体装置100的立体图以及截面图。图2将图1的半导体装置100的一部分放大表示。另外,在图1中省略源极电极11以及柱状部60的图示。

[0028] 半导体装置100例如是MOSFET。

[0029] 如图1所示,在半导体装置100中设置有漏极区域1、第1导电型的半导体区域2、第1导电型的半导体区域3、第2导电型的半导体区域4、第2导电型的半导体区域5、第1导电型的半导体区域6、接触区域7、栅极电极8、栅极接点9以及漏极电极10。

[0030] 漏极区域1的导电型例如是n<sup>+</sup>型。

[0031] n<sup>+</sup>、n、n<sup>-</sup>以及p<sup>+</sup>、p、p<sup>-</sup>的记载表示各导电型中的有效的杂质浓度的相对高低。即,带“+”的记载表示与不带“+”以及“-”的任一个的记载相比杂质浓度相对高,带“-”的记载表示与不带“+”以及“-”的任一个的记载相比杂质浓度相对低。

[0032] 此外,所谓“有效的杂质浓度”是指有助于半导体材料的导电性的杂质浓度,在含有成为施主的杂质以及成为受主的杂质的双方的情况下,是指将其抵消量除外的浓度。另外,n型杂质例如是磷(P),p型杂质例如是硼(B)。

[0033] 半导体区域2设置在漏极区域1的上表面1a上,其导电型例如为n<sup>-</sup>型。

[0034] 半导体区域3在半导体区域2上设置有多个,其导电型例如为n型。半导体区域3例如是n柱区域。多个半导体区域3选择性地位于半导体区域2上。多个半导体区域3沿着X方向延伸,且在Y方向上相互分离地配置。

[0035] 半导体区域4在半导体区域2上设置有多个,其导电型例如为p型。半导体区域4例如为p柱区域。多个半导体区域4选择性地位于半导体区域2上。多个半导体区域4沿着X方向延伸,且以位于在Y方向上相邻的半导体区域3之间的方式在Y方向上相互分离地配置。

[0036] n型的半导体区域3与p型的半导体区域4在Y方向上交替地设置。即,本实施方式的半导体装置100为MOSFET,且具有超结构造。

[0037] 半导体区域5在半导体区域3上以及半导体区域4上设置有多个,其导电型例如为p型。半导体区域5例如为p基极区域。多个半导体区域5选择性地位于半导体区域3上。多个半

导体区域5沿着X方向延伸,且在Y方向上相互分离地配置。

[0038] 半导体区域6在半导体区域5上设置有多个,其导电型例如为n<sup>+</sup>型。半导体区域6例如为源极区域。多个半导体区域6选择性地位于半导体区域5上。多个半导体区域6沿着X方向延伸,且在Y方向上相互分离地配置。

[0039] 接触区域7在半导体区域5上设置有多个,其导电型例如为p<sup>+</sup>型。多个接触区域7选择性地位于半导体区域5上。多个接触区域7沿着X方向延伸,且以位于在Y方向上相邻的半导体区域6之间的方式在Y方向上相互分离地配置。接触区域7与后述的源极电极11连接。

[0040] 栅极电极8隔着栅极绝缘膜20(参照图2)在半导体区域3上设置有多个。多个栅极电极8选择性地位于半导体区域3上。

[0041] 多个栅极电极8沿着X方向延伸,且以位于在Y方向上相邻的半导体区域5之间的方式在Y方向上相互分离地配置。此外,多个栅极电极8以位于在Y方向上相邻的半导体区域6之间的方式在Y方向上相互分离地配置。即,接触区域7以及栅极电极8隔着半导体区域6在Y方向上交替地配置。

[0042] 栅极电极8例如含有多晶硅,该多晶硅含有n型杂质。

[0043] 栅极接点9在栅极电极8上设置有多个。多个栅极接点9沿着Y方向延伸,且在X方向上以规定的间隔配置。栅极接点9例如由金属材料形成。

[0044] 栅极电极8经由栅极接点9与外部的周边电路(未图示)电连接。经由栅极接点9对栅极电极8施加阈值以上的电压,由此MOSFET成为接通状态,在半导体区域5的表面形成通道(反转层)。

[0045] 漏极电极10设置在漏极区域1的下表面1b上。漏极电极10与漏极区域1电连接。漏极电极10例如由金属材料形成。

[0046] 如图2所示,在半导体区域6的一部分上、栅极电极8的侧面上以及底面上设置有栅极绝缘膜20。栅极绝缘膜20例如含有硅氧化物(SiO<sub>2</sub>)。

[0047] 在栅极电极8上以及栅极绝缘膜20上设置有层间绝缘膜21。例如,层间绝缘膜21具有膜21a以及膜21b的2层构造。膜21a例如含有硅氧化物。膜21b设置在膜21a上,例如含有BPSG(Boro-phospho silicate glass)。

[0048] 在半导体区域4、5内设置有绝缘部30。绝缘部30沿着X方向延伸。绝缘部30设置于在半导体区域2、3中形成的沟槽T内。绝缘部30隔着半导体区域4位于沟槽T的内表面上。

[0049] 沟槽T包括空隙部V。绝缘部30位于半导体区域4与空隙部V之间。

[0050] 在沟槽T内且在空隙部V上设置有覆盖膜35。覆盖膜35例如含有BPSG。覆盖膜35例如作为沟槽T中的盖膜起作用。绝缘部30位于覆盖膜35与半导体区域4的一部分以及半导体区域5之间。

[0051] 绝缘部30以及覆盖膜35构成在内部形成有空隙部V的柱状部60。

[0052] 另外,在图2所示的例子中,覆盖膜35设置在空隙部V上,但也可以设置在空隙部V的侧面的至少一部分上。即,覆盖膜35也可以在Y方向上位于绝缘部30与空隙部V之间。

[0053] 绝缘部30具有绝缘膜30a、绝缘膜30b以及绝缘膜30c。

[0054] 绝缘膜30a例如含有硅氧化物(SiO<sub>2</sub>)。绝缘膜30b含有具有拉伸应力的材料、例如硅氮化物(SiN)。绝缘膜30c例如含有硅氧化物(SiO<sub>2</sub>)。

[0055] 绝缘膜30a、绝缘膜30b以及绝缘膜30c的形状例如为具有底的筒状。此外,半导体

区域4的形状例如为具有底的筒状。

[0056] 如图3中的(a)所示,绝缘膜30a位于半导体区域4的侧面上。绝缘膜30b位于绝缘膜30a的侧面上。绝缘膜30c位于绝缘膜30b的侧面上。绝缘部30对覆盖膜35的侧面以及空隙部V的侧面进行覆盖,绝缘膜30c、30b、30a按照该顺序位于从这些侧面分离的方向上。

[0057] 如图3中的(b)所示,绝缘膜30a位于半导体区域4的底面上。绝缘膜30b位于绝缘膜30a的底面上。绝缘膜30c位于绝缘膜30b的底面上。绝缘部30覆盖空隙部V的底面,绝缘膜30c、30b、30a按照该顺序位于从该底面分离的方向上。

[0058] 关于绝缘部30中的膜厚,能够使绝缘膜30a大于绝缘膜30b以及绝缘膜30c,使绝缘膜30b大于绝缘膜30c。此外,也可以减薄绝缘膜30a的膜厚,通过CVD(Chemical Vapor Deposition)膜来形成绝缘膜30c。在该情况下,能够使绝缘膜30c大于绝缘膜30a以及绝缘膜30b,使绝缘膜30b大于绝缘膜30a。另外,也可以代替通过CVD膜来形成绝缘膜30c,而使用其他覆盖性良好的材料来形成。

[0059] 绝缘膜30a与绝缘膜30c的合计膜厚为绝缘膜30b的膜厚的0.5倍以上且4倍以下。如果绝缘膜30a与绝缘膜30c的合计膜厚为绝缘膜30b的膜厚的1倍以上(或者相等以上)且4倍以下,则更优选。在绝缘膜30a以及绝缘膜30c例如含有硅氧化物(SiO)、绝缘膜30b例如含有硅氮化物(SiN)的情况下,绝缘膜30a与绝缘膜30c的合计膜厚优选为绝缘膜30b的膜厚的1.8倍程度。

[0060] 所谓绝缘膜30a、30b、30c的膜厚,在绝缘膜30a、30b、30c依次位于半导体区域4的侧面上的情况(图3中的(a)的情况)下,与绝缘膜30a、30b、30c的Y方向的厚度相当,在绝缘膜30a、30b、30c依次位于半导体区域4的底面上的情况(图3中的(b)的情况)下,与绝缘膜30a、30b、30c的Z方向的厚度相当。

[0061] 绝缘膜30a例如对半导体区域3以及半导体区域4进行保护。绝缘膜30b例如使绝缘膜30a的应力(例如压缩应力)缓和。绝缘膜30c例如使覆盖膜35容易填埋在沟槽T内。

[0062] 如图2所示,在半导体区域6的一部分上、接触区域7上、层间绝缘膜21的侧面上以及上表面上设置有源极电极11。此外,源极电极11设置在绝缘部30上以及覆盖膜35上。源极电极11例如由金属材料形成。

[0063] 在源极电极11上设置有层间绝缘膜22。层间绝缘膜22例如含有硅氧化物。

[0064] 接着,对本实施方式所涉及的半导体装置的制造方法进行说明。

[0065] 图4~图9是表示半导体装置100的制造方法的截面图。

[0066] 另外,图4~图9所示的区域相当于图2所示的区域的一部分。另外,在图4~图9中,未表示比柱状部60靠上的部分以及比半导体区域2靠下的部分。

[0067] 首先,如图4所示,在第1导电型的半导体基板40上使第1导电型的半导体层41外延生长。

[0068] 接下来,在半导体层41上形成包括硅氧化膜等的掩模材料。例如,在通过CVD法在半导体层41上堆积了膜之后,通过光刻法以及RIE(Reactive Ion Etching)法形成掩模材料。

[0069] 接下来,将形成图案后的掩模材料作为掩模,在半导体基板40以及半导体层41上形成沟槽T。例如,通过RIE法形成沟槽T。之后,剥离掩模材料。另外,形成了沟槽T之后的半导体基板40相当于半导体区域2。此外,形成了沟槽T之后的半导体层41相当于半导体区域

3。

[0070] 接着,如图5所示,在沟槽T的内壁面上以及底面上通过外延生长法来形成含有p型杂质的半导体膜42。半导体膜42也形成在沟槽T之间的半导体区域3上。半导体膜42例如含有无掺杂的单晶硅。半导体膜42相当于半导体区域4。

[0071] 接下来,在沟槽T内且在半导体区域4的侧面以及底面上,例如通过热氧化来形成绝缘膜30a。绝缘膜30a也形成在沟槽T之间的半导体区域4上。例如,绝缘膜30a由硅氧化物形成。

[0072] 接着,如图6所示,在沟槽T内且在绝缘膜30a的侧面上以及底面上,例如通过LPCVD (Low Pressure Chemical Vapor Deposition) 法来形成绝缘膜30b。绝缘膜30b也形成在沟槽T之间的绝缘膜30a上。例如,绝缘膜30b由硅氮化物形成。

[0073] 接下来,在沟槽T内且在绝缘膜30b的侧面以及底面上,例如通过热氧化来形成绝缘膜30c。绝缘膜30c也形成于沟槽T之间的绝缘膜30b上。例如,绝缘膜30c由硅氧化物形成。

[0074] 接着,如图7所示,以填埋沟槽T的方式,在绝缘膜30c上例如通过CVD法来形成覆盖膜35。例如,覆盖膜35由BPSG形成。由此,在沟槽T内形成覆盖膜35位于其上方的空隙部V。接下来,对覆盖膜35实施回流以及退火处理。

[0075] 由于在绝缘膜30b的侧面上以及底面上形成有绝缘膜30c(硅氧化膜),因此在沟槽T的上部容易形成覆盖膜35。即,通过绝缘膜30c,沟槽T的深度方向(-Z方向)上的覆盖膜35的填埋性得到提高。

[0076] 接着,如图8所示,实施蚀刻处理而将覆盖膜35的一部分除去。以将位于沟槽T上以及沟槽T之间的覆盖膜35除去的方式进行蚀刻。接下来,例如通过CDE (Chemical Dry Etching) 法将位于沟槽T之间的绝缘膜30a上的绝缘膜30b、30c除去。

[0077] 接着,如图9所示,实施蚀刻处理,将位于沟槽T之间的半导体区域4上的绝缘膜30a除去。接下来,例如通过CMP (Chemical Mechanical Polishing) 法将半导体区域3的一部分以及半导体区域4的一部分除去。由此,使绝缘膜30a、30b、30c的上表面以及覆盖膜35的上表面平坦化,形成具有绝缘膜30a、绝缘膜30b以及绝缘膜30c的绝缘部30。

[0078] 之后,通过公知的制造方法来形成半导体区域5、6、接触区域7、栅极绝缘膜20以及栅极电极8。接下来,形成层间绝缘膜21、源极电极11、层间绝缘膜22、栅极接点9以及漏极电极10,由此形成半导体装置100。

[0079] 接着,对本实施方式的效果进行说明。

[0080] 在具有n型半导体区域与p型半导体区域隔着沟槽交替地设置的超结构造的MOSFET中,随着单元的间距的细微化而容易形成高纵横比的沟槽。有时在沟槽的内表面上以及上部上分别形成有p型半导体区域以及覆盖膜,在沟槽的一部分(由p型半导体区域以及覆盖膜包围的部分)形成有空隙部。

[0081] 在这样的MOSFET中,容易从p型半导体区域朝空隙部漏出电流。由于向空隙部的漏电流而MOSFET的动作有可能产生故障。此外,当在沟槽的上部上形成覆盖膜的情况下,根据覆盖膜位于侧面的膜的材料的不同,覆盖膜相对于沟槽的填埋性容易降低。

[0082] 此外,覆盖膜所含有的硼、磷等杂质有时向n型半导体区域以及p型半导体区域渗出,为了保护这些半导体区域而可以考虑在p型半导体区域的侧壁上形成较厚的膜。但是,当在p型半导体区域的侧壁上形成具有压缩应力的膜(例如硅氧化膜)时,由于具有压缩应

力的膜被形成得较厚,因此晶片的翘曲变大。晶片的较大的翘曲成为使制造工序中的加工精度降低,妨碍制造装置的稳定运行的原因。

[0083] 在本实施方式的半导体装置100中,在沟槽T内的半导体区域4上依次设置有绝缘膜30a、30b、30c。当设置这样的绝缘膜30a、30b、30c(例如ONO膜)时,能够抑制从半导体区域4朝空隙部V漏出电流。

[0084] 此外,在本实施方式中,通过绝缘膜30a保护半导体区域3以及半导体区域4不受覆盖膜35的杂质等的影响。并且,由于绝缘膜30b含有具有拉伸应力的材料(例如硅氮化物),因此通过绝缘膜30b抵消绝缘膜30a的应力而抑制晶片的翘曲。例如,当将绝缘膜30a的膜厚以及绝缘膜30b的膜厚设定为规定的比例(例如,当使绝缘膜30a与绝缘膜30c的合计膜厚成为绝缘膜30b的膜厚的1.8倍程度)时,能够进一步抑制覆盖膜35的杂质的渗出、以及晶片的翘曲。

[0085] 此外,在本实施方式中,绝缘膜30c例如含有硅氧化物,因此在绝缘膜30c的侧面上容易形成覆盖膜35。即,覆盖膜35相对于沟槽T的填埋性提高。

[0086] 根据本实施方式,能够提供提高了可靠性的半导体装置及其制造方法。

[0087] (第2实施方式)

[0088] 图10是表示本实施方式所涉及的半导体装置的立体图。

[0089] 图10是表示半导体装置200的立体图。图10所示的区域相当于图1所示的区域。另外,在图10中,省略了源极电极11以及柱状部60的图示。

[0090] 在本实施方式中,比半导体区域3以及半导体区域4靠上方的构成与第1实施方式不同。因此,省略除此以外的构成的详细说明。

[0091] 如图10所示,在半导体装置200中设置有漏极区域1、半导体区域2、半导体区域3、半导体区域4、半导体区域5、半导体区域6、接触区域7、栅极电极8、栅极接点9以及漏极电极10。

[0092] 半导体区域5在半导体区域3上以及半导体区域4上设置有多个。多个半导体区域5在X-Y平面上呈岛状配置。

[0093] 半导体区域6在半导体区域5上设置有多个。多个半导体区域6在X-Y平面上呈岛状配置。

[0094] 接触区域7在半导体区域5上设置有多个。多个接触区域7在X-Y平面上呈岛状配置。此外,多个接触区域7以位于在Y方向上相邻的半导体区域6之间的方式在Y方向上相互分离地配置。

[0095] 分别具有半导体区域5、半导体区域6以及接触区域7的多个区域50在X-Y平面上呈岛状配置。

[0096] 栅极电极8呈格子状设置在半导体区域3上。栅极电极8位于在X方向以及Y方向上相邻的半导体区域5之间。

[0097] 栅极接点9设置在栅极电极8上。

[0098] 在本实施方式中,绝缘部30的构成以及配置与第1实施方式相同。即,如图2、图3中的(a)以及图3中的(b)所示,绝缘部30具有绝缘膜30a、30b、30c,并设置在半导体区域4、5内。

[0099] 本实施方式的效果与上述第1实施方式相同。

- [0100] (第3实施方式)
- [0101] 图11是表示本实施方式所涉及的半导体装置的截面图。
- [0102] 图12是图11的区域C的放大图。
- [0103] 如图11所示,在半导体装置300中设置有漏极区域1、半导体区域2、半导体区域3、半导体区域4、半导体区域5、半导体区域6、栅极电极8、漏极电极10、源极电极11、栅极绝缘膜20、层间绝缘膜21、绝缘部30以及覆盖膜35。层间绝缘膜21具有膜21a以及膜21b。
- [0104] 半导体区域2设置在漏极区域1的上表面1a上。
- [0105] 半导体区域3在半导体区域2上设置有多个。多个半导体区域3沿着X方向延伸,且在Y方向上相互分离地配置。
- [0106] 半导体区域4在半导体区域2上设置有多个。多个半导体区域4沿着X方向延伸,且以位于在Y方向上相邻的半导体区域3之间的方式在Y方向上相互分离地配置。
- [0107] 多个半导体区域3以及多个半导体区域4使用多级外延生长法来形成。例如,在Z方向上交替地反复进行使用了光刻法的离子注入以及外延生长法。由此,n型的半导体区域3和p型的半导体区域4以在Y方向上交替地设置的方式设置在半导体区域2上。即,本实施方式的半导体装置300是MOSFET,并具有超结构造。
- [0108] 在半导体区域3上以及半导体区域4上设置有多个半导体区域5。多个半导体区域5在Y方向上相互分离地配置。
- [0109] 在半导体区域5上设置有多个半导体区域6。多个半导体区域6在Y方向上相互分离地配置。
- [0110] 在半导体区域3上隔着栅极绝缘膜20设置有多个栅极电极8。多个栅极电极8在Y方向上相互分离地配置。
- [0111] 漏极电极10设置在漏极区域1的下表面1b上。
- [0112] 源极电极11设置在半导体区域5的一部分上、半导体区域6的一部分上、层间绝缘膜21上、绝缘部30上以及覆盖膜35上。
- [0113] 绝缘部30设置在沟槽T1内。如虚线所示,沟槽T1形成在由半导体区域2、半导体区域3、半导体区域5以及半导体区域6构成的半导体区域51与由半导体区域2、半导体区域4以及半导体区域5构成的半导体区域52之间。绝缘部30位于沟槽T1的内表面上。
- [0114] 覆盖膜35设置在沟槽T1的空隙部V上。绝缘部30位于半导体区域51与空隙部V以及覆盖膜35之间。此外,绝缘部30位于半导体区域52与空隙部V以及覆盖膜35之间。
- [0115] 如图12所示,绝缘部30具有绝缘膜30a、绝缘膜30b以及绝缘膜30c。
- [0116] 绝缘膜30a位于半导体区域51的侧面上以及半导体区域52的侧面上。此外,绝缘膜30a位于沟槽T1的底面上且位于半导体区域2上。
- [0117] 绝缘膜30b位于绝缘膜30a的侧面上以及底面上。
- [0118] 绝缘膜30c位于绝缘膜30b的侧面上以及底面上。
- [0119] 即,绝缘部30对覆盖膜35的侧面、空隙部V的侧面以及底面进行覆盖,绝缘膜30c、30b、30a按照该顺序位于从这些侧面以及底面分离的方向上。绝缘膜30a、绝缘膜30b以及绝缘膜30c的形状例如为具有底的筒状。
- [0120] 本实施方式的效果与上述第1实施方式相同。
- [0121] 如上所述,作为一例,以具有超结构造的MOSFET为例进行了说明,但各实施方式所

涉及的半导体装置也可以应用于具有超结构造的IGBT (Insulated Gate Bipolar Transistor) 等其他的半导体装置。

[0122] 以上,对本发明的几个实施方式进行了说明,这些实施方式作为例子而提示的,并不意图对发明的范围进行限定。这些新的实施方式能够以其他的方式加以实施,在不脱离发明的主旨的范围内能够进行各种省略、置换、变更。这些实施方式及其变形含有于发明的范围及主旨中,并且含有于专利请求范围所记载的发明和与其等同的范围内。

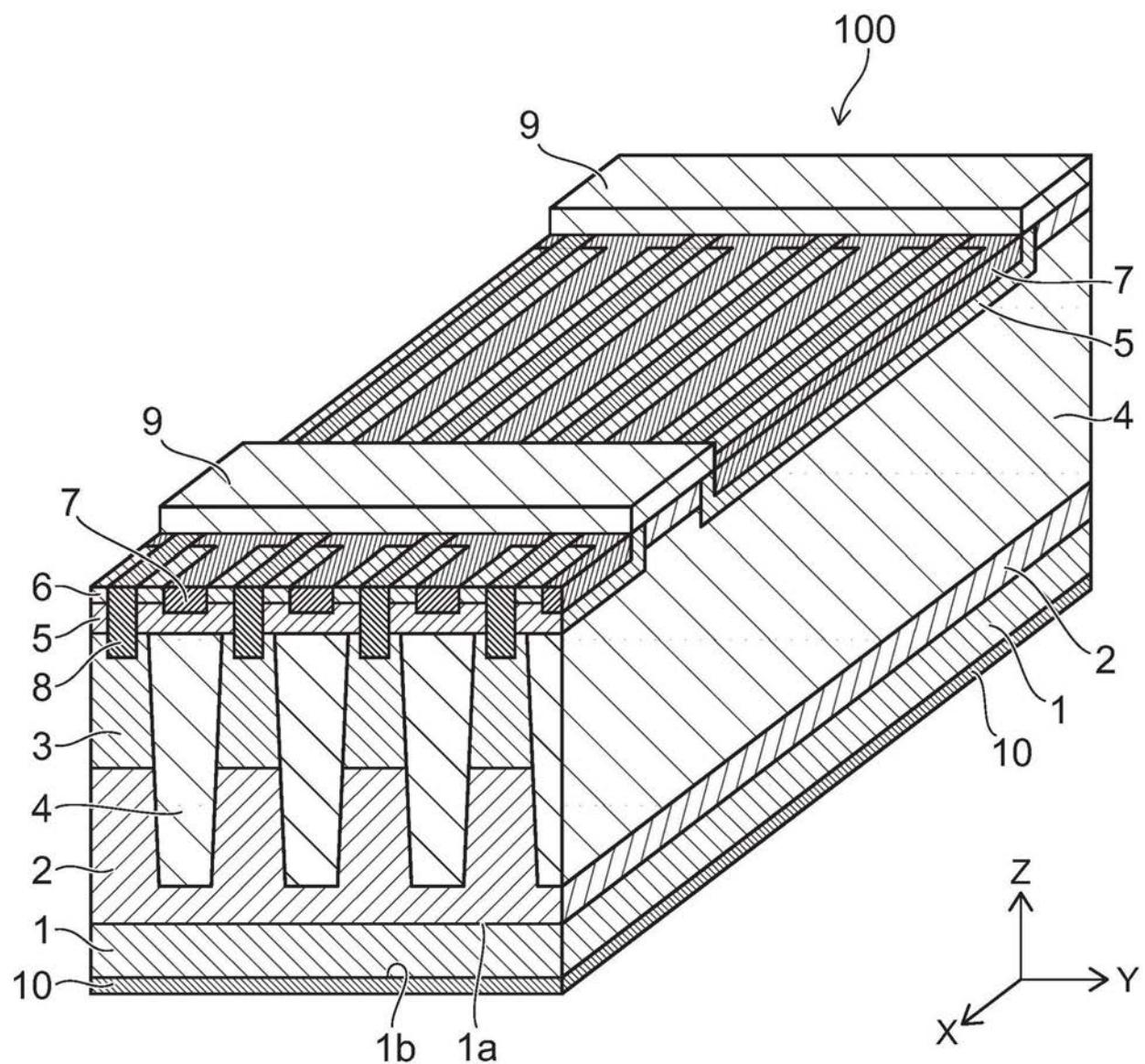


图1

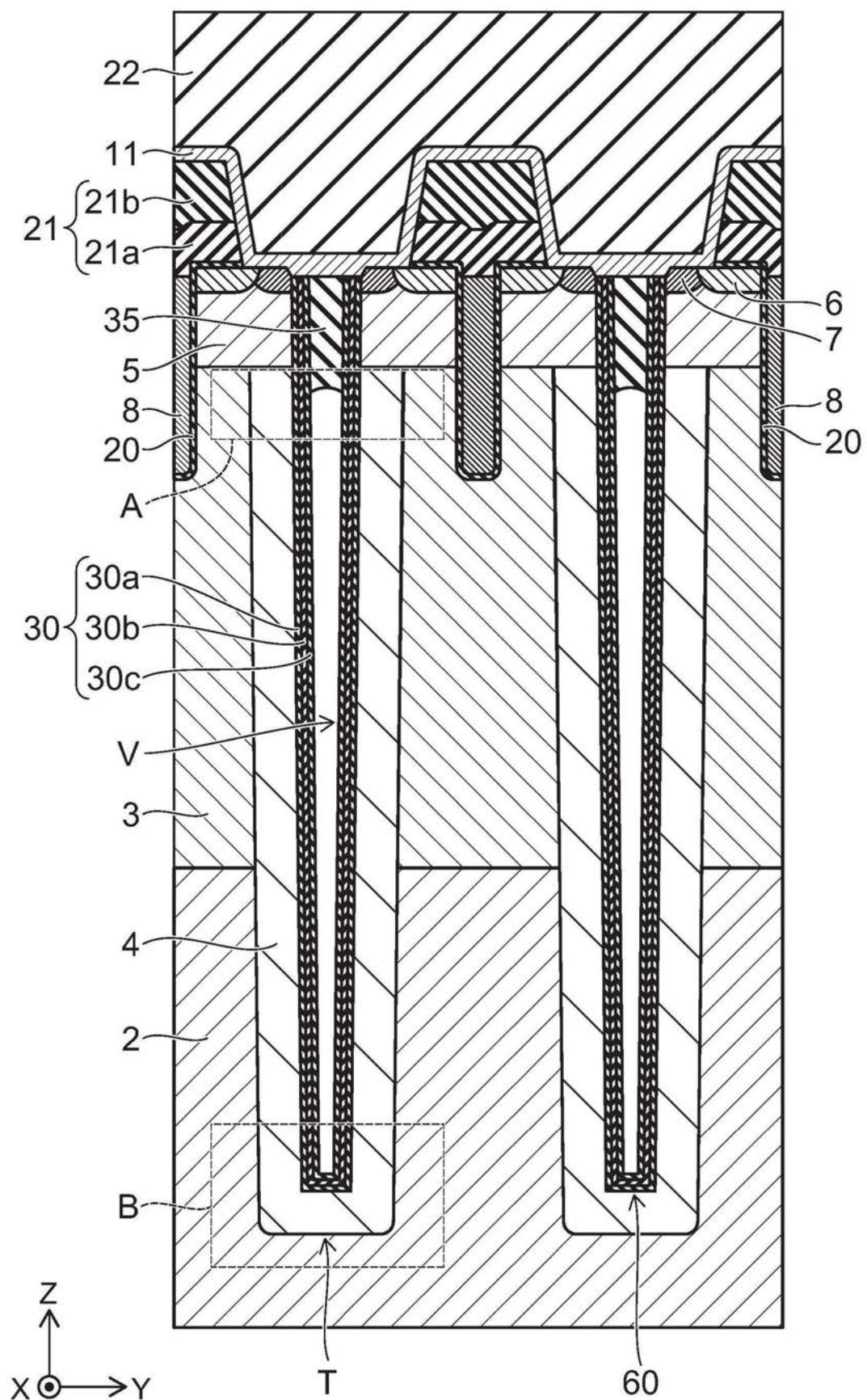
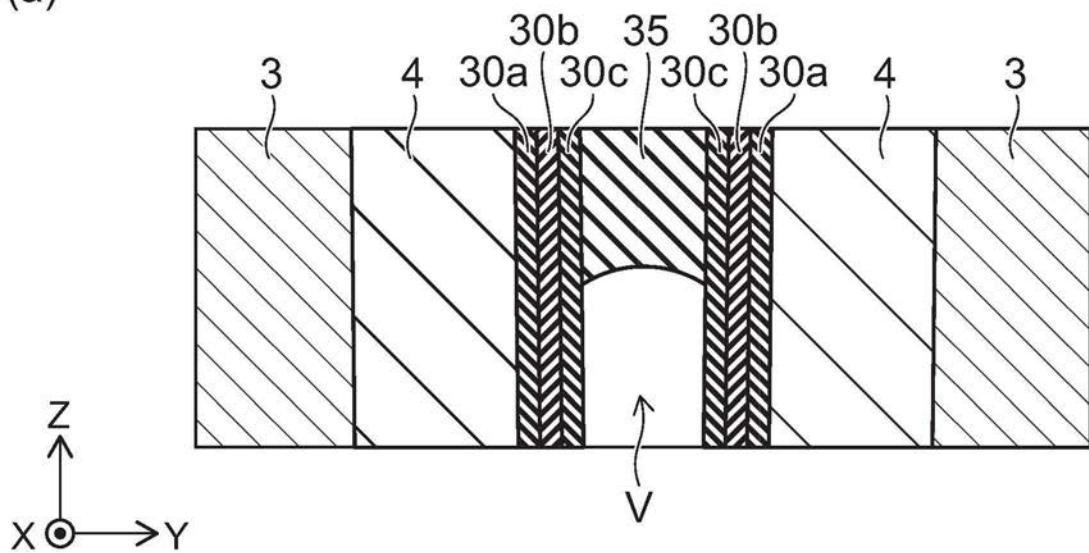


图2

(a)



(b)

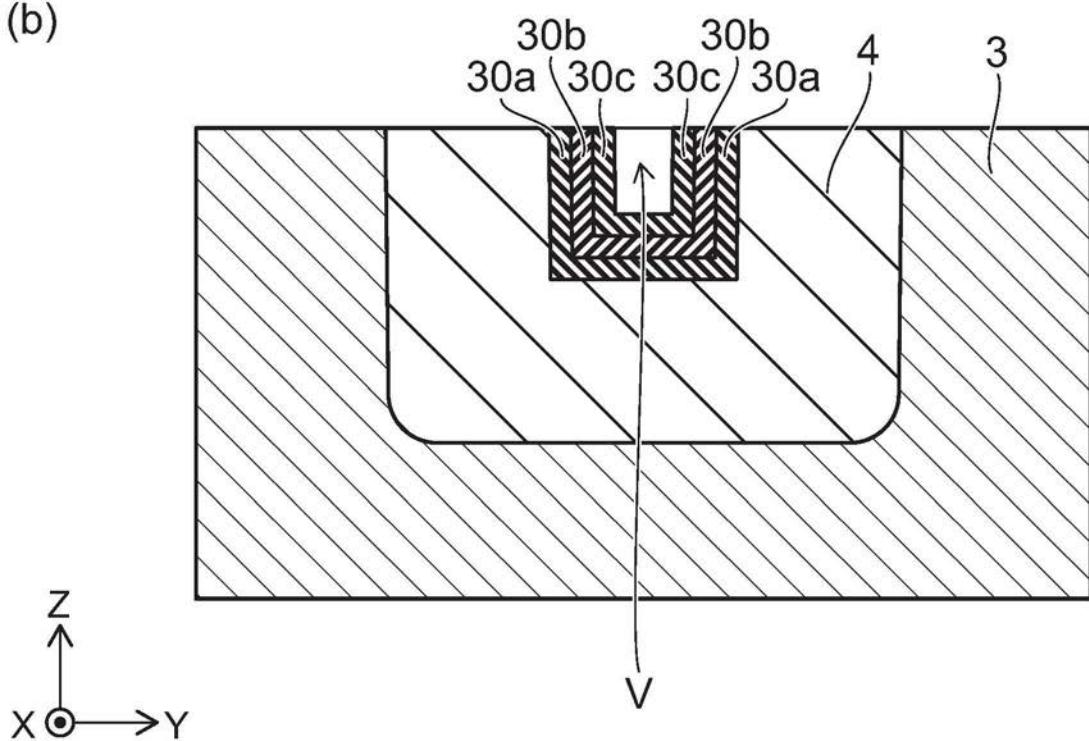


图3

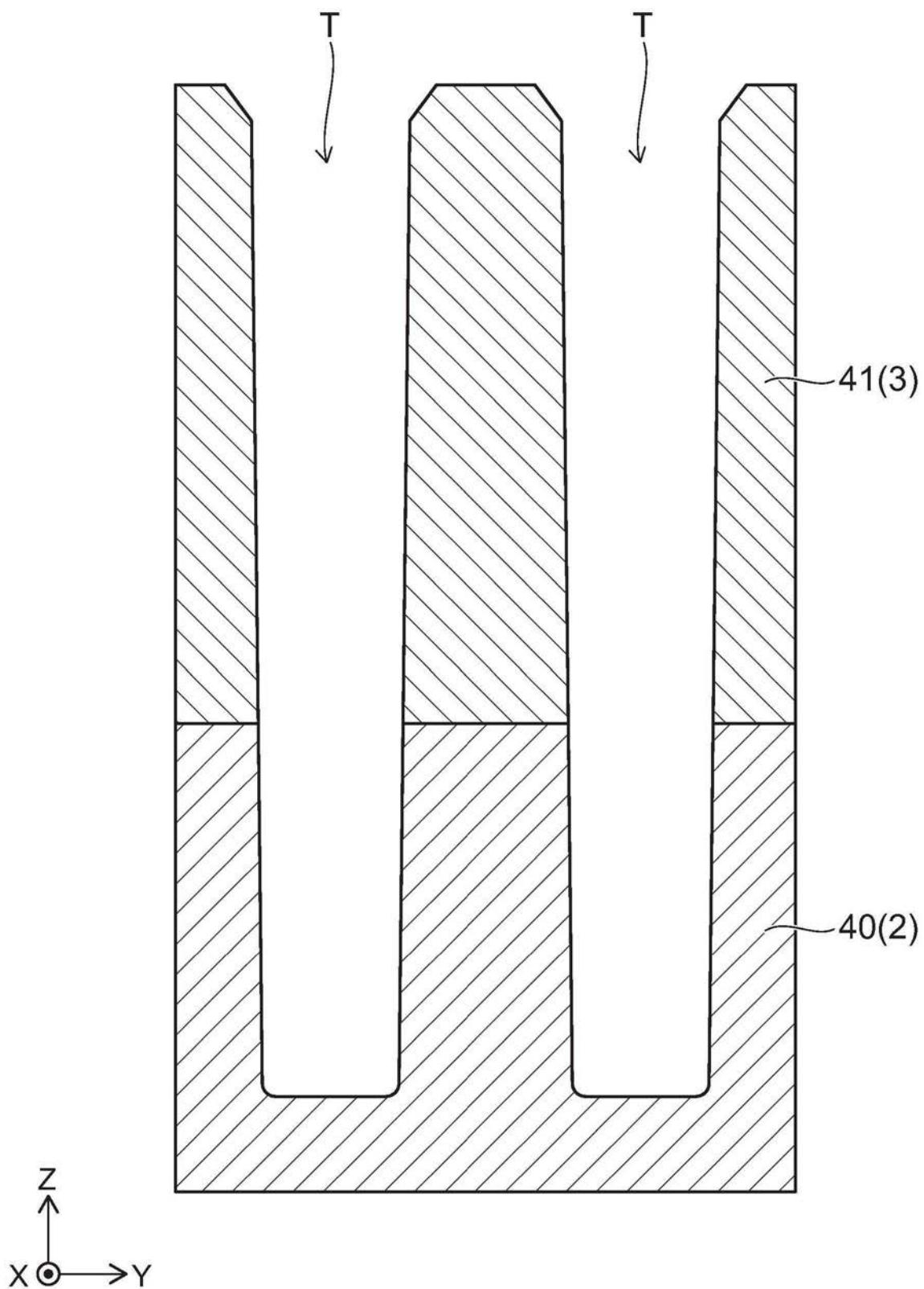


图4

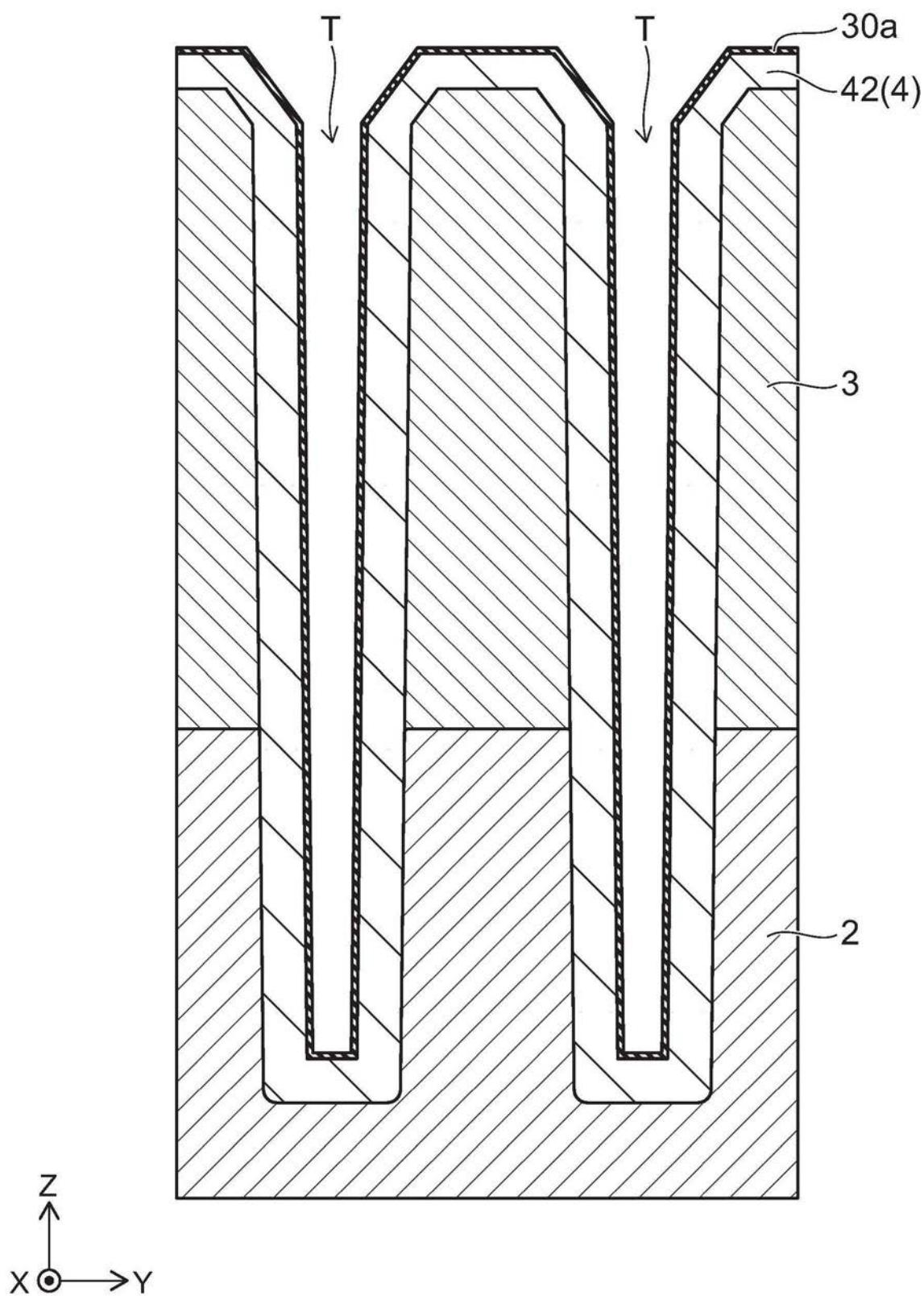


图5

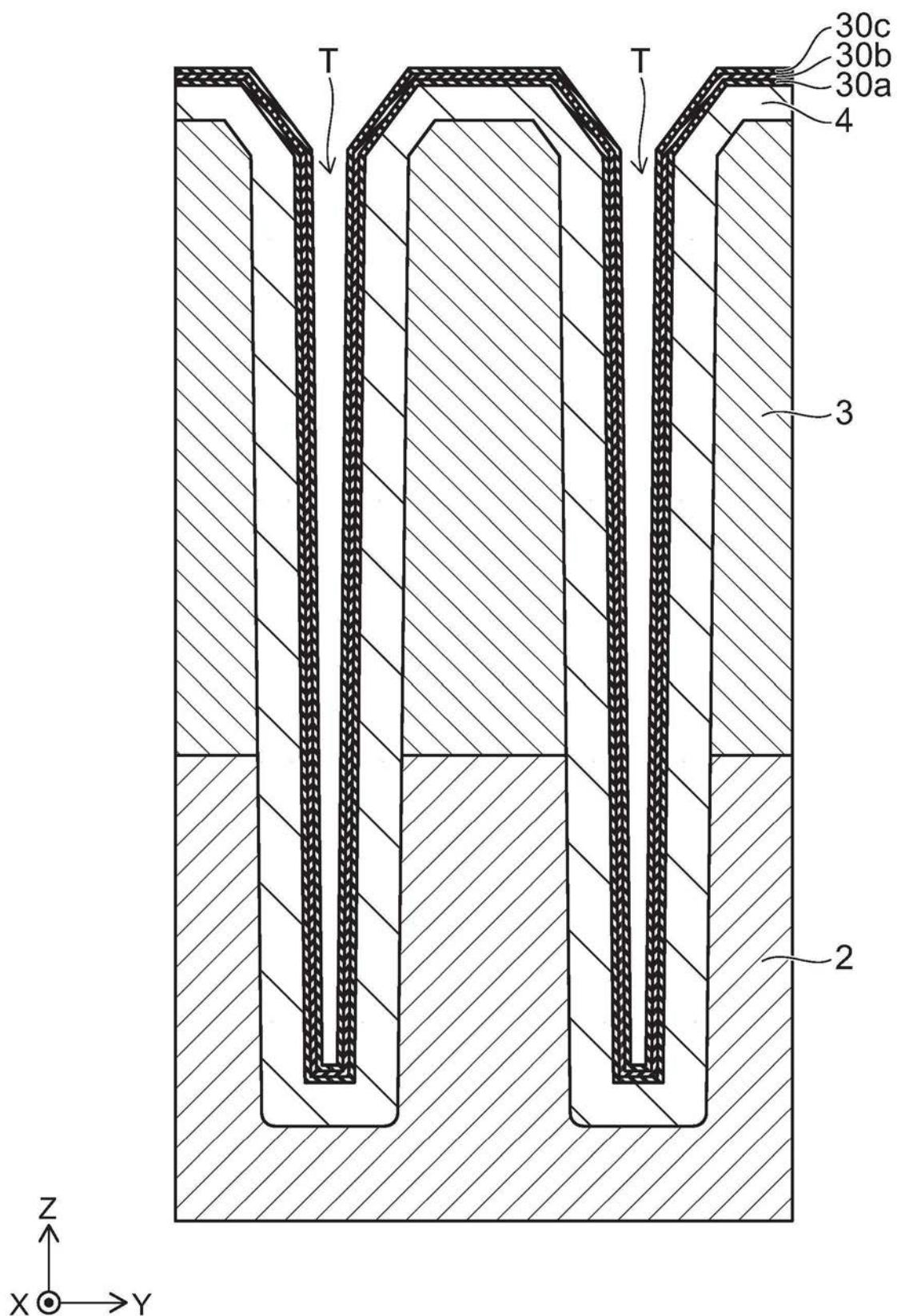


图6

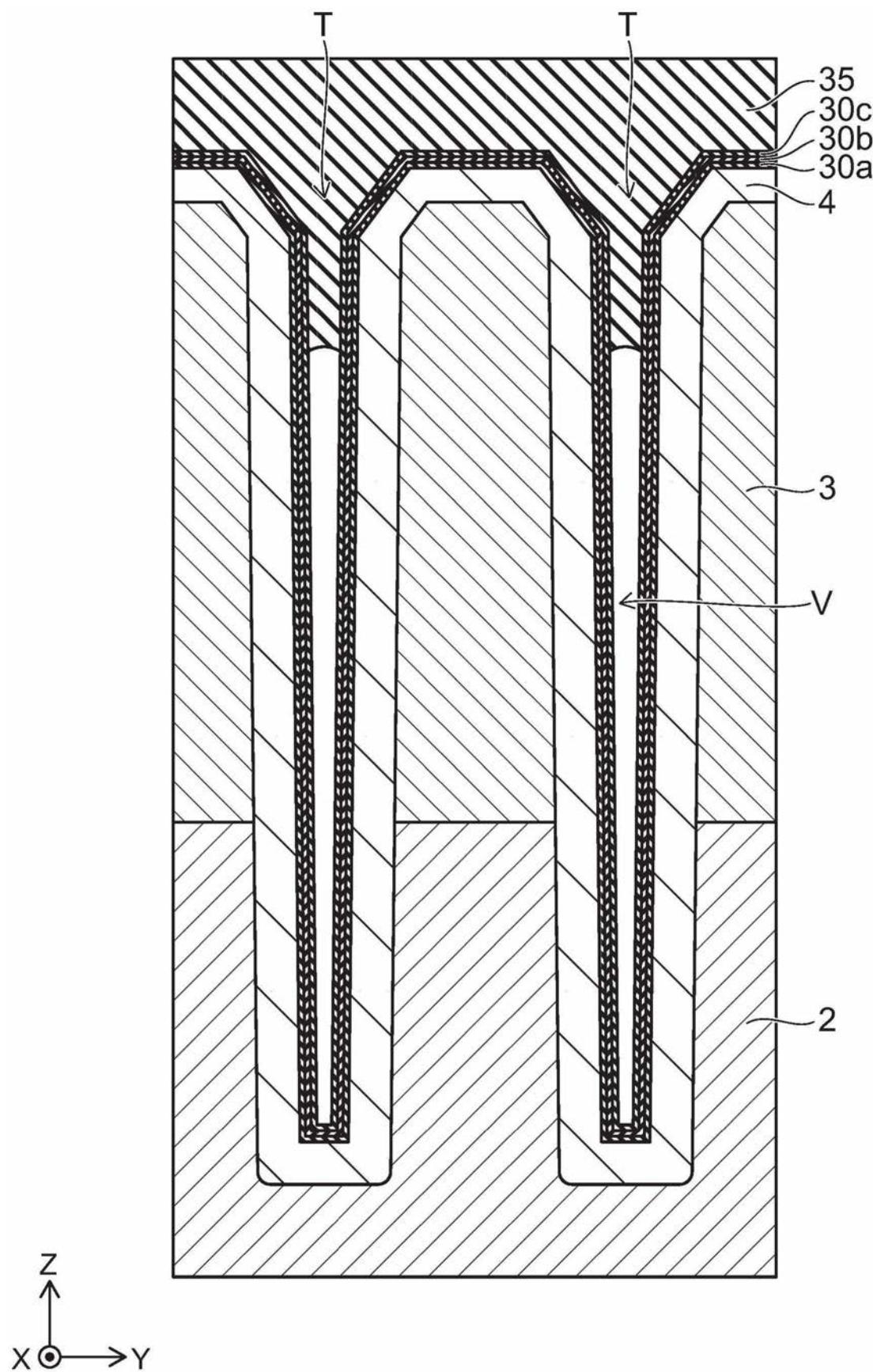


图7

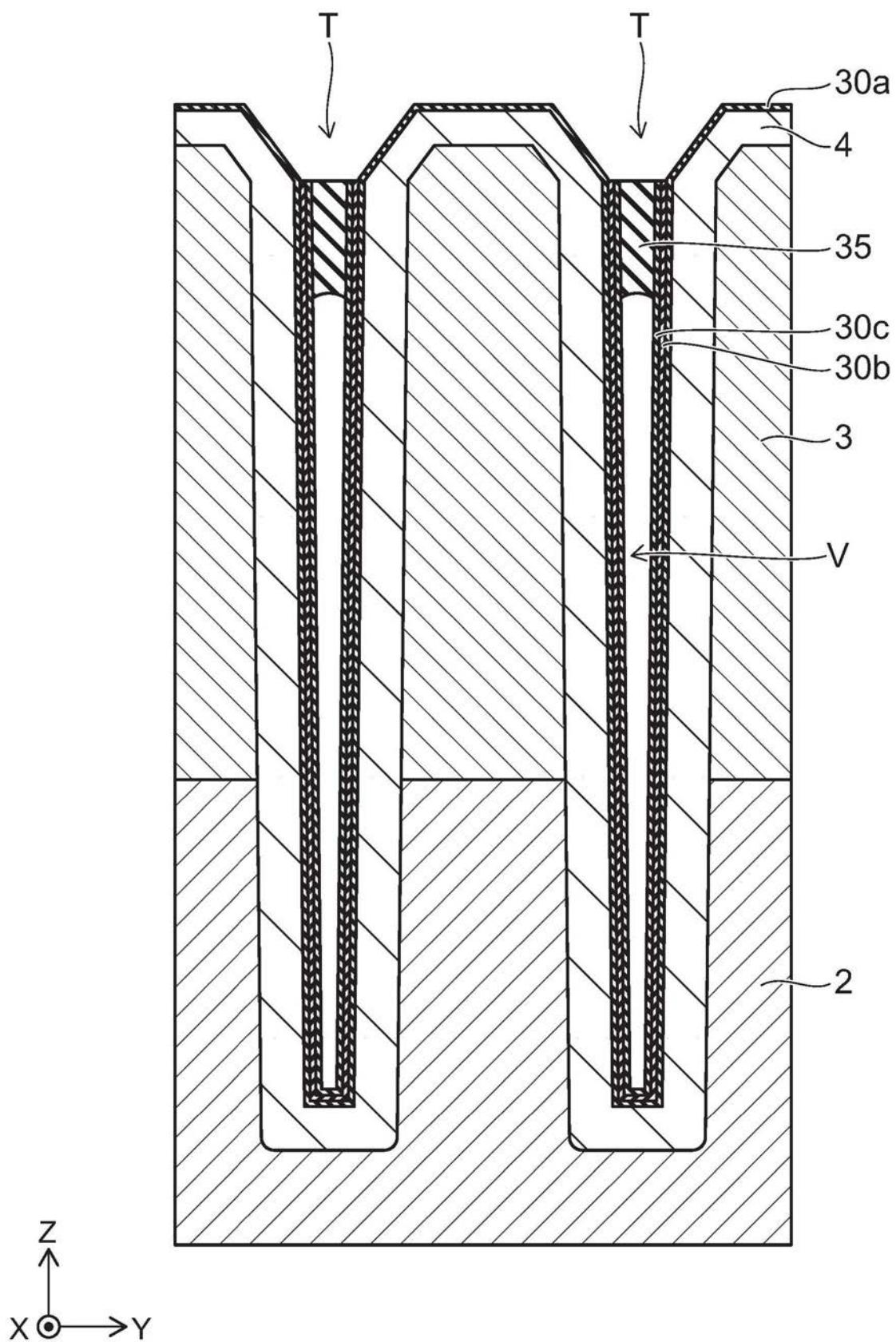


图8

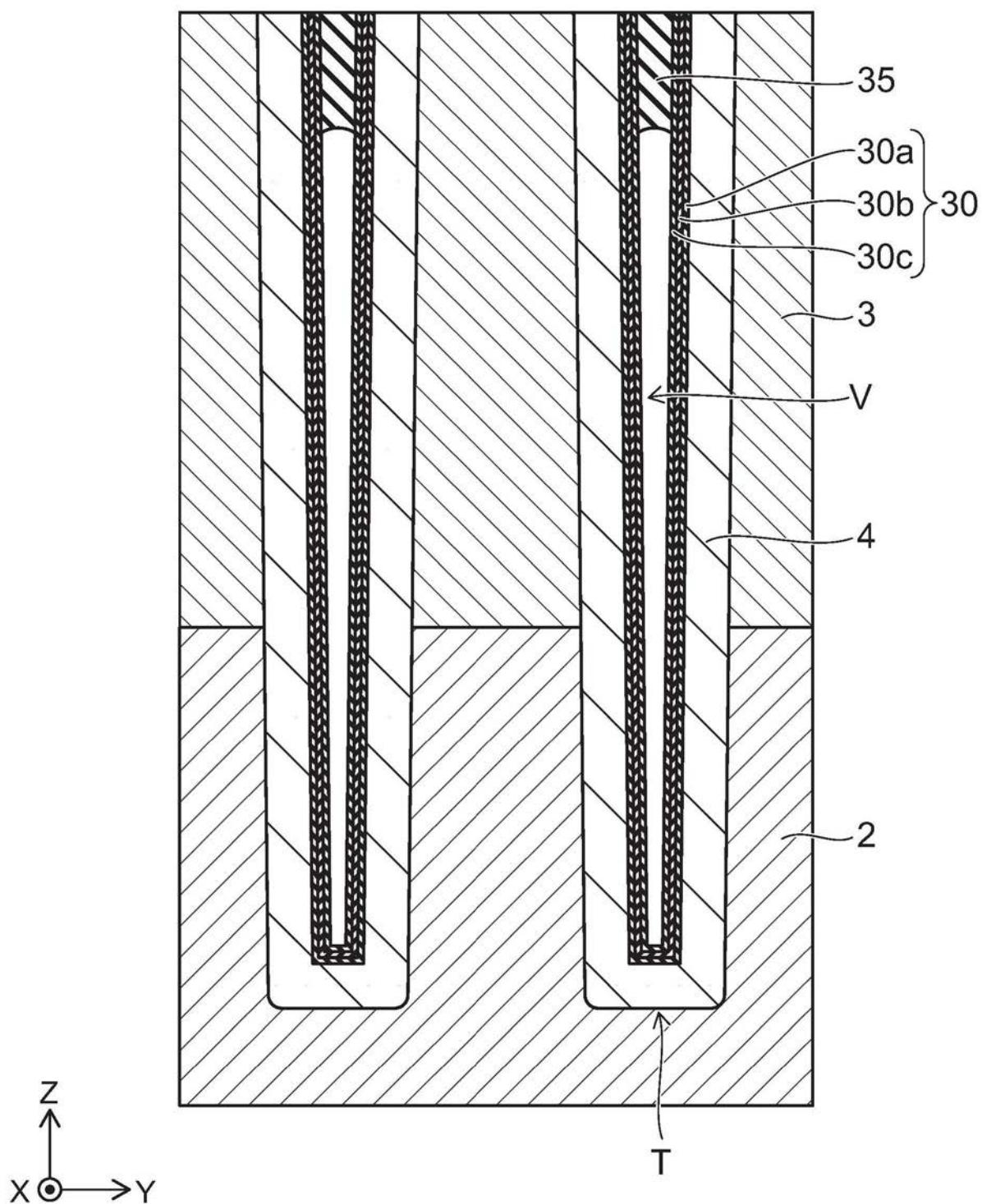


图9

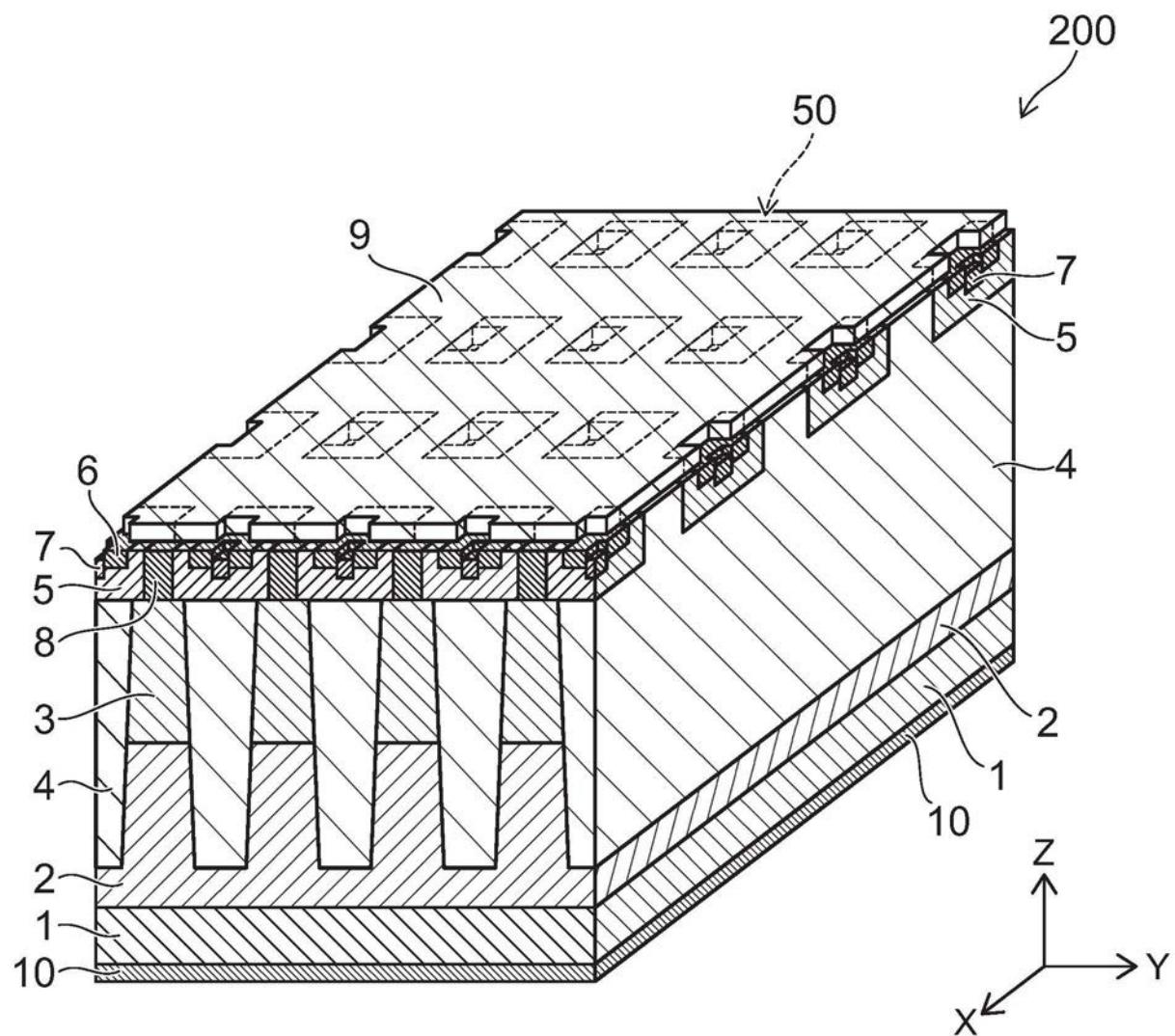


图10

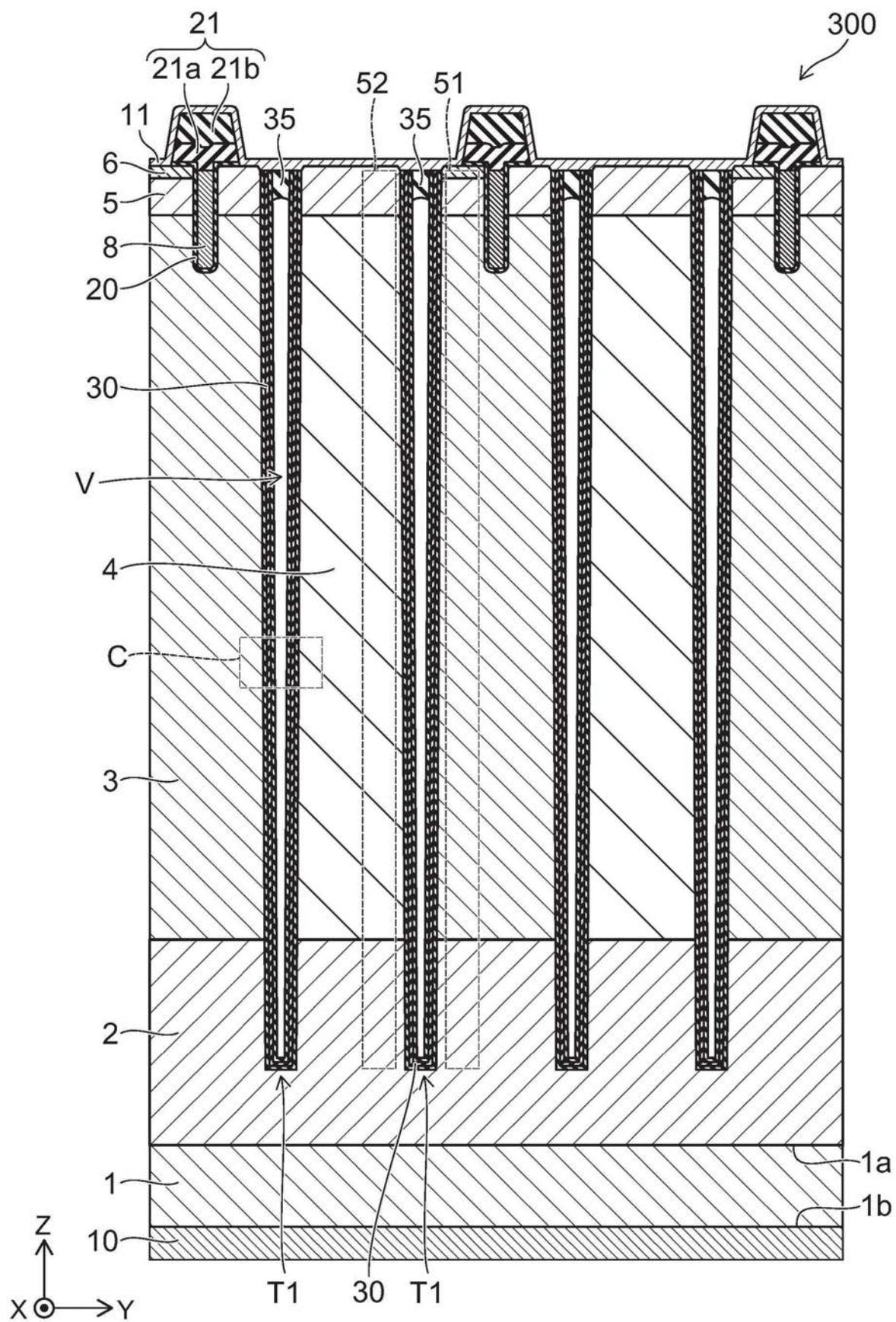


图11

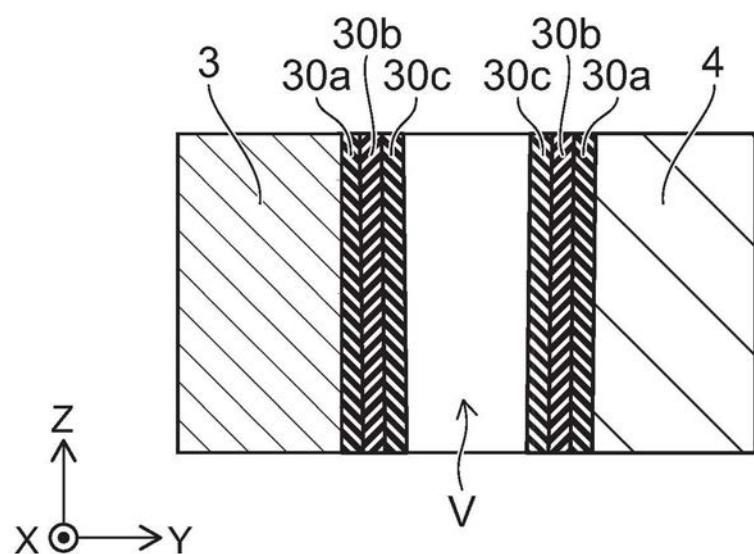


图12