

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/11	(45) 공고일자 1997년07월 14일	(11) 공고번호 특1997-0011677
(21) 출원번호 특1993-0000718	(65) 공개번호 특1993-0017188	(24) 등록일자 1997년07월 14일
(22) 출원일자 1993년01월20일	(43) 공개일자 1993년08월30일	
(30) 우선권주장 92-0011412 1992년01월24일 일본(JP)		
(73) 특허권자 미쓰비시덴키 가부시키키가이샤	시키키모리야	
(72) 발명자 쓰쓰미 가즈히도	일본국 도쿄도 지요다쿠 마루노우치 2초메 2-3	
(74) 대리인 정우훈, 박태경	일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키키가이샤 L.S.I 겐큐쇼나이	
심사관 : 김시호 (책자공보 제5121호)		
(54) 전계효과 트랜지스터 및 그 제조방법		

요약

내용없음

대표도**도1****명세서**

[발명의 명칭]

전계효과 트랜지스터 및 그 제조방법

[도면의 간단한 설명]

제 1 도는 이 발명의 제 1 실시예에 의한 전계효과 트랜지스터의 단면도,

제 2 도~제 15 도는 이 발명의 제 1 실시예에 의한 전계효과 트랜지스터 제조방법의 각 공정을 표시하는 실리콘 기관의 단면도,

제 16 도는 이 발명의 제 2 실시예에 의한 전계효과 트랜지스터의 단면도,

제 17 도~제 20 도는 이 발명의 제 2 실시예에 의한 전계효과 트랜지스터 제조방법의 각 공정을 표시하는 실리콘 기관의 단면도,

제 21 도는 이 발명의 제 3 실시예에 의한 전계효과 트랜지스터의 단면도,

제 22 도는 이 발명의 제 3 실시예에 의한 전계효과 트랜지스터를 사용한 SRAM 메모리셀의 개략등가회로도,

제 23 도는 제 22 도에 표시한 SRAM의 메모리셀의 개략평면도,

제 24 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제 25 도에 대응하고 있다.

제 25 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략평면도이며, 제 24 도에 대응하고 있다.

제 26 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제 27 도에 대응하고 있다.

제 27 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략평면도이며, 제 26 도에 대응하고 있다.

제 28 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제 29 도에 대응하고 있다.

제 29 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략평면도이며, 제 28 도에 대응하고 있다.

제 30 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제

31 도에 대응하고 있다.

제 31 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가평면도이며, 제 30 도에 대응하고 있다.

제 32 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제 33 도에 대응하고 있다.

제 33 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략평면도이며, 제 32 도에 대응하고 있다.

제 34 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략등가회로도이며, 제 35 도에 대응하고 있다.

제 35 도는 제 22 도와 제 23 도간의 대응관계를 설명하기 위한 SRAM 메모리셀의 개략평면도이며, 제 34 도에 대응하고 있다.

제 36 도는 SRAM의 메모리셀의 개략등가회로도,

제 37 도는 CMOS 인버터의 개략등가회로도,

제 38 도는 제 36 도에 표시한 SRAM 메모리셀의 플립플롭부를 상세히 표시한 개략등가회로도,

제 39 도는 종래의 SRAM 메모리셀에 대한 한 예의 단면도,

제 40 도는 제 39 도에 표시한 PMOS 트랜지스터(13)의 평면도,

제 41 도~제 44 도는 제 39 도에 표시한 PMOS 트랜지스터(13)의 제조방법의 각 공정을 표시하는 단면도,

제 45 도는 종래의 SRAM의 다른 예를 표시하는 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

51 : 실리콘기판52 : 주표면

53 : 구멍부55 : 실리콘산화막

57 : 소스/드레인막59 : 실리콘산화막

61 : 게이트전극63 : 게이트절연막

65 : 다결정실리콘막67 : 소스/드레인막

[발명의 상세한 설명]

이 발명은 전계효과 트랜지스터에 관한 것으로서 특히 SRAM(Static Random Access Memory)에 사용되는 전계효과 트랜지스터 및 그 제조방법에 관한 것이다.

SRAM은 전원이 인가되는 동안 정보가 기억되는 RAM이다.

DRAM(Dynamic Random Access Memory)에 비하여 SRAM은 리프레시회로가 불필요하고 고속동작이 우수하다.

제 36 도는 SRAM의 개략등가회로도이다. 인버터(1)와 인버터(3)로서 플립플롭회로를 구성하고 있다.

접근트랜지스터(5)의 한쪽의 소스/드레인은 접속부 B로 플립플롭회로에 접속되고, 다른쪽의 소스/드레인은 BL에 접속되어 있다.

접근트랜지스터(7)에는 접속부 A에서 플립플롭회로에 접속된 하나의 소스/드레인과 /BL에 접속된 다른 소스/드레인이 있다.

메모리셀은 인버터(1)(3)과 접근트랜지스터(5)(7)로 형성된다. WL는 접근트랜지스터(5)(7)의 게이트에 접속된다. 다음은 'H' 상태를 기억하는 기록동작을 설명한다.

먼저, BL를 'H' 상태로 설정하고 /BL를 'L'상태로 설정한다. WL에 전압을 인가하고 접근트랜지스터(5)(7)을 '온'한다. BL는 'H' 상태이므로 접속부 B도 'H'상태로 된다. 또 /BL가 'L'상태이므로 접속부 A는 'L'상태로 된다.

그리고 WL에 인가된 전압을 제거하여 접근트랜지스터(5)(7)를 '오프'한다. 접속부 B는 'H'상태이므로 접속부 A는 인버터(3)을 통하여 'L' 상태가 된다.

또 접속부 A는 'L'상태이므로 접속부 B는 인버터(1)를 통하여 'H' 상태가 된다. 따라서, 접속부 B는 'H' 상태로 되고 접속부 A는 'L'상태로 유지된다.

다음은 판독동작을 설명한다. WL에 전압을 인가하여 접근트랜지스터(5)(7)을 '온'한다. 접속부 B가 'H' 상태이므로 BL는 'H'상태가 된다. 또 접속부 A는 'L' 상태이므로 /BL는 'L'상태가 된다.

그러나 'H'상태의 전압과 'L' 상태의 전압간의 차이는 그다지 크지 않으며 BL이 'H'상태임을 확실하게 판단하기 위한 감지증폭기는 BL의 전압과 /BL의 전압을 비교한다.

이 결과 BL의 전압이 /BL의 전압보다도 큰 것을 판정하게 된다. BL의 전압이 /BL의 전압보다도 크므로 BL는 'H'상태이며, 따라서 이 기억회로에 'H'가 기억되어 있었음을 알 수 있다.

다음은 인버터를 설명한다. 제 37 도는 인버터(1)의 개략등가회로도이다. 9는 PMOS 트랜지스터, 11은 NMOS 트랜지스터이다.

Vin이 'H'상태일 때, PMOS 트랜지스터(9)는 '오프'상태, NMOS 트랜지스터(11)은 '온'상태에 유지되고

Vout는 'L'상태가 된다.

반대로 Vin이 'L'상태일 때는 PMOS 트랜지스터(9)는 '온'상태, NMOS 트랜지스터(11)은 '오프'상태로 유지되고 Vout는 'H'상태가 된다.

제 38 도는 인버터(1)의 출력이 인버터(3)의 입력에 접속되고 인버터(1)의 입력이 인버터(3)의 출력에 접속될 때의 개략등가회로도이다.

이 회로는 플립플롭회로를 형성한다. 인버터(3)는 PMOS 트랜지스터(13)와 NMOS 트랜지스터(15)를 포함한다.

25는 PMOS 트랜지스터(13)의 게이트전극, 21은 접근트랜지스터(7)의 게이트전극, 17은 NMOS 트랜지스터(11)의 게이트전극을 각각 표시한다.

제 38 도에서 알 수 있는 바와 같이, SRAM 메모리셀은 2개의 PMOS 트랜지스터와 4개의 NMOS 트랜지스터로 구성된다.

이들 트랜지스터가 모드 같은 평면상 즉, 실리콘기판의 주표면상에 형성되면 집적도는 저하된다. 그러므로 PMOS 트랜지스터는 NMOS 트랜지스터 위쪽에 위치하게 된다.

제 39 도는 SRAM 메모리셀 단면도이다. 제 38 도와 같은 부호는 동일부분을 표시한다. 실리콘기판(22)의 주표면(24)상에는 접근트랜지스터(7) 및 NMOS 트랜지스터(11)가 형성한다. 접근트랜지스터(7)는 게이트전극(21)과 실리콘기판(22)과의 사이에 간격을 띄워서 형성된 소스/드레인영역(19)(23)을 포함한다.

17은 NMOS 트랜지스터(11)의 게이트전극을 표시한다. 이 도면에, NMOS 트랜지스터(11)의 소스/드레인은 표시하지 않았으며, 35는 필드산화막을 표시한다. 게이트전극(17)상에는 층간절연막(33)이 형성된다.

층간절연막(33)상에는 게이트전극(25)이 형성된다. 게이트전극(25)을 피복하도록 다결정실리콘막(31)이 형성된다.

다결정실리콘막(31)의 게이트전극(25)과 대향하는 부분이 채널영역(28)이 된다. 채널영역(28)은 다결정실리콘막(31)중의 소스/드레인영역(27)(29) 사이에 개재된다. 다결정실리콘막(31)과 게이트전극(17)은 소스/드레인영역(17)에 전기적으로 접속된다. 제 40 도는 제 39 도에 표시한 PMOS 트랜지스터(13)의 평면도이다. 25는 게이트전극을 표시하며, 27,29는 소스/드레인영역을 표시한다.

다음은 제 39 도의 PMOS 트랜지스터(13) 제조방법을 설명한다. 제 38 도와 같은 부호는 같은 부분을 표시한다.

제 41 도에 표시한 바와 같이, 층간절연막(33)상에 감압 CVD(Chemical Vapor Deposition) 방법을 사용하여 다결정실리콘막을 형성한다.

사진평판기술과 에칭기술을 사용하여 다결정실리콘막을 패터닝하여서 게이트전극(25)을 형성한다.

제 42 도와 같이, 게이트전극(25)상에 감압 CVD 방법을 사용하여 게이트절연막(37)을 형성한다. 게이트절연막(37)상에는 감압 CVD 방법을 사용하여 다결정실리콘막(31)을 형성한다. 제 43 도와 같이, 다결정실리콘막(31)상에 레지스트(39)를 형성한다. 레지스트(39)에 소정의 패터닝을 실시한다.

그리고, 레지스트(39)를 마스크로 하여 다결정실리콘막(31)으로 BF_2 를 주입한다. 제 44 도와 같이, 레지스트(39)를 제거한다.

그리고 가열함으로써 다결정실리콘막(31)중에 BF_2 중의 붕소를 적절히 확산시켜 소스/드레인영역(27)(29)를 형성한다. 28은 채널영역을 표시한다.

$L_1+L_2+L_3$ 가 채널길이이다. SRAM의 집적도가 증대함에 따라 채널길이는 단축되는 경향이 있다. 채널영역이 짧으면 전계효과 트랜지스터의 특성을 열화시키는 쇼트채널효과가 발생하게 된다.

이와 같은 문제점을 해결하기 위하여 제 45 도의 전계효과 트랜지스터가 고안되었다. 이 전계효과 트랜지스터는 IDEM PP425-428 'A 0.5 μ m BiCMO Technology for Logic and 4M bit-class SRAM'S'에 개시되어 있다.

트랜지스터(44)의 게이트전극(47)은 반도체기판(40)에 에피타키셜층(42)에 형성된 홈(41)에 매입된다.

에피타키셜층(42)에는 소스/드레인영역(43)이 형성된다. 실리콘기판(40)에는 N^+ 매입층인 소스/드레인영역(45)이 형성된다.

전계효과 트랜지스터(44)에는 홈(41)의 깊이방향으로 형성된 채널영역이 있다. L 은 채널길이를 표시한다. 에피타키셜층(42)의 두께를 증대시키면 게이트길이 L 을 전계효과 트랜지스터(44)가 쇼트채널효과를 방지하는데 충분한 치수로 할 수 있다. 제 45 도의 트랜지스터(44)는 반도체기판(40)에 소스/드레인영역(45)을 형성하고, 이어서 반도체기판(40)상에 에피타키셜층(42)을 형성한 다음 이 에피타키셜층(42)에 홈(41)을 형성함으로써 제조된다.

그러나, 에피타키셜층을 형성하는데는 시간이 걸리므로 트랜지스터(44)의 제조소요시간이 증가되었다. 이 발명은 이러한 종래의 문제점을 해결하기 위하여 안출된 것이다.

이 발명의 한 목적은 단시간내에 제조할 수 있고, 쇼트채널효과를 방지할 수 있는 구조의 전계효과 트랜지스터를 제공하는데 있다.

이 발명의 다른 목적은 쇼트채널효과의 방지능력이 더욱 향상된 구조를 가진 전계효과 트랜지스터를 제공하는데 있다.

이 발명의 또다른 목적은 단시간내에 제조할 수 있고, 쇼트채널효과를 방지할 수 있는 구조의 전계효과

트랜지스터 제조방법을 제공하는데 있다.

이 발명은 반도체기판의 주표면에 설치된 구멍부에 형성된 전계효과 트랜지스터에 관한 것이다. 이 발명에 의한 전계효과 트랜지스터는 주표면층의 제 1 단부와, 구멍부 저부층의 제 2 단부와, 채널이 되는 제 1 다결정실리콘막을 포함한다. 제 1 다결정실리콘막은 구멍부내에 위치하고 구멍부의 깊이방향을 따라 뻗어 있다.

이 발명에 의한 전계효과 트랜지스터는 구멍부내에 위치하고 구멍부의 깊이방향으로 뻗어서 게이트절연막을 개재시켜 제 1 다결정실리콘막에 대향하고 있는 게이트전극을 추가로 포함한다.

이 발명에 의한 전계효과 트랜지스터는 또한 제 1 다결정실리콘막의 제 2 단부에 전기적으로 접속되는 제 1 소스/드레인막을 포함한다.

이 제 1 소스/드레인막은 구멍부내에 있고 상기 제 1 다결정실리콘막과 게이트전극의 주위에 위치하며, 구멍부의 깊이방향을 따라 뻗어 있다.

이 발명에 의한 전계효과 트랜지스터는 제 1 소스/드레인막을 게이트전극으로부터 전기적으로 절연시키는 구멍부내의 제 1 절연막과, 제 1 소스/드레인막을 반도체기판으로부터 전기적으로 절연시키는 구멍부내의 제 2 절연막과, 제 1 다결정실리콘막의 제 1 단부에 전기적으로 접속된 주표면상의 제 2 소스/드레인막을 추가로 포함한다.

이 발명에 의한 전계효과 트랜지스터의 제조방법은 반도체기판의 주표면에 구멍부를 형성하는 공정과; 구멍부가 완전히 충전되지 않도록 구멍부의 측면과 저면에 제 1 절연막, 제 1 소스/드레인이 되는 제 1 다결정실리콘막, 제 2 절연막, 및 제 2 다결정실리콘막을 축차형성하는 공정과; 제 2 다결정실리콘막상에 레지스트를 형성하고 레지스트에 소정의 패턴링을 실시하는 공정과, 레지스트를 마스크하여 제 2 다결정실리콘막을 에칭하여 게이트전극을 형성하고 저면상의 제 2 절연막을 노출시키는 공정과; 레지스트를 마스크로 하여 노출된 제 2 절연막을 에칭하여 노출된 제 2 절연막 아래의 제 1 다결정실리콘막을 노출시키는 공정과; 구멍부가 완전히 충전되지 않도록 게이트전극과 제 1 다결정실리콘막에 의하여 형성된 공간에 게이트절연막을 형성하는 공정과; 저면상의 게이트절연막을 제거하여 제 1 다결정실리콘막을 노출시키는 공정과; 채널이 되는 제 3 다결정실리콘막을 형성하여 게이트절연막과 노출된 제 1 다결정실리콘막에 의하여 형성된 공간을 충전하는 공정과; 주표면상에 제 3 다결정실리콘막에 전기적으로 접속되도록 제 2 소스/드레인이 되는 제 4 다결정실리콘막을 형성하는 공정을 포함한다.

채널이 되는 제 1 다결정실리콘막은 반도체기판의 주표면에 설치된 구멍부에 형성된다. 제 1 다결정실리콘막이 구멍부의 깊이방향에 따라 뻗어 있으므로 채널길이는 쇼트채널효과를 방지하는데 충분한 치수가 될 수 있다.

제 1 다결정실리콘막을 채널로 하고 있으므로 채널은 CVD 방법 등을 사용하여 형성할 수 있다. 그러므로, 에피타키셜층을 채널로 사용하는 경우에 비하여 장치를 단시간내에 제조할 수가 있다.

(제 1 실시예)

제 1 도는 이 발명에 의한 전계효과 트랜지스터의 제 1 실시예의 단면도이다. 구멍부(53)이 실리콘기판(51)의 주표면(52)에 형성된다.

채널이 되는 다결정실리콘막(65)이 구멍부(53)내에 형성된다. 채널이 되는 다결정실리콘막(65)은 구멍부(53)내에 위치하고 구멍부(53)의 깊이방향을 따라 뻗어 있다.

게이트절연막(63)은 구멍부(53)내의 다결정실리콘막(65)의 주위에 형성된다. 게이트전극(61)은 구멍부(53)내의 게이트절연막(63)의 주위에 형성된다. 실리콘산화막(59)은 구멍부(53)내의 게이트전극(61) 주위에 형성된다.

소스/드레인막(57)은 구멍부(53)내의 실리콘산화막(59) 주위에 형성된다. 소스/드레인막(57)은 다결정실리콘막(65)에 전기적으로 접속되고 소스/드레인이 된다. 실리콘산화막(55)은 구멍부(53)내의 소스/드레인막(57) 주위에 형성된다. 소스/드레인막(67)은 주표면(52)상에 위치하고, 다결정실리콘막(65)에 전기적으로 접속된다.

이 실시예에서는 채널이 게이트전극에 의하여 포위되어 있다. 그러나 게이트전극이 채널에 의하여 포위되어도 된다.

다음은 제 1 도에 표시한 전계효과 트랜지스터의 제조방법을 설명한다. 제 2 도와 같이, 실리콘기판(51)에 사진평판기술 및 에칭기술을 사용하여 구멍부(53)을 형성한다. 구멍부(53)은 깊이 L_1 이 $1.5\mu\text{m}$, 폭 L_2 가 $1.35\mu\text{m}$, 길이가 $0.6\mu\text{m}$ 이다. 실리콘기판(51)의 주표면(52), 구멍부(53)의 측면(58), 및 구멍부(53)의 저면(60)상에 열산화법을 사용하여 실리콘산화막(55)을 형성한다.

실리콘산화막(55)의 두께는 10nm 이다. 실리콘산화막(55)상에 감압 CVD 방법을 사용하여 다결정실리콘막(56)을 형성한다. 다결정실리콘막(56)의 두께는 200nm 이다.

제 4 도와 같이, 다결정실리콘막(56)으로 BF_3 를 이온주입하고 열처리에 의하여 활성화하여서 제 5 도와 같이 소스/드레인막(57)을 형성한다.

소스/드레인막(57)을 사진평판기술 및 에칭기술을 사용하여 소망의 형상을 패턴닝한다. 제 6 도에서, 소스/드레인막(57)상에 감압 CVD방법을 사용하여 실리콘산화막(59)을 형성한다.

실리콘산화막(59)의 두께는 100nm 이다. 실리콘산화막(59)상에는 감압 CVD 방법을 사용하여 $100\mu\text{m}$ 두께의 다결정실리콘막(61)을 형성한다. 다결정실리콘막(61)은 게이트전극이 된다.

다결정실리콘막(61)상에는 감압 CVD 방법을 사용하여 100nm 두께의 실리콘산화막(69)을 형성한다. 레지스트(71)을 실리콘산화막(69)상에 형성하고 소정의 패턴링을 실시한다.

제 7 도에서 레지스트(71)를 마스크로 하여 실리콘산화막(69)을 불화수소를 사용하여 에칭한다.

제 8 도에서, 레지스트(71)를 마스크로 하여 다결정실리콘막(61) 및 실리콘산화막(59)을 이방성에칭하여 소스/드레인막(57)을 노출시킨다.

제 9 도에서, 게이트전극(61)상에 감압 CVD 방법을 사용하여 게이트절연막(63)을 25nm 두께로 형성한다.

제 10 도에서, 레지스트(73)를 주표면(52) 전면에 형성하고 소정의 패턴닝을 실시한다. 레지스트(73)를 마스크로 하여 게이트절연막(63)을 에칭하여서 구멍부(53)의 저면(60)측에 있는 소스/드레인막(57)을 노출시킨다.

제 11 도에서, 주표면(52)의 저면에 감압 CVD 방법을 사용하여 150nm 두께의 다결정실리콘막(65)을 형성하고 이것으로 구멍부(53)를 완전충전시킨다.

제 12 도에서, 다결정실리콘막(65)을 이방성에칭하고, 구멍부(53)내의 다결정실리콘막(65)만을 남긴다.

제 13 도에서, 주표면(52) 전면에 감압 CVD 방법을 사용하여 200nm 두께의 다결정실리콘막(75)을 형성한다.

다결정실리콘막(75)으로 BF_2 를 이온주입하고 열처리에 의하여 활성화시켜서 제 14 도와 같이 소스/드레인막(67)을 형성한다.

제 15 도에서 사진평판기술 및 에칭기술을 사용하여 소스/드레인막(67)을 소정형상으로 패턴닝한다.

(제 2 실시예)

제 16 도는 이 발명의 제 2 실시예에 의한 전계효과 트랜지스터의 단면도이다. 제 1 도와 같은 부호에 대하여는 동일부분을 표시한다.

제 2 실시예에 있어서, 소스/드레인막(67)은 LDD(Lightly Doped Drain) 구조이다. 즉, 소스/드레인막(67)은 고농도 소스/드레인막(77)과 저농도 소스/드레인막(79)으로 구성된다.

이 발명에 의한 제 2 실시예의 전계효과 트랜지스터는 LDD 구조로 되어 있으므로 쇼트채널효과를 더욱 억제할 수 있다.

이 발명의 제 2 실시예에 의한 전계효과 트랜지스터의 제조방법을 아래에 기술한다. 제 11 도에 표시한 공정까지는 제 1 실시예와 같다.

다결정실리콘막(65)의 전면을 제 17 도와 같이 이방성에칭한다. 에칭시간을 제어하여서 홈(1_1)의 깊이를 $0.6\mu\text{m}$ 로 한다.

제 18 도에서, 감압 CVD 방법을 사용하여 다결정실리콘막(81)을 150nm 두께로 퇴적한다. 다결정실리콘막(81)으로 BF_2 를 이온주입하고 열처리에 의하여 활성화하여서 저농도 소스/드레인막(79)을 형성한다.

제 19 도와 같이 저농도 소스/드레인막(79) 전면을 에칭에 의하여 소정형상으로 패턴닝한다.

제 20 도에서, 전 주표면(52)에 감압 CVD 방법을 사용하여 200nm 두께의 다결정실리콘막(83)을 형성한다. 다결정실리콘막(83)으로 BF_2 를 이온주입하고 열처리에 의하여 활성화시켜서 고농도의 소스/드레인막(77)을 형성한다.

고농도 소스/드레인막(77)을 사진평판기술 및 에칭기술을 사용하여 제 16 도에 표시한 형상으로 패턴닝한다.

(제 3 실시예)

제 21 도는, 이 발명이 제 3 실시예에 의한 전계효과 트랜지스터의 단면도이다. P형 전계효과 트랜지스터(9)와 n형 전계효과 트랜지스터(11)는 CMOS(Complementary MOS) 인버터를 구성한다.

제 1 도와 같은 부호는 동일부분을 표시한다. 따라서 P형 전계효과 트랜지스터(9)에 관한 상세한 설명은 반복하지 않는다. n형 전계효과 트랜지스터(11)는 실리콘기판(51)내에 서로 사이를 띄워서 설치된 소스/드레인영역(85)와 소스/드레인영역(87)을 포함한다.

P형 전계효과 트랜지스터(9)의 게이트전극(61)은 n형 전계효과 트랜지스터(11)의 전극으로도 된다. 실리콘사이드막(89)이 소스/드레인막(57)과 소스/드레인영역(85)의 접합부에 설치된다. 소스/드레인막(57)은 P형이다. 소스/드레인영역(85)은 n형이다.

그러므로, 소스/드레인막(57)과 소스/드레인영역(85)이 직접 접합되면 Pn접합이 되고 이 부분이 다이오드가 된다.

이를 방지하기 위하여 실리콘사이드막(89)이 설치된다. 제 37 도는 CMOS 인버터의 개략등가회로도이다.

제 21 도와 제 37 도를 참조하여, 소스/드레인막(67)은 전원선 V_{cc} 및 P형 전계효과 트랜지스터(9)의 소스로 사용된다.

다결정실리콘막(61)은 P형 전계효과 트랜지스터(9)의 게이트전극 및 n형 전계효과 트랜지스터(11)의 게이트전극으로 사용된다.

소스/드레인막(57)은 P형 전계효과 트랜지스터(9)의 드레인으로 사용된다. 소스/드레인영역(85)은 n형 전계효과 트랜지스터(11)의 드레인으로 사용된다. 소스/드레인영역(87)은 n형 전계효과 트랜지스터(11)의 소스로 사용된다. 소스/드레인영역(87)은 접지되어 있다.

(제 4 실시예)

제 22 도는 SRAM이 메모리셀의 개략등가회로도이다.

이 메모리셀은 n형 트랜지스터인 접근트랜지스터(5)(7), PMOS 트랜지스터(9)(13) 및 NMOS 트랜지스터(11)(15)를 포함한다.

제 23 도는 제 22 도에 표시한 SRAM의 메모리셀의 개략평면도이다.

제 21 도는 제 23 도의 A-A에 따른 단면도이다.

다음은 제 22 도의 개략등가회로도 와 제 23 도의 개략평면도간의 대응관계를 설명한다.

제 24 도에서 ////표시부는 제 25 도의 사선부에 대응하고 있다.

제 26 도에서 ////표시부는 제 27 도의 사선부에 대응한다.

제 28 도에서 ////표시부는 제 29 도의 사선부에 대응한다.

제 30 도에서 ////표시부는 제 31 도의 사선부에 대응한다.

제 32 도에서 ////표시부는 제 33 도의 사선부에 대응한다.

제 34 도에서 ////표시부는 제 35 도의 사선부에 대응한다.

이 발명에 의한 전계효과 트랜지스터의 구조를 사용함으로써 채널길이를 쇼트채널효과를 방지할 수 있는 충분한 치수로 할 수 있는 동시에 장치의 제조소요시간을 단축시킬 수 있다.

또 이 발명에 의한 전계효과 트랜지스터의 제조방법에 의하면 이와 같은 전계효과 트랜지스터를 제조할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판(51)의 주표면(52)에 설치된 구멍부(53)에 형성된 전계효과 트랜지스터이며, 상기 구멍부(53) 내에 위치하고 상기 구멍부(53)의 깊이방향으로 뻗어 있으며, 상기 주표면(52)측에 제 1 단부와 상기 구멍부(53)의 저부측에 제 2 단부가 있고, 채널이 되는 제 1 다결정실리콘막(65)과; 상기 구멍부(53)내에 위치하고, 상기 구멍부(53)의 깊이방향을 따라 뻗어 있으며, 게이트절연막(63)을 개재시켜서 상기 제 1 다결정실리콘막(65)과 대향하고 있는 게이트전극(61)과; 상기 구멍부(53)내에서 상기 제 1 다결정실리콘막(65)과 상기 게이트전극(61)의 주위에 위치하고, 상기 구멍부(53)의 깊이방향을 따라 뻗어 있으며, 상기 제 2 단부에 전기적으로 접속된 제 1 소스/드레인막(57)과; 상기 구멍부(53)내에 위치하고, 상기 제 1 소스/드레인막(57)을 상기 게이트전극(61)으로부터 전기적으로 절연하는 제1 절연막(59)과; 상기 구멍부(53)내에 위치하고, 상기 제 1 소스/드레인막(57)을 상기 반도체기판(51)으로부터 전기적으로 절연하는 제 2 절연막(55)과; 상기 주표면(52)상에 위치하고, 상기 제 1 단부에 전기적으로 접속되며, 상기 제 1 소스/드레인막(57)과 상기 게이트전극(61)이 상기 주표면(52)상에 뻗어 있는 제 2 소스/드레인막(67)으로 구성되고, 제 1 소스/드레인막(57)은 상기 주표면(52)상에 형성된 다른 전계효과 트랜지스터(11)의 소스/드레인영역(85)(87)에 전기적으로 접속되고, 상기 게이트전극(61)을 상기 다른 전계효과 트랜지스터(11)의 게이트전극(61)에 전기적으로 접속되며, 상기 다른 전계효과 트랜지스터(11)의 전극을 상기 주표면(52)상에 뻗어 있는 상기 전계효과 트랜지스터(9)의 게이트전극부를 추가구성하는 전계효과 트랜지스터.

청구항 2

제 1 항에 있어서, 상기 제 2 소스/드레인막(67)은 고농도 소스/드레인영역(77)과 동일도전형의 저농도 소스/드레인영역(79)을 추가구성하고, 상기 저농도 소스/드레인영역(79)은 상기 게이트절연막(63)에 인접하고, 일단에서 상기 제 1 단부에 전기적으로 접속되며, 타단에서 상기 고농도 소스/드레인영역막(77)과 접속하여 상기 주표면(52)상에 위치한 상기 고농도 소스/드레인영역막(77)의 일부분으로 되는 전계효과 트랜지스터.

청구항 3

제 1 항에 있어서, 상기 게이트절연막(63)은 상기 제 1 다결정실리콘막(65)의 주위에 위치하고, 상기 게이트전극(61)은 상기 게이트절연막(63) 주위에 위치하는 전계효과 트랜지스터.

청구항 4

제 1 항에 있어서, 상기 제 1 소스/드레인막(57)은 상기 구멍부(53)의 저면으로 뻗어서 상기 제 1 다결정실리콘막(65)에 전기적으로 접속된 전계효과 트랜지스터.

청구항 5

제 1 항에 있어서, 상기 제 1 소스/드레인막(57)은 제 1 도전형이고, 상기 소스/드레인영역(85)은 제 2 도전형인 전계효과 트랜지스터.

청구항 6

제 5 항에 있어서, 상기 제 1 소스/드레인막(57)은 슬라이드막(89)을 개재시켜서 상기 소스/드레인영역(85)에 전기적으로 접속된 전계효과 트랜지스터.

청구항 7

제 5 항에 있어서, 상기 전계효과 트랜지스터(9)와 상기 다른 전계효과 트랜지스터(11)는 인버터를 형성하는 전계효과 트랜지스터.

청구항 8

제 7 항에 있어서, 인버터를 추가구성하고, 상기 인버터와 상기 추가구성한 인버터는 SRAM의 플립플롭을 형성하는 전계효과 트랜지스터.

청구항 9

제 1 항에 있어서, 제 1 다결정실리콘막(65)과 제 1 소스/드레인막(57) 및 제 2 소스/드레인막(67)의 각각은 서로 분리되어 형성되고, 각각은 일정한 두께를 가지며, 제 1소스/드레인막(57)과 제 2 소스/드레인막(67)은 다결정실리콘으로 구성되는 전계효과 트랜지스터.

청구항 10

제 1 항에 있어서, 상기 제 2 절연막(55)는 상기 제 1 소스/드레인막(57)과 상기 다른 전계효과 트랜지스터(11)의 소스/드레인영역(85)(87) 사이에 배치되는 전계효과 트랜지스터.

청구항 11

제 1 항에 있어서, 상기 제 1 소스/드레인막(57)과 상기 다른 전계효과 트랜지스터(11)의 소스/드레인영역(85)(87) 사이의 상기 전기적 접촉이 상기 주표면(52)에서 발생하는 전계효과 트랜지스터.

청구항 12

반도체기판(51)의 주표면(52)에 설치된 구멍부(53)에 형성된 전계효과 트랜지스터이며, 상기 구멍부(53) 내에 위치하고 상기 구멍부(53)의 깊이방향으로 뻗어 있으며, 상기 주표면(52)측에 제 1 단부와 상기 구멍부(53)의 저부측에 제 2 단부가 있고, 채널이 되는 제 1 다결정실리콘막(65)과; 상기 구멍부(53)내에 위치하고, 상기 구멍부(53)의 깊이방향을 따라 뻗어 있으며, 게이트절연막(63)을 개재시켜서 상기 제 1 다결정실리콘막(65)과 대향하고 있는 게이트전극(61)과; 상기 제 1 다결정실리콘막(65)과, 상기 구멍부(53)의 깊이방향에 따라 뻗어 있고 상기 제 2 단부에 전기적으로 접속된 상기 구멍부(53)속의 게이트전극(61)으로부터 분리되어 다르게 형성된 제 2 도전형의 제 2 다결정실리콘막(67)과, 상기 구멍부(53)에 위치하고 상기 게이트전극(61)로부터 상기 제 소스/드레인막(57)을 전기적으로 절연하는 제 1 절연막(59)와, 상기 구멍부(53)에 위치하고 상기 반도체기판(51)으로부터 상기 제 1 소스/드레인막(57)을 전기적으로 절연하는 제 2 절연막(55)와, 상기 주표면(52)위에 위치하고 상기 제 1 단부에 전기적으로 접속된 제 2 소스/드레인으로 되는 상기 제 1 다결정실리콘막으로부터 분리되어 분리되어 다르게 형성된 제 2 도전형의 제 3 다결정실리콘막으로 구성된 전계효과 트랜지스터.

청구항 13

제 12 항에 있어서, 제 3 다결정막은 제 1 고농도 소스/드레인영역막(77)과 동일 도전형의 저농도 소스/드레인영역막(79)를 추가구성하고, 상기 저농도 소스/드레인영역막(79)은 상기 게이트절연막(63)에 인접하고, 일단에서 상기 제 1 단부에 전기적으로 접속하면, 타단에서 상기 고농도 소스/드레인영역막(77)과 접촉하여 상기 주표면(52) 위에 위치하는 상기 고농도 소스/드레인영역막(77)의 일부분으로 되는 전계효과 트랜지스터.

청구항 14

제 12 항에 있어서, 상기 게이트절연막(63)은 상기 제 1 다결정실리콘막(65)의 주위에 위치하고, 상기 게이트전극(61)은 상기 게이트절연막(63)의 주위에 위치하는 전계효과 트랜지스터.

청구항 15

제 12 항에 있어서, 상기 제 2 다결정막(67)은 상기 구멍부(53)의 저부에 뻗어 있고 상기 제 1 다결정실리콘막(65)에 전기적으로 접속되는 전계효과 트랜지스터.

청구항 16

제 12 항에 있어서, 상기 제 2 다결정막(67)과 상기 게이트전극(61)의 상기 주표면(52) 위에 뻗어 있는 전계효과 트랜지스터.

청구항 17

제 16 항에 있어서, 상기 제 2 다결정막(67)을 상기 주표면(52)에 형성된 다른 전계효과 트랜지스터(11)의 소스/드레인영역(85)(87)에 전기적으로 접속되고, 상기 게이트전극(61)이 상기 다른 전계효과 트랜지스터(11)의 게이트전극에 전기적으로 접속되는 전계효과 트랜지스터.

청구항 18

제 17 항에 있어서, 상기 다른 전계효과 트랜지스터(11)의 소스/드레인영역(85)(87)은 제 1 도전형인 전계효과 트랜지스터.

청구항 19

제 18 항에 있어서, 상기 제 2 다결정막(67)은 실리콘사이드막(89)를 개재시킨 상기 다른 전계효과 트랜지스터(11)의 상기 소스/드레인영역(85)(87)에 전기적으로 접속되는 전계효과 트랜지스터.

청구항 20

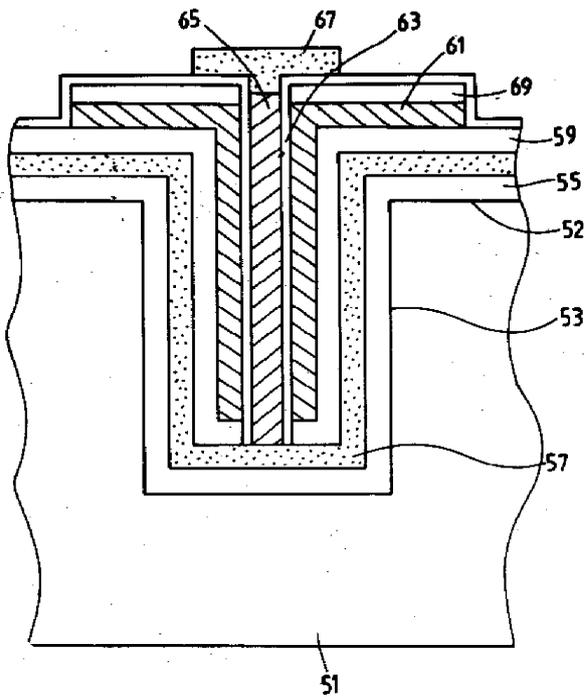
제 18 항에 있어서, 상기 전계효과 트랜지스터(9)와 상기 다른 전계효과 트랜지스터(11)가 인버터를 형성하는 전계효과 트랜지스터.

청구항 21

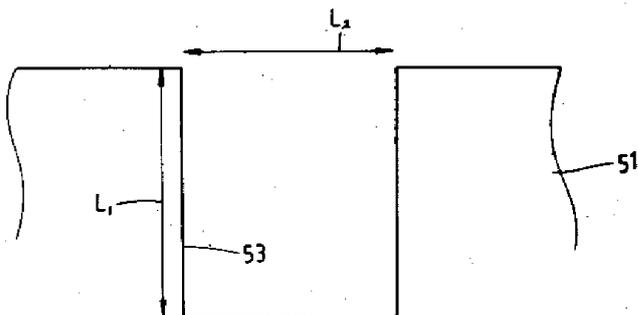
제 20 항에 있어서, 인버터를 추가구성하고, 상기 인버터와 상기 추가구성한 인버터가 SRAM의 플립플롭을 형성하는 전계효과 트랜지스터.

도면

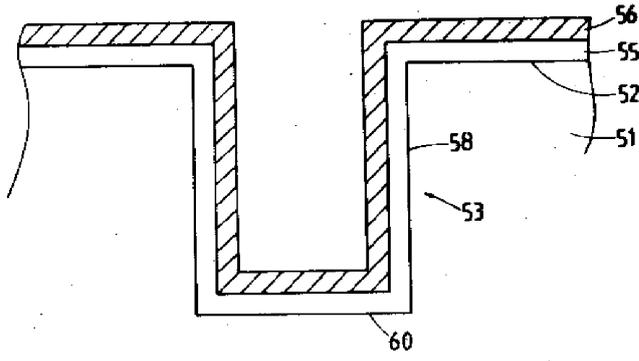
도면1



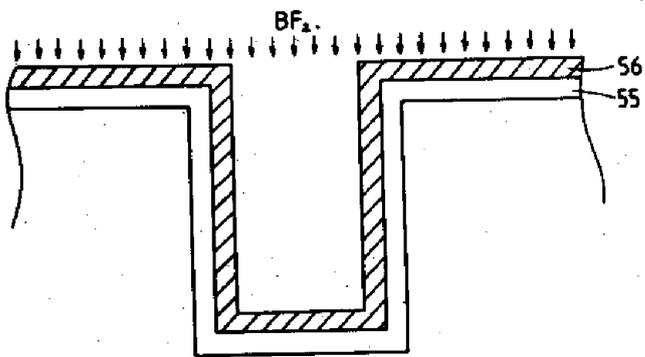
도면2



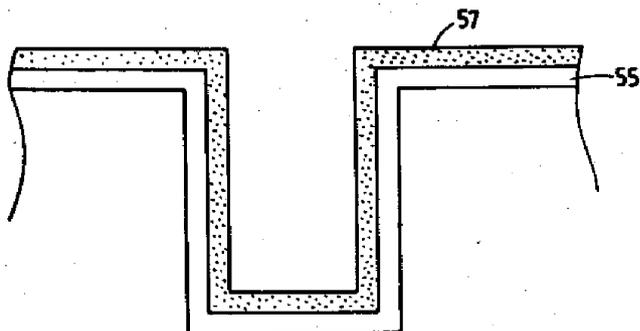
도면3



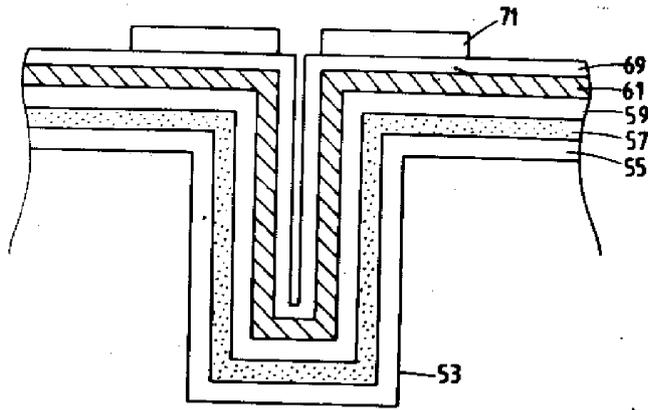
도면4



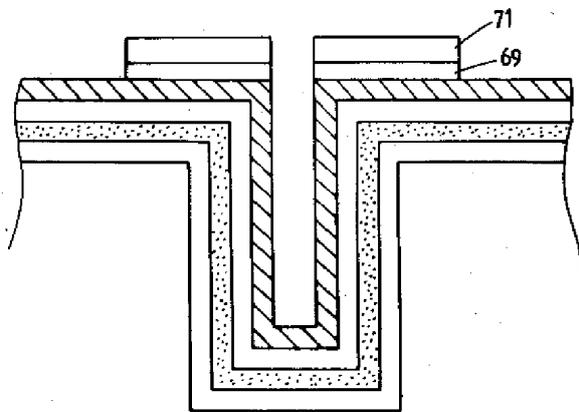
도면5



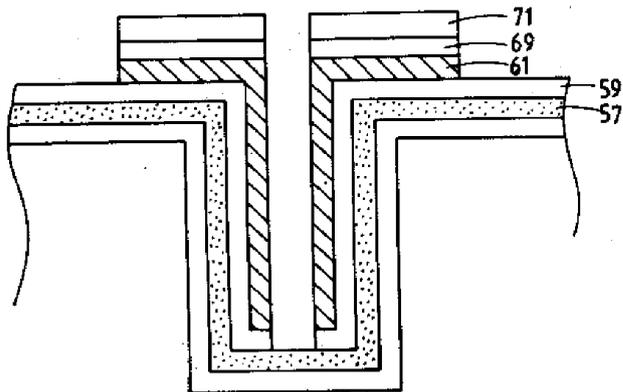
도면6



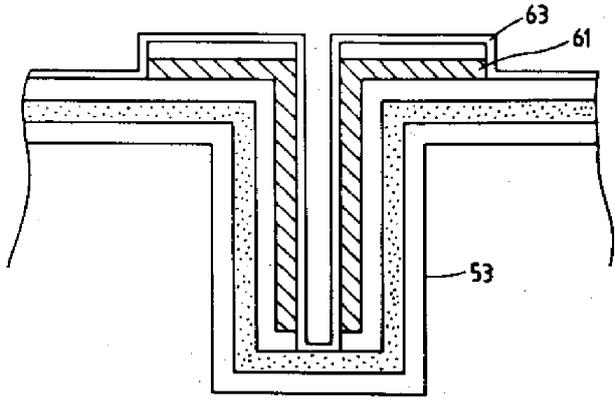
도면7



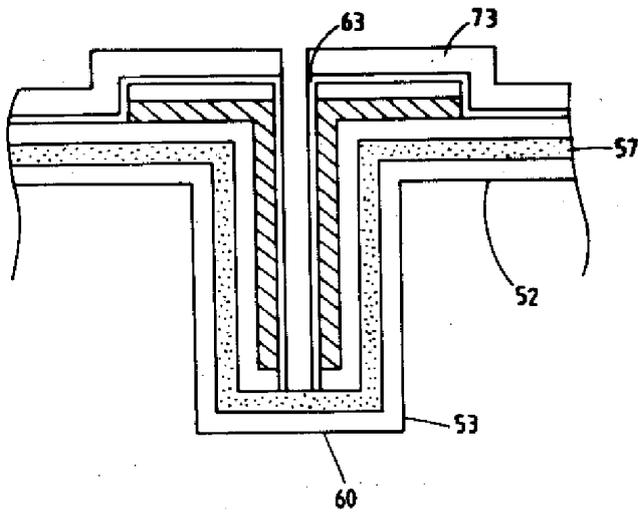
도면8



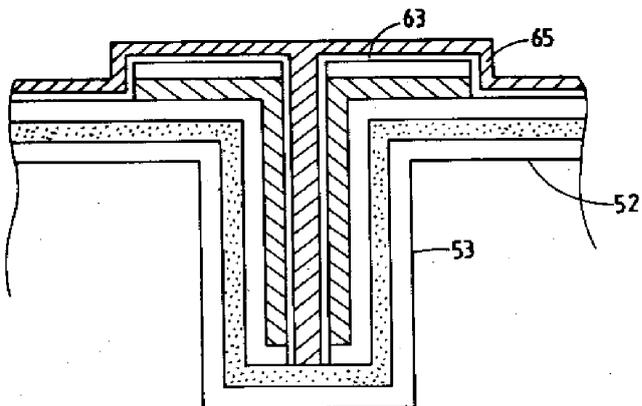
도면9



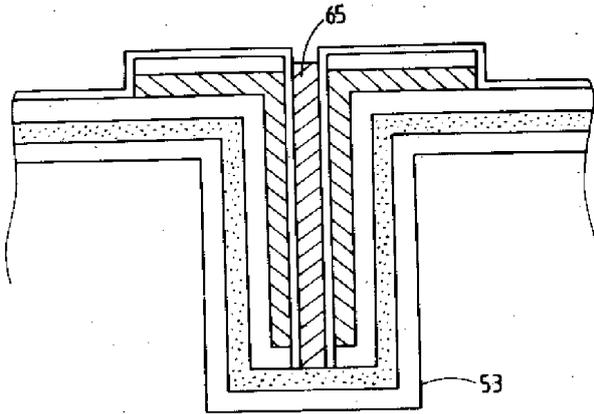
도면10



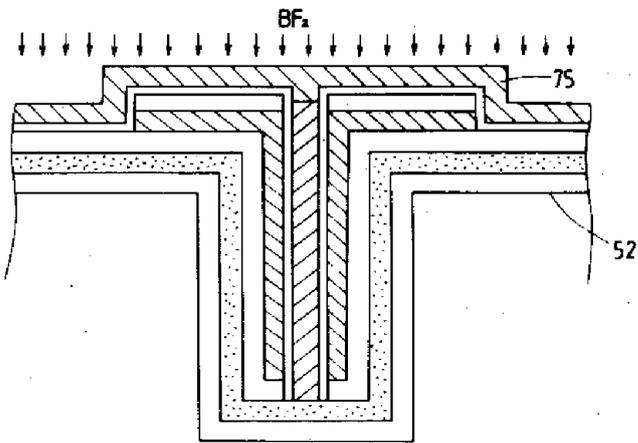
도면11



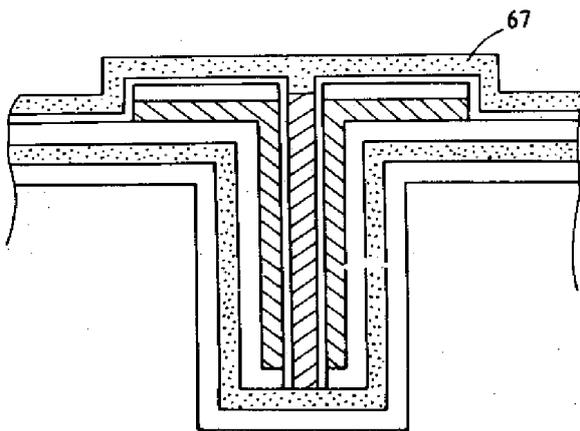
도면12



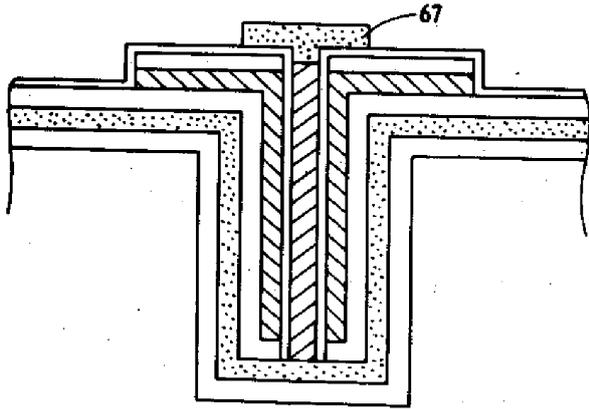
도면13



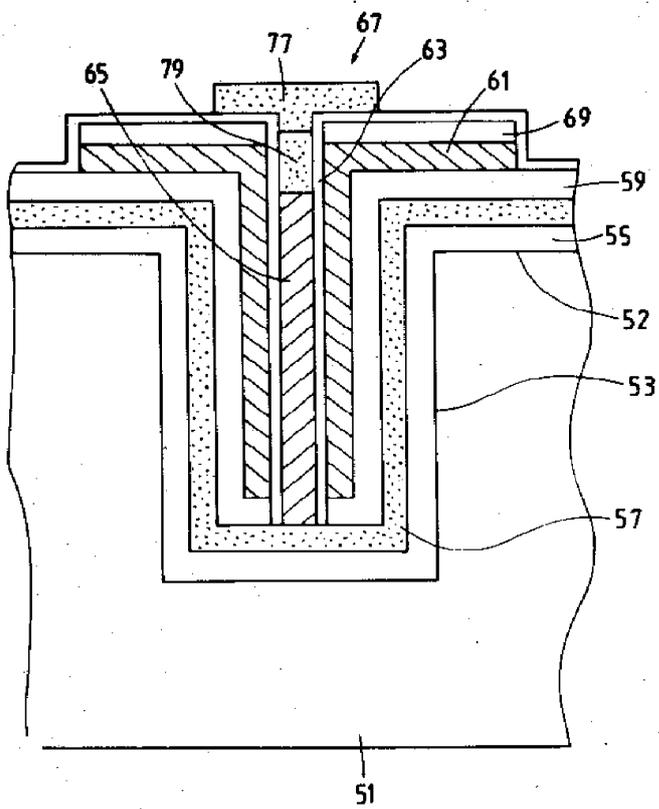
도면14



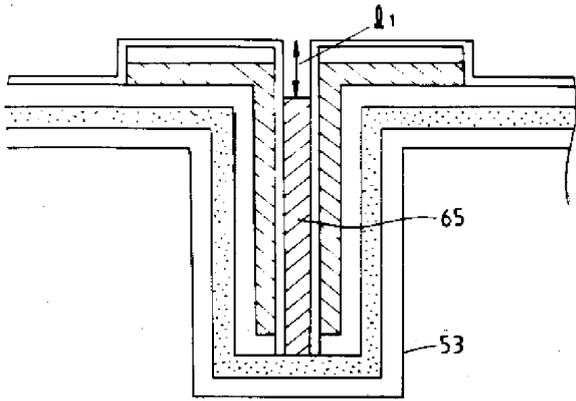
도면 15



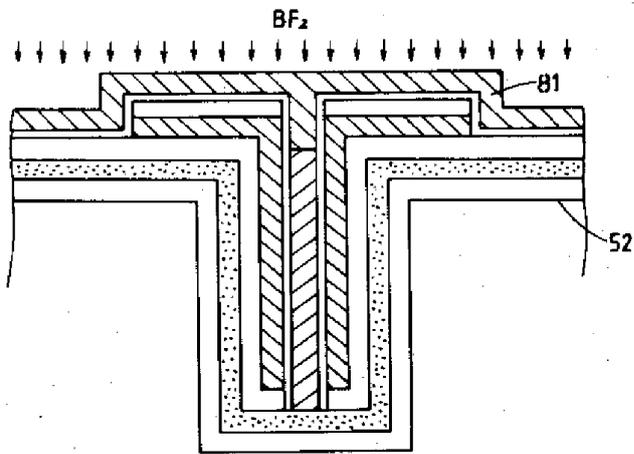
도면 16



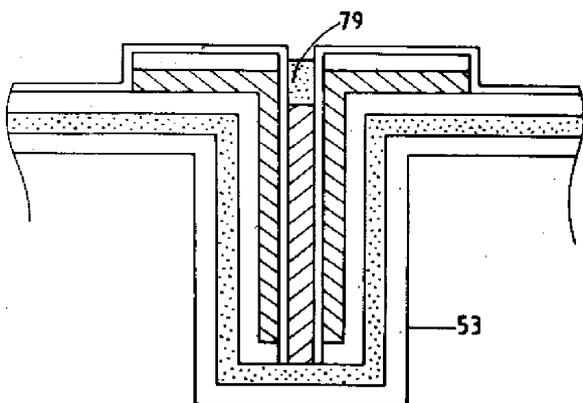
도면17



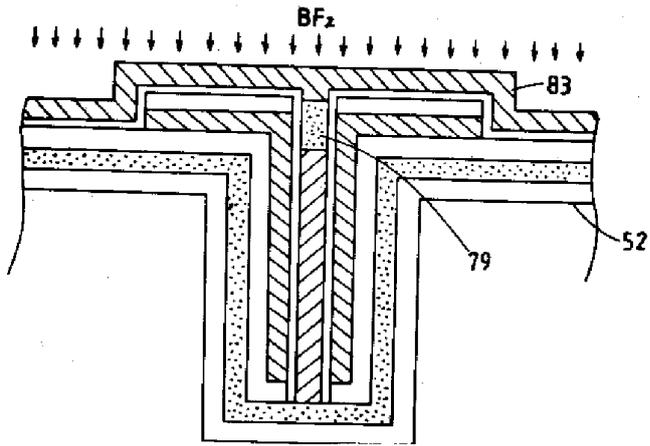
도면18



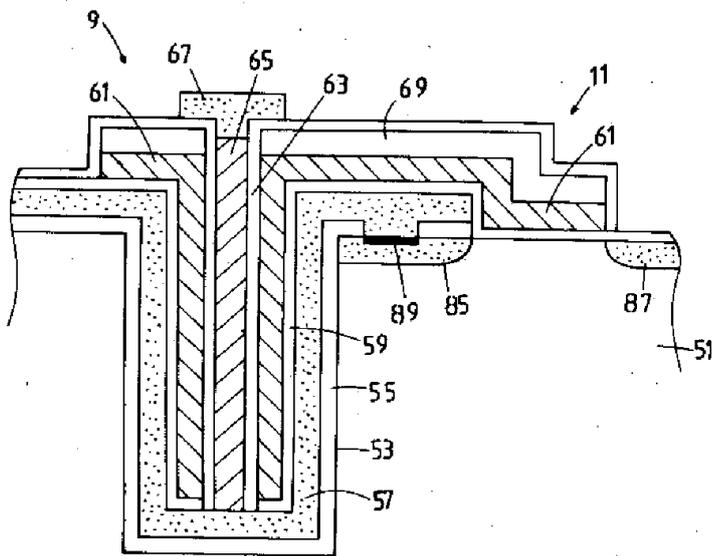
도면19



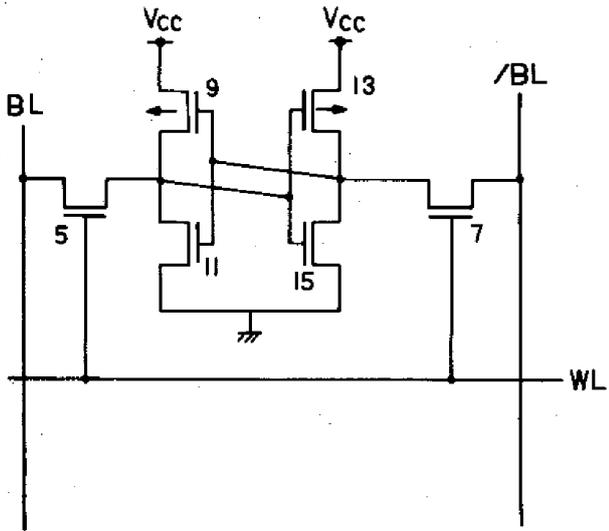
도면20



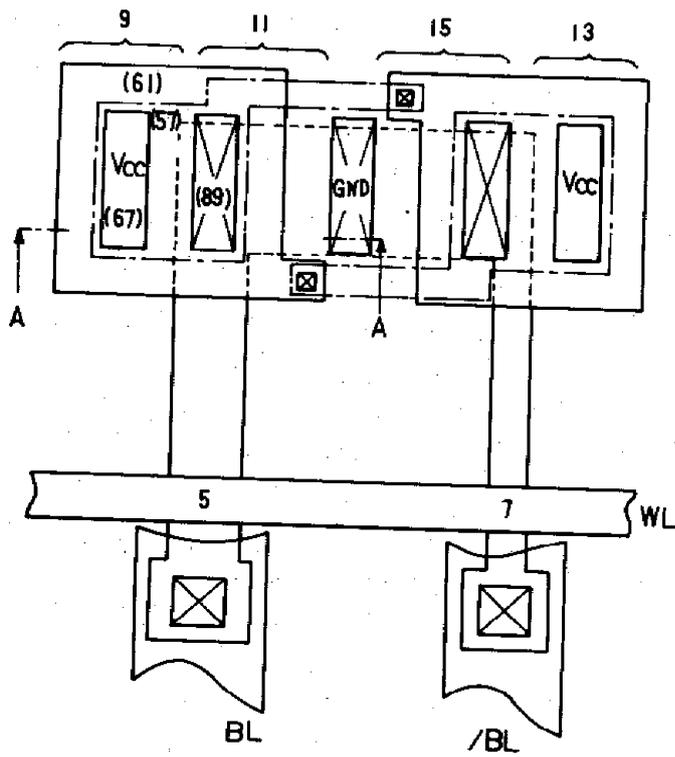
도면21



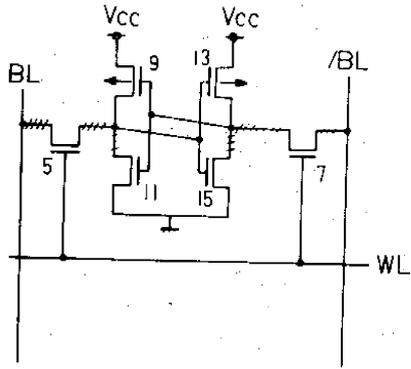
도면22



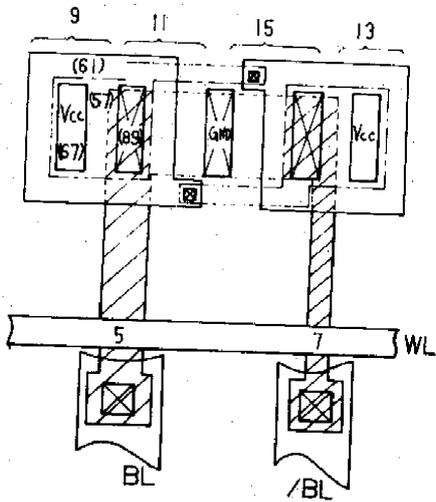
도면23



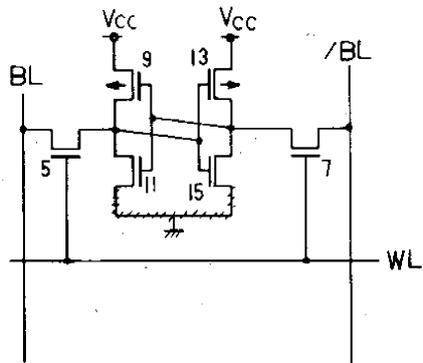
도면24



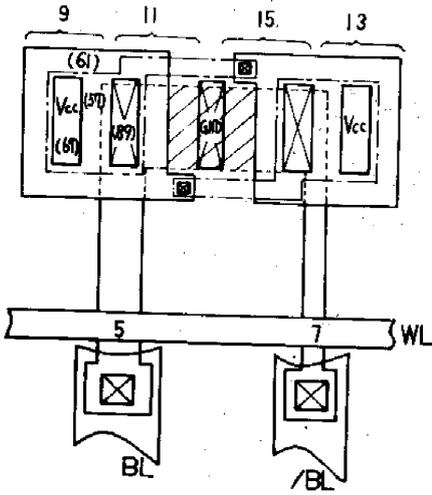
도면25



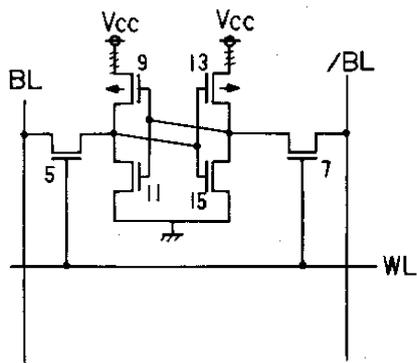
도면26



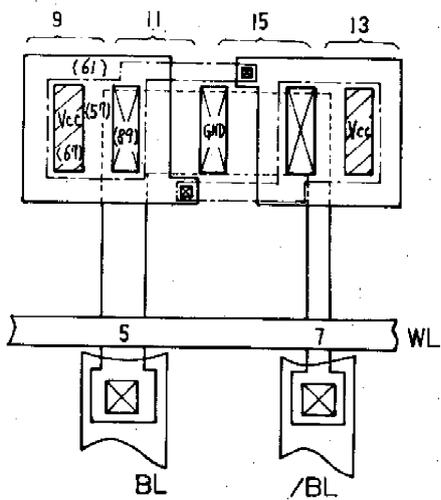
도면27



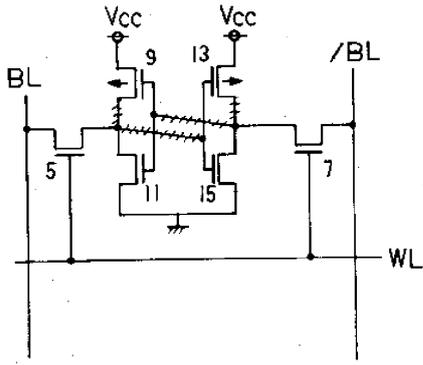
도면28



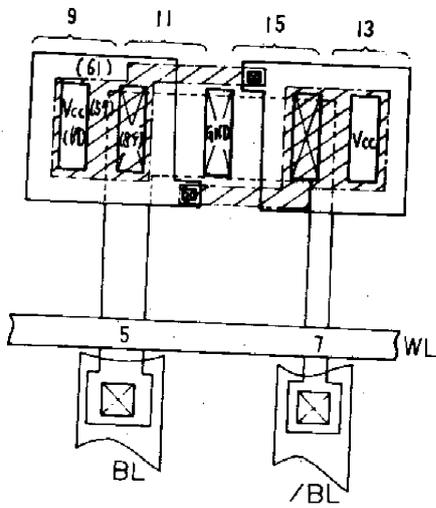
도면29



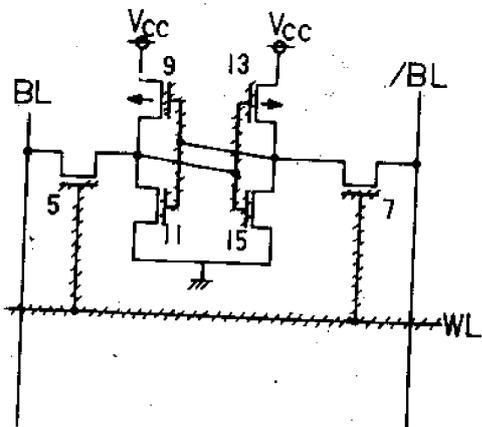
도면30



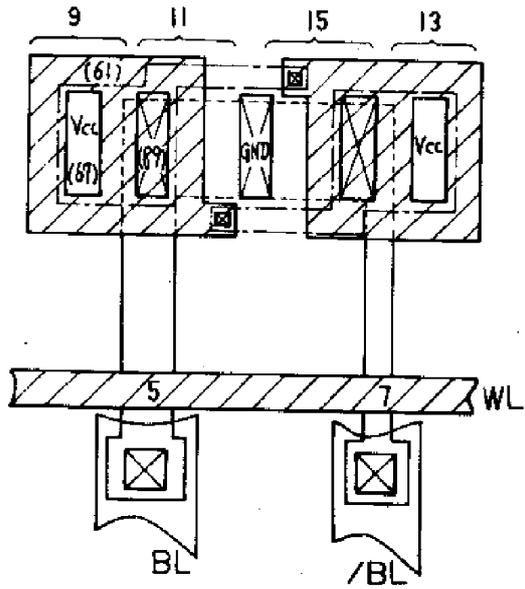
도면31



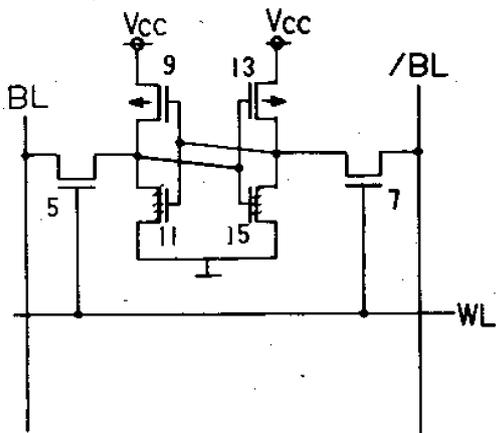
도면32



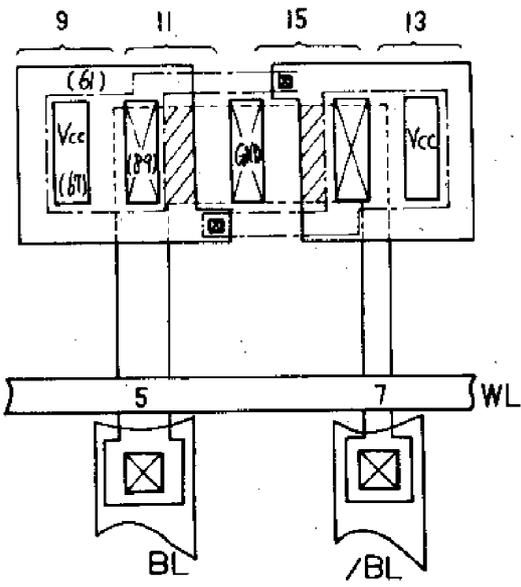
도면33



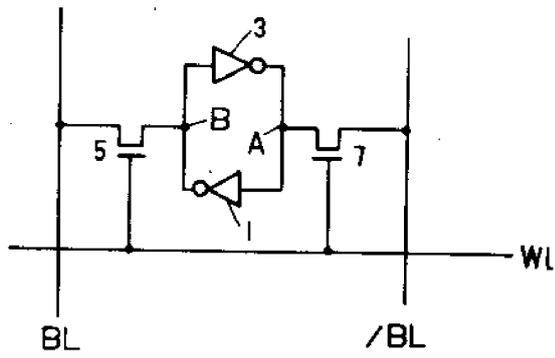
도면34



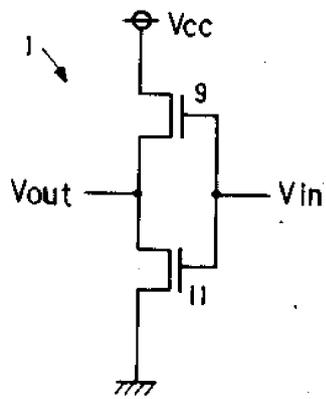
도면35



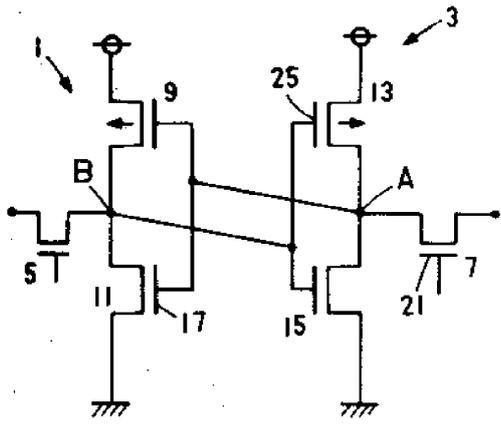
도면36



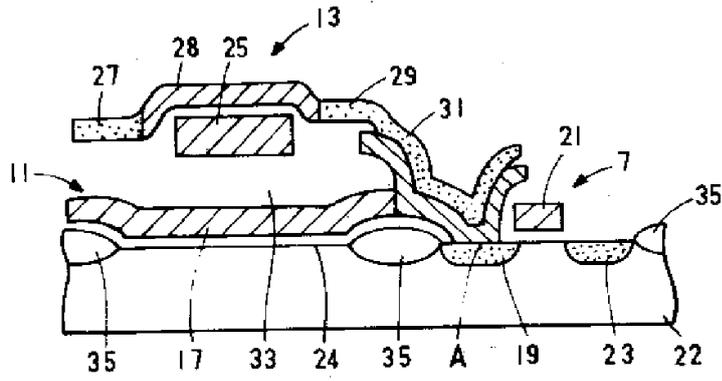
도면37



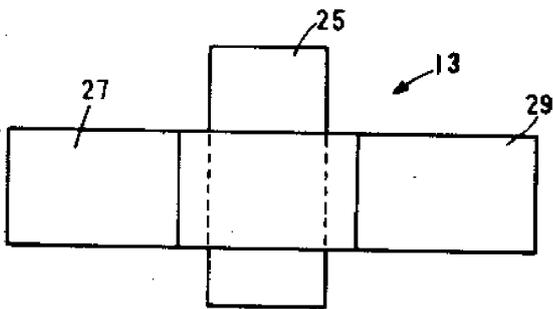
도면38



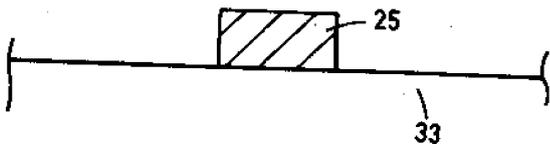
도면39



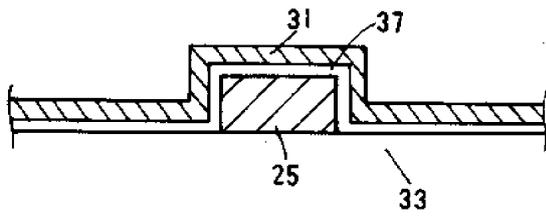
도면40



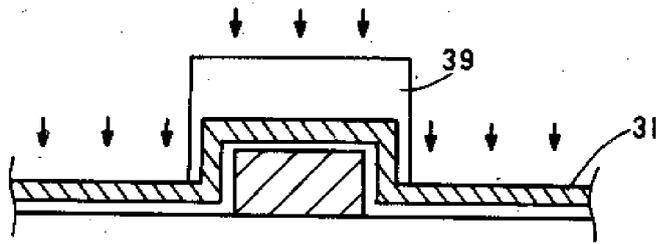
도면41



도면42



도면43



도면44

