



(10) 授权公告号 CN 114747184 B

(45) 授权公告日 2024. 10. 15

(21) 申请号 202080084420.6

(22) 申请日 2020.11.30

(65) 同一申请的已公布的文献号
申请公布号 CN 114747184 A

(43) 申请公布日 2022.07.12

(30) 优先权数据
62/942,763 2019.12.03 US
17/063,450 2020.10.05 US

(85) PCT国际申请进入国家阶段日
2022.06.06

(86) PCT国际申请的申请数据
PCT/US2020/062568 2020.11.30

(87) PCT国际申请的公布数据
W02021/113169 EN 2021.06.10

(73) 专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72) 发明人 R·S·布鲁赫顿 V·德瓦拉吉安
W·R·雷 D·B·拉嘉帕沙

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245
专利代理师 徐东升

(51) Int.Cl.
H04L 25/08 (2006.01)

(56) 对比文件
US 2014156893 A1, 2014.06.05
审查员 张华晶

权利要求书3页 说明书4页 附图3页

(54) 发明名称

具有振铃抑制的总线收发器

(57) 摘要

一种收发器(100)包括驱动器级(140)和瞬态触发振铃抑制电路(120)。驱动器级(140)具有耦合在电源电压端子和第一总线端子之间的第一晶体管(M1)和耦合在地和第二总线端子之间的第二晶体管(M4)。瞬态触发振铃抑制电路(120)耦合到第一晶体管(M1)和第二晶体管(M4)。瞬态触发振铃抑制电路(120)被配置为在收发器(100)从显性状态转变为隐性状态时被启用。此外,当收发器(100)处于隐性状态时,瞬态触发振铃抑制电路(120)被配置为衰减第一或第二总线端子中的至少一个上的振铃。

1. 一种收发器,其包括:

驱动器级,其具有耦合在电源电压端子和第一总线端子之间的第一晶体管和耦合在地和第二总线端子之间的第二晶体管;

第三晶体管,其耦合在公共电压端子和所述第一晶体管的端子之间,所述第三晶体管具有控制输入端以及第一电流端子和第二电流端子;

第一电容器,其耦合在所述第一电流端子与所述第三晶体管的所述控制输入端之间;

第一电阻器,其耦合在所述电源电压端子与所述第三晶体管的所述控制输入端之间;以及

第一开关,其耦合在所述电源电压端子和所述第三晶体管的所述控制输入端之间。

2. 根据权利要求1所述的收发器,其中,所述第一开关被配置为在所述收发器的第一状态期间闭合,并且在所述收发器的第二状态期间断开。

3. 根据权利要求2所述的收发器,其中,所述收发器为控制器局域网总线收发器即CAN总线收发器,并且所述第一状态为显性状态且所述第二状态为隐性状态。

4. 根据权利要求1所述的收发器,还包括电压缓冲器,所述电压缓冲器具有耦合到所述公共电压端子的输出。

5. 根据权利要求1所述的收发器,还包括:

第四晶体管,其耦合在所述第二晶体管的端子和所述公共电压端子之间,所述第四晶体管具有控制输入端以及第一电流端子和第二电流端子;

第二电容器,其耦合在所述第四晶体管的所述第一电流端子与所述第四晶体管的所述控制输入端之间;

第二电阻器,其耦合在地和所述第四晶体管的所述控制输入端之间;以及

第二开关,其耦合在地和所述第四晶体管的所述控制输入端之间。

6. 根据权利要求5所述的收发器,其中,所述第一晶体管具有控制输入端并且所述第二晶体管包括控制输入端,并且所述收发器还包括具有驱动器输入、第一输出和第二输出的发射器驱动器,所述驱动器输入被配置为接收发射信号,所述第一输出耦合到所述第一晶体管的所述控制输入端,并且所述第二输出耦合到所述第二晶体管的所述控制输入端。

7. 根据权利要求5所述的收发器,其中:

所述第一开关被配置为在所述收发器的第一状态期间闭合,并且在所述收发器的第二状态期间断开;并且

所述第二开关被配置为在所述收发器的所述第一状态期间闭合,并且在所述收发器的所述第二状态期间断开。

8. 根据权利要求7所述的收发器,其中:

所述收发器为控制器局域网总线收发器即CAN总线收发器,并且所述第一状态为显性状态且所述第二状态为隐性状态;并且

所述收发器包括电压缓冲器,所述电压缓冲器具有提供所述公共电压端子的输出。

9. 根据权利要求1所述的收发器,其中,所述第一晶体管具有电流端子,并且所述第二晶体管具有电流端子,以及所述收发器还包括隐性归零电路,所述隐性归零电路耦合到所述公共电压端子、所述第一晶体管的所述电流端子和所述第二晶体管的所述电流端子,并且所述隐性归零电路被配置为在所述收发器从显性状态转变为隐性状态时强制所述第一

晶体管的所述电流端子和所述第二晶体管的所述电流端子在一段时间内处于所述公共电压端子上的电压。

10. 一种收发器,其包括:

驱动器级,其具有耦合在电源电压端子和第一总线端子之间的第一晶体管和耦合在地和第二总线端子之间的第二晶体管;

瞬态触发振铃抑制电路,其耦合到所述第一晶体管和所述第二晶体管,所述瞬态触发振铃抑制电路被配置为在所述收发器从显性状态转变为隐性状态时启用,并且当所述收发器处于所述隐性状态时,衰减所述第一总线端子或所述第二总线端子中的至少一个上的振铃;

其中,所述瞬态触发振铃抑制电路包括:

第三晶体管,其耦合在所述第二晶体管的端子和公共电压端子之间,所述第三晶体管具有控制输入端以及第一电流端子和第二电流端子;

第一电容器,其耦合在所述第三晶体管的所述第二电流端子与所述第三晶体管的所述控制输入端之间;

第一电阻器,其耦合在地和所述第三晶体管的所述控制输入端之间;以及

第一开关,其耦合在地和所述第三晶体管的所述控制输入端之间。

11. 根据权利要求10所述的收发器,其中,所述瞬态触发振铃抑制电路包括:

第四晶体管,其耦合在公共电压端子和所述第一晶体管的端子之间,所述第四晶体管具有控制输入端以及第一电流端子和第二电流端子;

第二电容器,其耦合在所述第四晶体管的所述第一电流端子与所述控制输入端之间;

第二电阻器,其耦合在所述电源电压端子与所述第四晶体管的所述控制输入端之间;以及

第二开关,其耦合在所述电源电压端子和所述第四晶体管的所述控制输入端之间。

12. 根据权利要求10所述的收发器,其中,所述第一开关被配置为在所述显性状态期间闭合,并且在所述隐性状态期间断开。

13. 根据权利要求10所述的收发器,还包括电压缓冲器,所述电压缓冲器具有耦合到所述公共电压端子的输出。

14. 根据权利要求10所述的收发器,其中,所述第一晶体管具有控制输入端并且所述第二晶体管包括控制输入端,并且所述收发器还包括具有驱动器输入、第一输出和第二输出的发射器驱动器,所述驱动器输入被配置为接收发射信号,所述第一输出耦合到所述第一晶体管的所述控制输入端,并且所述第二输出耦合到所述第二晶体管的所述控制输入端。

15. 一种收发器,其包括:

驱动器级,其具有耦合在电源电压端子和第一总线端子之间的第一晶体管和耦合在地和第二总线端子之间的第二晶体管;

第三晶体管,其耦合在公共电压端子和所述第一晶体管的端子之间,所述第三晶体管具有控制输入端以及第一电流端子和第二电流端子;

第一电容器,其耦合在所述第三晶体管的所述第一电流端子与所述控制输入端之间;

第一电阻器,其耦合在所述电源电压端子与所述第三晶体管的所述控制输入端之间;

第一开关,其耦合在所述电源电压端子和所述第三晶体管的所述控制输入端之间;

第四晶体管,其耦合在所述第二晶体管的端子和所述公共电压端子之间,所述第四晶体管具有控制输入端以及第一电流端子和第二电流端子;

第二电容器,其耦合在所述第四晶体管的所述第一电流端子与所述第四晶体管的所述控制输入端之间;

第二电阻器,其耦合在地和所述第四晶体管的所述控制输入端之间;以及

第二开关,其耦合在地和所述第四晶体管的所述控制输入端之间。

16.根据权利要求15所述的收发器,还包括电压缓冲器,所述电压缓冲器具有耦合到所述第三晶体管的所述第二电流端子和所述第四晶体管的所述第二电流端子的输出,所述电压缓冲器被配置为在所述公共电压端子上生成公共电压。

17.根据权利要求16所述的收发器,其中,所述第一晶体管具有电流端子,并且所述第二晶体管具有电流端子,并且所述收发器还包括隐性归零电路,所述隐性归零电路耦合到所述公共电压端子、所述第一晶体管的所述电流端子和所述第二晶体管的所述电流端子,并且所述隐性归零电路被配置为在所述收发器从第一状态转变到第二状态时强制所述第一晶体管的所述电流端子和所述第二晶体管的所述电流端子在一段时间内为所述公共电压端子。

18.根据权利要求15所述的收发器,其中,所述收发器是控制器局域网总线收发器即CAN总线收发器。

具有振铃抑制的总线收发器

背景技术

[0001] 控制器局域网 (CAN) 是一种总线标准,旨在允许微控制器和设备在没有主机的应用中相互通信。CAN总线协议是一种基于消息的协议,特别适用于汽车内的多路复用布线,但在其他应用中也很有用。

发明内容

[0002] 在一个示例中,一种收发器包括驱动器级和瞬态触发振铃抑制电路。驱动器级具有耦合在电源电压端子和第一总线端子之间的第一晶体管和耦合在地和第二总线端子之间的第二晶体管。瞬态触发振铃抑制电路耦合到第一晶体管和第二晶体管。瞬态触发振铃抑制电路被配置为在收发器从显性状态转变到隐性状态时被启用。此外,当收发器处于隐性状态时,瞬态触发振铃抑制电路被配置为衰减第一总线端子或第二总线端子中的至少一个上的振铃。

附图说明

[0003] 对于各种示例的详细描述,现在将参考附图,其中:

[0004] 图1示出了包括瞬态触发振铃抑制电路的CAN总线收发器的示例。

[0005] 图2示出了当收发器不具有瞬态触发振铃抑制电路时CAN总线上振铃的说明性信号波形。

[0006] 图3示出了说明图1的收发器的CAN总线上的衰减振铃的说明性信号波形,该收发器具有瞬态触发振铃抑制电路。

具体实施方式

[0007] 随着CAN总线速度的增加,由于不正确的电气端接导致的总线上的振铃也增加了。当CAN总线收发器从“显性”状态转变为“隐性”状态时,来自不正确端接的短截线的反射可能会导致收发器上的振铃。如果振铃的幅度足够高,收发器会将振铃误解为显性位。因此,振铃会导致位错误。本文描述的示例包括CAN总线收发器,该收发器包括瞬态触发振铃抑制电路,该抑制电路在收发器转变到隐性状态时被启用。总线上的任何振铃都通过瞬态触发振铃抑制电路衰减,从而产生更小幅度和更短持续时间的振铃信号,从而产生更少位错误。本文所述的瞬态触发振铃抑制电路可适用于CAN以外的其他总线协议。

[0008] 图1示出了CAN总线收发器100的至少一部分的示例。CAN总线收发器100包括发射器101和接收器150。CAN BUS端子被示为CANH和CANL。接收器150耦合到CANH和CANL并且接收由总线上的另一个收发器发射的信号并且将接收信号RxD输出到其他逻辑(未示出)。接收器150包括CANH和CANL之间的差分电阻R_{id}。发射器101包括脉冲发生器110、电压缓冲器115、瞬态触发振铃抑制电路120、隐性归零电路130和驱动器级140。在一个示例中,电压缓冲器115在公共电压端子(VCM)上产生等于电源电压一半的电压。

[0009] 驱动器级140包括晶体管M1-M5和驱动器142。M1、M3和M6是p型金属氧化物半导体

场效应晶体管 (PMOS) 并且M2、M4和M5是n型金属氧化物半导体场效应晶体管 (NMOS)。作为PMOS或NMOS设备,每个这样的晶体管都包括控制输入端(栅极)和电流端子(源极和漏极)。也可以使用其他类型的晶体管,例如双极结型晶体管,它们还具有控制输入端(基极)和电流端子(集电极和发射极)。

[0010] M1-M3串联连接在电源电压端子(VCC)和CANH之间,其中M1的源极耦合到VCC,M1的漏极在节点N1处连接到M2的源极,M2的漏极在节点N2处连接到M3的源极,且CANH取自M3的漏极。类似地,M4-M6串联在地和CANL之间,其中M4的源极接地,M4的漏极在节点N3处连接到M5的源极,M5的漏极在节点N4处连接到M6的源极,且CANL取自M6的漏极。在CANH和CANL之间连接了端接电阻器 R_{term} (例如120欧姆),但收发器也可以以其他方式端接(例如,其中串联连接的60欧姆电阻器在CANH和CANL之间并且电容器连接在电阻器和地之间的节点之间)。

[0011] PMOS晶体管M3和M6的栅极接地,因此M3和M4保持持续导通。M3和M6的源极保持固定在晶体管的高于地的阈值电压(例如,0.7V)。M3和M6操作以阻止来自相应总线端子CANH或CANL的大负电压损坏收发器。M2和M5的栅极连接到VCC并阻止来自相应总线端子CANH或CANL的大正电压损坏收发器。

[0012] 驱动器142在其输入接收发射信号TxD并驱动分别连接到M1和M4的栅极的互补输出143和144。CANH和CANL要么在CANH电压高于CANL电压的情况下被驱动到显性状态,要么在CANH电压低于或等于CANL电压的情况下不被无源电阻器驱动和拉到隐性状态。“0”数据位编码显性状态,而“1”数据位编码隐性状态。对于显性状态,设置TxD等于0,而对于隐性状态,设置TxD等于1。在TxD为0(显性状态)的情况下,驱动器142的输出143为0(低),输出144为1(高)。在输出143为0且输出144为0的情况下,PMOS晶体管M1和NMOS晶体管M4都导通,从而将CANH上拉至VCC并将CANL下拉至地。根据CAN总线协议,在显性状态下,CAN总线差分电压标称为2V。在隐性状态下,TxD为1,因此驱动器142的输出143为1,输出144为0,M1和M4均断开。在M1和M4为断开的情况下,CANH和CANL上的电压通过电阻器 R_{term} 和 R_{id} 被动地变为大约等于VCM。在上面提供的示例中,VCM等于 $VCC/2$ 。在VCC为5V的应用中,VCM为2.5V,并且在隐性状态下,CANH和CANL都大约等于2.5V(大约为零差分电压)。

[0013] 隐性归零电路包括NMOS晶体管M7-M12。M7和M8的栅极连接在一起并连接到脉冲发生器110。M7的漏极连接到M1的漏极和M2的源极(节点N1)。M9连接在M8的漏极和M2的漏极与M3的源极(节点N2)之间。M9被偏置导通并可操作以阻止N2上的大正电压损坏收发器。M7和M8的源极连接在一起并连接到M10和M11的源极。M10和M11的栅极连接在一起并连接到脉冲发生器110。M10的漏极连接到M4的漏极和M5的源极(节点N3)。M12连接在M11的漏极和M5的漏极与M6的源极(节点N4)之间。M12被偏置导通并可操作以阻止N4上的大正电压损坏收发器。

[0014] 脉冲发生器110响应于TxD的0到1转变分别在输出111和112上产生脉冲114和116。脉冲的宽度可以是固定的或可编程的。在一个示例中,宽度是200纳秒。在脉冲期间,M7、M8、M10和M11导通。隐性归零电路130起作用以在转换到隐性节点时强制每个节点N1-N4在短时间段内(例如,200ns)等于VCM,以帮助强制CANH和CANL上的电压彼此相等并且等于VCM。一旦脉冲114和116结束,CAN和CANL保持在VCM。

[0015] 瞬态触发振铃抑制电路120有助于在从显性状态转变为隐性状态时抑制CAN总线上的振铃。瞬态触发振铃抑制电路120包括开关SW1和SW2、电阻器R1和R2、电容器C1和C2以

及NMOS晶体管M21和M22。SW1耦合在VCC和M21的栅极之间。在一个示例中,SW1可以是PMOS晶体管。R1也耦合在VCC和M21的栅极之间。C1耦合在M21的源极和栅极之间。SW2耦合在地和M22的栅极之间。在一个示例中,SW2可以是NMOS晶体管。R2也耦合在地和M22的栅极之间。C2耦合在M22的栅极和漏极之间。

[0016] 在显性状态(TxD为0)期间,M1导通。在M1导通的情况下,节点N1上拉至VCC,因此M21的源极为VCC。M22的源极耦合到VCM。在显性状态期间,控制信号121和122导致开关SW1和SW2闭合。在该示例中,控制信号121和122由脉冲发生器110生成。如果SW1被实现为PMOS晶体管,则控制信号121可以由脉冲发生器110断言以跟踪TXD的逻辑状态(即,当TXD为高,控制信号121被强制为高,反之亦然)。如果SW2被实现为NMOS晶体管,则控制信号122可以由脉冲发生器110断言以跟踪TXD的逻辑状态的逻辑反转(即,当TXD为高时,控制信号122被强制为低,反之亦然)。在一个示例中,脉冲发生器110包括用于生成控制信号121和122的缓冲器(缓冲器具有正输出和负输出)。在SW1闭合的情况下,M21的栅极上拉至VCC。因此,M21两端的栅源到源极电压不足以导通M21,因此M21断开。在SW2闭合的情况下,M22的栅极被拉动,从而将M22保持在断开状态。

[0017] 在进入隐性状态时,控制信号121和122改变逻辑状态并导致开关SW1和SW2断开,从而启用瞬态触发振铃抑制电路。R1将M21的栅极拉高,从而将M21保持在断开状态。然而,CANH上的任何振铃信号都会通过M3和M2传播到电容器C1。C1因振铃信号而充电,如果振铃信号的幅度足够大,C1将充电至足够大的电压(至少高于VCM的阈值电压)以导通M21。连接在VCC和M21栅极之间的电阻器R1使M21的栅极放电,从而最终导通M21。这样,CANH上的振铃信号通过瞬态触发振铃抑制电路120的耦合到CANH的那部分(即R1、C1和M21)消散。

[0018] 在隐性状态中和在总线的CANL侧上,R2将M22的栅极拉低,从而将M22保持在断开状态。CANL上的任何振铃信号通过M6和M5传播到电容器C2。C2因振铃信号而充电,如果振铃信号的幅度足够大,C2将充电到足够大的电压(至少高于连接到VCM的M22的源极的阈值电压)以导通M22。连接在地和M22的栅极之间的电阻器R2使M22的栅极放电,从而最终导通M22。这样,CANL上的振铃信号通过瞬态触发振铃抑制电路120的耦合到CANL的那部分(即R2、C2和M22)消散。

[0019] 图2图示了对于不具有瞬态触发振铃抑制电路120的CAN总线收发器,在显性状态期间以及在转换到隐性状态时的CANH和CANL的电压电平。上面的曲线示出了CANH和CANL信号,下面的曲线是差分电压(即CANH-CANL)。在显性状态期间,CANH为3.5V,并且CANL为1.5V,因此差分电压为2V。在进入隐性状态时,CANH和CANL电压电平在大约VCM处紧挨在一起,在本示例中VCM为2.5V。然而,在图1的示例中,在进入隐性状态时发生振铃210。振铃信号幅度随时间减小。在220处所示的初始振铃峰值足够高,以致在收发器中引起位错误(将振铃误解为新的显性状态)。

[0020] 图3图示了对于具有上述瞬态触发振铃抑制电路120的CAN总线收发器,在显性状态期间以及在转变为隐性状态时的CANH和CANL。可以看出,与图2中的振铃210相比,振铃310的幅度被衰减,并且峰值振铃电平320没有大到足以引起位错误。此外,振铃310的消散速度比振铃210快得多。

[0021] 在整个说明书中使用术语“耦合”。该术语可以涵盖实现与本公开的描述一致的功能关系的连接、通信或信号路径。例如,如果设备A生成信号以控制设备B执行动作,则在第

一示例中,设备A耦合到设备B,或者在第二示例中,如果中间组件C基本上不改变设备A和设备B之间的功能关系,使得设备B由设备A经由由设备A生成的控制信号控制,则设备A通过中间组件C耦合到设备B。

[0022] 在权利要求的范围内,在所描述的实施例中的修改是可能的,并且在其他实施例中也是可能的。

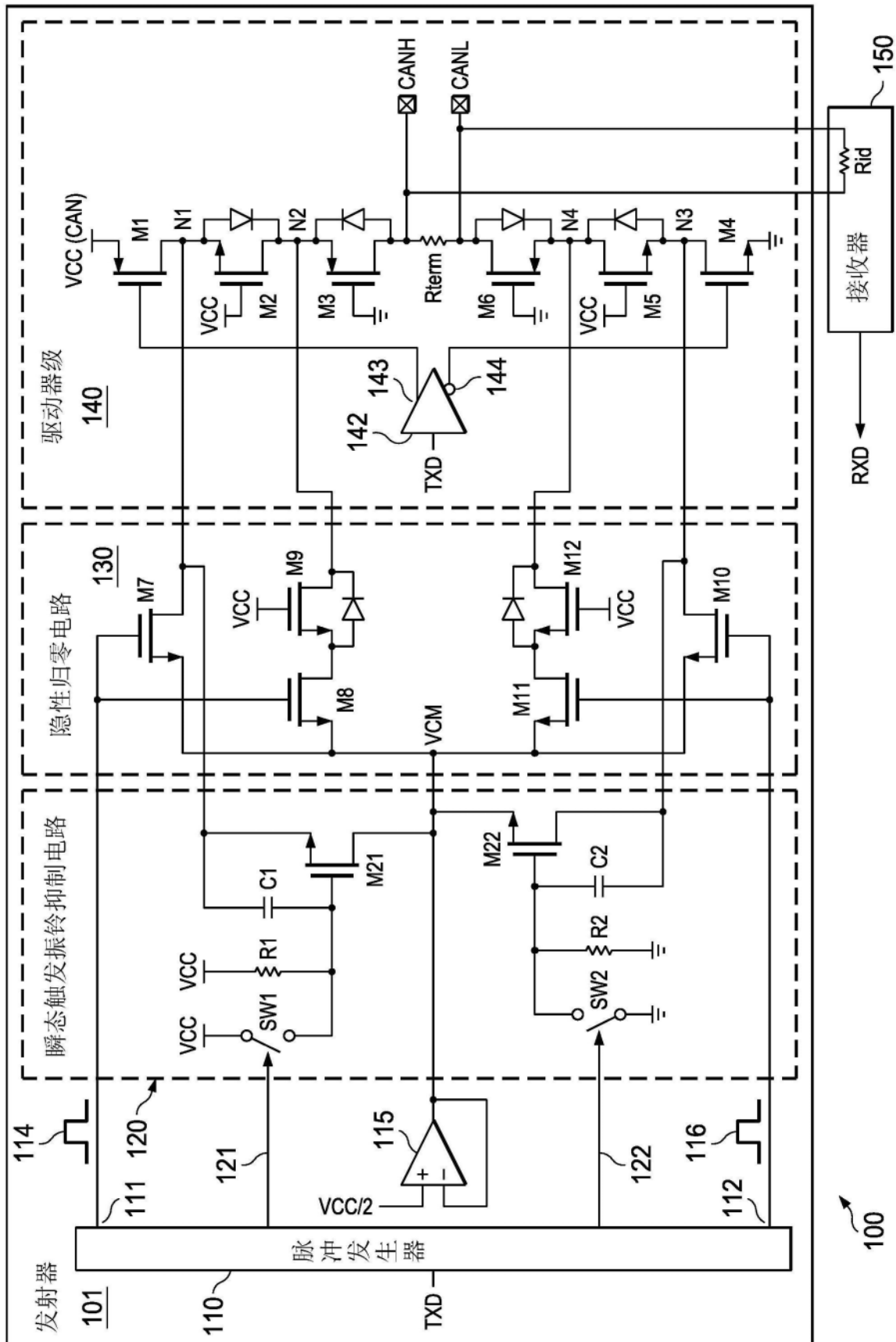


图1

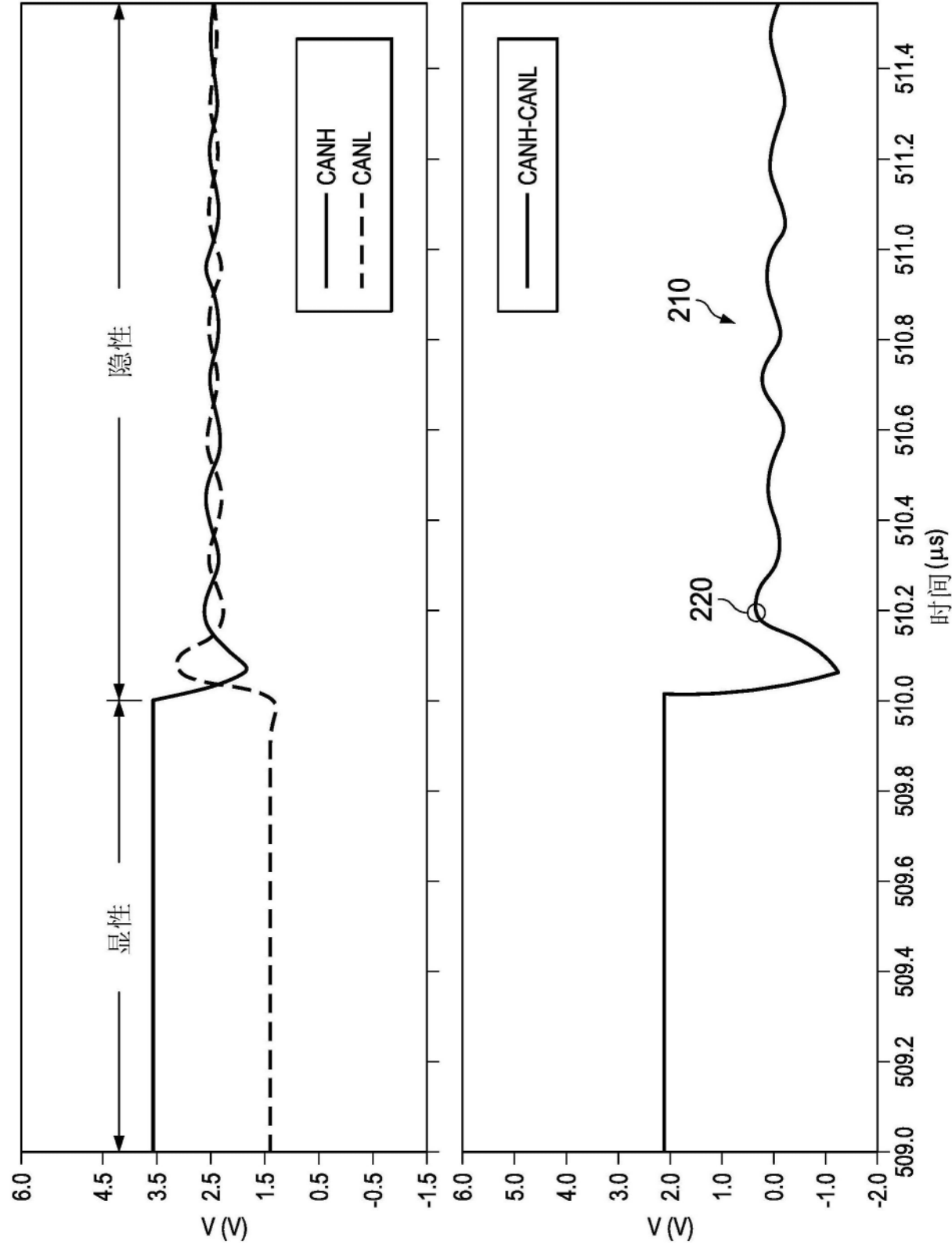


图2

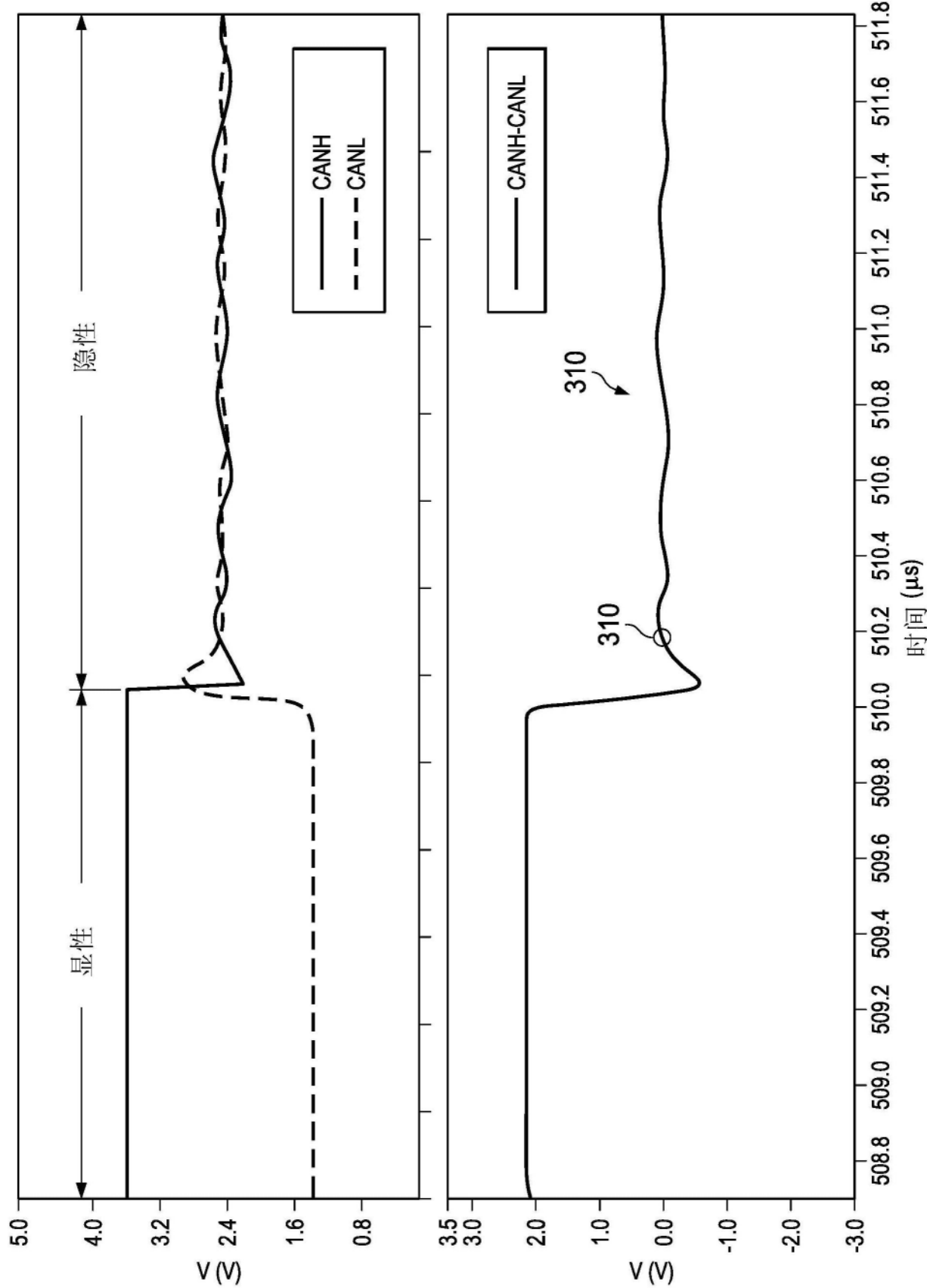


图3