(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03K 19/00

(11) 공개번호 특1993-0015344
(43) 공개일자 1993년07월24일

(21) 출원번호 특1992-0022948
(22) 출원일자 1992년12월01일

(30) 우선권주장 91-804, 105 1991년12월06일 미국(US)
(71) 출원인 내쇼날 세미컨덕터 코포레이션 존 엠. 클락
미합중국, 캘리포니아 95052-8090, 산타 클라라, 엠/에스 16-135, 피.오. 박스 58090, 2900 세미컨덕터 드라이브

(72) 발명자 제임스 알. 오한네스
미합중국, 메인 04101, 포틀랜드, 에이피티. 7, 341 포어 스트리트
스테펀 더블유. 클러키
미합중국, 메인 04106, 사우스 포틀랜드, 105 바안 스테이블 로드
이. 데이비드 하악
미합중국, 메인 04092, 웨스트브룩, 97 센트럴 스트리트
로이 엘. 야브로우
미합중국, 메인 04041, 히람, 박스 204에이
수산 엠. 케오운
미합중국, 메인 04102, 포틀랜드, 32 월코트 스트리트

(74) 대리인 목돈상, 목영동

*심사청구 : 없음*

**(54) 상보형 금속산화물 반도체(CMOS) 데이타 경로를 지니며 바이폴라전류증폭 기능을 갖는 바이폴라-상보형 금속산화물 반도체(BICMOS)출력 버퍼회로**

*요약*

CMOS 트랜지스터와 바이폴라 트랜지스터를 합체한 BICOMS 출력 버퍼회로는, 출력($V_{OUT}$)에 고전위 레벨 및 저전위 레벨의 출력 신호를 공급하기 위해 고전위 전력레일($V_{CC1}$) 및 저전위 전력 레일(GNDO) 사이에 연결되어 있다. 바이폴라 출력단은 출력($V_{OUT}$)에 연결된 비교적 대량의 전류를 도통시키는 바이폴라 출력 풀업 트랜지스터(Q24,022) 및 비교적 대량의 전류를 도통시키는 바이폴라 출력 풀다운 트랜지스터(Q44)에 의해 형성된다. 상기 출력단에 연결된 데이타 신호 경로는 입력($V_{IN}$)에 연결된 CMOS 입력단을 포함하는 CMOS 트랜지스터에 의해 한정된다. 소량의 전류를 도통시키는 CMOS 트랜지스터는 비교적 높은 입력 임피더스를 제공한다. 상기 바이폴라 출력단은 상기 CMOS 트랜지스로 한정된 데이타 신호 경로로부터 데이타 신호의 전류 증폭을 제공한다. 풀업예비구동기 입력단의 P채널 및 N채널의 CMOS 트랜지스터(Q15, Q14)가 풀다운 예비구동기 입력단(Q11, Q10)의 각각의 P채널 및 N채널의 CMOS 트랜지스터의 채널폭 치수의 P/N 비율에 대해 왜곡된 채널 치수의 P/N비율로 구성되어, 각각의 풀업 및 풀다운 예비구동기 입력단의 입력 한계 전압 레벨을 왜곡시킨다. 상기 왜곡된 구성은 상기 바이폴라 출력 풀업 트랜지스터(Q22)와 풀다운 트랜지스터(Q24) 사이의 동시 도통을 최소화시킨다. 상기 바이폴라 출력 풀다운 트랜지스터(Q44)의 베이스 노드에 연결된 풀다운 구동기단(Q60, Q9A)은, DCMK 트랜지스터와 ACMK 트랜지스터의 모두의 기능을 이행하는 빠른 CMOS 밀러 킬러 (Miller Killer:MK) 트랜지스터(Q9A)와 CMOS 위상 반전 풀다운 구동기 트랜지스터(Q60)를 포함한다.

*대표도*

*도4*

*명세서*

[발명의 명칭]

상보형 금속산화물 반도체(CMOS) 데이타 경로를 지니며 바이폴라 전류증폭 기능을 갖는 바이폴라-상보형 금속산화물 반도체(BICMOS)출력 버퍼회로

[도면의 간단한 설명]

제4도는 본 발명에 따른 신규한 BICOM출력 버퍼회로에 대한 개략적인 회로 다이어그램.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

## (57) 청구의 범위

### 청구항 1

데이타 신호 입력으로 부터 BICMOS 출력 버퍼회로의 데이타 신호경로를 통해 전달되는 데이타 신호에 응답하여 출력에 고전위 레벨 및 저전위 레벨의 출력 신호를 공급하도록 고전위 전력레일 및 저전위 전력레일 사이에 연결된 바이폴라 트랜지스터 및 CMOS 트랜지스터를 갖는 BICMOS 출력 버포회로에 있어서, 상기 BICMOS 출력 버퍼회로에 비교적 낮은 출력 임피던스를 제공하며 상기 출력에 연결된 비교적 대량의 전류를 도통시키는 바이폴라 출력풀업 및 풀다운 트랜지스터를 포함하는 바이폴라 출력단, 및 상기 출력단에 연결된 데이타 신호 경로로서, 상기 입력에 연결된 CMOS 입력단을 포함하며 상기 BICMOS 출력 버퍼회로에 비교적 높은 입력 임피던스를 제공하는 비교적 소량의 전류를 도통시키는 CMOS 트랜지스터로 구성되어 있는 CMOS 트랜지스터에 의해 한정되는 데이타 신호 경로를 포함하며, 상기 바이폴라 출력단은 상기 CMOS 트랜지스터로 한정된 데이타 신호 경로로부터 데이타 신호 증폭을 제공하는 BICMOS 출력 버퍼회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## 도면

### 도면4

