



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I569439 B

(45)公告日：中華民國 106 (2017) 年 02 月 01 日

(21)申請案號：104110798

(22)申請日：中華民國 104 (2015) 年 03 月 31 日

(51)Int. Cl. : H01L29/15 (2006.01)

H01L29/737 (2006.01)

H01L29/772 (2006.01)

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市東區新竹科學工業園區力行五路 5 號

(72)發明人：林奕志 LIN, YICHIH (TW)；童建凱 TUNG, CHIEN KAI (TW)；林恆光 LIN, HENG KUANG (TW)

(56)參考文獻：

US 8987091B2

US 2014/0001478A1

US 2014/0145243A1

WO 2014/051773A1

審查人員：孫建文

申請專利範圍項數：10 項 圖式數：8 共 31 頁

(54)名稱

半導體單元

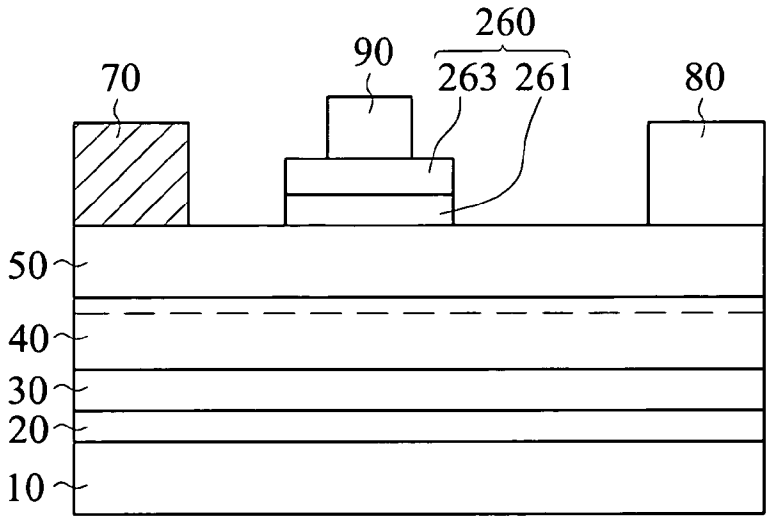
SEMICONDUCTOR CELL

(57)摘要

一種半導體單元，包括一基板、緩衝層、通道層、第一阻障層、疊層、源極、汲極和閘極。緩衝層位於基板的上方；通道層具有第一能隙，且位於緩衝層上方；第一阻障層位於該通道層上方，具有第二能隙，且第二能隙大於第一能隙；疊層位於第一阻障層上方，包含一磊晶成長的氮化矽層以及一第一導電型化合物半導體層；源極位於第一阻障層上方；汲極位於第一阻障層上方，且與源極相互分隔；閘極位於源極與汲極之間。

A semiconductor cell includes a substrate, a buffer layer, a channel layer; a first barrier layer, a stack, a source, a drain, and a gate. The buffer layer is disposed on the substrate; the channel layer has a first energy band gap and is disposed on the buffer layer; the first barrier layer is disposed on the channel layer and has a second energy band gap greater than the first energy band gap; the stack is disposed on the barrier layer and includes an epitaxially growth silicon nitride layer and a first conductivity compound semiconductor layer; the source is disposed on the first barrier layer; the drain is disposed on the first barrier and is separated from the source; and the gate is disposed between the source and the drain.

指定代表圖：



第2B圖

符號簡單說明：

- 2 . . . 半導體單元
- 10 . . . 基板
- 20 . . . 成核層
- 30 . . . 緩衝層
- 40 . . . 通道層
- 50 . . . 第一阻障層
- 260 . . . 疊層
- 261 . . . 第一保護層
- 263 . . . 第一導電型化合物半導體層
- 70 . . . 源極
- 80 . . . 汲極
- 90 . . . 閘極

申請案號：104110798

104年7月23日
修正本104年7月23日
IPC分類：H01L 29/15
H01L 29/737
H01L 29/772

104.3.31

案號：104110798
民國 104 年 3 月 28 日修正
無異議H01L 29/15 (2006.1)
H01L 29/737 (2006.1)
H01L 29/772 (2006.1)

【發明摘要】

【中文發明名稱】 半導體單元

【英文發明名稱】 Semiconductor Cell

公告本

【中文】一種半導體單元，包括一基板、緩衝層、通道層、第一阻障層、疊層、源極、汲極和閘極。緩衝層位於基板的上方；通道層具有第一能隙，且位於緩衝層上方；第一阻障層位於該通道層上方，具有第二能隙，且第二能隙大於第一能隙；疊層位於第一阻障層上方，包含一磊晶成長的氮化矽層以及一第一導電型化合物半導體層；源極位於第一阻障層上方；汲極位於第一阻障層上方，且與源極相互分隔；閘極位於源極與汲極之間。

【英文】A semiconductor cell includes a substrate, a buffer layer, a channel layer; a first barrier layer, a stack, a source, a drain, and a gate. The buffer layer is disposed on the substrate; the channel layer has a first energy band gap and is disposed on the buffer layer; the first barrier layer is disposed on the channel layer and has a second energy band gap greater than the first energy band gap; the stack is disposed on the barrier layer and includes an epitaxially growth silicon nitride layer and a first conductivity compound semiconductor layer; the source is disposed on the first barrier layer; the drain is disposed on the first barrier and is separated from the source; and the gate is disposed between the source and the drain.

【指定代表圖】 第2B圖

【代表圖之符號簡單說明】

2 半導體單元

- 10 基板
- 20 成核層
- 30 緩衝層
- 40 通道層
- 50 第一阻障層
- 260 疊層
- 261 第一保護層
- 263 第一導電型化合物半導體層
- 70 源極
- 80 汲極
- 90 閘極

【特徵化學式】 無



【發明說明書】

【中文發明名稱】 半導體單元

【英文發明名稱】 Semiconductor Cell

【技術領域】

【0001】 本發明是關於一種半導體單元，更具體而言，關於一種具有保護層的半導體單元。

【先前技術】

【0002】 氮化鋁鎵/氮化鎵高電子遷移率電晶體為一具有發展潛力的下一代高功率元件。由於它們優越的材料特性，可以在高溫高壓下維持穩固的元件特性。

【發明內容】

【0003】 本發明提出一種半導體單元，包括一基板、緩衝層、通道層、第一阻障層、疊層、源極、汲極和閘極。緩衝層位於基板的上方；通道層具有第一能隙，且位於緩衝層上方；第一阻障層位於該通道層上方，具有第二能隙，且第二能隙大於第一能隙；疊層位於第一阻障層上方，包含一氮化矽層以及一第一導電型化合物半導體層；源極位於第一阻障層上方；汲極位於第一阻障層上方，且與源極相互分隔；閘極位於源極與汲極之間。

【圖式簡單說明】

【0004】 圖式用以促進對本發明之理解，為本說明書之一部分。圖式之實施例配合實施方式之說明以解釋本發明之原理。

【0005】 第1圖為本發明第一實施例之半導體元件的上視圖。

【0006】 第2A圖為本發明第二實施例之半導體單元的局部上視示意圖。

【0007】 第2B圖為本發明第二實施例之半導體單元之剖面示意圖。

【0008】 第2C圖為本發明第二實施例之半導體單元之另一剖面示意圖。

【0009】 第2D圖為本發明第二實施例之半導體單元之另一剖面示意圖。

【0010】 第3A圖為本發明第三實施例之半導體單元的局部上視示意圖。

【0011】 第3B圖為本發明第三實施例之半導體單元之剖面示意圖。

【0012】 第4A圖為本發明第四實施例之半導體單元的局部上視示意圖。

【0013】 第4B圖為本發明第四實施例之半導體單元之剖面示意圖。

【0014】 第5A圖為本發明第五實施例之半導體單元的局部上視示意圖。

【0015】 第5B圖為本發明第五實施例之半導體單元之剖面示意圖。

【0016】 第6A圖為本發明第六實施例之半導體單元的局部上視示意圖。

【0017】 第6B圖為本發明第六實施例之半導體單元之剖面示意圖。

【0018】 第7A圖為本發明第七實施例之半導體單元的局部上視示意圖。

【0019】 第7B圖為本發明第七實施例之半導體單元剖面示意圖。

【0020】 第8A圖為本發明第八實施例之半導體單元的局部上視示意圖。

【0021】 第8B圖為本發明第八實施例之半導體單元剖面示意圖。

【實施方式】

【0022】 本發明之實施例如說明與圖式所示，相同或類似之部分係以相同編號標示於圖式或說明書之中。

【0023】 請參閱第1圖，第1圖為本發明第一實施例之半導體元件S的上視圖。半導體元件S例如為三端點的元件。於本實施例中，半導體元件S包含源極

墊S70、汲極墊S80、閘極墊S90和多個半導體單元1。半導體單元1例如是場效電晶體，具體來說可以是高電子遷移率電晶體(HEMT)。另外，以作動的方式來區別時，半導體單元1為可以是常開型電晶體也可以是常關電晶體。於第一實施例中，半導體單元1包括與源極墊S70電連接之源極70、與汲極墊S80電連接之汲極、與閘極墊S90電連接之閘極90，以及半導體疊層(未標示)，疊層的材料、位置與外觀設計可依實際的需求而做調整。此外，半導體元件S所包含的多個半導體單元1適用於其他實施例中的半導體單元，舉例來說可將第二實施例至第六實施例中的半導體單元2、3、4、5、6取代第一實施例之半導體單元1。為了清楚說明不同實施例中半導體單元2、3、4、5、6的細部結構，另將半導體單元2、3、4、5、6局部放大，詳請參閱第2A圖、第3A圖、第4A圖、第5A圖，以及第6A圖。半導體單元2、3、4、5、6被放大的部位相對於半導體S之位置，標示於第1圖中區域E。

【0024】請參閱2A圖至第2B圖所示本發明第二實施例之半導體單元2。第2A圖為半導體單元2的局部上視示意圖，相當於區域E的位置；第2B圖為半導體單元2之剖面示意圖。於第二實施例中，半導體單元2為可以是常開型電晶體也可以是常關電晶體。半導體單元2包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、疊層260、源極70、汲極80、閘極90。其中，成核層20與緩衝層30依序位於基板10的上方；通道層40具有第一能隙，且位於緩衝層30上方；第一阻障層50位於通道層40上方，具有第二能隙，且第二能隙大於第一能隙；疊層260位於第一阻障層50上方，包含第一保護層261以及第一導電型化合物半導體層263；源極70位於第一阻障層50之一部份的上方；汲極80位於第一阻障層50

之另一部分的上方，與源極70相互分隔；閘極90位於源極70與汲極80之間。

【0025】於本實施例中，基板10例如為矽基板，厚度約為1000~1200um，上述的成核層20、緩衝層30、通道層40、第一阻障層50、疊層260以磊晶方式成長於基板10的(111)面上，並沿[0001]方向成長。磊晶方式例如為金屬有機物化學氣相磊晶法(metal-organic chemical vapor deposition, MOCVD)或分子束磊晶法(molecular-beam epitaxy, MBE)。基板10可為導電基板或者絕緣基板，且基板10的材料可以是矽(Si)、碳化矽(SiC)、氮化鎵(GaN)或藍寶石(sapphire)。在其他實施例中，還可以移除部分的基板10，以減少漏電路徑，達到減少漏電的效果。

【0026】成核層20位於基板10的上方，厚度約為數十奈米或數百奈米，用以減少基板10和第一阻障層40之間的晶格差異。成核層20例如是三五族材料，包括氮化鋁(AlN)、氮化鎵(GaN)、或氮化鋁鎵(AlGaIn)等材料。緩衝層30位於成核層20的上方，厚度約為數微米或數十微米，其材料可為三五族材料，同樣是用以減少基板10和第一阻障層40之間的晶格差異，降低晶格缺陷。於本實施例中，緩衝層30可包括超晶格疊層(super lattice multilayer)，包括氮化鋁(AlN)、氮化鎵(GaN)、或氮化鋁鎵(AlGaIn)等材料，其中超晶格疊層由兩種不同材料的疊層組成，亦可兩兩交互堆疊，其材料可為三五族材料，例如是由氮化鋁層(AlN)與氮化鎵鋁層(AlGaIn)所構成，緩衝層30之材料也可由碳摻雜之氮化鎵層組成，而碳摻雜之氮化鎵層(GaN)其碳摻雜濃度為漸變或固定。

【0027】通道層40厚度範圍在50~300nm，形成於緩衝層30上，並具有一第一能隙。第一阻障層50厚度範圍在20~50nm，形成在通道層40上，並具有一第二能隙，第二能隙較第一能隙高，第一阻障層50之晶格常數比通道層40小。在本

實施例中，通道層40包含氮化銦鎵($\text{In}_x\text{Ga}_{(1-x)}\text{N}$)， $0 \leq x < 1$ ，第一阻障層50包含氮化鋁銦鎵($\text{Al}_y\text{In}_z\text{Ga}_{(1-z)}\text{N}$)， $0 < y < 1$ ， $0 \leq z < 1$ 。通道層40以及第一阻障層50自身形成自發性極化(spontaneous polarization)，且因其不同晶格常數形成壓電極化(piezoelectric polarization)，進而在通道層40及第一阻障層50間的異質接面產生二維電子氣(以虛線表示於圖中)。於本實施例中，通道層40及第一阻障層50可為本質半導體。

【0028】疊層 260 以磊晶成長的方式成長於第一阻障層 50 上方，包含一第一保護層 261 以及第一導電型化合物半導體層 263。第一保護層 261 與第一導電型化合物半導體層 263 的形成順序不拘，可以如第 2B 圖所示，先形成第一保護層 261 之後再形成第一導電型化合物半導體層 263，也可以如另一實施例之半導體單元 2 之剖面示意第 2C 圖所示的先形成第一導電型化合物半導體層 263 再形成第一保護層 261。

【0029】第一保護層 261 用來保護位於其下方的第一阻障層 50 之表面，以改善此表面的漏電流以及避免水氣滲入。一般而言，在製作第一保護層 261 時可以利用沉積等方式將第一保護層 261 成長於第一阻障層 50 之上，於本實施例中，為了避免汙染或損害半導體單元 1，以及為了使第一保護層 261 的品質與緻密性較好，可以以磊晶的方式成長第一保護層 261，第一保護層 261 例如是利用金屬有機物化學氣相磊晶法(metal-organic chemical vapor deposition, MOCVD)或分子束磊晶法(molecular-beam epitaxy, MBE)等方式磊晶成長的氮化矽層(insitu SiN_x)，然而本發明並不以此為限，第一保護層 261 亦可以利用不同於上述的方式磊晶成長於第一阻障層 50 上方。第一保護層 261 也可以是氧化物，如二氧化

矽。第一導電型化合物半導體層 263 材料包含 p 型或 n 型半導體材料，n 型半導體材料包含 n 型雜質摻雜或未摻雜的本質半導體，可以是 n 型三五族化合物半導體，例如是 n 型氮化鋁鎵 n-AlGaIn。於本實施例中，第一導電型化合物半導體層 263 材料例如為 p 型的三五族半導體，如 p 型氮化鎵層(p-GaN)，其作用為降低閘極 90 下方的二維電子氣濃度進而提高導通電阻，使得本半導體單元 2 在閘極未施加偏壓的狀態下處於未導通的狀態(normally off)。換句話說，於第二實施例中，半導體單元 2 為常關型高電子遷移率電晶體(normally off transistor)。

【0030】 在形成疊層 260 之後，於第一阻障層 50 上方分別形成源極 70、汲極 80 與閘極 90 以作為與外部電性連接的端點。其中源極 70、汲極 80 分別置於第一阻障層 50 的兩側，而閘極 90 則位於疊層 260 的上方並位於源極 70 與汲極 80 之間。換句話說疊層 260 位於閘極 90 的下方且介於源極 70 與汲極 80 之間。在本實施例中，可以藉由選擇適當的源極與汲極的材料，以及/或者藉由製程(如，熱退火)以使汲極 80 與源極 70 和第一阻障層 50 之間形成歐姆接觸。類似地，也可藉由選擇適當的閘極的材料，使得閘極 90 與第一導電型化合物半導體層 263 則形成蕭特基接觸。源極 70、汲極 80 的材料可以選自鈦(Ti)、鋁(Al)，閘極 90 的材料可以選自鎳(Ni)、金(Au)、鎢(W)、氮化鈦(TiN)。

【0031】 於本實施例中，在形成源極 70、汲極 80 與閘極 90 之前，還可以形成如另一實施例之半導體單元 2 之剖面示意第 2D 圖所示之介電層 100 於疊層 260 與部分之第一阻障層 50 的上表面之上。部分之介電層 100 位於閘極 90 的下方，並位於閘極 90 與疊層 260 之間，能進一步降低表面漏電流，更可提高閘極 90 操作偏壓範圍，提升元件可靠度。介電層 100 可以是氧化物或者氮化物，例

如是氧化矽或氧化鋁等氧化物，也可以是氮化矽或氮化鎵等氮化物。然而本發明不以此為限，於其他實施例中亦可不形成介電層 100。此外，在形成上述的源極 70、汲極 80 與閘極 90 之後，還可以進一步形成第二保護層(未繪示)以覆蓋介電層 100、疊層 260、源極 70、汲極 80 與閘極 90 之表面，以防止通道層 40 的電性受到影響。而在本實施例中，第二保護層可以是氧化物或者氮化物，如氧化矽或氧化鋁等氧化物，也可以是氮化矽或氮化鎵等氮化物。接著再蝕刻第二保護層，以露出部分源極 70、汲極 80 與閘極 90 與外界電性連接，源極 70、汲極 80 與閘極 90 可以有一部份表面未被第二保護層所覆蓋，以增加與外界電性連接的方便性。

【0032】第二實施例的半導體單元 2，包含由第一保護層 261 及第一導電型化合物半導體層 263 所組成之疊層 260。第一保護層 261 可以是磊晶成長的氮化矽層，藉此可以達到改善表面漏電流以及保護磊晶表面之功效，而第一導電型化合物半導體層 263 例如為 p 型氮化鎵，可以達到降低二維電子氣濃度，進而達到提高閘極 90 下方之導通電阻的功效。

【0033】請參閱第3A圖與第3B圖，第3A圖為本發明第三實施例之半導體單元3的局部上視示意圖；第3B圖為本發明第三實施例之半導體單元3之剖面示意圖。如前所述，半導體元件S除了包含多個半導體單元1或2，也可以包含多個第3A至第3B圖所示之半導體單元3。半導體單元3包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、第二阻障層52、疊層360、源極70、汲極80和閘極90。

【0034】 第三實施例之半導體單元3例如為場效電晶體，可以是常開型高電子遷移率電晶體(normally on transistor)，在未施加偏壓於閘極的狀況下為導通。於第三實施例之製造方法中，首先將成核層20、緩衝層30、通道層40、第一阻障層50依序形成在基板10之上。在形成第一阻障層50之後，形成第二阻障層52於其上。接著，再形成疊層360於第二阻障層52之上，其中疊層360包含第一保護層361以及第一導電型化合物半導體層363，而第一保護層361可以為磊晶成長的氮化矽層。

【0035】 於形成疊層360之後，利用黃光顯影製程定義圖形，接著蝕刻部分之疊層360以裸露部分之第二阻障層52，之後在裸露之第二阻障層52上形成源極70、汲極80，然後進行熱退火使得源極70、汲極80與第二阻障層52形成歐姆接觸。於形成源極70、汲極80之後，利用黃光顯影製程定義圖形，接著蝕刻部分之疊層360以裸露部分之第二阻障層52，然後在裸露之第二阻障層52上形成閘極90，其中閘極90與第二阻障層52為蕭特基接觸。

【0036】 於本實施例中，第二阻障層52位於疊層360與第一阻障層50之間，可作為蝕刻停止層。此外，本實施例是利用乾式蝕刻的方式來蝕刻疊層360。當利用蝕刻氣體蝕刻部分之疊層360時，由於第二阻障層52的被蝕刻速率低於第一阻障層50的被蝕刻速率，因此蝕刻的深度會大致停止於第二阻障層52的上表面。第二阻障層52的材料例如為三五族半導體層，可以是氮化鋁，或是高鋁組成的氮化鋁鎵層，其鋁組成大於第一阻障層50之鋁組成，且第二阻障層52的能隙大於通道層40之第一能隙與第一阻障層50之第二能隙。疊層360位於源極70與閘極90之間以及位於汲極80與閘極90之間，而疊層360之第一導電型化合物半導

體層363位於第一保護層361與第二阻障層52之間，並且第一導電型化合物半導體層363與閘極90不相連接，兩者間存在有一間隙。於本實施例中，為了提高源極70與閘極90或是汲極80與閘極90下方的二維電子氣濃度，第一導電型化合物半導體層363可以是n型三五族化合物半導體層，例如為n型的氮化鋁鎵，然而本申請不以上述為限。在其他實施例中，為了改變自發性極化與壓電極化效果，通道層40以及第一阻障層50可以是具有摻雜的半導體層，而摻雜的原料可為矽烷(SiH_4)，用以將矽摻雜其中。基板10、成核層20、緩衝層30、通道層40、第一阻障層50、源極70、汲極80和閘極90的材料、厚度範圍、功用請參閱第二實施例之描述。

【0037】請參閱第4A圖至第4B圖，第4A圖為本發明第四實施例之半導體單元的局部上視示意圖。第4B圖為本發明第四實施例之半導體單元之剖面示意圖。半導體元件S除了可由多個半導體單元1或2或3電連接而成，也可以由多個第4A至第4B圖所示之半導體單元4電連接而成。半導體單元4包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、第二阻障層52、疊層460、源極70、汲極80和閘極90。

【0038】第4A至第4B圖所示之半導體單元4類似於第3A圖至第3B圖的半導體單元3，皆是屬於常開型高電子遷移率電晶體，其差異在於疊層460之第一保護層461(如氮化矽層)以及第一導電型化合物半導體層463的形成順序。於第三實施例中，先形成第一導電型化合物半導體層363，然後才形成第一保護層361(如氮化矽層)。於第四實施例中之製造方法中，首先將成核層20、緩衝層30、通道層40、第一阻障層50、第二阻障層52依序形成在基板10之上，接著則是先形

成第一保護層461於第二阻障層52上，然後才形成第一導電型化合物半導體層463於第一保護層461上。於形成疊層460之後，利用黃光顯影製程定義圖形，接著蝕刻部分之疊層460以裸露部分之第二阻障層52，之後在裸露之第二阻障層52上形成源極70、汲極80，然後進行熱退火使得源極70、汲極80與第二阻障層52形成歐姆接觸。於形成源極70、汲極80之後，再形成閘極90。

【0039】在形成第四實施例的閘極90時，會先以利用黃光顯影製程定義圖形，接著蝕刻部分之第一導電型化合物半導體層463與第一保護層461以裸露部分之第二阻障層52，接著於裸露之第二阻障層52上形成閘極90，其中閘極90會連接第一保護層461。於本實施例中，由於蝕刻氣體對於第一保護層461以及第一導電型化合物半導體層463的蝕刻率並不相同，因此較多的第一導電型化合物半導體層463被蝕刻，而裸露出部分第一保護層461。此外，由於第一保護層461連接閘極90，所以第一保護層461和閘極90、源極70、汲極80大致上是覆蓋了整個第二阻障層52的上表面，如此一來可以有效防止水氣進入亦可避免表面漏電流。再者，如圖所示，第一保護層461連接閘極90，對閘極90而言，氮化矽層461提供了側向支撐力，可以避免閘極90坍塌。基板10、成核層20、緩衝層30、通道層40、第一阻障層50、源極70、汲極80和閘極90的材料、厚度範圍以及功用請參閱第二實施例之相關描述。第二阻障層52、疊層460的材料選用請參閱第三實施例中對於第二阻障層52以及疊層360的描述。

【0040】請參閱第5A圖至第5B圖，第5A圖為本發明第五實施例之半導體單元的局部上視示意圖。第5B圖為本發明第五實施例之半導體單元之剖面示意圖。半導體元件S除了可由多個半導體單元1至4電連接而成，也可以由多個第5A

至第5B圖所示之半導體單元5電連接而成。於本實施例中，半導體單元5，包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、疊層560、源極70、汲極80和閘極90'。

【0041】第5A至第5B圖所示之半導體單元5類似於第3A圖至第3B圖的半導體單元3，同樣屬於常開型高電子遷移率電晶體，兩者的主要差異在於閘極的形狀。於第五實施例中之製造方法中，首先將成核層20、緩衝層30、通道層40、第一阻障層50、疊層560依序形成在基板10之上，於形成疊層560之後，利用黃光顯影製程定義圖形，接著蝕刻部分之疊層560以裸露部分之第二阻障層52，之後在裸露之第二阻障層52上形成源極70、汲極80，然後進行熱退火使得源極70、汲極80與第二阻障層52形成歐姆接觸。於形成源極70、汲極80之後，再形成閘極90'。

【0042】在形成第五實施例的閘極90'時，會先以利用黃光顯影製程定義圖形，接著蝕刻部分之第一保護層561及第一導電型化合物半導體層563以裸露部分之第一阻障層50，接著將閘極90'製作於裸露之第一阻障層50上。

【0043】於本實施例中，利用乾式蝕刻的方式來對第一保護層561及第一導電型化合物半導體層563的進行蝕刻。一般而言，乾式蝕刻的蝕刻氣體對不同的物質會對應不同的蝕刻速率。於本實施例中，由於蝕刻氣體對第一保護層561的被蝕刻速率會低於對第一導電型化合物半導體層563的被蝕刻速率，因此較多的第一導電型化合物半導體層563被蝕刻。換句話說，第一保護層561因蝕刻而形成的缺口直徑 d_1 會小於第一導電型化合物半導體層563因蝕刻而形成的缺口直徑 d_2 。當形成閘極90'時，部分用於製作閘極90'的材料會通過第一保護層561

的缺口與第一導電型化合物半導體層563的缺口而沉積在被裸露的第一阻障層50上，而另一部分用於製作閘極90'的材料則直接沉積於第一保護層561的缺口附近，進而形成了T型閘極90'。於本實施例中，疊層560之第一保護層561(如氮化矽層)位於第一導電型化合物半導體層563之上方且連接T形閘極90'，對閘極90'而言，第一保護層561提供了側向支撐力，可以避免閘極90'坍塌。此外，由於第一保護層561會連接閘極90'，因此第一阻障層50的上表面大致上是被第一保護層561與閘極90'、源極70、汲極80所覆蓋，如此一來可以有效防止水氣進入亦可避免表面漏電流。基板10、成核層20、緩衝層30、通道層40、第一阻障層50、源極70、汲極80和閘極90'的材料、厚度範圍以及功用請參閱第二實施例之相關描述。疊層560的材料選用請參閱第三實施例中對於疊層360的描述。

【0044】第三實施例至第五實施例的半導體單元3、4、5，分別包含由第一保護層361、461、561及第一導電型化合物半導體層363、463、563所組成之疊層360、460、560。第一保護層361、461、561可以是磊晶成長的氮化矽層，藉此可以達到改善表面漏電流以及保護磊晶表面之功效。第一導電型化合物半導體層363、463、563例如為n型的氮化鋁鎵可以達到提高二維電子氣濃度，進而達到降低導通電阻的功效。

【0045】請參閱第6A圖和第6B圖，第6A圖為本發明第六實施例之半導體單元的局部上視示意圖。第6B圖為本發明第六實施例之半導體單元之剖面示意圖。半導體元件S除了可由多個半導體單元1至5電連接而成，也可以由多個第6A至第6B圖所示之半導體單元6電連接而成。半導體單元6，包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、第二阻障層52、第三阻障層54、疊

層660、源極70、汲極80和閘極90。

【0046】第 6A 至第 6B 圖所示之半導體單元 6 類似於第 2A 圖至第 2D 圖的半導體單元 2，同樣屬於常關型高電子遷移率電晶體(normally off transistor)，兩者的主要差異在於第六實施例更包含第三阻障層 54。在第六實施例中之製造方法中，首先將成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52 依序形成於基板 10 上，接著形成第三阻障層 54 於第二阻障層 52 之上，然後形成疊層 660 於第三阻障層 54 之上。第三阻障層 54 的材料或組成可與第一阻障層 50 相同或不同，於本實施例中第三阻障層 54 與第一阻障層 50 的材料皆為氮化鎵鋁，但第三阻障層 54 之鋁組成高於第一阻障層 50 之鋁組成。

【0047】疊層 660 包括第一保護層 661 及第一導電型化合物半導體層 663，第一保護層 661 與第一導電型化合物半導體層 663 以依序或反序的方式置於第三阻障層 54 的上方，如此一來第三阻障層 54 位於疊層 660 與第二阻障層 52 之間，且第二阻障層 52 可作為後續蝕刻製程中的停止層。於形成疊層 660 之後，進行蝕刻步驟，首先利用黃光微影製程定義圖形，接著蝕刻去除部分之疊層 660 以裸露部分之第三阻障層 54，然後形成源極 70 與汲極 80 於被裸露之第三阻障層 54 上，並經過熱退火步驟使得源極 70 與汲極 80 和第三阻障層 54 形成歐姆接觸。接著，同樣利用黃光微影製程定義圖形，然後蝕刻先去除部分之疊層 660 與部分之第三阻障層 54，並透過使用適當的蝕刻氣體與蝕刻條件(如溫度、蝕刻持續時間等)，以使蝕刻的深度會大致停止於第二阻障層 52 的上表面，並且裸露部分之第二阻障層 52，閘極 90 則形成於裸露之第二阻障層 52 的上表面。如圖所示，源極 70 和汲極 80 分開設置且位於第二阻障層 52 的兩端，閘極 90 則位於

源極 70 和汲極 80 之間。於本實施例中，部分的疊層 660 位於閘極 90 與源極 70/汲極 80 之間。然而本發明不以上述為限。基板 10、成核層 20、緩衝層 30、通道層 40、第一阻障層 50、源極 70、汲極 80、閘極 90'、疊層 660 的材料、厚度範圍以及功用請參閱第二實施例之相關描述，第二阻障層 52 的材料選用請參閱第三實施例中的相關描述。

【0048】第六實施例的半導體單元 6，包含由第一保護層 661 及第一導電型化合物半導體層 663 所組成之疊層 660。第一保護層 661 可以是磊晶成長的氮化矽層，藉此可以達到改善表面漏電流以及保護磊晶表面之功效。第一導電型化合物半導體層 663 例如為 p 型氮化鎵可以達到降低二維電子氣濃度，進而達到提高閘極 90 下方之導通電阻的功效。

【0049】於本申請中，半導體元件 S 除了可為第 1 圖中的三端點的元件，如功率元件，亦可為兩端點的元件，如蕭特基二極體元件。當半導體元件 S 為兩端點元件時，則會包含陽極墊、陰極墊以及多個分別與陽極墊和陰極墊電連接的兩端點半導體單元。請參閱第 7A 圖和第 7B 圖，第 7A 圖為本發明第七實施例之半導體單元 7 的局部上視示意圖。第 7B 圖為本發明第七實施例之半導體單元 7 剖面示意圖。於本實施例中，半導體單元 7 為兩端點元件，如蕭特基二極體，半導體單元 7 包括基板 10、成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52、疊層 760、陽極 A 和陰極 C。

【0050】製作半導體單元 7 的方式與先前製作半導體單元 3 的方式類似，首先提供基板 10，接著依序於基板 10 上形成成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52，然後形成疊層 760 於第二阻障層 52 之上，其中

第二阻障層 52 可作為後續蝕刻製程中的停止層。疊層 760 包括第一保護層 761(如，磊晶成長的氮化矽層)及第一導電型化合物半導體層 763，第一導電型化合物半導體層 763 與第一保護層 761 依序置於第二阻障層 52 的上方，且於形成疊層 760 之後，進行蝕刻步驟。進行蝕刻時，首先利用黃光微影製程定義圖形，接著蝕刻去除部分之疊層 760 以裸露部分之第二阻障層 52，蝕刻的深度會大致停止於第二阻障層 52 的上表面。然後形成陽極 A 與陰極 C 於被裸露之第二阻障層 52 上，並使疊層 760 與陽極 A 之間存在一間距，接著透過適當的材料選擇以及/或者經過熱退火等製程步驟使得陽極 A 與陰極 C 和第二阻障層 52 形成歐姆接觸，然而本發明不以上述為限。基板 10、成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52、疊層 760 的材料、厚度範圍以及功用請參閱第二實施例及第三實施例之相關描述。

【0051】請參閱第8A圖和第8B圖，第8A圖為本發明第八實施例之半導體單元的局部上視示意圖。第8B圖為本發明第八實施例之半導體單元剖面示意圖。於本實施例中，半導體單元8為兩端點元件，如蕭特基二極體，半導體單元8包括基板10、成核層20、緩衝層30、通道層40、第一阻障層50、第二阻障層52、疊層860、陽極A和陰極C。

【0052】製作半導體單元 8 的方式與先前製作半導體單元 7 的方式類似，首先提供基板 10，接著依序於基板 10 上形成成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52，然後形成疊層 860 於第二阻障層 52 之上。兩者的差異在於半導體單元 8 是先形成第一保護層 861 然後才形成第一導電型化合物半導體層 863，其中第一保護層 861 可以是磊晶成長的氮化矽層(insitu silicon

nitride)，而第一導電型化合物半導體層 863 可以是 n 型的氮化鋁鎵。於形成疊層 860 之後，利用黃光微影製程定義圖形，接著蝕刻去除部分之疊層 860 以裸露部分之第二阻障層 52，然後形成陽極 A 與陰極 C 於被裸露之第二阻障層 52 上，並使疊層 860 與陽極 A 之間存在一間距，接著透過適當的材料選擇以及/或者經過熱退火等製程步驟使得陽極 A 與陰極 C 和第二阻障層 52 形成歐姆接觸，然而本發明不以上述為限。於本實施例中，第一保護層 861 大致上覆蓋未被陰極 C 與陽極 A 覆蓋的第二阻障層 52 的表面。基板 10、成核層 20、緩衝層 30、通道層 40、第一阻障層 50、第二阻障層 52、疊層 760 的材料、厚度範圍以及功用請參閱第二實施例及第三實施例之相關描述。

【0053】 第七實施例與第八實施例的半導體單元 7、8，分別包含由第一保護層 761、861 及第一導電型化合物半導體層 763、863 所組成之疊層 766、860。第一保護層 761、861 可以是磊晶成長的氮化矽層，藉此可以達到改善表面漏電流以及保護磊晶表面之功效。

【0054】 上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟於此項技藝之人士在不違背本發明之技術原理及精神的情況下，對上述實施例所進行之修改及變化，皆可能或理應被涵蓋在本發明內。

【符號說明】

【0055】 A 陽極

【0056】 C 陰極

【0057】 E區域

【0058】 FF' 剖線

【0059】 S 半導體元件

【0060】 1、2、3、4、5、6、7、8 半導體單元

【0061】 10 基板

【0062】 20 成核層

【0063】 30 緩衝層

【0064】 40 通道層

【0065】 50 第一阻障層

【0066】 52 第二阻障層

【0067】 54 第三阻障層

【0068】 260、360、460、560、660、760、860 疊層

【0069】 261、361、461、561、661、761、861 第一保護層

【0070】 263、363、463、563、663、763、863 第一導電型化合物半導體

層

【0071】 70 源極

【0072】 80 汲極

【0073】 90、90' 閘極

【0074】 100 介電層

【生物材料寄存】

【0075】 無

104年7月23日
修正本

案號：104110798
民國 104 年 5 月 28 日修正
無罰鍰版

【發明申請專利範圍】

【第1項】一種半導體單元，包含：

- 一基板；
- 一緩衝層位於該基板上方；
- 一通道層，具有一第一能隙，且位於該緩衝層上方；
- 一第一阻障層，具有一第二能隙大於該第一能隙，且位於該通道層上方；
- 一疊層位於該第一阻障層上方，包含一磊晶成長的氮化矽層以及一第一導電型化合物半導體層；
- 一源極，位於該第一阻障層上方；
- 一汲極，位於該第一阻障層上方，且與該源極相互分隔；以及
- 一閘極，位於該源極與該汲極之間。

【第2項】如申請專利範圍第1項所述之半導體單元，其中該疊層位於該閘極的下方且介於該源極與該汲極之間。

【第3項】如申請專利範圍第2項所述之半導體單元，其中該第一導電型化合物半導體層位於該閘極與該氮化矽層之間，該第一導電型化合物半導體層為一n型三五族化合物半導體層或一p型三五族化合物半導體層。

【第4項】如申請專利範圍第2項所述之半導體單元，其中該氮化矽層位於該閘極與該第一導電型化合物半導體層之間，該第一導電型化合物半導體層為一n型三五族化合物半導體層或一p型三五族化合物半導體層。

【第5項】如申請專利範圍第2項所述之半導體單元，更包括一介電層位於該閘極與該疊層之間。

【第6項】如申請專利範圍第1項所述之半導體單元，更包含一第二阻障層，該第二阻障層位於該疊層與該第一阻障層之間，該第二阻障層的能隙大於該第一阻障層與該通道層。

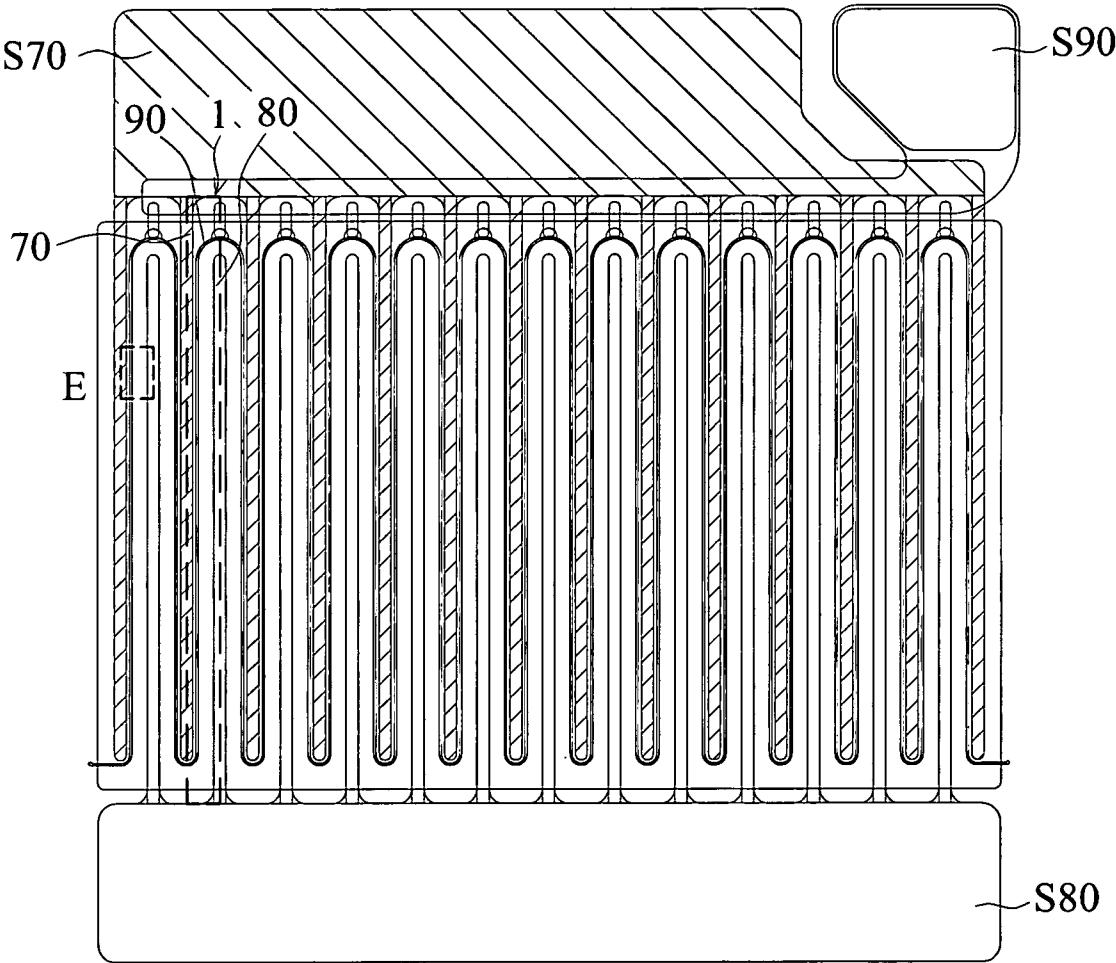
【第7項】如申請專利範圍第6項所述之半導體單元，其中該第二阻障層為一氮化鋁層。

【第8項】如申請專利範圍第6項所述之半導體單元，其中該疊層位於該源極與該閘極之間或位於該汲極與該閘極之間。

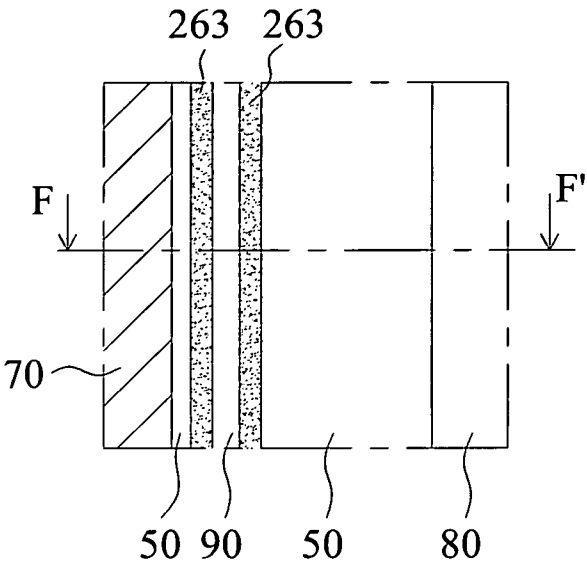
【第9項】如申請專利範圍第8項所述之半導體單元，更包含一第三阻障層，位於該疊層與該第二阻障層之間或位於該源極/該汲極與該第二阻障層之間。

【第10項】如申請專利範圍第9項所述之半導體單元，其中該第三阻障層的材料與該第一阻障層的材料或組成相同。

S

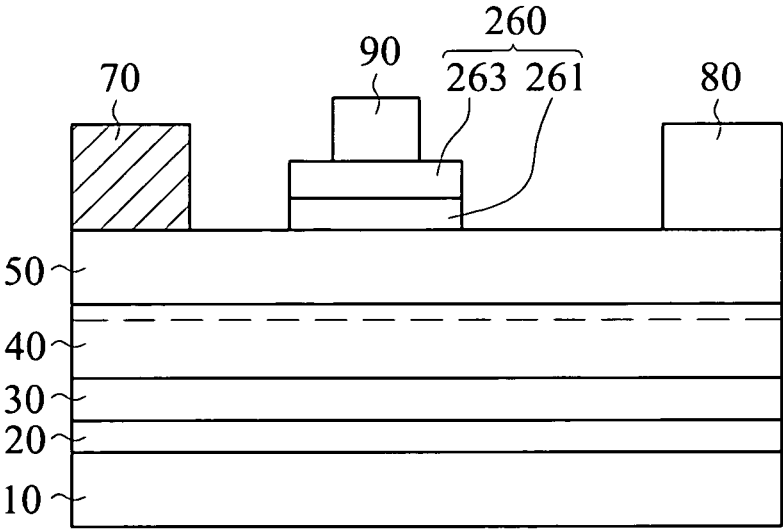


第1圖



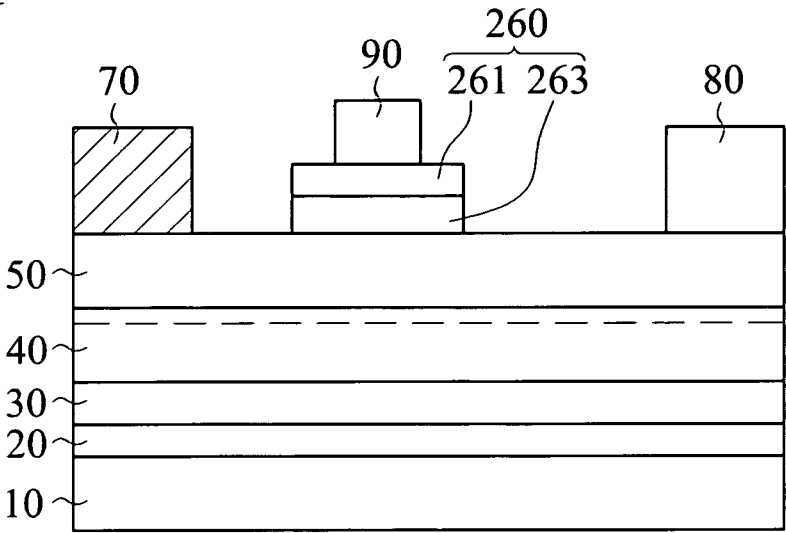
第2A圖

2



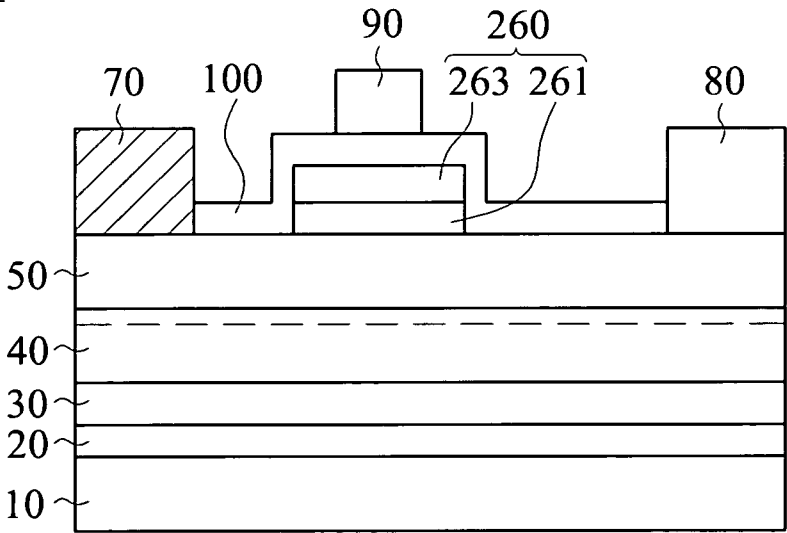
第2B圖

2

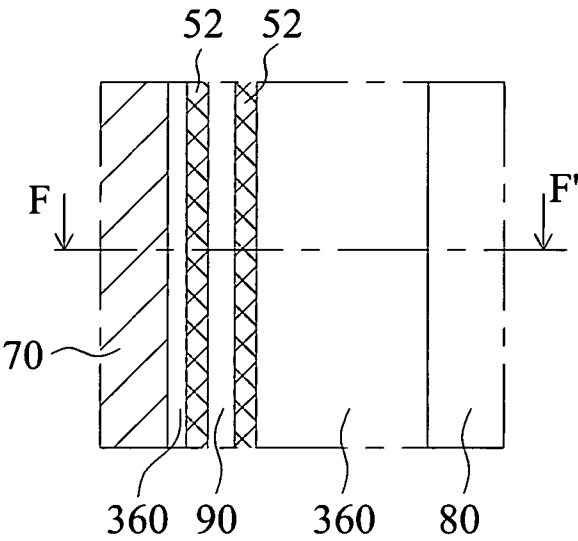


第2C圖

2

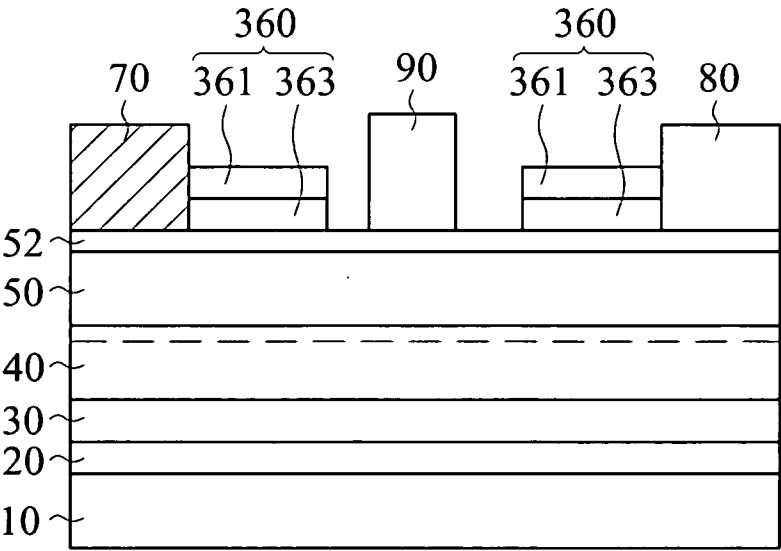


第2D圖

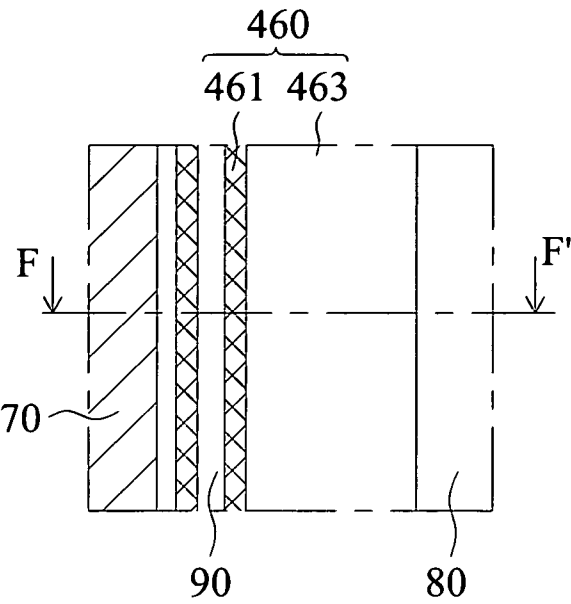


第3A圖

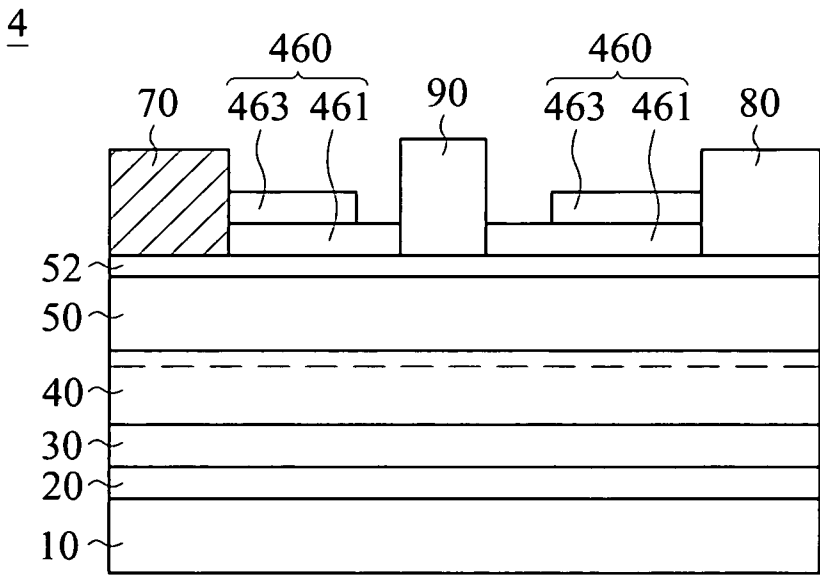
3



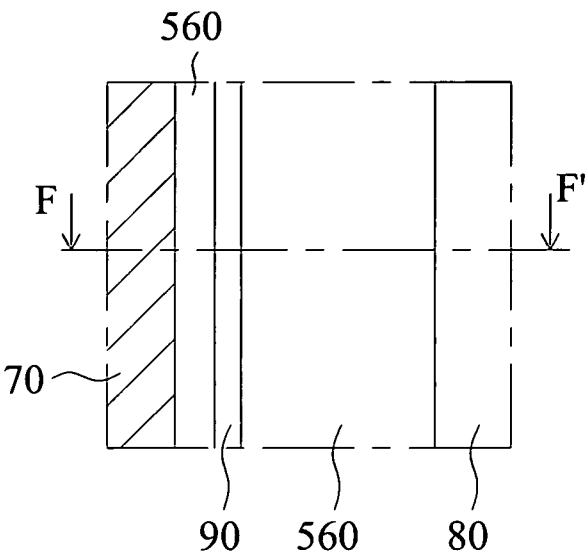
第3B圖



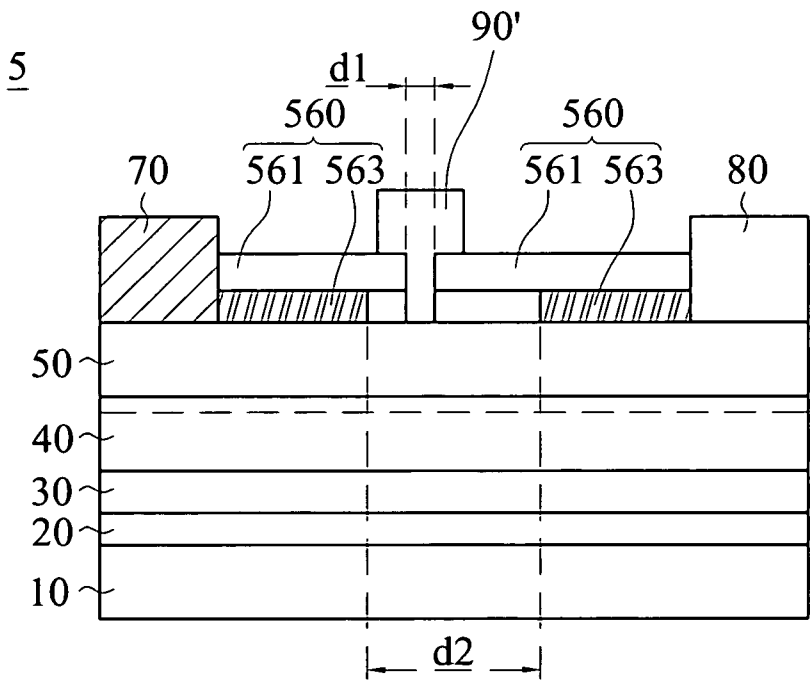
第4A圖



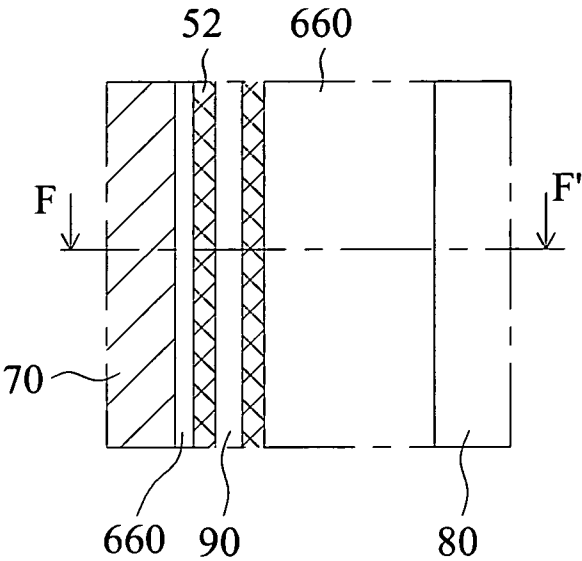
第4B圖



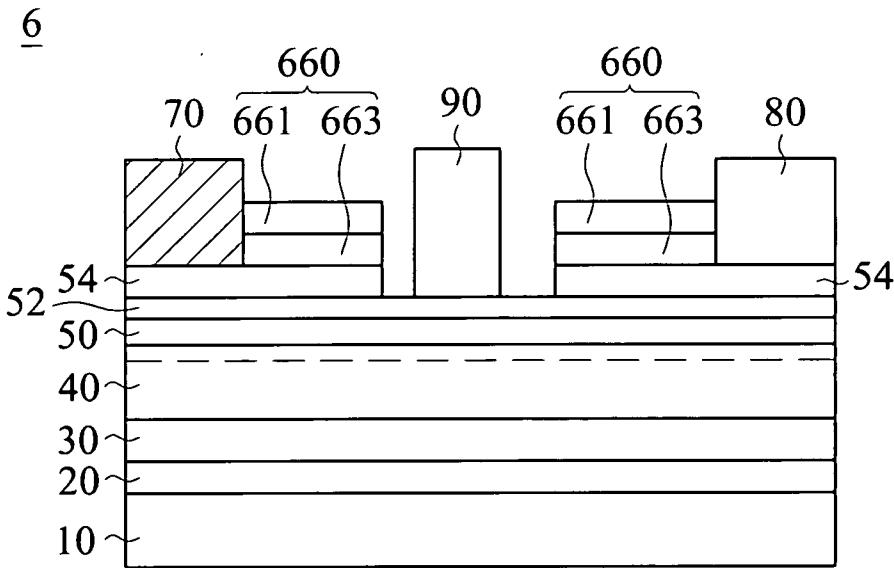
第5A圖



第5B圖

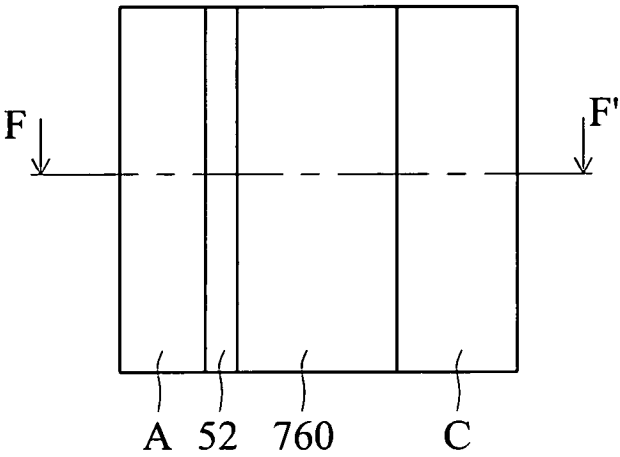


第6A圖



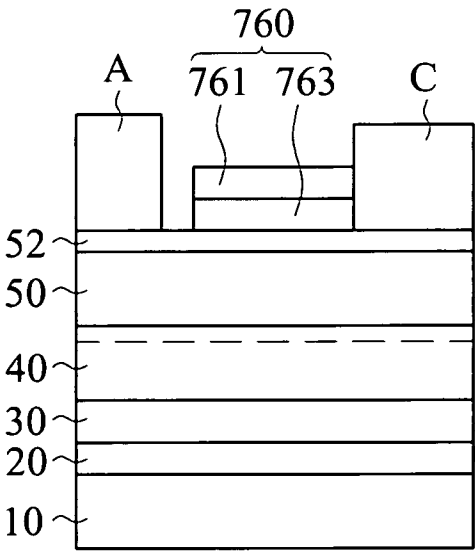
第6B圖

7



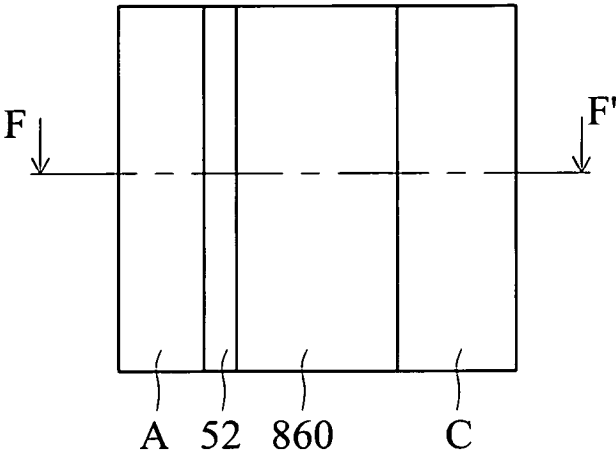
第7A圖

7



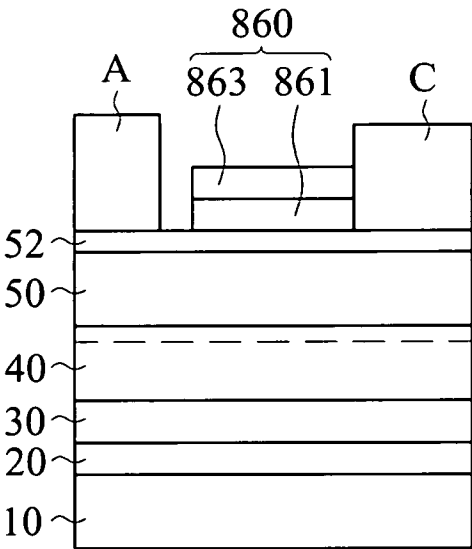
第7B圖

8



第8A圖

8



第8B圖