

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006年5月11日 (11.05.2006)

PCT

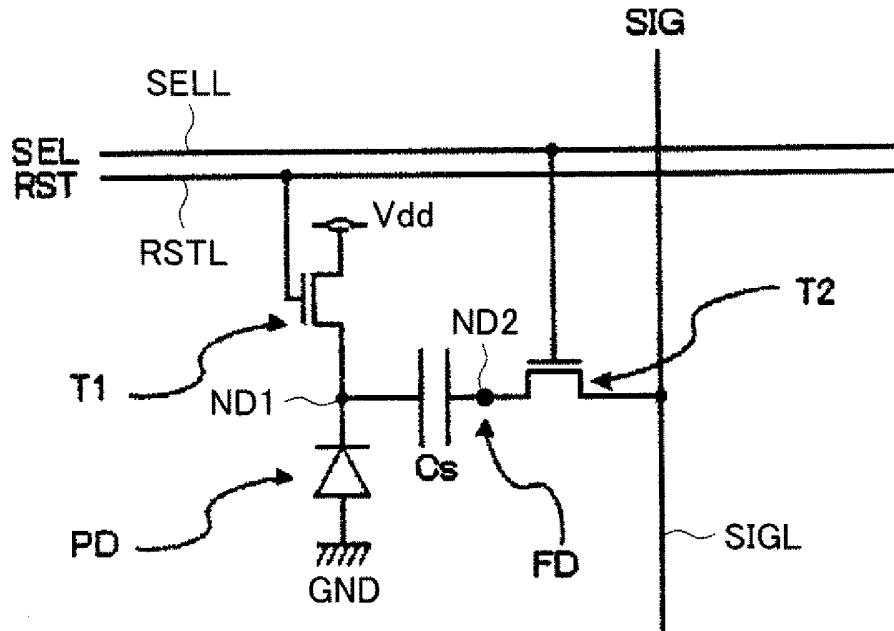
(10) 国際公開番号  
WO 2006/049196 A1

- (51) 国際特許分類:  
*H04N 5/335 (2006.01)*
- (21) 国際出願番号:  
PCT/JP2005/020187
- (22) 国際出願日:  
2005年11月2日 (02.11.2005)
- (25) 国際出願の言語:  
日本語
- (26) 国際公開の言語:  
日本語
- (30) 優先権データ:  
特願2004-322598 2004年11月5日 (05.11.2004) JP
- (71) 出願人(米国を除く全ての指定国について): ソニー  
株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001  
東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 杉山 寿伸  
(SUGIYAMA, Toshinobu) [JP/JP]; 〒1410001 東京都  
品川区北品川6丁目7番35号 ソニー株式会社内  
Tokyo (JP).
- (74) 代理人: 佐藤 隆久 (SATOH, Takahisa); 〒1110052 東  
京都台東区柳橋2丁目4番2号 創進国際特許事務  
所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可  
能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,  
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,  
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,  
RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,  
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: LIGHT SENSOR AND PIXEL SELECTING METHOD FOR LIGHT SENSOR

(54) 発明の名称: 光センサーおよび光センサーの画素選択方法



(57) Abstract: A light sensor wherein a pixel area is reduced without deteriorating high speed light intensity change detection and low power consumption and thus a chip size can be reduced at the time of increasing the number of pixels, and a pixel selecting method for such light sensor. Each pixel configuring a pixel array section is provided with a function of holding a charge corresponding to the light receiving intensity of a previous frame, and a function of comparing the light receiving intensity of the previous frame with that of a current frame. The both function sections are configured with a capacitor (Cs) connected between a photodiode (PD) and a select transistor (T2).

[続葉有]

WO 2006/049196 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

— 請求の範囲の補正の期限前の公開であり、補正書受  
領の際には再公開される。

添付公開書類:

— 國際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

---

(57) 要約: 光強度変化検出の高速化および低消費電力化を損なうことなく画素面積を小さくでき、それ故、多画素化時にチップサイズを小型化することが可能な光センサーおよびその画素選択方法であって、画素アレイ部を構成する各画素に前フレームの受光強度に対応する電荷を保持する機能と、前フレームの受光強度と現フレームの受光強度の強弱を比較する機能を持たせ、これら両機能部を、フォトダイオードPDと選択トランジスタT2との間に接続するキャパシタCsで構成する。

## 明細書

### 光センサーおよび光センサーの画素選択方法

#### 技術分野

[0001] 本発明は、発光ダイオード(LED)光源を用いた光通信などに用いられる光センサーおよびこの光センサーを構成する複数の画素の中の読み出し画素を選択する画素選択方法に関する。

#### 背景技術

[0002] 近年、LED光源の高輝度化に伴い、これまで、照明灯、車のヘッドライト、信号機などに用いられていた蛍光灯、電球などの光源が、徐々にLEDに置き換えられつつある。今後、さらにLEDの高輝度化、発光効率の向上が進めば、将来、身の回りのあらゆる光源がLEDに置き換わると予想される。

[0003] 一方、将来のこのような状況を念頭において、これらのLED光源を単なる照明光やアラーム光としてだけではなく、ワイヤレス通信などと並ぶ、高速の通信手段として利用しようとする試みも行われている。そのような通信手段を想定した受光デバイスである光無線用高速ビジョンチップの開発に関する研究などが行われている。また、これらの通信システムの普及を目指した可視光通信コンソーシアムなども既に結成されている。

[0004] また、さらに、このようなLED点滅を通信に用いるカメラシステム、アプリケーションが提案されている(例えば特許文献1参照)。これは、カメラシステムに関するものである。このカメラシステムは、通常の画像を取得すると共に、何らかの情報によりコード化されたLEDなどの光源の点滅パターンを識別する機能を有する。このような光源を実空間内のさまざまなオブジェクトに設定しておくと、そのオブジェクトの画像と一緒に付随した情報を同時に取得することが可能となる。

このようなシステムにはさまざまな応用が考えられ、たとえば、情報としてネットワークIDを発信することにより、オブジェクトと、カメラを搭載した端末との通信接続を確立する手段としたり、位置情報を提供するナビゲーションシステム、または、広告手段などに利用したりすることが可能である。

[0005] このようなカメラシステムを実現する撮像素子としては、イメージセンサーを構成する画素内にフレームメモリとコンパレータを保持したものがある。この撮像素子は、各画素毎に、ある1フレーム期間に受光した光を、フレームメモリに記憶されている前のフレームの信号情報と比較することにより、光強度の時間的な増減をバイナリデータとして出力する機能を有する。この機能を用いると上記のアプリケーションのような光源の点滅シグナルの効率良い検出が可能となる。

特許文献1:特開2001-292379号公報（第5頁、第1図）

### 発明の開示

#### 発明が解決しようとする課題

[0006] しかしながら、上記のように画素内にフレームメモリとコンパレータを持たせるアキテクチャは、高速での光強度変化検出には適しているが、画素の面積が大きくなるため、多画素のアレイ型センサーを構成しようとすると、全体のチップ面積が大きくなり、また消費電力も大きくなるというデメリットがある。

[0007] そこで、通常の画像取得機能との整合性を重視し、チップサイズの小型化、低消費電力化を実現するために、フレームメモリとコンパレータを画素内の外側に出す構成をとっている光センサーもある。この光センサーでは、これらの回路をセンサーレイの各カラムで共有化し、演算処理をカラム並列で行うものである。

しかしながら、上記した画素内に回路を持たせるアキテクチャの光センサーにおける画素並列処理に比べて並列度が下がるため、全体の処理スピードが落ちることになる。即ち、小型化、低消費電力化を達成できる一方で、高速での光検出には適さなくなる。

[0008] 本発明は、光強度変化検出の高速化および低消費電力化を損なうことなく画素面積を小さくでき、それ故、多画素化時にチップサイズを小型化することができる光センサーを提供すると共に、光強度変化検出をさらに高速化するための光センサーの画素選択方法を提供することにある。

#### 課題を解決するための手段

[0009] 本発明の第1の観点の光センサーは、複数の画素が配列された画素アレイ部と、前記画素アレイ部内の読み出し画素を選択する画素選択部と、前記画素選択部で選

択された画素から読み出された情報を検出する検出部と、を有し、前記画素は、受光量に応じた電位を発生する光電変換部と、第1の時間帯で前記光電変換部により発生された電位を保持し且つ、第2の時間帯での前記光電変換部の発生電位を前記保持された第1の時間帯での発生電位と比較する保持比較部と、を有する。

- [0010] 好適には、前記光電変換部は、フォトダイオードであり、前記保持比較部は、前記フォトダイオードに第1の電極を接続され、且つ第2の電極を前記画素選択部の制御を受けて前記画素を選択する選択トランジスタに接続されるキャパシタであり、前記第1の時間帯のフォトダイオードの電位にて前記キャパシタの前記第2の電極を初期化し、前記第2の時間帯におけるフォトダイオードの電位により変化する前記第2の電極の電位を前記選択トランジスタより信号線を介して前記検出部に送出する。
- [0011] 好適には、前記検出部は、前記選択トランジスタより信号線を介して送られてくる前記第2の電極の電位を基準電位と比較することにより前記第2の電極の電位変化を検出してバイナリデータ化する。
- [0012] 本発明の第2の観点は、複数の画素が配列された画素アレイ部と、前記複数の画素の中で画素情報を読み出す画素を選択する画素選択部とを備えた光センサーの画素選択方法であって、前記画素情報を読み出す画素を任意に変更する。
- [0013] 好適には、所定条件を満たしている画素を判別し、その判別情報に従って前記選択する画素を変更する。

### 発明の効果

- [0014] 本発明によれば、光強度変化検出の高速化および低消費電力化を損なうことなく画素面積を小さくでき、それ故、多画素化時にチップサイズを小型化することができる。

また、画素アレイ部の中の任意の画素、例えば受光画素のみを読み出すように画素選択パターンを変更することにより、さらに光強度変化検出を高速化することができる。

### 図面の簡単な説明

- [0015] [図1]図1は、本発明の第1の実施形態に係る光センサーの構成を示したブロック図である。

[図2]図2Aおよび図2Bは、図1に示した画素アレイ部を形成する1画素相当の構成を示した回路図である。

[図3]図3は、図1に示した画素アレイ部の2カラム分の回路構成を示した回路図である。

[図4]図4A～図4Cは図2に示した画素内動作を説明するタイミング図である。

[図5]図5A～図5Jは、図3に示した2カラム分の回路の動作を説明するタイミング図である。

[図6]図6は、本発明の第2の実施の形態に係る光センサーを形成する画素アレイ部の2カラム分の回路構成を示した回路図である。

[図7]図7A～図7Kは、図6に示した2カラム分の回路の動作を説明するタイミング図である。

[図8]図8は、本発明の第3の実施の形態に係る光センサーを形成する画素アレイ部の2カラム分の回路構成を示した回路図である。

[図9]図9A～図9Jは、図8に示した2カラム分の回路の動作を説明するタイミング図である。

[図10]図10は、本発明の第4の実施の形態に係る光センサーの画素の構成を示した回路図である。

[図11]図11A～図11Lは、図10に示した画素内動作を説明するタイミング図である。

[図12]図12は、本発明の第5の実施の形態に係る光センサーの画素の構成を示した回路図である。

### 符号の説明

[0016] 10, 10A, 10B…光センサー、11…画素アレイ部、12…Vデコーダ部、13…Hデコーダ部、14…センスアンプ部、Cs…カップリングキャパシタ、PC, PCA…プリチャージ回路、PD…フォトダイオード、SA…センスアンプ、T1…リセットトランジスタ、T2…セレクトトランジスタ、T3…転送トランジスタ。

### 発明を実施するための最良の形態

[0017] 以下、本発明の実施の形態を添付図面に関連付けて説明する。

## [0018] &lt;第1実施形態&gt;

図1は、本発明の第1の実施の形態に係る光センサーの構成を示したブロック図である。

[0019] 光センサー10は、図1に示すように、画素を2次元に展開(ここではM列、N行の展開とする)した画素アレイ部(PXARY)11、行を選択する垂直(V)デコーダ部(VDE C)12、列を選択する水平(H)デコーダ部(HDEC)13、信号線電位を検知して画素の光強度変化を確定するセンスアンプ部(SNSAMP)14を有している。

Vデコーダ部12およびHデコーダ部13は画素選択部を形成し、センスアンプ部14は検出部を形成する。

[0020] 図2Aおよび図2Bは、図1の画素アレイ部11を形成する1画素相当の構成例を示す回路図である。

[0021] 画素PXLは、基本的には、図2Aに示すように、光を受光して電荷を蓄積するフォトダイオードPD、このフォトダイオードPDのリセットを行うリセットトランジスタT1、および画素を選択するセレクトトランジスタT2、フォトダイオードPDとセレクトトランジスタT2の間の保持比較部としてのカップリングキャパシタCsより構成される。

[0022] フォトダイオードPD1のアノードが接地され、カソードがノードND1に接続されている。電源電位VddとノードND1との間にリセットトランジスタT1のソース・ドレインがそれぞれ接続されている。リセットトランジスタT1のゲートがVデコーダ部12により所定のタイミングでリセット信号RSTが印加されるリセット線RSTLに接続されている。

カップリングキャパシタCsの第1電極がノードND1に接続され、第2電極がノードND2に接続されている。そして、セレクトトランジスタT2のソース・ドレインがノードND2および信号線SIGLに接続されている。換言すれば、セレクトトランジスタT2の出力は信号線SIGLに接続されている。信号線SIGLには画素PXLの読み出し信号SIGが読み出される。セレクトトランジスタT2のゲートがVデコーダ部12により所定のタイミングでセレクト信号SELが印加されるセレクト線SELLに接続されている。

また、画素PXLにおいて、セレクトトランジスタT2とカップリングキャパシタCsの接続部のフローティングノードND2をフローティングディフュージョンFDとする。

[0023] また、図2Bは、図2Aの画素構成に、フローティングディフュージョンFDの容量Cfと

信号線SIGLの寄生容量Cdを付加した状態を示している。

[0024] 図3は、図1の画素アレイ部11の2カラム分の回路構成を示した回路図である。

各カラムは奇数列(odd)と偶数列(even)2本で一組を構成し、各組に対し、センスアンプSA、プリチャージ回路PCなどが対応している。センスアンプSA、およびプリチャージ回路PCは、たとえば図1のセンスアンプ部14に含まれる構成要素である。

[0025] 図3のプリチャージ回路PCは、電源電位Vddの1/2の電位Vdd/2と奇数列の信号線SIGL\_oの一端との間にソース・ドレインがそれぞれ接続されたプリチャージトランジスタTP\_o、電位Vdd/2と偶数列の信号線SIGL\_eの一端との間にソース・ドレインがそれぞれ接続されたプリチャージトランジスタTP\_e、および奇数列の信号線SIGL\_oの一端と偶数列の信号線SIGL\_eの一端との間にソース・ドレインがそれぞれ接続されたイコライズトランジスタTEを有する。

そして、プリチャージトランジスタTP\_o、TP\_e、およびイコライズトランジスタTEのゲートはプリチャージ信号Vpが所定のタイミングで印加されるプリチャージ線PCLに共通に接続されている。

[0026] 図3のセンスアンプSAは、pチャネルのMOSトランジスタTS1、TS2、およびnチャネルのMOSトランジスタTS3、TS4を有する。トランジスタTS1、TS2のソースがバイアス電位SNPに接続され、トランジスタTS3、TS4のソースがバイアス電位SNLに接続されている。

トランジスタTS1とTS3のドレイン同士、およびゲート同士が接続されて第1CMOSインバータが形成されている。トランジスタTS1とTS3のドレイン同士の接続点により第1CMOSインバータの出力ノードNS1が形成され、ゲート同士の接続点により第1CMOSインバータの入力ノードNS2が形成されている。

トランジスタTS2とTS4のドレイン同士、およびゲート同士が接続されて第2CMOSインバータが形成されている。トランジスタTS2とTS4のドレイン同士の接続点により第2CMOSインバータの出力ノードNS3が形成され、ゲート同士の接続点により第2CMOSインバータの入力ノードNS4が形成されている。

そして、第1CMOSインバータと第2CMOSインバータの入出力同士を交差結合して(ノードNS1とノードNS4を接続し、ノードNS2とノードNS3とを接続して)、ノードN

S1が奇数の信号線SIGL\_oに接続され、ノードNS3が偶数列の信号線SIGL\_eに接続されて、ラッチ型のセンスアンプが形成されている。

[0027] また、奇数の信号線SIGL\_oの他端側は水平スイッチSWH\_oを介して奇数側の水平出力信号線HL\_oに接続されている。偶数列の信号線SIGL\_eの他端側は水平スイッチSWH\_eを介して奇数側の水平出力信号線HL\_eに接続されている。

そして、水平出力信号線HL\_oおよびHL\_eの一端部がバッファアンプBUFAに接続され、バッファアンプBUFAからデータが出力される。

また、水平スイッチSWH\_oおよびSWH\_eは、Hデコーダ部13により選択的にオン・オフされる。

[0028] 次に、本実施の形態の画素内動作について図4A～図4Cの画素内動作のタイミング図を参照して説明する。

図4Aはセレクト線SELLに印加されるセレクト信号SELを、図4Bはリセット線RST\_Lに印加されるリセット信号RSTを、図4Cは信号線SIGLの電位SIGをそれぞれ示している。

また、図において、TPFRMSは前フレーム走査期間を、TCFRMSは現フレーム走査期間を、TCAMCは電荷蓄積期間をそれぞれ示している。

[0029] ここで、図2に示した画素はフレーム走査ごとに、1フレーム前(前フレーム)と現在のフレーム期間(現フレーム)の光強度を比較し、その強弱の結果を基準電位に対する電位変化として出力する。

[0030] まず、図4A～図4Cの前フレーム走査期間TPFRMSの動作において、光強度に対応した電位が図2Aに示す fotodiode PD 上に現れた状態で、信号線SIGLによりノードFDをVdd/2 (Vddは電源電圧) の電位にチャージする。

このとき、 fotodiode PD は前フレーム走査期間TPFRMSの光入射に対応する電位がカップリングキャパシタCsの fotodiode PD 側に現れているため、それに対応する電荷がノードFD(フローティングディフュージョン)に蓄積される。その後、リセットトランジスタT1により fotodiode PD をリセットし、現フレームに対応する電荷蓄積を開始する。

[0031] 図4A～図4Cに示した現フレームの画素情報読み出し走査、すなわち現フレーム

走査期間TCFRMSでは、再度、信号線SIGLをVdd／2にプリチャージ後、セレクトトランジスタT2をオンとする。

このとき、ノードFDには前のフレームの光強度に対応した電荷が蓄積されていたのに対し、フォトダイオードPDの電位は現フレームの光強度に対応する電位に変化しているため、ノードFDではその差分に相当する電荷の移動がおきる。

つまり、前フレームよりも現フレームの方が光強度が強い(PDの電位が小さい)時には、負電荷が信号線SIGLに放出され、信号線SIGLの電位SIGはVdd／2よりも下がる。

- [0032] 一方、前フレームよりも現フレームの方が光強度が弱くなる(PDの電位が大きい)ときには、正電荷が信号線SIGLに放出され、信号線SIGLの電位SIGはVdd／2よりも上がる。

このように、信号線電位の変化の方向をVdd／2に対して上か下かを判別し、それをセンスアンプSAでバイナリデータ化することにより、前フレームよりも現フレームの方が光が強くなったか、或いは弱くなったかを判別することが可能となる。

- [0033] ここで、信号線SIGLの寄生容量をCd(図2B参照)、カップリングキャパシタの容量をCs、前フレームと現フレームのPDの電位変化をVaとすると、現フレーム読み出し時の信号線電位Vsigは、次式のようになる。

$$Vs_{\text{sig}} = (V_{\text{dd}}/2) + (Cs / (Cs + C_d)) * Va \dots (1)$$

つまり、Vaの正負により、Vdd／2からの上下方向への変位が決定される。

- [0034] 次に、センサーレベルでの動作について説明する。図1のセンサーブロック中、2カラム分の回路構成を示したものが図3であり、図5A～図5Jはこの回路部の走査タイミングを示した図である。各カラムは奇数列(odd)と偶数列(even)2本で一組を構成し、各組に対し、センスアンプSA、プリチャージ回路PCなどが対応する。

- [0035] 図5Aはプリチャージ線PCLに印加されるプリチャージ電位(信号)Vpを、図5Bは第n行のセレクト線SELnに印加されるセレクト信号SELnを、図5Cは第n行のリセット線RSLLnに印加されるリセット信号RSTnを、図5Dは第n+1行のセレクト線SELn+1に印加されるセレクト信号SELn+1を、図5Eは第n+1行のリセット線RSLLn+1に印加されるリセット信号RSTn+1を、図5FはセンスアンプSAの低電位側のバイ

アス電位SNLを、図5GはセンスアンプSAの高電位側のバイアス電位SNPを、図5Hは奇数および偶数の信号線SIGL\_o, SIGL\_eの電位SIG\_o, SIG\_eを、図5Iは奇数側の水平スイッチSWH\_oの状態を、図5Jは偶数側の水平スイッチSWH\_eの状態を、それぞれ示している。

[0036] まず、n行目の読み出しについて画素PXLmnに着目して説明する。

読み出し前の前提として、前述したように、1フレーム前の読み出し走査により、ノードFDは、前フレームの光信号電位に対応する電荷で初期化されており、また、一組の信号線電位SIG\_oとSIG\_eはVdd/2にプリチャージされている。

この状態でセレクト信号SELnをセレクト線SELLに印加して画素の選択トランジスタT2をオンすると、奇数側の信号線電位SIG\_oは、上記(1)式に従い、フレーム間の光強度の違いにより上、または下に微小に変異する。図3の例では、図5Hに示すように信号線SIGLの電位がVdd/2に比較して下に変化した場合、つまり、受光した光強度が前フレームに対し大きくなつた場合を示している。

[0037] このとき、センスアンプSAのバイアス電位SNL, SNPはプリチャージ電位Vpと同じVdd/2であるが、信号線電位の変異後、SNL, SNPをそれぞれOV, Vddに徐々に変化させていく。このとき、偶数側の信号線SIGL\_eの電位SIG\_eはVdd/2にプリチャージされたままであるので、奇数側の信号線SIGL\_oの信号線電位SIG\_oに対してリファレンス電位として作用する。

これにより、奇数側の信号線SIGL\_oの信号線電位SIG\_oの電位はSIG\_eと比較され、Vdd/2よりも僅かに電位が低い奇数側の信号線電位SIG\_oはOVに増幅され、偶数側信号線電位SIG\_eはVddとなる。これにより、信号線SIGL\_oには、前フレームよりも光信号強度が上がつたことに対応する“0”データを保持される。

[0038] なお、前フレームよりも光信号強度が下がつた場合は、信号線SIGの電位がVdd/2に比較して上に変化し、これをセンスアンプSAが検出して、奇数側の信号線SIGL\_oには、前フレームよりも光信号強度が上がつたことに対応する“1”データが保持される。

[0039] 以上の走査は、同じn行に位置する奇数列の画素について同時に行われる。よって、バイナリデータが水平信号線HL\_oに順に出力されて行き、このオーデータは外

部信号処理回路により処理される。

全ての奇数列のカラム( $M/2$ 本)が全て読み出されると、プリチャージ信号 $V_p$ をオンとし、全てのカラムを $V_{dd}/2$ にプリチャージすると同時に、バイアス電位 $SNL$ 、 $SNP$ も $V_{dd}/2$ に戻す。その後、セレクト信号 $SEL_n$ はオフ(印加停止;ローレベルとする)とする。これにより、 $n$ 行奇数列画素のFDは現在の光強度信号に対応した電位に初期化され、次のフレームでの読み出し時の比較に使用される。

その後、リセット信号 $RST_n$ により選択画素のリセットトランジスタ $T_1$ をオンとすることにより、フォトダイオード $PD$ が初期化され、次のフレームの光蓄積が開始される。

[0040] 本第1の実施形態によれば、画素アレイ部11を構成する各画素は図2Aに示したように、前フレームの受光強度に対応する電荷を保持する保持機能と前フレームの受光強度と現フレームの受光強度の強弱を比較する比較機能をカップリングキャパシタ $C_s$ で構成しているため、従来のようなフレームメモリとコンパレータを必要せず、しかも、上記保持機能と比較機能は極めて簡単な回路で構成できるため、画素面積を小さく形成することができ、それ故、多画素化してもチップ面積を大きくすることができなく、多画素化に対応することができ、低消費電力化も実現することができる。

[0041] また、センスアンプ $SA$ による受光強度の強弱の確定をカラム並列で行うが、画素外にフレームメモリとコンパレータを持つものに比べてフレームメモリへの書き込みおよび読み出し処理を必要としない分、処理速度を向上させることができ、光強度変化検出を高速で行うことができる。

なお、図3において、水平出力信号線は奇数列、偶数列にそれぞれ1本ずつ(HL\_o, HL\_e)であるが、これは、各列複数本用意して、並列に読み出すことにより、読み出しの高速化を図ることができ、その分、光強度変化検出を更に高速で行うことができる。

[0042] <第2実施形態>

図6は、本発明の第2の実施の形態に係る光センサーを形成する画素アレイ部の2カラム分の回路構成を示した回路図である。

本第2の実施形態の構成はプリチャージ回路の除き第1の実施形態のそれと同様である。したがって、第1の実施形態と同様の部分には同一符号を付して説明する。

[0043] 本第2の実施形態のプリチャージ部PCAでは、第1の実施形態プリチャージ部PCのように偶数列、奇数列ともにVdd/2でプリチャージされる構成ではなく、偶数列、奇数列で異なる電圧にプリチャージできるようにプリチャージトランジスタTP\_o、TP\_eを設定し、それぞれのゲートに異なるゲート電位VP\_o、VP\_eが印加されるようになっている。

[0044] 次に、本第2の実施形態の動作について説明する。

光センサーをアプリケーションへ応用する場合、毎フレーム、全ての画素において常に信号光が受信されるのではなく、信号光が発せられない画素や期間が存在する場合があり得る。

このような状況においても第1の実施形態の構成では、ノイズや、回路設計上のオフセットなどにより、各画素は常に“1”か“0”的信号を出力し続けることになり、実際の光信号との区別がつかないおそれがある。

よって、このような光信号が無い場合と、信号がある場合を区別するために、光信号が無い場合には、“1”または“0”的うちどちらかのデータに固定されるように、片方の検出に意図的に重み付けをすることが望ましく、本第2の実施形態ではこれを可能にする回路構成を有する。

[0045] 図7A～図7Kは、第2の実施形態の動作を説明するためのタイミングチャートである。

図7Aおよび図7Bはプリチャージトランジスタのゲート電位Vp\_o、Vp\_eを、図7Cは第n行のセレクト線SELnに印加されるセレクト信号SELnを、図7Dは第n行のリセット線RSLLnに印加されるリセット信号RSTnを、図7Eは第n+1行のセレクト線SELn+1に印加されるセレクト信号SELn+1を、図7Fは第n+1行のリセット線RSLLn+1に印加されるリセット信号RSTn+1を、図7GはセンスアンプSAの低電位側のバイアス電位SNLを、図7HはセンスアンプSAの高電位側のバイアス電位SNPを、図7Iは奇数および偶数の信号線SIGL\_o、SIGL\_eの電位SIG\_o、SIG\_eを、図7Jは奇数側の水平スイッチSWH\_oの状態を、図7Kは偶数側の水平スイッチSWH\_eの状態を、それぞれ示している。

[0046] そこで、前述したようにそれぞれのカラムについてプリチャージトランジスタTP\_o、

TP\_eを設定し、それぞれのトランジスタのゲートには、図7A、図7Bのタイミングチャートに示すように、異なるゲート電位Vp\_o、Vp\_eが印加される。このようにすると、信号線SIGL\_o、SIGL\_eへのプリチャージ電位Vp\_o、Vp\_eは、トランジスタの電位降下の現象により、それぞれ、Vp\_o-Vth、Vp\_e-Vth(Vthはトランジスタのスレッショルド電圧)となる。

つまり、Vp\_o、Vp\_eをコントロールすることにより、それぞれの信号線SIGL\_o、SIGL\_eへのプリチャージ電位を自由に設定することが可能となる。但し、 $Vp_o, Vp_e \leq Vdd/2 + Vth$ を満たす必要がある。

[0047] 本第2の実施形態によれば、それぞれのカラムの信号線LSIG\_o、SIGL\_eへのプリチャージ電位を自由に設定することができるため、光信号が無い場合と、信号がある場合を区別するために、光信号が無い場合には、“1”または“0”的ちどちらかのデータに固定されるように、片方の検出に意図的に重み付けを行うことができ、光信号が無い場合と、信号がある場合を区別することができる。

[0048] <第3実施形態>

図8は、本発明の第3の実施の形態に係る光センサーを形成する画素アレイ部の2カラム分の回路構成を示した回路図である。

本第3の実施形態の構成はセンスアンプ回路の除き第2の実施形態のそれと同様である。したがって、第2の実施形態と同様の部分には同一符号を付して説明する。

[0049] 本第3の実施形態の光センサー10Bの構成は、第1の実施形態の光センサーの構成とほぼ同様であるが、センスアンプSAをNMOSトランジスタのみで構成し、プリチャージ回路部PCの電源電圧をVddに設定したところが異なって点と、それぞれのカラムで偶数列、奇数列で異なる電圧にプリチャージできるようにプリチャージトランジスタTP\_o、TP\_eを設定し、それぞれのゲートに異なるゲート電位Vp\_o、Vp\_eが印加されるようになっており、信号線SIGL\_o、SIGL\_eにオフセット電圧の設定を可能とした点が異なっている。

[0050] 次に、本第3の実施形態の動作について図9A～図9Jのタイミングチャートを参照して説明する。

図9Aおよび図9Bはプリチャージトランジスタのゲート電位Vp\_o、Vp\_eを、図9C

は第n行のセレクト線SEL<sub>n</sub>に印加されるセレクト信号SEL<sub>n</sub>を、図9Dは第n行のリセット線RSLL<sub>n</sub>に印加されるリセット信号RST<sub>n</sub>を、図9Eは第n+1行のセレクト線SEL<sub>n+1</sub>に印加されるセレクト信号SEL<sub>n+1</sub>を、図9Fは第n+1行のリセット線RSLL<sub>n+1</sub>に印加されるリセット信号RST<sub>n+1</sub>を、図9GはセンスアンプSAの低電位側のバイアス電位SNLを、図9Hは奇数および偶数の信号線SIGL\_o, SIGL\_eの電位SIG\_o, SIG\_eを、図9Iは奇数側の水平スイッチSWH\_oの状態を、図9Jは偶数側の水平スイッチSWH\_eの状態を、それぞれ示している。

[0051] まず、奇数カラムから光の強度変化のデータを読み出す時は、プリチャージトランジスタTP\_o, TP\_eのゲート電位V<sub>p\_o</sub>, V<sub>p\_e</sub>の設定をトランジスタの電位降下の現象を考慮して、それぞれVDD+V<sub>th</sub>, VDD+V<sub>th</sub>-V<sub>off</sub>に設定する。ここでV<sub>off</sub>はV<sub>th</sub>よりも小さい電圧値である。

これにより、信号線SIGL\_o, SIGL\_eのプリチャージ電位はそれぞれ、VDD, VDD-V<sub>off</sub>となる。この状態で、画素の受光強度が前フレームに対し大きくなると、信号線SIGL\_oの電位SIG\_oは下方にふれる。その後、センスアンプSAのバイアス電圧SNLをVddから下げると、信号線電位SIG\_oがV<sub>off</sub>よりも大きく強度変化した場合、信号線電位SIG\_oは0Vに、信号線電位SIG\_eはVddに増幅される。

これにより、ノイズ成分等と光信号の区別が可能となり、光が点灯したタイミングを検出した場合“0”データ、それ以外は“1”データが出力される。

[0052] 本第3の実施形態によれば、センスアンプSAをNMOSトランジスタのみで構成してあるため、センスアンプSAの回路構成が簡略化でき、その分、光センサーの回路規模を小さくでき、小形化することができる。他の効果は、第1、第2の実施形態同様である。

[0053] <第4実施形態>

図10は、本発明の第4の実施の形態に係る光センサーの画素の構成を示した回路図である。

図10において、図2Aに示す第1の実施形態と同様の部分には同一符号を付して説明する。

[0054] 本第4の実施形態の画素構成は第1の実施形態のそれとほぼ同じであるが、フォト

ダイオードPDとキャパシタCsの間に、転送トランジスタT3を新たに付加している。また、リセットトランジスタT1のソースは、転送トランジスタT3とキャパシタCsの間のプローティングノードFD2に接続される。

より具体的には、フォトダイオードPDのカソードとノードFD2(リセットトランジスタT1のソース)との間に転送トランジスタT3のソース・ドレインがそれぞれ接続されている。そして、転送トランジスタT3のゲートがVデコーダ部12により所定のタイミングでトリガ信号TRGが印加される選択線(トリガ線)TRGLに接続されている。

- [0055] なお、本実施形態の光センサーのカラム構成は第1の実施形態のそれとほぼ同様であるが、図10のように画素を変更し、転送トランジスタT3を制御する選択線TRGを付け加えることにより、以下に述べる動作を実現することができる。
- [0056] 次に、本第4の実施形態の動作について図11A～図11Lのタイミングチャートに関連付けて説明する。

図11Aはプリチャージ線PCLに印加されるプリチャージ電位(信号)Vpを、図11Bは第n行のセレクト線SELnに印加されるセレクト信号SELnを、図11Cは第n行の選択線TRGLに印加されるトリガ信号TRGnを、図11Dは第n行のリセット線RSLLnに印加されるリセット信号RSTnを、図11Eは第n+1行のセレクト線SELn+1に印加されるセレクト信号SELn+1を、図11Fは第n+1行の選択線TRGLに印加されるトリガ信号TRGn+1を、図11Gは第n+1行のリセット線RSLLn+1に印加されるリセット信号RSTn+1を、図11HはセンスアンプSAの低電位側のバイアス電位SNLを、図11IはセンスアンプSAの高電位側のバイアス電位SNPを、図11Jは奇数および偶数の信号線SIGL\_o, SIGL\_eの電位SIGL\_o, SIGL\_eを、図11Kは奇数側の水平スイッチSWH\_oの状態を、図11Lは偶数側の水平スイッチSWH\_eの状態を、それぞれ示している。

- [0057] 本第4の実施形態の動作は、第1の実施形態とほぼ同等であるが、行のセレクト線SELLにセレクト信号SELを印加することによりセレクトトランジスタT2をオンとした直後に、同じ行の選択線(トリガ線)TRGLにトリガ信号TRGを印加して転送トランジスタT3をオンして電荷を転送する。

このときの電荷転送を完全転送(PD中の電荷が全て完全に転送される)とすれば、

電荷転送後はフォトダイオードPDがリセットされたことと同等となり、フォトダイオードPD部のリセット走査は必要ない。

また、フローティングノードFD2に電荷が転送された以降の走査は第1の実施形態と同様の動作が行われるが、データの検出完了後、リセット信号RSTによりリセットトランジスタT1をオンとし、フローティングノードFD2をリセットする。

[0058] 本第4の実施形態によれば、フォトダイオードPDがCMOSイメージセンサーなどでよく用いられる埋め込みフォトダイオード構造であった場合にはキャパシタCsを直接フォトダイオードPDに接続することができないが、フォトダイオードPD部とキャパシタCsを分離する転送トランジスタT3を介してキャパシタCsをフォトダイオードPDに接続でき、前フレームの受光強度に対応する電荷を保持する保持機能と前フレームの受光強度と現フレームの受光強度の強弱を比較する比較機能を第1の実施の形態と同様に画素内に持たせることができる。

さらに、本第4の実施形態によれば、転送トランジスタT3の介在により埋め込みフォトダイオード固有の暗電流などのノイズを抑えることができ、第1の実施の形態と同様の効果を得ることができる。

[0059] <第5実施形態>

図12は、本発明の第5の実施の形態に係る光センサーの画素の構成を示した回路図である。

図12において、図2Aに示す第1の実施形態と同様の部分には同一符号を付して説明する。この画素構成は図2Aのそれと同等であるが、フォトダイオードPDに接続されるトランジスタT4の役割が異なる。

[0060] すなわち、本第5の実施形態では、受光する光が強い場合、または、フォトダイオードPDが十分に大きい場合を想定したものであり、このような場合には、光によるフォトダイオードPD中の電荷励起が十分に大きいため、フォトダイオードPDを電流源と見做すことができる。

よって、電源とフォトダイオードPDの間に負荷となるトランジスタT4を設定すれば、このトランジスタT4が電流源の負荷として作用し、フォトダイオードPDの電流値、つまり、光強度に応じた電位がフォトダイオードPD部に現れることになる。よって、これ

をカップリングキャパシタCsにて受けければ、カップリングキャパシタCsは第1の実施の形態と同様の前フレームの受光強度に対応する電荷を保持する保持機能と前フレームの受光強度と現フレームの受光強度の強弱を比較する比較機能を持ち、同様の作用効果を得ることができる。

[0061] なお、本発明の実施形態は上記に限ることではなく、その要旨を逸脱しない範囲において、具体的な構成、機能、作用、効果において、他の種々の形態によつても実施することができる。

たとえば、上記の実施形態では、アレイ内のセルを逐次全て読み出すことを前提としているが、アプリケーションによっては、全てのセルを読み出す必要はなく、アレイ内のある特定のエリアのみを読み出す、DRAMのように外部からのアドレス指定により任意のセルを読み出す、或いは、読み出し箇所を外部コントローラにより逐次変更していく、などの読み出しも可能である。

この機能を利用すると、まず、全体のサーベイにより光信号が存在するセルを検出し、その後、そのセルだけの読み出しに特定することも可能であり、より高速のデータ通信を行うことが可能となる。

[0062] また、出力手法として、上記実施形態のように、信号線のデータをそのまま水平信号線に読み出すのではなく、各カラム毎にデータバッファを設けて、一時データを貯めてから順次外部に出力するという方法も考えられる。この場合、データの外部への読み出し動作とカラムの読み出し動作が分離できるので、それぞれの動作を並列に行うパイプライン動作などが可能となり、より高速な検出、読み出し動作が可能となる。

### 産業上の利用可能性

[0063] 本発明の光センサーおよび画素選択方法は、光強度変化検出の高速化および低消費電力化を損なうことなく画素面積を小さくでき、それ故、多画素化時にチップサイズを小型化することができることから、LED点滅を通信に用いるカメラシステム等に適用可能である。

## 請求の範囲

- [1] 複数の画素が配列された画素アレイ部と、  
前記画素アレイ部内の読み出し画素を選択する画素選択部と、  
前記画素選択部で選択された画素から読み出された情報を検出する検出部と、を  
有し、  
前記画素は、  
受光量に応じた電位を発生する光電変換部と、  
第1の時間帯で前記光電変換部により発生された電位を保持し且つ、第2の時  
間帯での前記光電変換部の発生電位を前記保持された第1の時間帯での発生電位  
と比較する保持比較部と、を有する  
光センサー。
- [2] 前記光電変換部は、フォトダイオードであり、前記保持比較部は、前記フォトダイオ  
ードに第1の電極を接続され、且つ第2の電極を前記画素選択部の制御を受けて前  
記画素を選択する選択トランジスタに接続されるキャパシタであり、  
前記第1の時間帯のフォトダイオードの電位にて前記キャパシタの前記第2の電極  
を初期化し、前記第2の時間帯におけるフォトダイオードの電位により変化する前記  
第2の電極の電位を前記選択トランジスタより信号線を介して前記検出部に送出する  
請求項1記載の光センサー。
- [3] 前記検出部は、前記選択トランジスタより信号線を介して送られてくる前記第2の電  
極の電位を基準電位と比較することにより前記第2の電極の電位変化を検出してバイ  
ナリーデータ化する  
請求項2記載の光センサー。
- [4] 前記基準電位はグランドと電源電圧の中間値である  
請求項3記載の光センサー。
- [5] 前記検出部は、前記画素アレイ部の隣合うカラムにて共有され、前記第2の電極の  
電位検出前に両カラムの信号線を前記基準電位でプリチャージし、第1のカラムの読  
み出し時は第2のカラムをリファレンスとし、第2のカラムの読み出し時は第1のカラム  
をリファレンスとして信号増幅する

請求項3記載の光センサー。

- [6] 前記プリチャージ電位として、オフセット分異なる電位をそれぞれのカラムで印加する

請求項5記載の光センサー。

- [7] 前記フォトダイオードをリセットするリセットトランジスタを有する  
請求項2記載の光センサー。

- [8] 前記フォトダイオードと前記キャパシタの間に接続される転送トランジスタを備え、当該転送トランジスタと前記キャパシタとの接続部に前記キャパシタをリセットするリセットトランジスタが接続されている

請求項2記載の光センサー。

- [9] 前記フォトダイオードに定常に発生する電流と前記リセットトランジスタとの間で決定される電位を前記キャパシタで保持する

請求項7記載の光センサー。

- [10] 前記画素選択部により選択される画素を任意に変更する選択画素パターン変更部を有する

請求項1記載の光センサー。

- [11] 前記画素アレイ部の中の所定条件成立画素を判別する判別部を有し、  
前記選択画素パターン変更部は、前記所定条件が成立していると判別された画素、或いはこれら画素を含む画素群のみが選択されるように前記画素選択部を制御する

請求項1記載の光センサー。

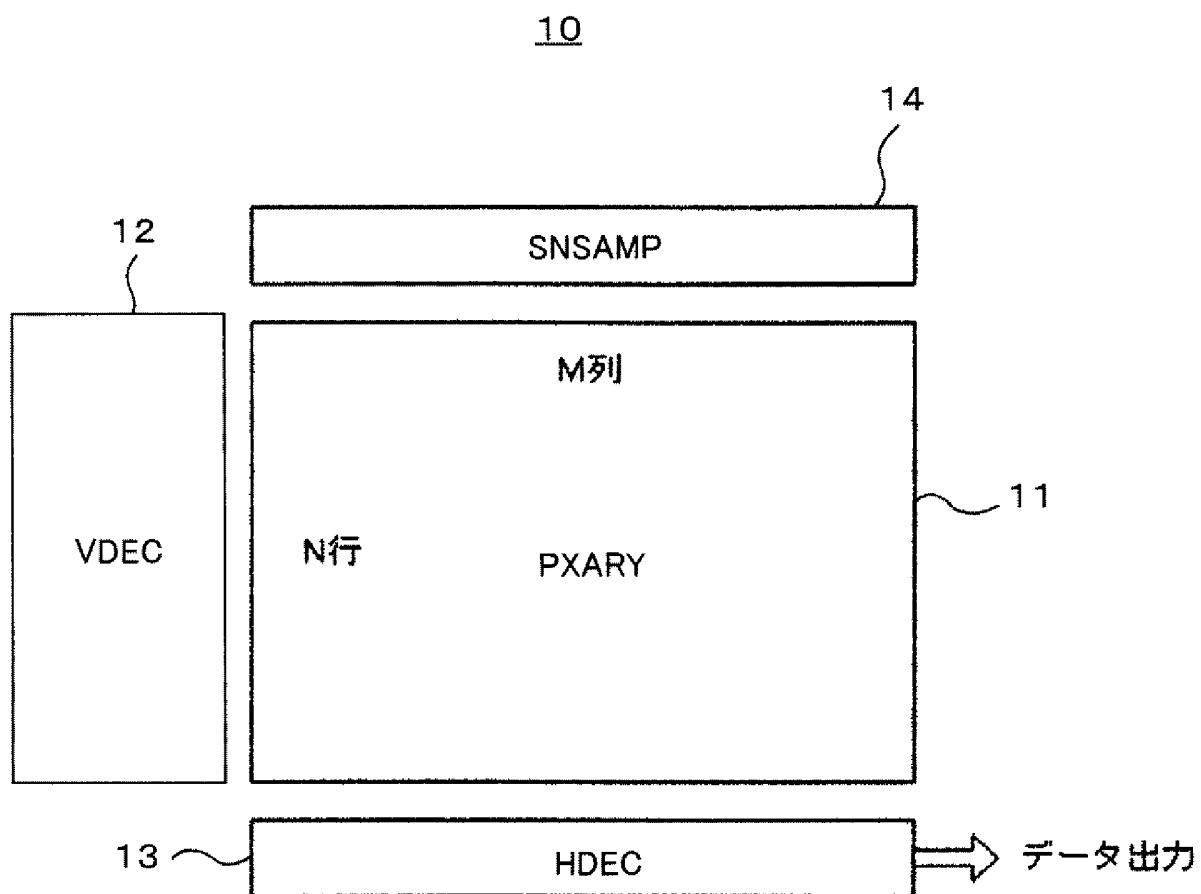
- [12] 複数の画素が配列された画素アレイ部と、前記複数の画素の中で画素情報を読み出す画素を選択する画素選択部とを備えた光センサーの画素選択方法であって、  
前記画素情報を読み出す画素を任意に変更する  
光センサーの画素選択方法。

- [13] 所定条件を満たしている画素を判別し、その判別情報に従って前記選択する画素を変更する

請求項12記載の光センサーの画素選択方法。

[図1]

FIG. 1



[図2]

FIG. 2A

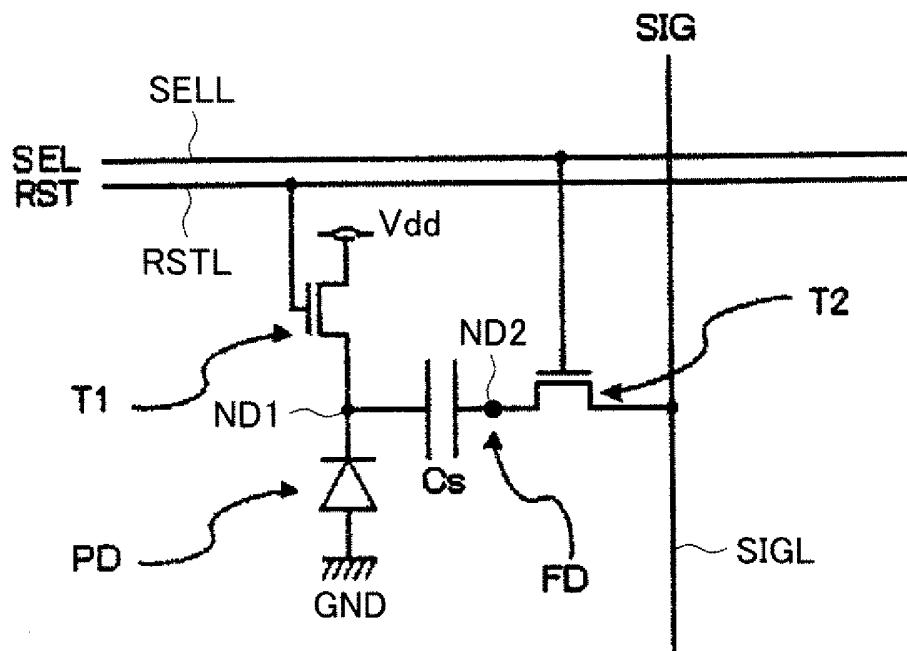
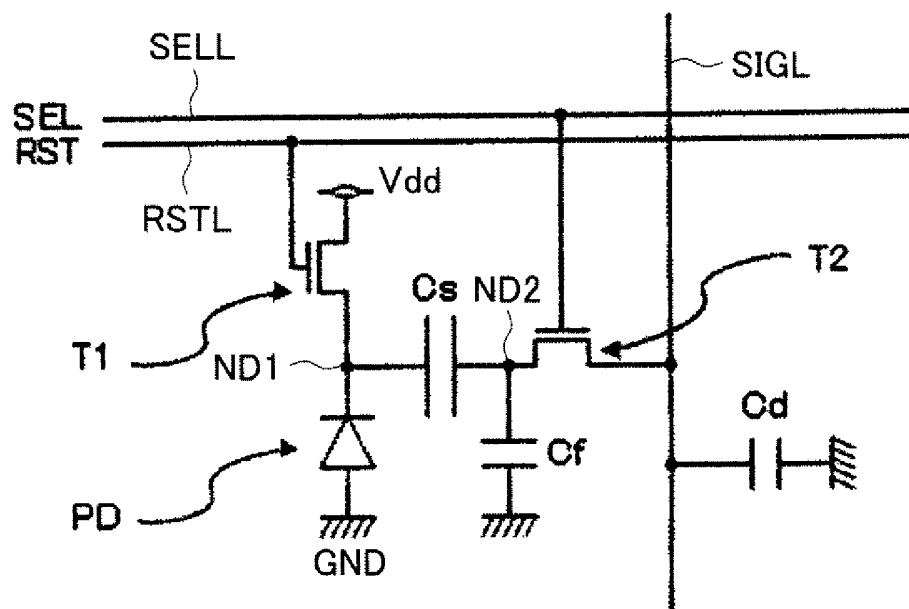
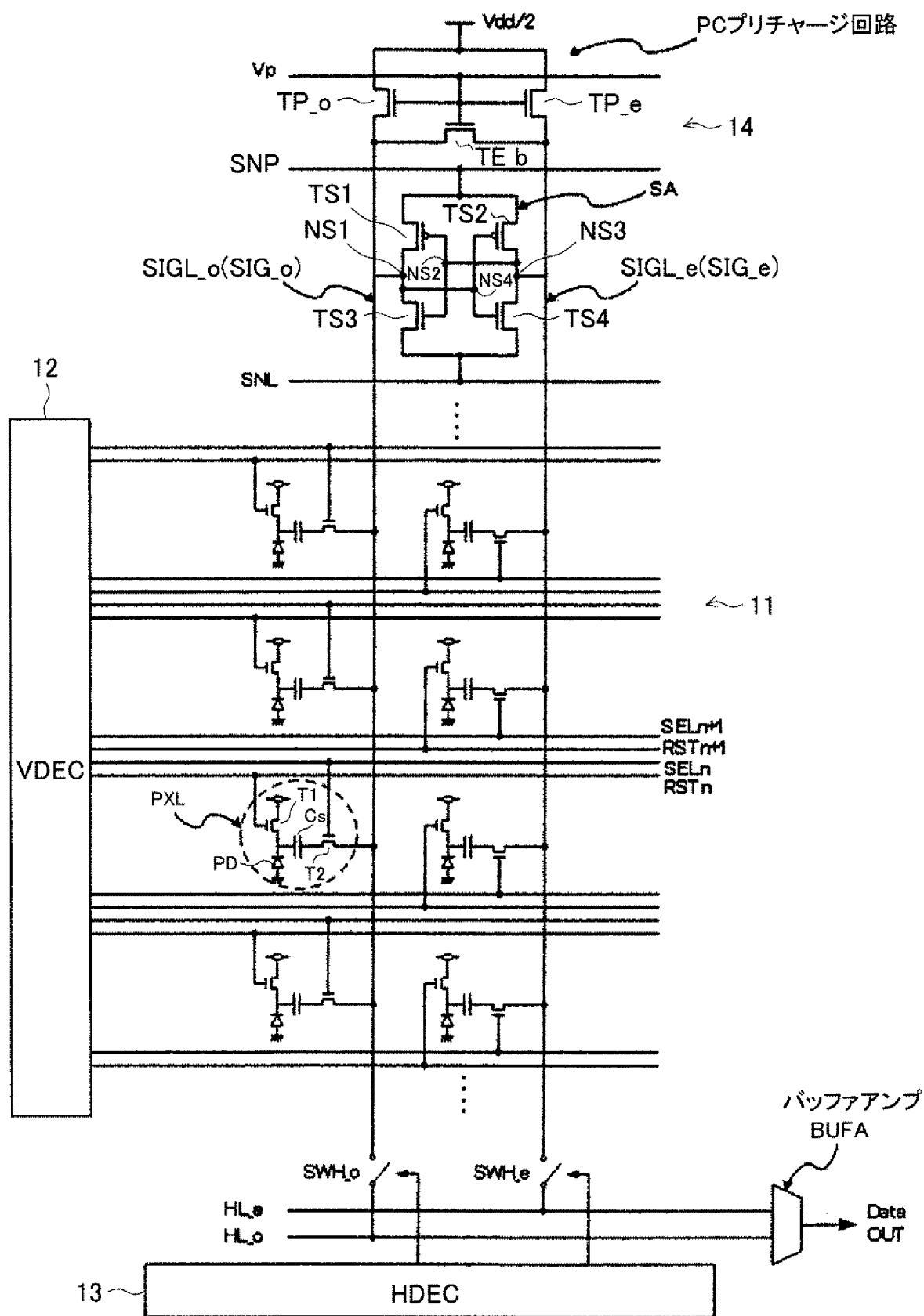


FIG. 2B

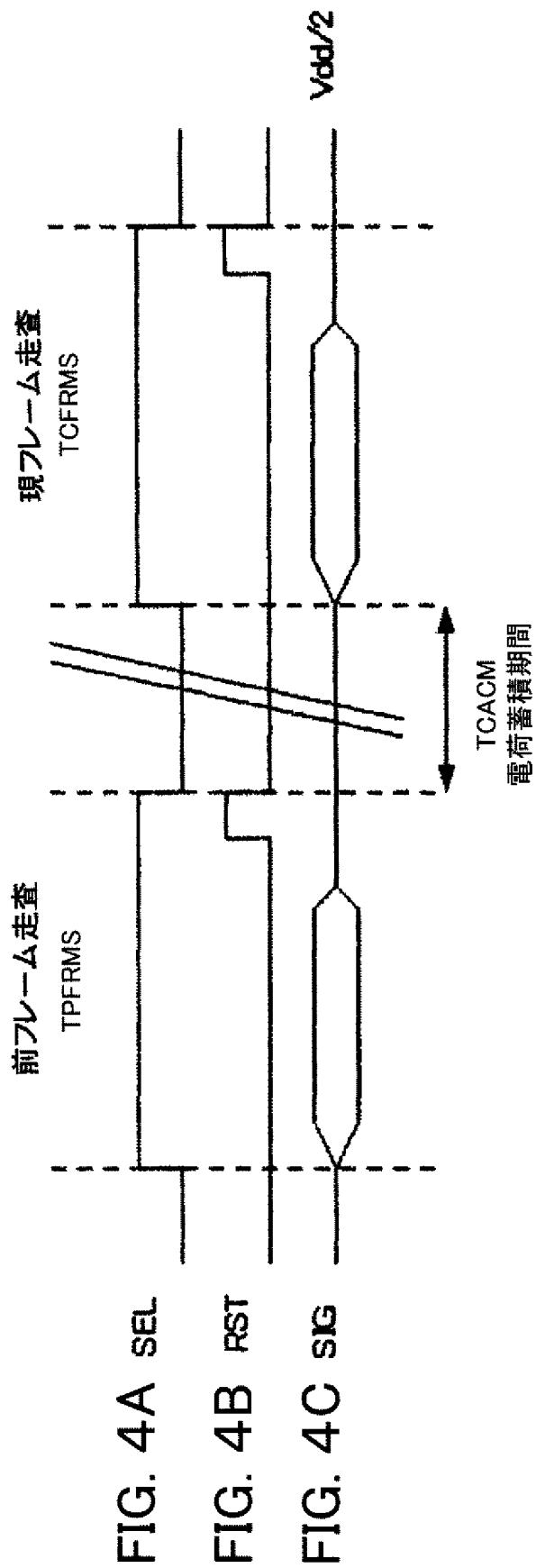


[図3]

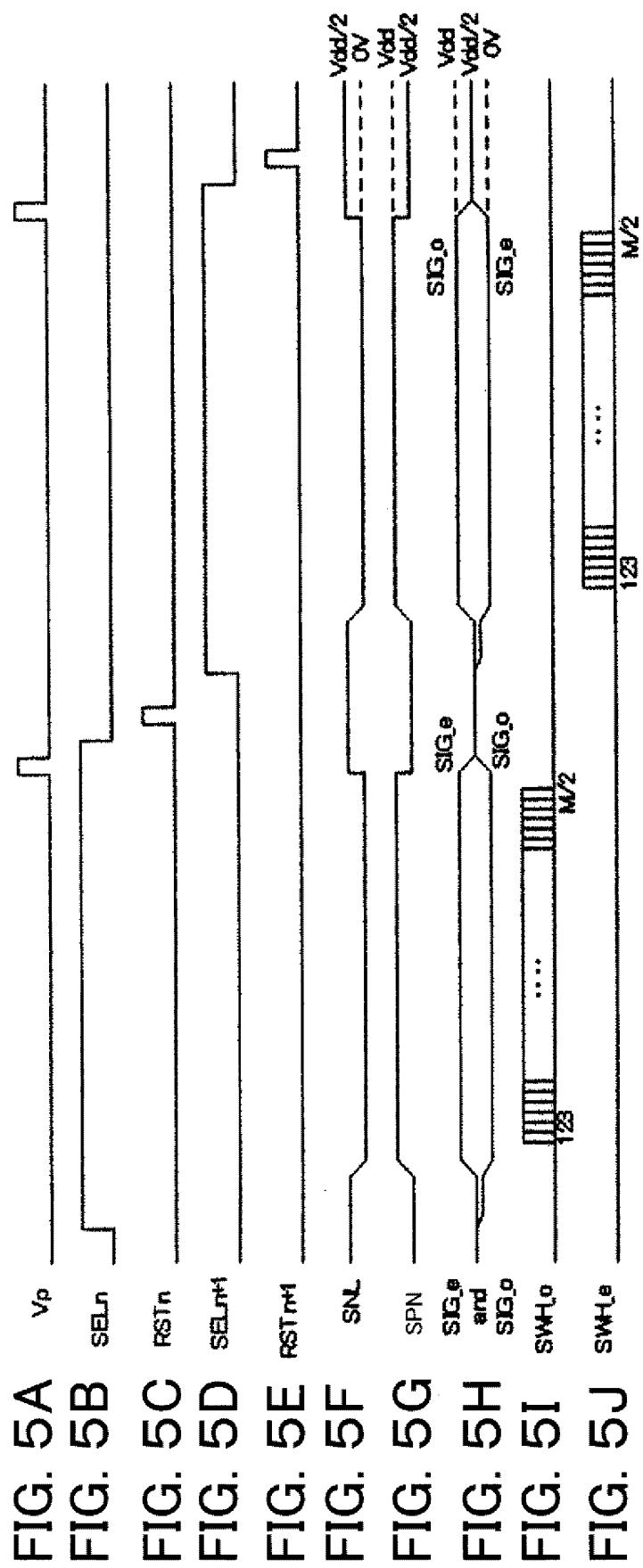
FIG. 3



[図4]

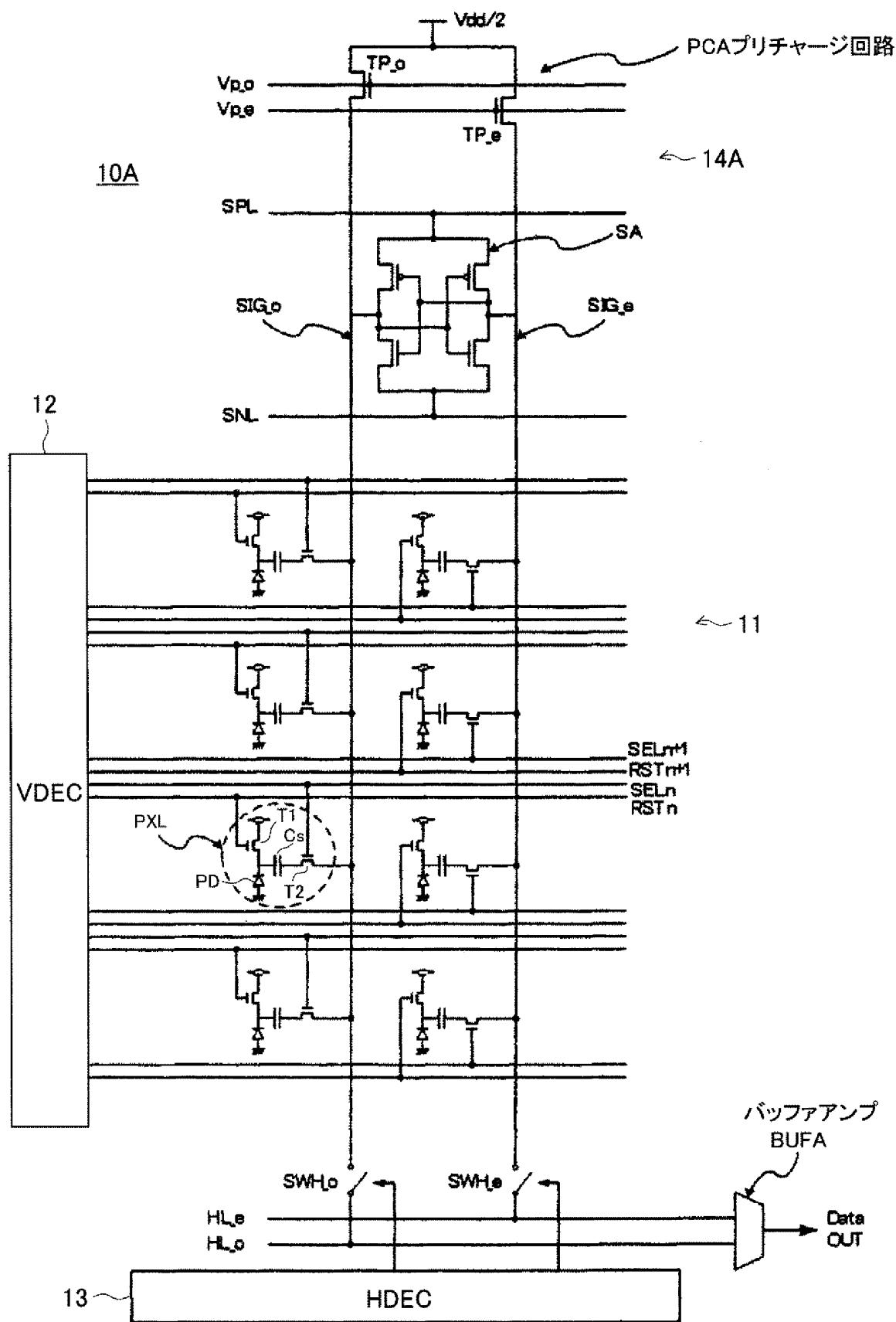


[図5]

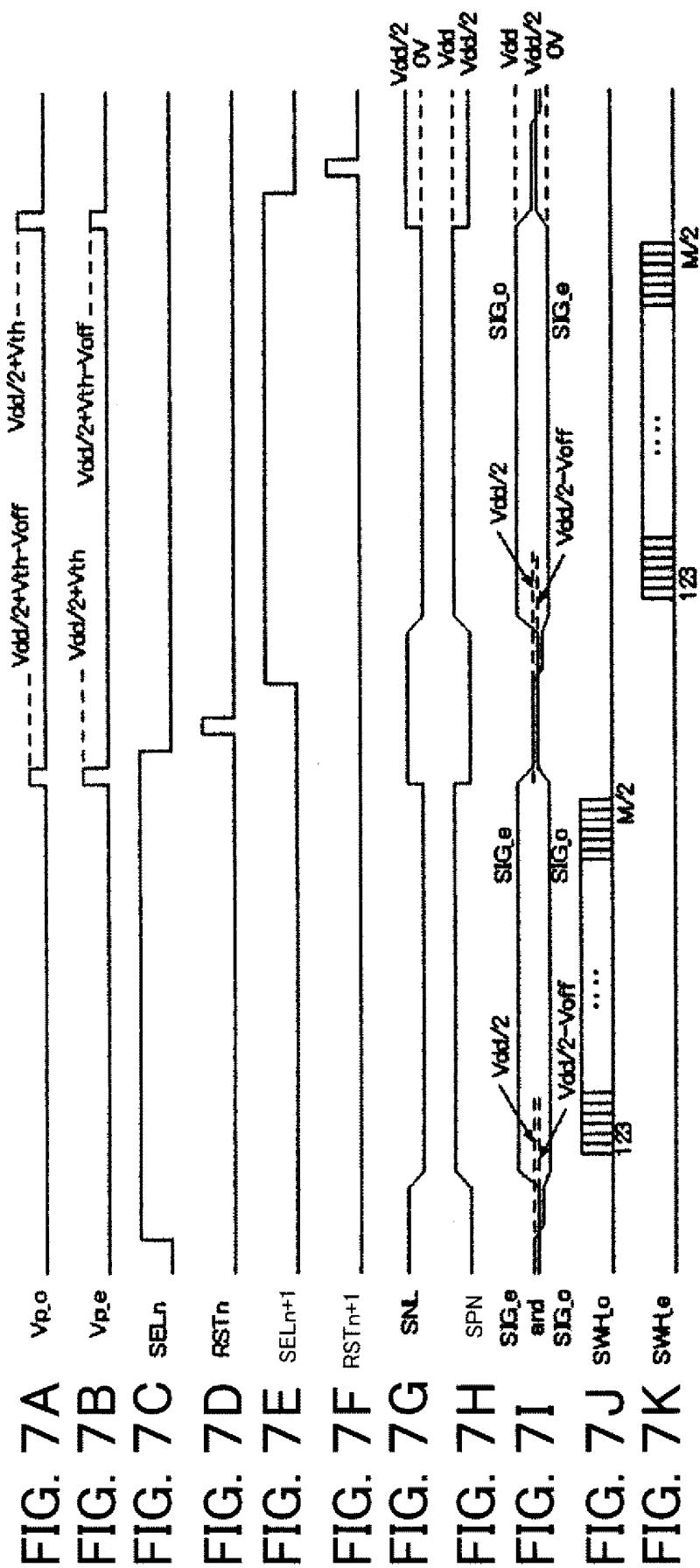


[図6]

FIG. 6

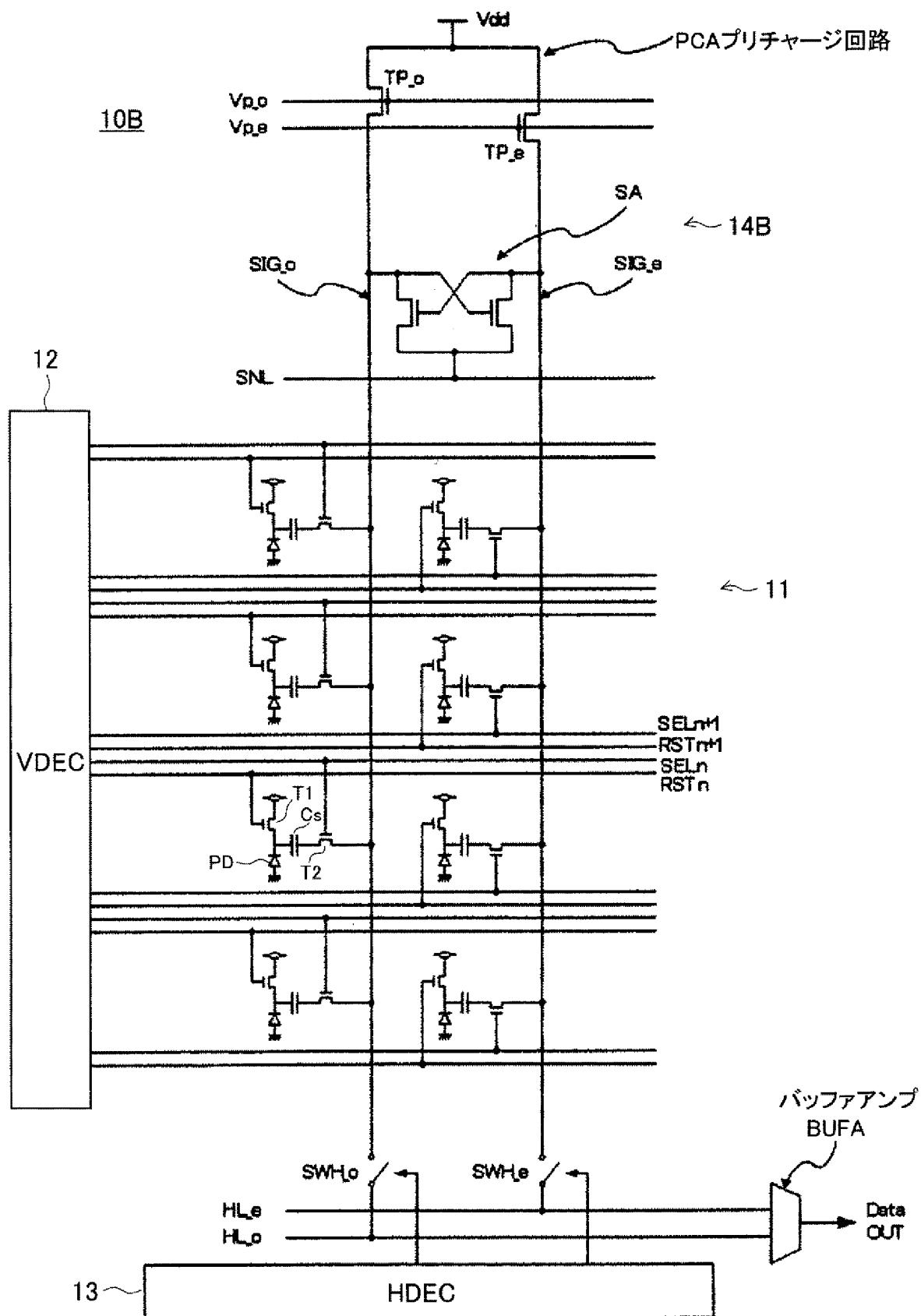


[図7]

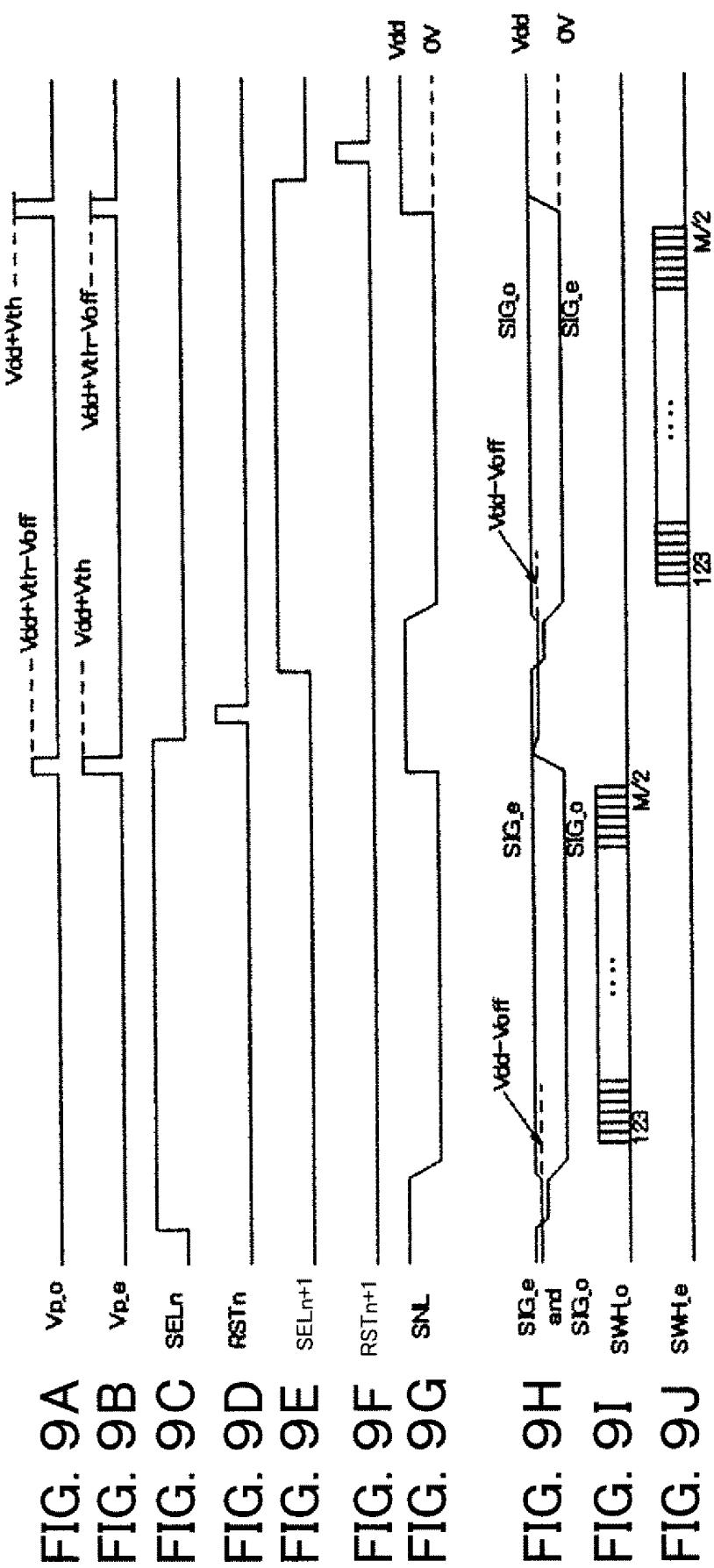


[図8]

FIG. 8

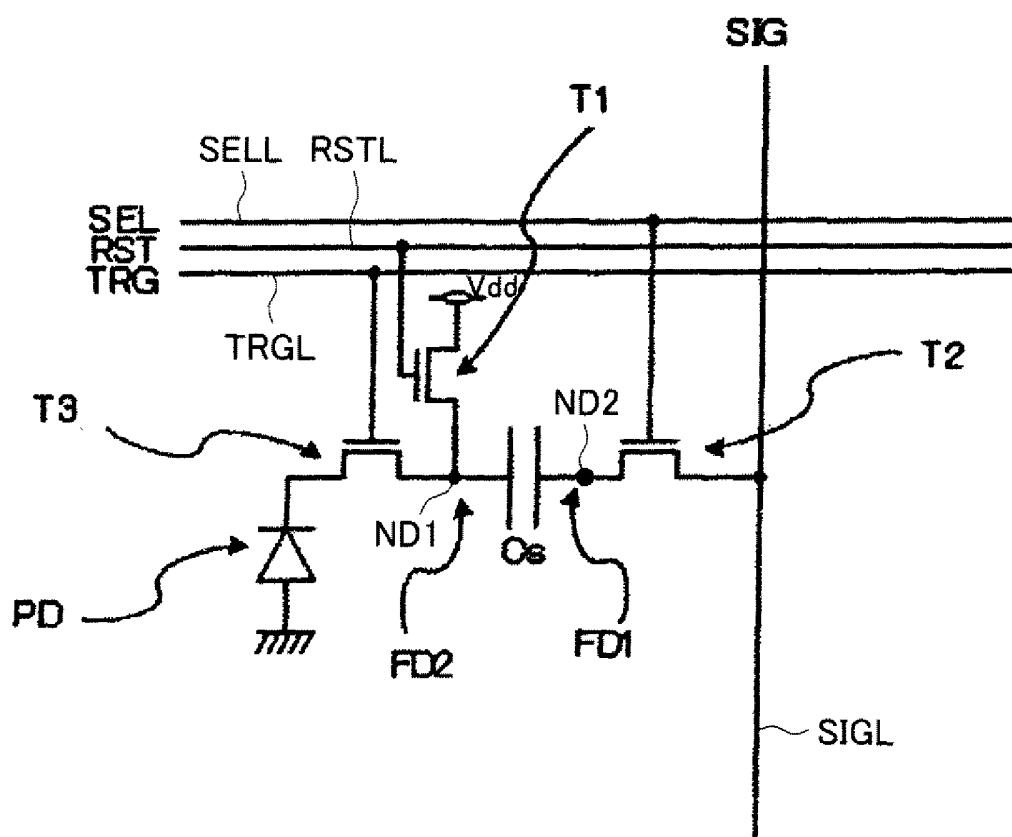


[図9]

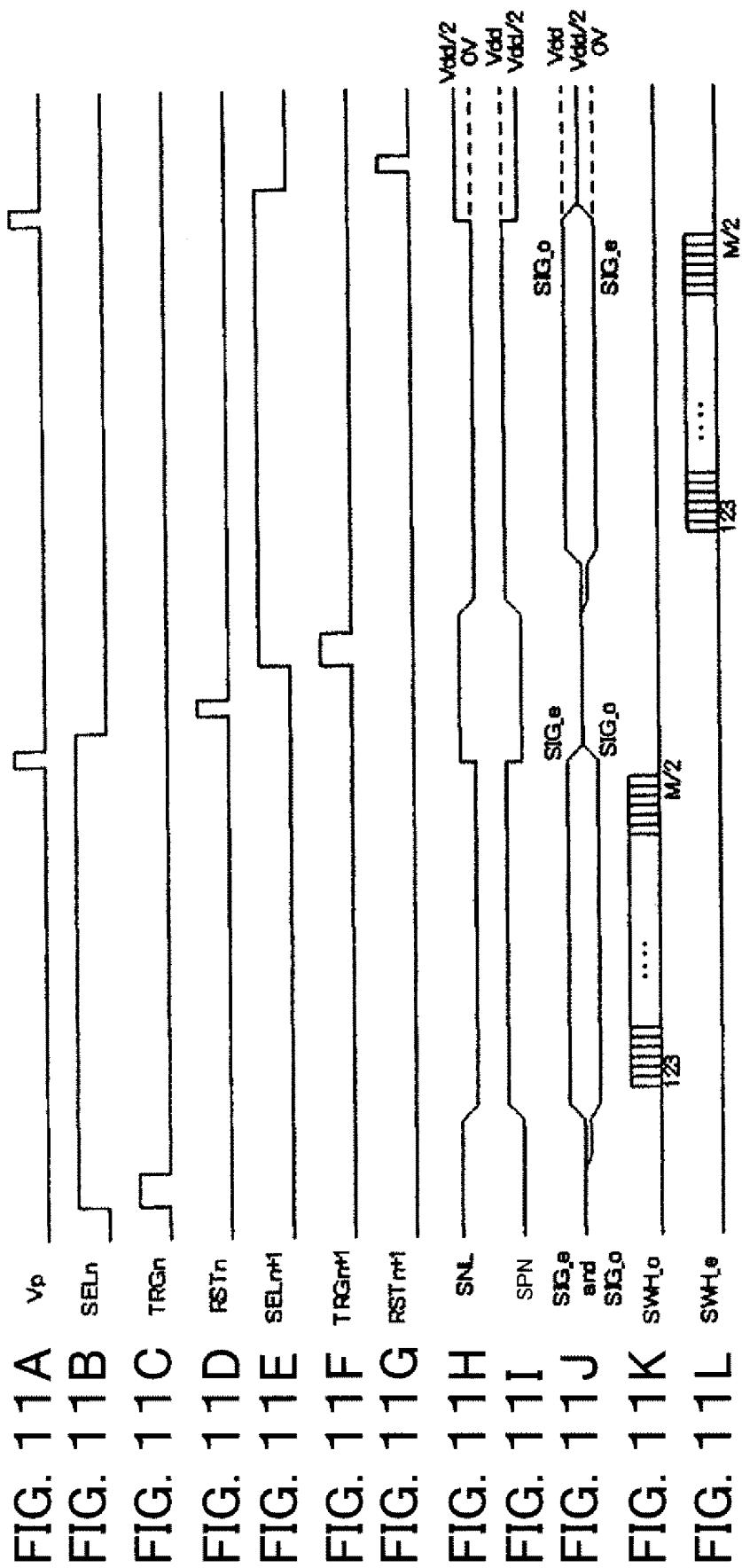


[図10]

FIG. 10

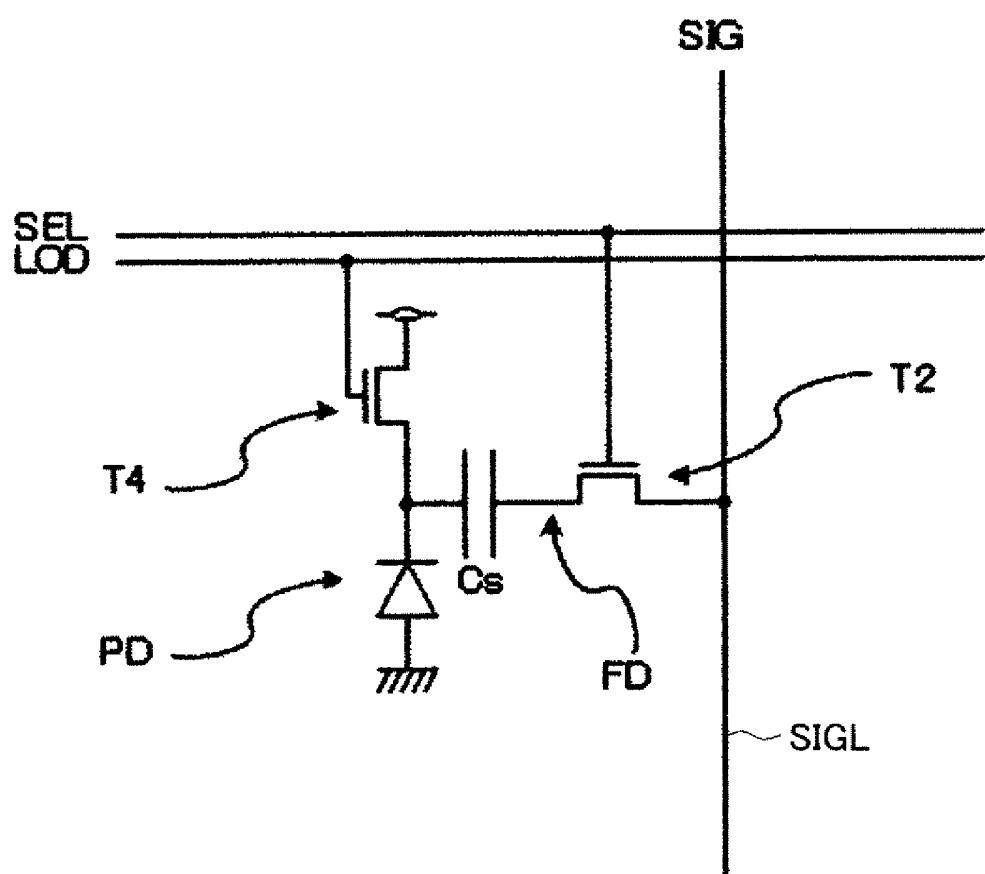


[図11]



[図12]

FIG. 12



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/020187

**A. CLASSIFICATION OF SUBJECT MATTER**  
***H04N5/335* (2006.01)**

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
***H04N5/335* (2006.01)**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-284911 A (Toshiba Corp.), 15 October, 1999 (15.10.99), Fig. 1 (Family: none)	1-13
X	JP 2003-304451 A (Victor Company Of Japan, Ltd.), 24 October, 2003 (24.10.03), Fig. 2 (Family: none)	12-13

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 February, 2006 (14.02.06)

Date of mailing of the international search report  
28 February, 2006 (28.02.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/335(2006.01)

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/335(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-284911 A (株式会社東芝), 1999.10.15, 第1図 (ファミリーなし)	1-13
X	JP 2003-304451 A (日本ビクター株式会社), 2003.10.24, 第2図 (ファミリーなし)	12-13

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

14.02.2006

国際調査報告の発送日

28.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

富田 高史

5P

2952

電話番号 03-3581-1101 内線 3581