



(12) 发明专利

(10) 授权公告号 CN 1734676 B

(45) 授权公告日 2010. 10. 27

(21) 申请号 200510087460. 3

(22) 申请日 2005. 07. 22

(30) 优先权数据

10/897, 735 2004. 07. 22 US

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚州

(72) 发明人 吉米·劳森 戴维·卡切米尔

马文·A·卡拉夫

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 马浩

(51) Int. Cl.

G11C 16/02(2006. 01)

H01L 27/115(2006. 01)

H03K 19/177(2006. 01)

(56) 对比文件

CN 1449021 A, 2003. 10. 15, 全文.

US 6242945 B1, 2001. 06. 05, 说明书第 1 栏
第 23 行至第 9 栏第 40 行, 附图 2、7、8.

审查员 富瑶

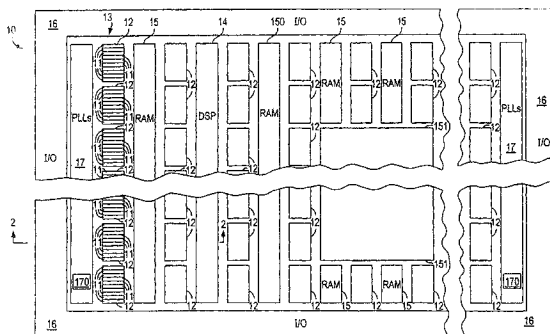
权利要求书 3 页 说明书 6 页 附图 3 页

(54) 发明名称

掩模可编程逻辑器件及其数字处理系统、印刷电路板

(57) 摘要

一种掩模可编程逻辑器件像常规可编程逻辑器件中那样包括某个电可编程的电路。这允许了用户在不重新设计编程金属化层因此也不涉及器件制造商的情况下, 调整被编程的器件的某些特性, 该被编程的器件的逻辑功能已经被检验且不需要更改, 但是它在一个变化的环境中操作, 使不同特性成为必然。可编程元件可包括输入/输出元件, 该输入/输出元件可能因为较大系统的信号特性变化需要调整, 或者包括时钟电路, 该时钟电路可能需要调整, 因为像期望操作温度的变化这样的环境状况可能影响较大系统中的时钟信号。



1. 一种掩模可编程逻辑器件,包括:

一个可编程逻辑内核,其包括一个可编程逻辑元件阵列,所述可编程逻辑元件阵列的各个可编程逻辑元件具有用于应用金属化的多个触点,所述多个触点用于配置所述可编程逻辑元件阵列的各个可编程逻辑元件以执行至少一个逻辑功能、以及连接到一个互连结构以互连所述各个可编程逻辑元件;以及

与所述可编程逻辑内核相邻的外围元件,所述外围元件包括至少一个用户可配置元件,所述至少一个用户可配置元件具有用于应用金属化的多个触点,所述多个触点用于连接到所述互连结构以互连所述用户可配置元件和所述各个可编程逻辑元件,并且当所述掩模可编程逻辑器件外部环境中的变化需要时可被用户配置。

2. 如权利要求 1 所述的掩模可编程逻辑器件,其中所述外围元件包括多个输入/输出元件;其中

所述至少一个用户可配置元件是所述多个输入/输出元件中用户可编程的一个。

3. 如权利要求 2 所述的掩模可编程逻辑器件,其中所有的所述输入/输出元件都是用户可编程的。

4. 如权利要求 3 所述的掩模可编程逻辑器件,进一步包括:

通过所述掩模可编程逻辑器件中的用户逻辑的操作可编程的功能元件;

用于对所述功能元件编程的配置寄存器;其中;

所述配置寄存器还用于对所述输入/输出元件编程。

5. 如权利要求 3 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以更改驱动强度。

6. 如权利要求 3 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以更改上拉阻抗。

7. 如权利要求 6 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以在配置期间更改上拉阻抗。

8. 如权利要求 3 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以控制转换速率。

9. 如权利要求 3 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以设置所述输入/输出元件为三态。

10. 如权利要求 3 所述的掩模可编程逻辑器件,其中每个所述输入/输出元件是用户可编程的,以选择一个输入/输出标准。

11. 如权利要求 2 所述的掩模可编程逻辑器件,其中所述输入/输出元件是用户可编程的,以更改驱动强度。

12. 如权利要求 2 所述的掩模可编程逻辑器件,其中所述输入/输出元件是用户可编程的,以更改上拉阻抗。

13. 如权利要求 12 所述的掩模可编程逻辑器件,其中所述输入/输出元件是用户可编程的,以在配置期间更改上拉阻抗。

14. 如权利要求 2 所述的掩模可编程逻辑器件,其中所述输入/输出元件是用户可编程的,以控制转换速率。

15. 如权利要求 2 所述的掩模可编程逻辑器件,其中所述输入/输出元件是用户可编程

的,以设置所述输入 / 输出元件为三态。

16. 如权利要求 2 所述的掩模可编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以选择一个输入 / 输出标准。

17. 如权利要求 1 所述的掩模可编程逻辑器件,包括多个时钟电路;其中:
所述多个时钟电路可被所述掩模可编程逻辑器件中用户逻辑的操作来编程;以及
至少一个所述时钟电路是用户可编程的。

18. 如权利要求 17 所述的掩模可编程逻辑器件,其中所有时钟电路都是用户可编程的。

19. 一种掩模编程逻辑器件,包括:

一个可编程逻辑内核,其包括一个可编程逻辑元件阵列,所述可编程逻辑元件阵列的各个可编程逻辑元件具有用于应用金属化的多个触点,所述多个触点用于配置所述可编程逻辑元件阵列的各个可编程逻辑元件以执行至少一个逻辑功能、以及连接到一个互连结构以互连所述各个可编程逻辑元件;

与所述可编程逻辑内核相邻的外围元件,所述外围元件包括至少一个用户可配置元件,用于当所述掩模可编程逻辑器件外部环境中的变化需要时由用户配置;以及

至少一个编程金属化层,所述编程金属化层:(a) 对所述各个可编程逻辑元件编程和
(b) 提供已编程的可编程逻辑元件和所述至少一个用户可配置元件之间的互连。

20. 如权利要求 19 所述的掩模编程逻辑器件,其中所述外围元件包括多个输入 / 输出元件;其中

每个所述输入 / 输出元件具有用于连接到所述互连结构以互连所述输入 / 输出元件和所述各个可编程逻辑元件的多个触点;以及

所述至少一个用户可配置元件是所述输入 / 输出元件中用户可编程的一个。

21. 如权利要求 20 所述的掩模编程逻辑器件,其中所有的所述输入 / 输出元件都是用户可编程的。

22. 如权利要求 21 所述的掩模编程逻辑器件,进一步包括:

通过用户逻辑的操作可编程的功能元件;

用于对所述功能元件编程的配置寄存器;其中;

所述配置寄存器还用于对所述输入 / 输出元件编程。

23. 如权利要求 21 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可编程的,以更改驱动强度。

24. 如权利要求 21 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可编程的,以更改上拉阻抗。

25. 如权利要求 24 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可编程的,以在配置期间更改上拉阻抗。

26. 如权利要求 21 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可编程的,以控制转换速率。

27. 如权利要求 21 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可编程的,以设置所述输入 / 输出元件为三态。

28. 如权利要求 21 所述的掩模编程逻辑器件,其中每个所述输入 / 输出元件是用户可

编程的,以选择一个输入 / 输出标准。

29. 如权利要求 20 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以更改驱动强度。

30. 如权利要求 20 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以更改上拉阻抗。

31. 如权利要求 30 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以在配置期间更改上拉阻抗。

32. 如权利要求 20 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以控制转换速率。

33. 如权利要求 20 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以设置所述输入 / 输出元件为三态。

34. 如权利要求 20 所述的掩模编程逻辑器件,其中所述输入 / 输出元件是用户可编程的,以选择一个输入 / 输出标准。

35. 如权利要求 19 所述的掩模可编程逻辑器件,包括多个时钟电路;其中:
所述多个时钟电路可由所述掩模可编程逻辑器件中用户逻辑的操作来编程;以及
至少一个所述时钟电路是用户可编程的。

36. 如权利要求 35 所述的掩模可编程逻辑器件,其中所有时钟电路都是用户可编程的。

37. 一种数字处理系统,包括:

处理电路;

耦合到所述处理电路的一个存储器;以及

耦合到所述处理电路和所述存储器的如权利要求 34 所述的一个掩模编程逻辑器件。

38. 其上安放了如权利要求 34 所述的一个掩模编程逻辑器件的一个印刷电路板。

39. 如权利要求 38 所述的印刷电路板,进一步包括:

安装在所述印刷电路板上并且耦合到所述掩模编程逻辑器件的存储器电路。

40. 如权利要求 39 所述的印刷电路板,进一步包括:

安装在所述印刷电路板上并且耦合到所述存储器电路的处理电路。

掩模可编程逻辑器件及其数字处理系统、印刷电路板

技术领域

[0001] 本发明涉及具有掩模可编程部分以及现场可编程部分的“混合”可编程逻辑器件。本发明尤其涉及掩模可编程逻辑器件,其中即使在掩模编程发生后,输入/输出和/或时钟电路中至少某些也可由用户编程。

背景技术

[0002] 可编程逻辑器件是公知的。早期的可编程逻辑器件是一次性可配置的。例如,配置可能是通过“熔断”-即打开-可熔链接来实现的。或者,配置可能被存储在可编程只读存储器中。这些器件一般向用户提供了配置器件用于“乘积之和”(或“P-TERM”)逻辑操作的能力。后来,结合了用于配置的可擦除可编程只读存储器(EPROM)的可编程逻辑器件变得可用,允许器件被重配置。

[0003] 更后来,结合用于配置的静态随机访问存储器(SRAM)元件的可编程逻辑器件变得可用。同样可被重配置的这些器件将其配置存储在像 EPROM 这样的非挥发性存储器中,当器件被加电时配置被从非挥发性存储器中加载到 SRAM 元件中。这些设备一般向用户提供配置所述器件以进行查找表类型的逻辑操作的能力。

[0004] 在所有前述可编程逻辑器件中,器件中的特定逻辑元件的逻辑功能和用于在逻辑器件间路由信号的互连都是可编程的。最近已提供了掩模可编程逻辑器件(“MPLD”)。有了 MPLD,取代向所有用户销售相同器件,制造商制造一种部分器件,其带有功能不能由用户编程并且缺乏特定的路由或互连资源的逻辑元件的标准化安排。

[0005] 用户向 MPLD 的制造商提供期望器件的规格,该规格可以是一个用于对可比较的常规可编程逻辑器件编程的配置文件。制造商利用该信息来添加金属化层到上述部分器件。那些附加层通过在那些逻辑元件内产生一定连接来对逻辑元件编程,并且还在逻辑元件之间添加互连路线。

[0006] 虽然常规可编程逻辑器件允许用户轻松自如地设计器件来执行期望的功能,但是常规可编程逻辑器件总是包括不能用于某个特定设计的资源。此外,为了容纳通用路由和互连资源,以及允许来自任何逻辑器件的信号到达任何期望的路由和互连资源的开关资源,常规可编程逻辑器件随着功能被构建到其中而不断变大,增大了这种器件的大小和功耗。信号在从一个路由和互连资源行进到另一个时经过各种开关元件的路由也减慢了信号。

[0007] MPLD 的出现允许了用户在常规可编程逻辑器件中验证设计,但是将产品版本交给 MPLD,对于相同的功能,MPLD 可以小得多并且使用少得多的资源,因为仅有的互连和路由资源是那些因为特定设计而实际所需的。此外,那些资源是简单的金属化,因此没有消耗空间或功率或减慢信号的通用开关元件。

[0008] 虽然 MPLD 具有上述优点,但有时会发生编程 MPLD(即掩模编程的逻辑器件)所在的使用环境改变。掩模编程的逻辑器件几乎总是被用在包括其他元件的系统中。可能发生这种情况,即在设计掩模编程的逻辑器件用于这种系统之后,系统参数以这样一种方式变

化,使得掩模编程的逻辑器件的逻辑操作不需要更改,但是输入 / 输出 (“I/O”) 特性确实变化了 - 例如,因为系统的某个其他元件必须被更改。对于已知的 MPLD,那可能使得必须重新设计编程金属化层来适应新的 I/O 特性,即使逻辑未变化。

[0009] 类似地,环境变化可能以要求调整 MPLD 的时钟特性的方式影响时钟速度。虽然已知允许 MPLD 的逻辑核心调整器件的时钟特性,但是那些调整只能在逻辑已经被预先设计为进行调整的时候才能进行。因此,除非要求时钟调整的环境状况被预见到,并且逻辑被设计为对其进行测试以便其能被检测和作用,否则已知的 MPLD 不能适应影响时钟特性的环境变化。

[0010] 因此,一种提供先前已知的掩模可编程逻辑器件的大小和速度优势、而且能更容易地适应由于环境状况产生的必要变化的掩模可编程逻辑器件将会是有利的。

发明内容

[0011] 根据此发明,提供了一种掩模可编程逻辑器件,该掩模可编程逻辑器件能够更容易地适应必要变化,例如由于环境变化而成为必要的上述那些变化,在该环境中一个已经被设计、编程的 MPLD 被使用。具体来说,虽然根据本发明的一种 MPLD 中实现的逻辑在一旦 MPLD 被通过添加编程金属化层来编程后就固定了,但是 I/O 和 / 或时钟电路的至少一部分 (并且最好是全部) 保持可由用户现场编程。这允许了用户不必为编程掩模层的重新设计回到 MPLD 制造商 / 供应商处就能适应环境变化。

[0012] 根据本发明的一种 MPLD 的 I/O 电路最好与可从相同供应商获得的相应 PLD 的可编程 I/O 电路类似或基本上相同,最好具有使用各种 I/O 信令标准的能力,包括单端和差动信令标准。类似地,I/O 电路最好包括高速串行接口电路,来适应那些要求这种电路的信令标准,该高速串行接口电路最好包括时钟数据恢复电路。

[0013] 因为 I/O 电路至少部分可编程,因此如果电路变化发生在使用编程 MPLD 的系统的剩余部分,但是要由 MPLD 执行的逻辑不变化,则用户可调整 I/O 电路以适应环境变化。例如,MPLD 外的系统中的变化可能导致需要一个特定 I/O 引脚上的不同的驱动强度或上拉阻抗。在根据本发明的一种 MPLD 中,驱动该引脚的 I/O 缓冲器可根据需要来调整。也可调整特定 I/O 通路上的延时链的长度或者甚至到底包不包括该延时链 - 例如,调整设置时间或停止计时的时间 (TCO)。也可调整转换速率。并且可以通过设置一个特定 I/O 电路为三态来将其完全关闭。

[0014] 即使特定 I/O 引脚上使用的 I/O 信令标准中的变化也是可能的,尤其如果期望更换的信令标准与该引脚上先前使用的信令标准使用相同的电平。如果为第一信令标准设计的编程金属化层可适应新信令标准,则更换到使用不同电压的不同信令标准是可能的。

[0015] 此外,如果原信令标准是差动信令标准,则用户可对 I/O 电路重编程以使用单端信令标准。反之亦然,如果附加引脚可供使用的话。类似地,如果更大系统要求或期待来自 MPLD 的引脚输出中有变化的话,则有可能将 I/O 信号重新分配到不同的引脚。这种重新分配,如果可用的话,很可能会限于毗邻或附近的引脚,这取决于各个 I/O 缓冲器包括与相邻 I/O 缓冲器连接的电路的程度。

[0016] 虽然已知的 MPLD 是编程金属化层被添加后是不可编程的,因此也是不能由用户现场编程的,但是已知可提供在器件操作期间可编程的 MPLD 元件。例如,来自 San Jose,

California 的 Altera 公司的 MPLD 的 HardCopy 线包括环路电路（例如锁相环），用于在器件操作期间生成高速时钟信号。在器件操作期间，用户逻辑可能需要调整环路电路的操作。因此，环路电路是可编程的，只是在过去已知的这类器件中，用户对于配置存储器没有访问权限。相反，用户逻辑内核被给予了对配置存储器的访问权限，该配置存储器被称为配置状态寄存器。但是，一旦编程金属化层就位以后用户逻辑内核就固定了，因此只能以用户预见到并且在编程中提供了能力的方式来更改环路电路。

[0017] 根据本发明，用户也可被给予对配置状态寄存器的访问权限，以便如果环境要求则对环路电路的操作做出更改。例如，时钟速度可能需要调整以适应器件内或外的时钟速度变化，这种时钟速度变化是由操作环境的预期环境温度的变化产生的，例如当为室温操作设计的器件被重新设计用于在高温下使用。又例如，器件外的系统中的变化，或者由于从常规可编程逻辑器件转换成 MPLD 所产生的器件内的尺寸变化，可能导致器件内和外的时钟的相位失配，因此用户可能需要调整时钟相位。

[0018] 此外，根据本发明配置状态寄存器最好还用于尽可能多地控制 I/O 电路中可编程的那部分，MPLD 上的一个或多个引脚是提供来用于此用途的（有可能与一个或多个其他功能共用），以使用户能够在必要时对 I/O 电路编程。编程可利用 MPLD 的制造商 / 供应商提供的常规 PLD 编程工具来实现，例如可从 Altera 公司获得的 QUARTUS II 编程软件。

[0019] 从而，根据本发明，提供了一种包括一个可编程逻辑元件阵列的掩模可编程逻辑器件。每个逻辑元件具有触点，用于配置该逻辑元件以执行至少一个逻辑功能以及用于连接到一个互连结构以便互连逻辑元件。掩模可编程逻辑器件还包括至少一个用户可配置元件，该元件具有触点用于连接到互连结构以便互连至少一个用户可配置元件和逻辑元件，并且可在掩模可编程逻辑器件外的环境变化需要时由用户配置。

[0020] 本发明不仅包括掩模可编程基底器件，还包括在应用了一层或多层编程金属化层后的掩模编程的器件。

附图说明

[0021] 本发明的以上和其他优点将在考虑以下结合附图理解的详细描述时变得显而易见，附图中相同参考字符始终表示相同部件，其中：

[0022] 图 1 是根据本发明的一种掩模可编程逻辑器件的片断示意表示；

[0023] 图 2 是根据本发明的一种掩模编程的逻辑器件的一部分的示意性截面表示，该截面是从图 1 的线 2-2 取出的；

[0024] 图 3 是根据本发明的一种掩模可编程逻辑器件的一个输入 / 输出块的一种首选实施例的示意表示；以及

[0025] 图 4 是采用根据本发明的一种掩模编程的逻辑器件的一个例证性系统的简化框图。

具体实施方式

[0026] 现在将参考图 1-3 描述本发明。

[0027] 图 1 是来自可从本案的受让人 San Jose, California 的 Altera 公司获得的掩模可编程逻辑器件的 HardCopy™ 家族的一种掩模可编程逻辑器件 10 的图示。MPLD 10 本身包

括一个逻辑区域阵列,该阵列与可从 Altera 公司获得的常规可编程逻辑器件的 STRATITM 家族中找到的那些类似。总之,在最基本的级别上,这些逻辑区域包括“逻辑元件”或“逻辑模块”(LE)11,它们可以是基于查找表的逻辑区域,具有四个输入和一个提供具有寄存或未寄存输出的能力的寄存器。逻辑元件 11 可被分组成“逻辑阵列块”(LAB)12。在所示的实施侧中,每个 LAB 12 包括 10 个 LE 11,虽然其他数目的 LE 11 可被分组到每个 LAB 12 中。LAB 12 最好被安排在一个正交阵的行和列中。虽然只有列 13 中的 LAB 12 被显示为被划分成多个 LE 11,但所有 LAB 12 都是这样被划分的。

[0028] LAB 12 的列最好被包含其他类型电路的区域分隔开来。从而,LAB 12 的列之间的一个区域 14 可包括一系列数字信号处理(“DSP”)块(也称为乘法器-累加器块,或 MAC 块)。不同类型的随机访问存储器(“RAM”)的列也可被提供。在一个首选实施侧中,某些 RAM,比如列 15 中的那些可以相对较小,例如 512 字节,而其他的,比如列 150 中的那些可略大,例如 4K 字节。此外,最好不那么频繁地散布在整个器件 10 上的是更大的可以是 512K 字节的 RAM 区域 151。每个这种 RAM 区域可用作存储器-即 RAM 或 ROM- 或者可以被配置为逻辑电路,尤其是 P-TERM 型逻辑。

[0029] 输入/输出元件最好位于区域 16 中的阵列外围附近。诸如环路电路(例如锁相环(“PLL”))和用于计时其他辅助电路等这样的时钟电路最好被提供在阵列中的方便位置,例如区域 17(显示在阵列的右侧和左侧)。

[0030] 从图 1 的局部部分性质理解,与图 1 中所示相比,器件 10 大得多,包含多得多的 LAB 12、DSP 区域 14、RAM 15、150 和 151 以及其他元件。

[0031] 虽然到目前为止已经以 HardCopyTM STRATIXTM 器件家族描述了本发明,但是要注意本发明也可以根据共同在审共同转让的美国专利公开号 No. 2004/0111691 的架构、或 2004 年 7 月 2 日提交的共同在审共同转让的美国专利申请号 No. 10/884,460 的“混合逻辑元件”,实现在 MPLD 或混合 MPLD 上,这里通过引用将其分别完整地包含进来。

[0032] 器件 10 表示可以是一个无编程金属化层的未编程的掩模可编程逻辑器件的器件的布局,或者是一个编程的器件的逻辑层的设计图,其中编程金属化层未示出。器件 10 的掩模编程版本的截面图在图 2 中示出。如图 2 中所示,一个衬底 20 承载 I/O 区域 16、PLL 区域 17、LAB 12、DSP 区域 14 和存储器区域 15(存储器区域 150、151 未示出,但也由衬底 20 承载)。给予区域 12、14、16、17 的特定形状只是用于说明的,而非试图代表那些区域的真正截面形状。作为那些例示性形状的一部分,U 形区域 21 代表编程金属化层 22 产生连接以互连那些区域的触点,而 V 形区域 23 代表编程金属化层 24 产生连接以对那些区域的可编程特征进行编程。

[0033] 应该注意虽然区域 12、14、16、17 被显示为单块区域,但是它们是从未示出的掺杂的硅层和金属化层以及那些层之间的绝缘层构造的,正如本领域中公知的那样。此外,编程金属化层 22 和 24 被未示出的绝缘层与其他那些层以及彼此分隔开来,正如本领域中公知的那样。

[0034] 如图 2 所示,I/O 区域 16 没有任何 V 形区域 23。这是因为根据本发明的一个实施侧,I/O 区域 16 不是掩模可编程的,而是电可编程的,如常规 PLD 中那样。一个 I/O 区域 30 的概念示意图连同 I/O 引脚 300 在图 3 中示出。I/O 区域 30 的主元件是可编程 I/O 缓冲器 31,具有大部分上述功能,包括在不同电压下处理不同 I/O 标准(单端和差动)的

能力,以及可编程上拉、驱动强度和转换速率控制。所有那些功能都是由 32 处联合地显示的编程比特的状态确定的。区域 30 最好还包括一个具有时钟数据恢复 (CDR) 能力的串行化 - 去串行化 (SERDES) 模块 33。

[0035] 到器件电源 34 和地 35 的连接被提供在器件 10 的整个结构中,正如集成电路器件的标准那样。到邻近 I/O 区域 (未示出) 的连接 36 主要被提供来允许区域 30 从一个邻近区域 30 借一个引脚 300,以适应差动信令标准。如果差动信令标准被器件 10 的一个特定引脚 300 用作最初设计和编程 (包括器件 10 的大部分的掩模编程和区域 30 的电编程),则由于环境变化,器件 10 的编程必须被重新设计以便引脚 300 使用单端信令标准,对区域 30 进行电重新编程以适应该变化是没有困难的。但是,当单端信令标准被器件 10 的一个特定引脚 300 用作最初设计和编程时 (包括器件 10 的大部分的掩模编程和区域 30 的电编程),则由于环境的变化器件 10 的编程必须被重新设计,以便引脚 300 使用差动信令标准,如果两个邻近引脚 300 都被用于其他功能则这会比较困难。

[0036] 但是,因为提供了连接 36,因此有可能用这些连接来将信号 - 这些信号被编程金属化层 24 约束为到达一个特定区域 30,期待访问一个特定引脚 300 - 引向邻近区域 30 之一 (和邻近引脚 300)。这可空出一个引脚用于与一个邻近引脚的差动信令中。将信号重新引向邻近区域 30 的这一潜在能力还可允许器件引脚被略微更改,如果环境变化要求这种更改。

[0037] 虽然区域 30 的编程比特被显示为聚集在区域 32 中,但实际上编程比特很可能分散在区域 30 上,或者甚至位于器件 10 中的其他位置。例如,在上述可从 Altera 公司获得的掩模可编程逻辑器件的 **HARDCOPY™** 家族的至少某些产品上,PLL 17 是可重编程的。虽然那些器件的用户没有对 PLL 17 的编程比特的访问权限,但是用户逻辑确实具有这种访问权限,并且可能能够根据用户设计通过逻辑操作更改 PLL 17 的特性。在那些器件中,编程比特被存储在显示为 (仅是例示性的) 图 1 中的区域 170 的配置状态寄存器 (CSR) 中。在本发明的一个首选实施例中,配置比特 32 可被存储在 CSR 170。

[0038] 此外,根据本发明,PLL 17 不仅可被用户逻辑编程,还可被用户编程,根据本发明用户除了可被给予对 I/O 区域 16、30 的 CSR 的访问权限外,还可被给予 PLL 17 的 CSR 的访问权限。虽然在图 2 中,PLL 17 被显示为具有编程连接 23,但在用户被给予对 PLL 17 的编程控制的实施例中,那些连接可被省略。或者可以是连接 23 被用于把某些特性编程到 PLL 17,同时用户编程被限制到其他特性。对 I/O 区域 16、30 也可能是这样,它们可以被提供了连接 23 (未示出) 用于该用途。

[0039] 配置比特 32 的编程是由用户最好用像上文提到的 **QUARTUS®** 软件那样的标准编程软件来完成的。一个或多个引脚最好被提供在器件 10 上用于编程功能。正如本领域中公知的那样,编程引脚可以是专用的,或者更普遍的,在正常操作期间可能有其他功能,而编程功能是通过应用特殊电压到指定的引脚来调用的。特殊电压可以是特定引脚集合上的特定模式,或者是应用到特定引脚的特别高的电压。配置比特可以从位于器件 10 上的一个非挥发性存储装置 (例如闪存) 加载,或者为了节省器件 10 上的空间,从一个器件外的源加载。配置比特是从器件 10 上加载还是器件 10 外加载是确定编程引脚是专用还是与其他用途共享的因素之一。

[0040] 根据本发明的 MPLD 10 可用于许多种电子器件。一种可能的用途是用于图 4 所示

的一个数据处理系统 900 中。数据处理系统 900 可包括以下元件之中的一个或多个：一个处理器 901；存储器 902；I/O 电路 903 和外围器件 904。这些元件被一条系统总线 905 耦合到一起，并且被组装到一个电路板 906 上，该电路板被包含在一个终端用户系统 907 中。

[0041] 系统 900 可用于多种应用中，例如计算机网络、数据网络、仪器使用、视频处理、数字信号处理或者需要使用可编程或可重编程逻辑的优点任何其他应用。MPLD 10 可用于执行多种不同的逻辑。例如，MPLD 10 可被配置为协同处理器 901 工作的一个处理器或控制器。MPLD 10 也可用作一个仲裁器，用于仲裁对系统 900 中的一个共享的资源的访问权限。在另一个实例中，MPLD 10 可被配置为处理器 901 和系统 900 中的其他元件之一之间的一个接口。应该注意系统 900 只是典型性的，而本发明的真实范围和精神应该由以下权利要求书指出。

[0042] 各种技术可用于实现如上所述结合了本发明的 MPLD 10。

[0043] 将要理解前述只是对本发明的原理的例示，各种修改可由本领域技术人员在不背离本发明的范围和精神的情况下做出，本发明仅由以下权利要求书限制。

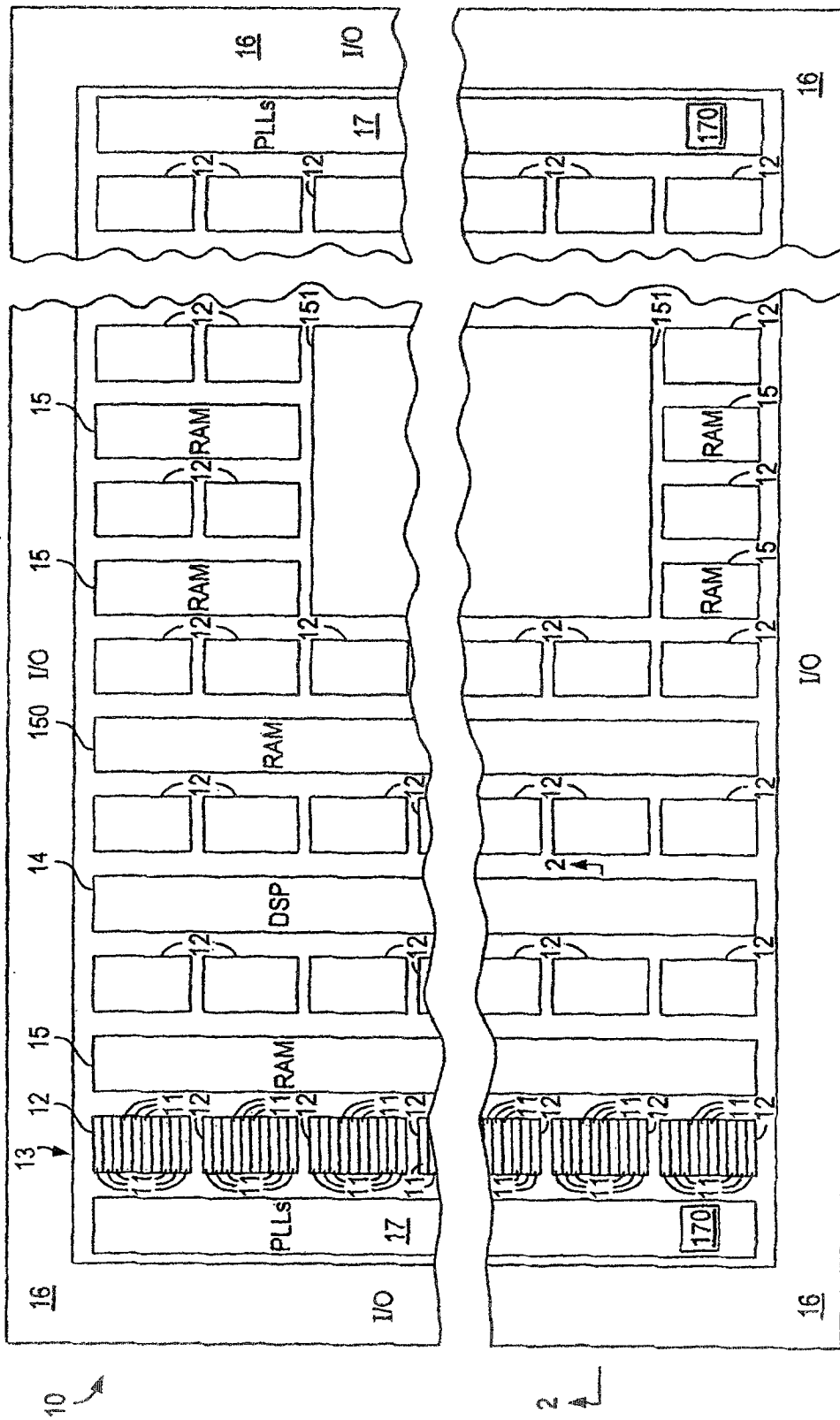


图 1

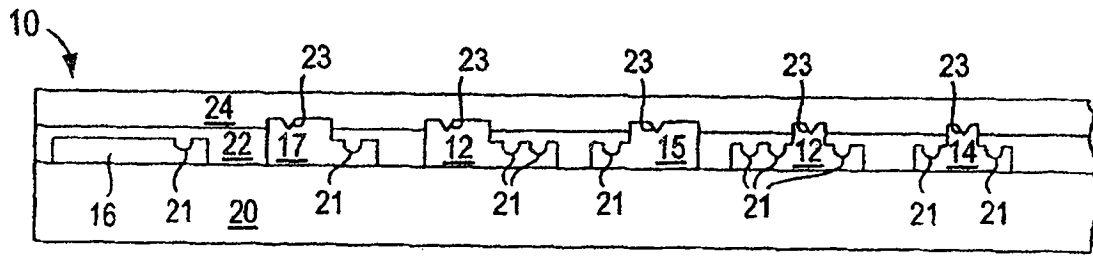


图 2

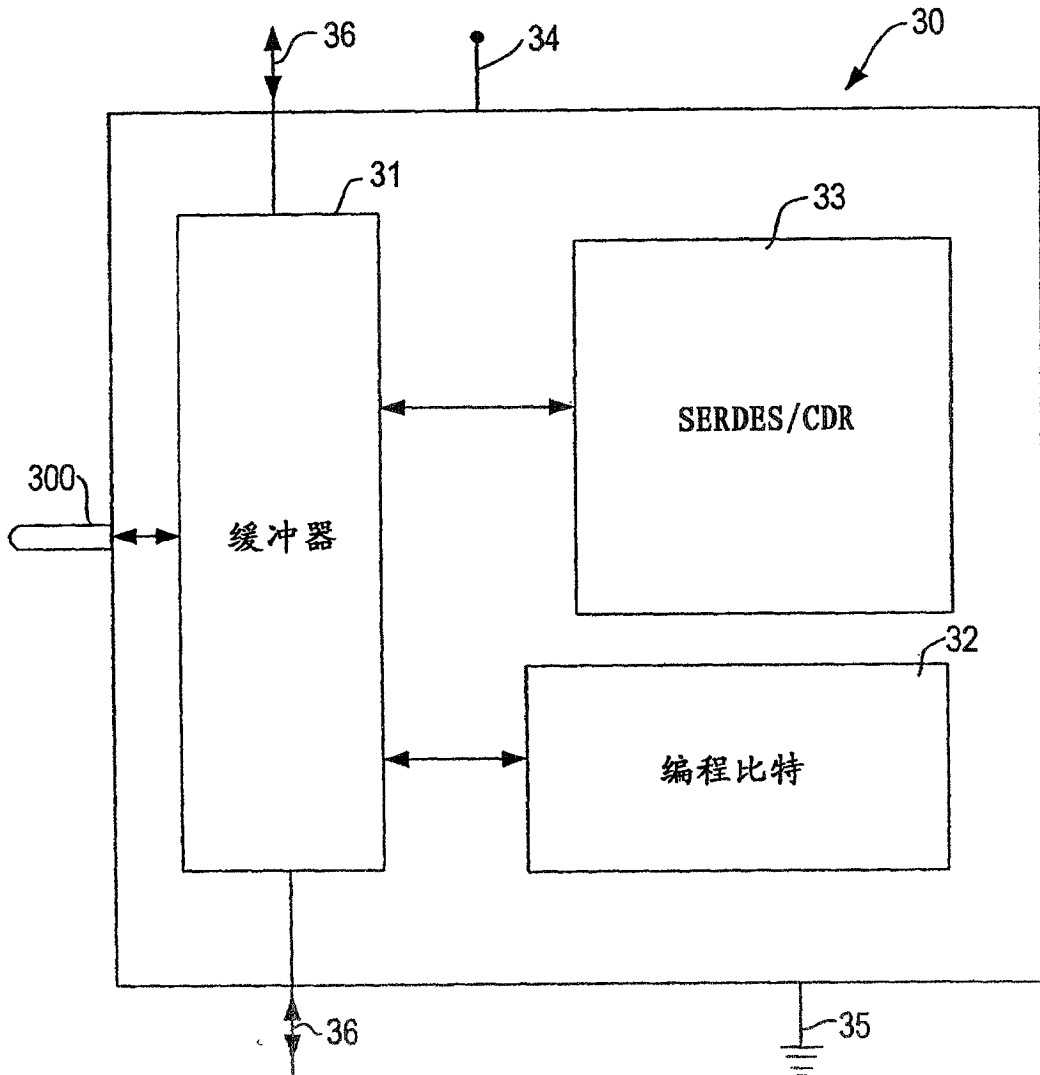


图 3

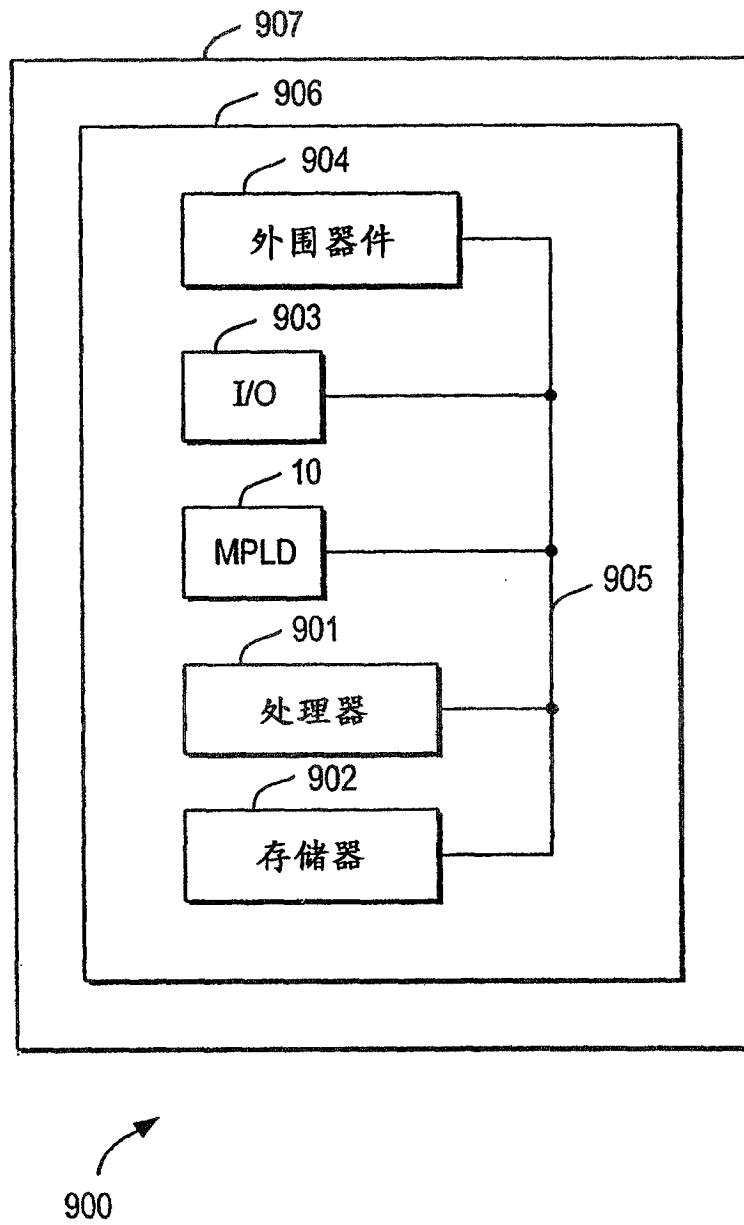


图 4