

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1995년07월21일
(11) 공고번호 95-007956

(21) 출원번호	특1991-0013194	(65) 공개번호	특1992-0005263
(22) 출원일자	1991년07월31일	(43) 공개일자	1992년03월28일
(30) 우선권주장	2-204531 1990년08월01일 일본(JP) 2-204529 1990년08월01일 일본(JP)		
(71) 출원인	스미도모 덴기고오교오 가부시시기가이샤 나카하라 쓰네오 일본국 오오사까후 오오사까시 주우오구 기따하마 4조오메 5반 33고		
(72) 발명자	시카타 신이찌 일본국 카나가와켄 요코하마시 사카에구 타야쵸 1반지 스미도모덴기고오 고오 가부시시기가이샤 요코하마 세이사쿠쇼 나이		
(74) 대리인	신중훈		

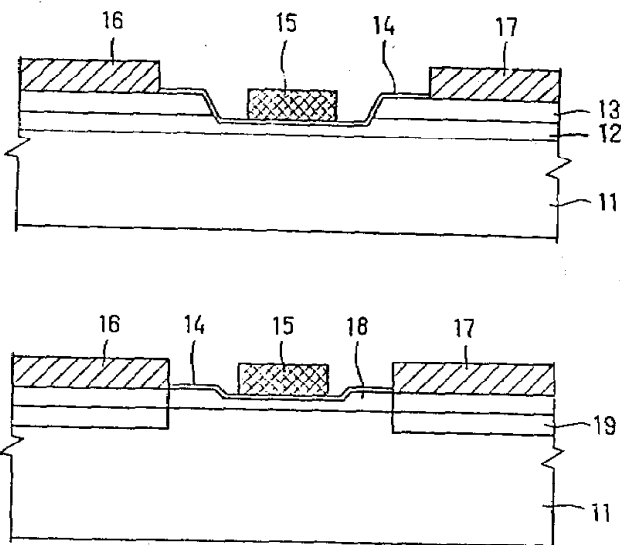
심사관 : 박형식 (책자공보 제4052호)

(54) MIS 구조전극의 형성방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

MIS 구조전극의 형성방법

[도면의 간단한 설명]

제1도(a) 및 제1도(b)는 각각 본 발명에 따른 일실시예의 MIS FET형성공정을 도시한 단면도.

제2도는 인산계 부식제에 의한 처리의 효과를 도시한 그래프.

제3도는 각종의 막형성공정중에서 형광강도의 차를 도시한 그래프.

제4도는 어닐링효과를 도시한 그래프.

에 의한 처리, 1차세정후, 본 황패시베이션처리를 행한다.

제1도(b)의 MIS FET에서는, p-형 GaAs기판(11)을 준비하고, 이온주입법에 의해 활성층으로서의 n형 GaAs층(18)과, 콘택트층으로서의 n+형 GaAs층(19)을 형성한다. 다음에, FET의 채널영역을 에칭하여 리세스구조로 형성한 후, 본 발명의 특성인 인산계부식제에 의한 처리와 황패시베이션처리를 시행한다. 이들 처리에 대해서는 제1도(a)에서와 마찬가지이다. 다음에, 절연층(14)을 형성하고, 어닐링처리후, 게이트전극(15), 소스전극(16) 및 드레인전극(17)을 형성하면, 제1도(b)의 MIS FET가 완성된다.

본 발명자는, 황패시베이션처리에 앞서서 시행한 각종 부식제에 의한 처리의 효과를 형광(PL)강도로 비교하였다.

이 비교결과가 제2도에 도시되어 있다. 제1도에 도시한 바와같이, 인산계 부식제로 약하게 에칭한 때에는, 밴드단부에 대응하는 파장에서 PL강도가 높게되어 있다. 이에 대해서, 암모니아계 또는 황산계 부식제등의 소위 역메사부식제로 에칭한 때에는, 크게 개선되지 않았다. 여기에서, 역메사부식제란 에칭표면이 역메사형상과 정상메사형상으로 되어 있는 것을 의미하며, 인산계 부식제에서는 에칭면이 모든 방향에 있어서 정상메사형상으로 되므로, 여기서는 정상메사부식제라고 칭한다.

본 발명자는, MIS FET를 시험제작하여 본 발명의 유리한 효과를 확인하였다.

[실시에 1]

p-형 GaAs기판을 준비하여, 이 기판상에 OMVPE법으로 n형 GaAs층을 1000Å, n+형 GaAs층을 700Å의 두께로 성장시켰다. 그리고, 게이트개구부의 n+형 GaAs층을 제거하고, 마스크를 제거한 후에, 전술한 바와 같이

$H_3PO_4 : H_2O_2 : H_2O = 4 : 1 : 100$

의 인산계 부식제로 약하게 에칭하였다. 그후, 전체를 $(NH_4)_2S_8(1 \leq X \leq 3)$ 용액에 10분간 침적하고, 이어서 20초동안 수세하고 질소가스블로우에 의해 건조하였다.

다음에, ECR-CVD법에 의해서 SiN막을 형성하고, 450°C에서 30분간 열처리 하였다. 그후, 게이트전극, 소스전극 및 드레인전극을 형성하였다. 이 MIS FET에 대해서, 고주파 C-V법으로 계면준위밀도를 측정된 결과, $6 \times 10^{10} \text{ cm}^{-2} \text{ ev}^{-1}$ 였다.

[실시에 2]

p-형 GaAs기판을 준비하고, 이온주입법에 의해 n형 GaAs층 및 n+형 GaAs층을 이 기판상에 형성하였다. 그후, 실시예 1과 같이, 인산계 부식제에 의한 처리와 황패시베이션처리를 수행하고, MIS FET를 제작하였다. 이 MIS FET에 대해서, 고주파 C-V법으로 계면준위밀도를 측정된 결과, $9 \times 10^{10} \text{ cm}^{-2} \text{ ev}^{-1}$ 였다. 이와 같이 실시예 1에 비해서 계면준위밀도가 높은 것은, 에피택셜 성장법에 의하여 결정성이 높아졌기 때문으로 여겨진다.

[비교예 1]

인산계 부식제대신에 $NH_4 OH$ 계 부식제로 에칭처리를 수행하고, 절연층은 저항가열에 의해 SiO_2 로 형성하였다. 기타 다른 조건은 실시예 1과 마찬가지로 하였다. 이와 같이 제작된 MIS FET에 대해서 고주파 C-V법으로 계면준위밀도를 측정된 결과, $1.2 \times 10^{11} \text{ cm}^{-2} \text{ ev}^{-1}$ 였다.

또, 본 발명자는 참고로, 각종 막형성법에 의해 얻어진 층의 PL(형광)강도를 비교하였다.

그 결과가 제3도에 도시되어 있다. 제3도의 곡선(a)는 황패시베이션처리후에 EVR-CVD법으로 절연막을 형성한 경우의 결과이다. 밴드단부에서 높은 PL강도가 얻어졌다. 제3도의 곡선(b)는 황패시베이션을 시행하였으나, 절연층을 형성하지 않은 경우의 결과이다. 이것에 의해서, ECR-CVD법을 사용하면 황패시베이션처리의 효과가 전혀 열화되지 않는다는 것을 알 수 있다. 이것은, ECR-CVD장치에서는 플라즈마발생실과 막형성실이 서로 분리되어 설치되어 있으므로, 플라즈마 샤워가 GaAs반도체의 표면에 손상을 주지 않기 때문인 것으로 여겨진다.

곡선(c)는 스퍼터링법, 곡선(d)는 열 CVD법에 의해서 막형성을 한 때의 결과이다. 이들은, 황패시베이션처리의 효과가 ECR-CVD법에 비해서 열화되고 있는 것을 알 수 있다. 곡선(e)는 RF=13.56MHz에서 플라즈마 CVD법으로, 곡선(g)는 RF=50KHz에서 플라즈마 CVD법으로 절연막을 형성한 경우의 결과이다. 이들은 황패시베이션처리의 효과가 크게 열화되고 있는 것을 알 수 있다. 곡선(f)는 어떠한 처리도 행하지 않은 경우의 결과이다.

다음에, 본 발명자는, 절연층(14)의 형성후의 어닐링의 영향을 조사하였다.

제4도에 그 결과를 표시하고 있다. ECR-CVD법으로 형성된 SiN막은 380-520°C, 특히 400-500°C에서 어닐링한 때에 PL강도가 개선되고 있다. 이에 대해서, SiO_2 막의 경우에는 어닐링에 의해서 PL강도가 개선되지 않았다. 또 상기 어닐링처리는 질소가스분위기에서 30분동안 수행하였다.

이상의 실시예에 있어서, 황패시베이션처리는 인산계 부식제에 의한 에칭처리를 시행한 후 행하고 있다. 셀렌은 황이 포함되는 VI족의 한 원소이므로 그의 화학적 특성이 황과 유사하다. 또한, 셀렌의 원자반경은 황보다는 Ga 및 As에 가까우므로, 셀렌표면층은 황표면층보다 에너지준위가 낮아 황보다 더욱 안정한 상태로 될 수 있다. 이것에 대해서는 Journal of Applied Physics, Vol. 67, No. 1, 1990년 1월 1일자, 586-588면, "셀렌반응으로 화학적 패시베이션처리한 GaAs표면의 향상된 전자 특성"을 참조하면 된다. 상기와 같은 셀렌패시베이션처리에 비추어서, 반도체기판의 표면에 상기 본 실시예의 황패시베이션처리대신 셀렌을 사용하여 처리하는 것이 가능하며, 셀렌패시베이션처리에

의해서도 황패시베이션처리에 의해 얻어지는 표면준위밀도의 유리한 효과를 얻을 수 있다.

이상 상세히 설명한 바와 같이, 본 발명에 의하면, 황패시베이션처리에 앞서서 인산계부식제와 같은 정상메사부식제로 처리함으로써, III-V족 화합물반도체와 절연층사이의 계면은 덩글링결함을 저감시키도록 재구성되어, 계면준위밀도를 저감시킬 수 있다. 따라서 우수한 특성의 MIS 구조전극이 얻어진다.

이상 설명한 본 발명으로부터, 본 발명은 각종 방법으로 변형해도 되는 것은 명백하다. 그러한 변형은 본 발명의 정신과 범위로부터 벗어나는 것으로 간주되지 않으며, 당업자에게 명백한 바와 같은 그러한 모든 변형을 다음의 청구범위내에 포함시키고자 한다.

(57) 청구의 범위

청구항 1

III-V 족 화합물반도체로 이루어진 기판상에, 절연막을 형성한 후, 전극재료를 부착해서 MIS 구조전극을 형성하는 방법에 있어서, 상기 기판의 표면을 인산계 부식제에 의한 처리를 시행하고 황패시베이션처리를 하고 나서, 상기 절연막을 형성하는 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 2

제1항에 있어서, 상기 III-V족 화합물반도체는 갈륨과 비소를 함유하는 것을 특징으로 하는 MIS구조전극의 형성방법.

청구항 3

제1항에 있어서, 상기 인산계 부식제에 의한 처리는 H_3PO_4 , H_2O_2 및 H_2O 로 이루어진 부식제에 침적하는 처리인 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 4

제1항에 있어서, 상기 황패시베이션처리는 과량의 황을 함유하는 황화암모늄용액에 침적하는 처리인 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 5

제1항에 있어서, 상기 절연막은 ECR-CVD법에 의해 형성된 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 6

제1항에 있어서, 상기 절연막은 스퍼터링법에 의해 형성되는 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 7

제1항에 있어서, 상기 절연막은 열 DVD법에 의해 형성되는 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 8

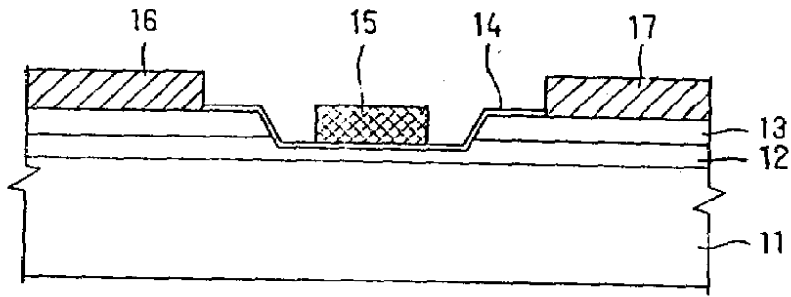
제1항에 있어서, 상기 절연막은 SiN_x 로 구성하여, 380-520°C에서 어닐링하는 것을 특징으로 하는 MIS 구조전극의 형성방법.

청구항 9

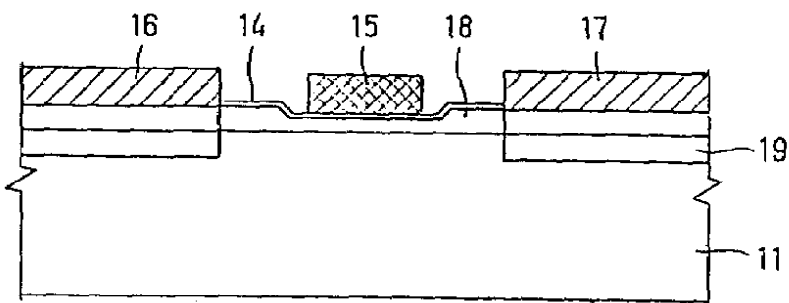
III-V족 화합물반도체로 이루어진 기판상에 절연막을 형성한 후, 전극재료를 부착해서 MI구조전극을 형성하는 방법에 있어서, 상기 기판의 표면을 인산계 부식제로 처리하고 셀렌패시베이션처리를 한 후, 상기 절연막을 형성하는 것을 특징으로 하는 MIS 구조전극의 형성방법.

도면

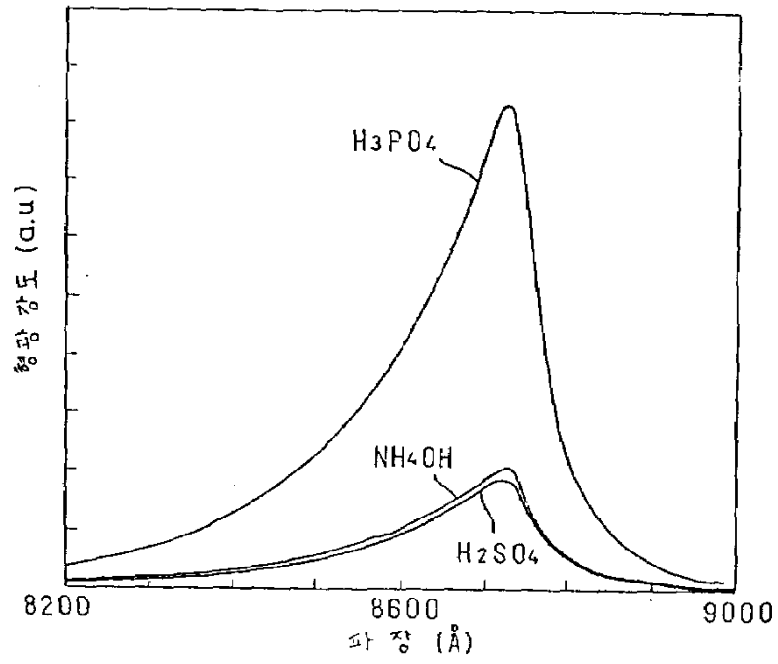
도면1-A



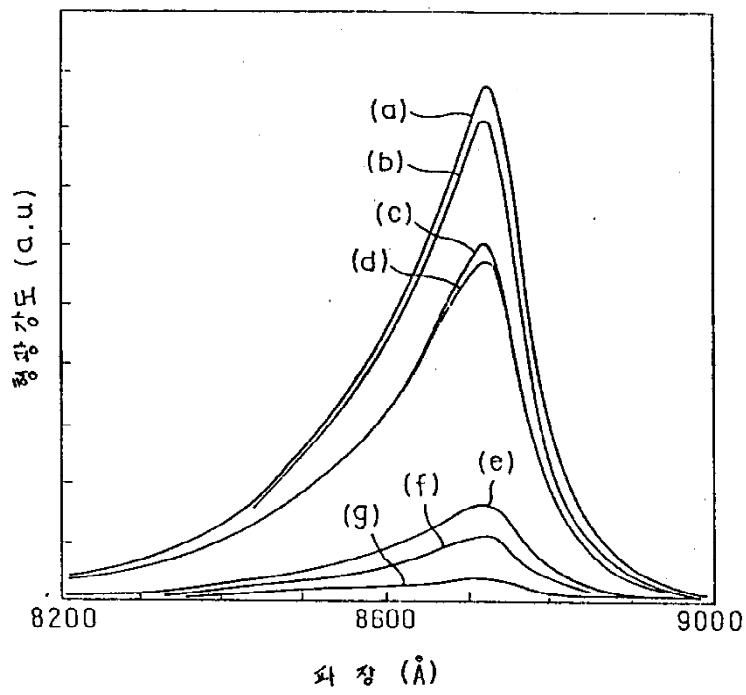
도면1-B



도면2



도면3



도면4

