

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2017 年 12 月 21 日 (21.12.2017)



(10) 国际公布号  
**WO 2017/215065 A1**

(51) 国际专利分类号:  
**G02F 1/1362** (2006.01)

(21) 国际申请号: PCT/CN2016/089999

(22) 国际申请日: 2016 年 7 月 14 日 (14.07.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
201610431928.4 2016 年 6 月 17 日 (17.06.2016) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市武汉东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 秦芳 (QIN, Fang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD FOR ARRAY SUBSTRATE, AND LCD PANEL

(54) 发明名称: 阵列基板、阵列基板的制备方法及液晶显示面板

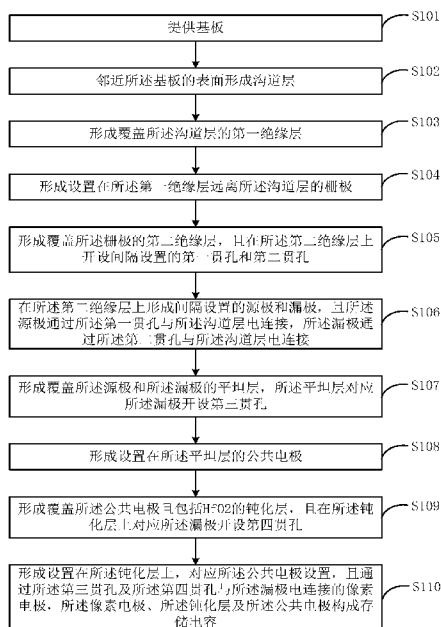


图 2

S101 Provide a substrate  
S102 Form a channel layer close to a surface of the substrate  
S103 Form a first insulation layer covering the channel layer  
S104 Form a gate electrode on the first insulation layer and away from the channel layer  
S105 Form a second insulation layer covering the gate electrode, and form a first through hole and a second through hole arranged at an interval on the second insulation layer  
S106 Form a gate electrode and a drain electrode at an interval on the second insulation layer, said gate electrode being electrically connected to the channel layer by means of the first through hole, and said drain electrode being electrically connected to the channel layer by means of the second through hole  
S107 Form a planar layer covering the source electrode and the drain electrode, and the planar layer being formed with a third through hole corresponding to the drain electrode  
S108 Form a common electrode on the planar layer  
S109 Form a passivation layer covering the common electrode and comprising HfO<sub>2</sub>, and the passivation layer being formed with a fourth through hole corresponding to the drain electrode  
S110 Form a pixel electrode arranged on the passivation layer, corresponding to the common electrode, and electrically connected to the drain electrode by means of the third through hole and the fourth through hole, the pixel electrode, the passivation layer and the common electrode forming a storage capacitor

(57) Abstract: An array substrate (10), a manufacturing method for the array substrate (10), and an LCD panel (1). The array substrate (10) comprises a substrate (100); a channel layer (110) disposed close to a surface of the substrate (100); a first insulation layer (120) covering the channel layer (110); a gate electrode (130) arranged on the first insulation layer (120); a second insulation layer (140) covering the gate electrode (130) and formed with a first through hole (141) and a second through hole (142); a source electrode (150a) arranged on the second insulation layer (140) and electrically connected to the channel layer (110) by means of the first through hole

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(141); a drain electrode (150b) arranged on the second insulation layer (140), arranged at an interval from the drain electrode (150b) and electrically connected to the channel layer (110) by means of the second through hole (142); a planar layer (160) covering the source electrode (150a) and the drain electrode (150b) and formed with a third through hole (161); a common electrode (170) arranged on the planar layer (160); a passivation layer (180) covering the common electrode (170), the passivation layer (180) comprising HfO<sub>2</sub> and the passivation layer (180) being formed with a fourth through hole (181) which is in communication with the third through hole (161); a pixel electrode (190) arranged on the passivation layer (180) and electrically connected to the drain electrode (150b) by means of the third through hole (161) and the fourth through hole (181), and the pixel electrode (190) being arranged corresponding to the common electrode (170); the pixel electrode (190), the passivation layer (180) and the common electrode (170) forming a storage capacitor.

(57) 摘要: 一种阵列基板(10)、阵列基板(10)的制备方法及液晶显示面板(1)。阵列基板(10)包括: 基板(100); 沟道层(110), 邻近基板(100)的表面设置; 第一绝缘层(120), 覆盖沟道层(110); 栅极(130), 设置在第一绝缘层(120)上; 第二绝缘层(140), 覆盖栅极(130), 开设有第一贯孔(141)、第二贯孔(142); 源极(150a), 设置在第二绝缘层(140)上且通过第一贯孔(141)与沟道层(110)电连接; 漏极(150b), 设置在第二绝缘层(140)上, 与漏极(150b)间隔设置且通过第二贯孔(142)与沟道层(110)电连接; 平坦层(160), 覆盖源极(150a)及漏极(150b), 开设第三贯孔(161); 公共电极(170), 设置在平坦层(160)上; 钝化层(180), 覆盖公共电极(170), 钝化层(180)包括HfO<sub>2</sub>, 钝化层(180)开设有与第三贯孔(161)连通的第四贯孔(181); 像素电极(190), 设置在钝化层(180)上, 通过第三贯孔(161)、第四贯孔(181)与漏极(150b)电连接, 且像素电极(190)对应公共电极(170)设置, 像素电极(190)、钝化层(180)及公共电极(170)构成存储电容。

## 阵列基板、阵列基板的制备方法及其液晶显示面板

5 本发明要求 2016 年 6 月 17 日递交的发明名称为“阵列基板、阵列基板的制备方法及其液晶显示面板”的申请号 201610431928.4 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

### 技术领域

本发明涉及显示领域，尤其涉及一种阵列基板、阵列基板的制备方法及其液晶显示面板。

### 背景技术

10 显示设备，比如液晶显示器（Liquid Crystal Display, LCD）是一种常用的电子设备，由于其具有功耗低、体积小、重量轻等特点，因此备受用户的青睐。液晶显示面板通常包括阵列基板、彩膜基板及液晶层。所述阵列基板和所述彩膜基板相对且间隔设置，所述液晶层夹设在所述阵列基板及所述彩膜基板之间。所述阵列基板包括呈阵列状分布的薄膜晶体管，每个薄膜晶体管均与一个存储电容相连。现有技术中，由于构成存储电容中的介质层的通常为  $\text{SiO}_x$ ，因此，所述介质层的通常较小，从而导致存储电容的电容值较小。

### 发明内容

20 本发明提供一种阵列基板，所述阵列基板包括：

基板；

沟道层，邻近所述基板的表面设置；

第一绝缘层，覆盖所述沟道层；

25 栅极，设置在所述第一绝缘层远离所述沟道层的表面；

第二绝缘层，覆盖所述栅极，且所述第二绝缘层上开设有间隔设置的第一贯孔和第二贯孔；

源极，设置在所述第二绝缘层上，且所述源极通过所述第一贯孔与所述沟道层电连接；

漏极，设置在所述第二绝缘层上，且所述漏极通过所述第二贯孔与所述沟道层电连接，且所述漏极与所述源极间隔设置；

平坦层，覆盖所述源极及所述漏极，所述平坦层对应所述漏极开设第三贯孔；

5 公共电极，设置在所述平坦层上；

钝化层，覆盖所述公共电极，且所述钝化层包括  $\text{HfO}_2$ ，所述钝化层对应所述漏极开设第四贯孔，且所述第四贯孔与所述第三贯孔连通；

像素电极，设置在所述钝化层上，所述像素电极通过所述第三贯孔及所述第四贯孔与所述漏极电连接，且所述像素电极对应所述公共电极设置，所述像素电极、所述钝化层及所述公共电极构成存储电容。

其中，所述阵列基板还包括：

缓冲层，设置在所述基板上；

所述沟道层设置在所述缓冲层远离所述基板的表面。

其中，所述阵列基板还包括：

15 第一接触部和第二接触部，所述第一接触部和所述第二接触部分别与所述沟道层接触，且所述第一接触部与所述第二接触部间隔设置；

所述源极通过所述第一贯孔与所述第一接触部相连，所述第一接触部用于减小所述源极与所述沟道层之间的接触电阻；

20 所述漏极通过所述第二贯孔与所述第二接触部相连，所述第二接触部用于减小所述漏极与所述沟道层之间的接触电阻。

其中，所述沟道层包括相对设置的第一端面和第二端面，所述第一端面 and 所述第二端面均与所述沟道层邻近所述基板设置的表面相交，所述第一绝缘层包括相对设置的第三端面和第四端面，所述第三端面和所述第四端面均与所述第一绝缘层覆盖所述沟道层的表面相交，所述栅极包括相对设置的第五端面和第六端面，所述第五端面和所述第六端面均与所述栅极设置在所述第一绝缘层上的表面相交，

且所述第一端面、所述第三端面及所述第五端面共面，所述第二端面、所述第四端面及所述第六端面共面。

其中，所述第五端面相较于所述第六端面邻近所述源极设置，所述第六端

面相较于所述第五端面邻近所述漏极设置,所述第五端面与所述源极邻近所述栅极的表面所在的平面之间的距离大于或者等于零;所述第六端面与所述漏极邻近所述栅极的表面所在的平面之间的距离大于或者等于零。

相较于现有技术,本发明的阵列基板中的钝化层中包括  $\text{HfO}_2$ ,所述  $\text{HfO}_2$  具有较高的介电常数和较高的透光率。当所述公共电极、所述钝化层及所述像素电极形成存储电容时,在所述公共电极和所述钝化层的正对面积不变时,且所述钝化层厚度一定的情况下,可以提高所述存储电容的电容大小。当所述存储电容的电容大小不变,且所述钝化层的厚度不变时,可以减小存储电容的面积,因此,可以提高所述阵列基板所应用的显示面板的画素稳定性及所述阵列基板的开口率。

本发明还提供了一种阵列基板的制备方法,所述阵列基板的制备方法包括:

提供基板;

邻近所述基板的表面形成沟道层;

形成覆盖所述沟道层的第一绝缘层;

形成设置在所述第一绝缘层远离所述沟道层的栅极;

形成覆盖所述栅极的第二绝缘层,且在所述第二绝缘层上开设间隔设置的第一贯孔和第二贯孔;

在所述第二绝缘层上形成间隔设置的源极和漏极,且所述源极通过所述第一贯孔与所述沟道层电连接,所述漏极通过所述第二贯孔与所述沟道层电连接;

形成覆盖所述源极和所述漏极的平坦层,所述平坦层对应所述漏极开设第三贯孔;

形成设置在所述平坦层的公共电极;

形成覆盖所述公共电极且包括  $\text{HfO}_2$  的钝化层,且在所述钝化层上对应所述漏极开设第四贯孔,且所述第四贯孔与所述第三贯孔连通;

形成设置在所述钝化层上,对应所述公共电极设置,且通过所述第三贯孔及所述第四贯孔与所述漏极电连接的像素电极,所述像素电极、所述钝化层及所述公共电极构成存储电容。

其中，所述阵列基板的制备方法还包括：

形成设置在所述基板上的缓冲层；

所述步骤“邻近所述基板的表面形成沟道层”包括：

在所述缓冲层远离所述基板的表面形成所述沟道层。

5 其中，所述步骤“邻近所述基板的表面形成沟道层”，“形成覆盖所述沟道层的第一绝缘层”及“形成设置在所述第一绝缘层远离所述沟道层的栅极”包括：

邻近所述基板的表面依次形成层叠设置的氧化物半导体层、第一绝缘材料层及第一金属层；

形成覆盖所述第一金属层的第一光刻胶层；

10 图案化所述第一光刻胶层以保留设置在所述第一金属层中部的第一光刻胶图案；

以所述第一光刻胶图案为掩膜，蚀刻未被所述第一光刻胶图案保护的第一金属层及第一绝缘材料层以分别形成栅极及第一绝缘层；

15 对裸露的氧化物半导体层进行离子处理，以形成第一接触部及第二接触部，未进行离子处理的氧化物半导体层为所述沟道层；

剥离所述第一光刻胶图案。

其中，所述步骤“在所述第二绝缘层上形成间隔设置的源极和漏极，且所述源极通过所述第一贯孔与所述沟道层电连接，所述漏极通过所述第二贯孔与所述沟道层电连接”包括：

20 在所述第二绝缘层上形成第二金属层；

形成覆盖所述第二金属层的第二光刻胶层；

移除正对所述栅极的第二光刻胶层，且移除的第二光刻胶层的尺寸大于或等于所述栅极的长度，第二光刻胶层形成第二光刻胶图案；

25 以所述第二光刻胶图案为掩膜，蚀刻未被所述第二光刻胶图案覆盖的第二金属层以形成所述源极及所述漏极；

剥离所述第二光刻胶图案。

本发明还提供了一种液晶显示面板，所述液晶显示面板包括前述任意实施方式所述的阵列基板。

## 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图 1 为本发明一较佳实施方式的阵列基板的剖面结构示意图。

图 2 为本发明一较佳实施方式的阵列基板的制备方法的流程图。

图 3 至图 18 为本发明阵列基板的制备方法中各步骤对应的结构示意图。

图 19 为本发明一较佳实施方式的液晶显示面板的结构示意图。

## 具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

请参阅图 1,图 1 为本发明一较佳实施方式的阵列基板的剖面结构示意图。所述阵列基板 10 包括基板 100、沟道层 110、第一绝缘层 120、栅极 130、第二绝缘层 140、源极 150a、漏极 150b、平坦层 160、公共电极 170、钝化层 180 及像素电极 190。所述沟道层 110 邻近所述基板 10 的表面设置。所述第一绝缘层 120 覆盖所述沟道层 110。所述栅极 130 设置在所述第一绝缘层 120 远离所述沟道层 110 的表面。所述第二绝缘层 140 覆盖所述栅极 130,且所述第二绝缘层 140 开设有间隔设置的第一贯孔 141 和第二贯孔 142。所述源极 150a 设置在所述第二绝缘层 140 上,且所述源极 141 通过所述第一贯孔 141 与所述沟道层 110 电连接。所述漏极 150b 设置在所述第二绝缘层 140 上,且所述漏极 150b 通过所述第二贯孔 142 与所述沟道层 110 电连接,且所述漏极 150b 与所述源极 141 间隔设置。所述平坦层 160 覆盖所述源极 150a 及所述漏极 150b,且所述平坦层 160 对应所述漏极 150b 开设第三贯孔 161。所述公共电极 170 设置在所述平坦层 160 上。所述钝化层 180 覆盖所述公共电极 170,且所述钝化层 180 包括  $\text{HfO}_2$ ,所述钝化层 180 对应所述漏极 150b 开设第四贯孔 181,

且所述第四贯孔 181 与所述第三贯孔 161 连通。所述像素电极 190 设置在所述钝化层 180 上,所述像素电极 190 通过所述第三贯孔 161 及所述第四贯孔 181 与所述漏极 150b 电连接,且所述像素电极 190 对应所述公共电极 170 设置。所述像素电极 190、所述钝化层 180 及所述公共电极 170 构成存储电容。

5        在这里,所述栅极 130、所述源极 150a 及所述漏极 150b 分别为薄膜晶体管中的栅极、源极及漏极。

所述基板 100 的材料包括石英、云母、氧化铝或者透明塑料等电绝缘材料中的任意一种或者多种。所述基板 110 为绝缘层衬底能够减小所述基板 110 的高频损耗。

10       所述阵列基板 10 还包括缓冲层 101,所述缓冲层 101 设置在所述基板 100 上。此时,所述沟道层 110 设置在所述缓冲层 101 远离所述基板 100 的表面。所述缓冲层 101 可以减小所述阵列基板 10 在制备的过程中对所述基板 100 的损伤。

所述沟道层 110 的材料可以为氧化半导体材料,比如,非晶铟镓锌氧化物 ( Amorphous Indium Gallium Zinc Oxide , a-IGZO )。

所述第一绝缘层 120 包括但不限于氮化硅 (  $\text{SiN}_x$  )、氧化硅 (  $\text{SiO}_x$  ) 材料等。

所述栅极 130 的材料包括但不限于 Al , Mo , Cu , Ag、Cr、Ti、AlNi、MoTi 等金属材料材料中的一种或者多种。

20       所述第二绝缘层 140 包括但不限于氮化硅 (  $\text{SiN}_x$  )、氧化硅 (  $\text{SiO}_x$  ) 材料等。

所述源极 150a 及所述漏极 150b 的材料包括但不限于 Al , Mo , Cu , Ag、Cr、Ti、AlNi、MoTi 等金属材料材料中的一种或者多种。

25       所述公共电极 170 包括透明导电材料,比如,所述公共电极 170 可以包括但不限于以下材料中的一种或者多种 :ZnO 基透明氧化物半导体材料 , $\text{SnO}_2$  基透明氧化物半导体材料 ,  $\text{In}_2\text{O}_3$  基透明氧化物半导体材料等。

所述像素电极 190 包括透明导电材料,比如,所述像素电极 190 可以包括但不限于以下材料中的一种或者多种 :ZnO 基透明氧化物半导体材料 , $\text{SnO}_2$  基透明氧化物半导体材料 ,  $\text{In}_2\text{O}_3$  基透明氧化物半导体材料等。

在本实施方式中，所述阵列基板 10 还包括第一接触部 102 和第二接触部 103。所述第一接触部 102 和所述第二接触部 103 分别与所述沟道层 110 接触，且所述第一接触部 102 与所述第二接触部 103 间隔设置。所述源极 150a 通过所述第一贯孔 141 与所述第一接触部 102 相连，所述第一接触部 102 用于减小所述源极 150a 与所述沟道层 110 之间的接触电阻。所述漏极 150b 通过所述第二贯孔 142 与所述第二接触部 103 相连，所述第二接触部 103 用于减小所述漏极 150b 与所述沟道层 110 之间的接触电阻。所述第一接触部 102 和所述第二接触部 103 可以由氧化半导体材料进行离子处理而得到。比如，可以用 a-IGZO 进行 H<sub>2</sub> 或者 Ar 离子处理而形成。

所述沟道层 110 包括相对设置的第一端面 111 和第二端面 112。所述第一端面 111 和所述第二端面 112 均与所述沟道层 110 邻近所述基板 100 的表面相交。所述第一绝缘层 120 包括相对设置的第三端面 121 和第四端面 122。所述第三端面 121 和所述第四端面 122 均与所述第一绝缘层 120 覆盖所述沟道层 110 的表面相交。所述栅极 130 包括相对设置的第五端面 131 和第六端面 132。所述第五端面 131 和所述第六端面 132 均与所述栅极 130 设置在所述第一绝缘层 120 上的表面相交。所述第一端面 111、所述第二端面 121 及所述第五端面 131 共面，所述第二端面 112、所述第四端面 122 及所述第六端面 132 共面。

所述第五端面 131 相较于所述第六端面 132 邻近所述源极 150a 设置，所述第六端面 132 相较于所述第五端面 131 邻近所述漏极 150b 设置。所述第五端面 131 与所述源极 150a 邻近所述栅极 130 的表面所在的平面之间的距离大于或者等于零。所述第六端面 132 与所述漏极 150b 邻近所述栅极 130 的表面所在的平面之间的距离大于或者等于零。

相较于现有技术，本发明的阵列基板 10 中的钝化层 180 中包括 HfO<sub>2</sub>，所述 HfO<sub>2</sub> 具有较高的介电常数和较高的透光率。当所述公共电极 170、所述钝化层 180 及所述像素电极 190 形成存储电容时，在所述公共电极 170 和所述钝化层 180 的正对面积不变时，且所述钝化层 180 厚度一定的情况下，可以提高所述存储电容的电容大小。当所述存储电容的电容大小不变，且所述钝化层 180 的厚度不变时，可以减小存储电容的面积，因此，可以提高所述阵列基板 10 所应用的显示面板的画素稳定性及所述阵列基板 10 的开口率。

进一步地,由于所述第五端面 131 相较于所述第六端面 132 邻近所述源极 150a 设置,且所述第五端面 131 与所述源极 150a 邻近所述栅极 130 的表面所在的平面之间的距离大于等于零。即,所述栅极 130 与所述源极 150a 之间没有重合的面积,因此,所述栅极 130 与所述源极 150a 之间不存在寄生电容。

5 且,由于所述第六端面 132 相较于所述第五端面 131 邻近所述漏极 150b 设置,所述第六端面 132 与所述漏极 150b 邻近所述栅极 130 的表面所在的平面之间的距离大于或等于零。即,所述栅极 130 与所述漏极 150b 之间没有重合面积,因此,所述栅极 130 与所述漏极 150b 之间不存在寄生电容。

下面结合前面描述的阵列基板 10,对本发明的阵列基板的制备方法进行  
10 介绍。请一并参阅图 2,图 2 为本发明一较佳实施方式的阵列基板的制备方法的流程图。所述阵列基板 10 的制备方法包括但不限于以下步骤。

步骤 S101,提供基板 100,请参阅图 3。

在本实施方式中,所述阵列基板的制备方法还包括步骤 I。

步骤 I,形成设置在所述基板 10 上的缓冲层 101,请参阅图 4。

15 步骤 S102,邻近所述基板 100 的表面形成沟道层 110。当所述阵列基板的制备方法中包括步骤 I 时,所述步骤 S102 具体包括:在所述缓冲层 101 远离所述基板 10 的表面形成所述沟道层 110,请参阅图 5。

步骤 S103,形成覆盖所述沟道层 110 的第一绝缘层 120。

20 步骤 S104,形成设置在所述第一绝缘层 120 远离所述沟道层 110 的栅极 130。

在本实施方式中,所述步骤 S102、所述步骤 S103 及所述步骤 S104 可以具体包括如下步骤。

步骤 S1,邻近所述基板 100 的表面依次形成层叠设置的氧化物半导体层 210、第一绝缘材料层 220 及第一金属层 230,请参阅图 6。

25 步骤 S2,形成覆盖所述第一金属层 230 的第一光刻胶层 240,请参阅图 7。

步骤 S3,图案化所述第一光刻胶层 240 以保留设置在所述第一金属层 230 中部的第一光刻胶图案 241,请参阅图 8。

步骤 S4,以所述第一光刻胶图案 241 为掩膜,蚀刻未被所述第一光刻胶图案 241 保护的第一金属层 230 及第一绝缘材料层 220 以分别形成栅极 130

及第一绝缘层 120，请一并参阅图 9。

步骤 S5，对裸露的氧化物半导体层 210 进行离子处理，以形成第一接触部 102 及第二接触部 103，未进行离子处理的氧化物半导体层 210 为所述沟道层 110，请参阅图 10。

5 相较于现有技术，本发明阵列基板的制备方法中采用步骤 S1~步骤 S5，利用第一光刻胶图案 241 及栅极 1130 和第一绝缘层 120 为掩膜，形成了第一接触部 102、第二接触部 103 及所述沟道层 110，没有增加光罩。

步骤 S6，剥离所述第一光刻胶图案 241，请参阅图 11。

10 步骤 S105，形成覆盖所述栅极 130 的第二绝缘层 140，且在所述第二绝缘层 140 上开设间隔设置的第一贯孔 141 和第二贯孔 142，请参阅图 12。

步骤 S106，在所述第二绝缘层 140 上形成间隔设置的源极 150a 和漏极 150b，且所述源极 150a 通过所述第一贯孔 141 与所述沟道层 110 电连接，所述漏极 150b 通过所述第二贯孔 142 与所述沟道层 110 电连接。

具体地，所述步骤 S106 包括如下步骤。

15 步骤 S1061，在所述第二绝缘层 140 上形成第二金属层 250，请参阅图 13。

步骤 S1062，形成覆盖所述第二金属层 250 的第二光刻胶层 260，请参阅图 14。

20 步骤 S1063，移除正对所述栅极 130 的第二光刻胶层 260，且移除的第二光刻胶层 260 的尺寸大于或等于所述栅极 130 的长度，第二光刻胶层 260 形成第二光刻胶图案 261，请一并参阅图 15。

步骤 S1064，以所述第二光刻胶图案 261 为掩膜，蚀刻未被所述第二光刻胶图案 261 覆盖的第二金属层 250 以形成所述源极 150a 及所述漏极 150b，请参阅图 16。

步骤 S1065，剥离所述第二光刻胶图案 261，请参阅图 17。

25 步骤 S107，形成覆盖所述源极 150a 和所述漏极 150b 的平坦层 160，所述平坦层 160 对应所述漏极 150b 开设第三贯孔 161。

步骤 S108，形成设置在所述平坦层 160 的公共电极 170。

步骤 S109，形成覆盖所述公共电极 170 且包括  $\text{HfO}_2$  的钝化层 180，且在所述钝化层 180 上对应所述漏极 150b 开设第四贯孔 181。

步骤 S110，形成设置在所述钝化层 180 上，对应所述公共电极 170 设置，且通过所述第三贯孔 161 及所述第四贯孔 181 与所述漏极 150b 电连接的像素电极 190，所述像素电极 190、所述钝化层 180 及所述公共电极 170 构成存储电容，所述步骤 S107~步骤 S110 请参阅图 18。

5        请参阅图 19，图 19 为本发明一较佳实施方式的液晶显示面板的结构示意图。所述液晶显示面板 1 包括阵列基板 10，所述阵列基板 10 如前面所述，在此不再赘述。

10        以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

## 权 利 要 求

- 1.一种阵列基板，其中，所述阵列基板包括：  
基板；  
5 沟道层，邻近所述基板的表面设置；  
第一绝缘层，覆盖所述沟道层；  
栅极，设置在所述第一绝缘层远离所述沟道层的表面；  
第二绝缘层，覆盖所述栅极，且所述第二绝缘层上开设有间隔设置的第一  
贯孔和第二贯孔；  
10 源极，设置在所述第二绝缘层上，且所述源极通过所述第一贯孔与所述沟  
道层电连接；  
漏极，设置在所述第二绝缘层上，且所述漏极通过所述第二贯孔与所述沟  
道层电连接，且所述漏极与所述源极间隔设置；  
平坦层，覆盖所述源极及所述漏极，所述平坦层对应所述漏极开设第三贯  
15 孔；  
公共电极，设置在所述平坦层上；  
钝化层，覆盖所述公共电极，且所述钝化层包括  $\text{HfO}_2$ ，所述钝化层对应  
所述漏极开设第四贯孔，且所述第四贯孔与所述第三贯孔连通；  
像素电极，设置在所述钝化层上，所述像素电极通过所述第三贯孔及所述  
20 第四贯孔与所述漏极电连接，且所述像素电极对应所述公共电极设置，所述像  
素电极、所述钝化层及所述公共电极构成存储电容。
- 2.如权利要求 1 所述的阵列基板，其中，所述阵列基板还包括：  
缓冲层，设置在所述基板上；  
25 所述沟道层设置在所述缓冲层远离所述基板的表面。
- 3.如权利要求 1 所述的阵列基板，其中，所述阵列基板还包括：  
第一接触部和第二接触部，所述第一接触部和所述第二接触部分别与所述  
沟道层接触，且所述第一接触部与所述第二接触部间隔设置；

所述源极通过所述第一贯孔与所述第一接触部相连,所述第一接触部用于减小所述源极与所述沟道层之间的接触电阻;

所述漏极通过所述第二贯孔与所述第二接触部相连,所述第二接触部用于减小所述漏极与所述沟道层之间的接触电阻。

5

4.如权利要求3所述的阵列基板,其中,所述沟道层包括相对设置的第一端面和第二端面,所述第一端面和第二端面均与所述沟道层邻近所述基板设置的表面相交,所述第一绝缘层包括相对设置的第三端面和第四端面,所述第三端面 and 所述第四端面均与所述第一绝缘层覆盖所述沟道层的表面相交,所述栅极包括相对设置的第五端面和第六端面,所述第五端面和所述第六端面均与

10

所述栅极设置在所述第一绝缘层上的表面相交,  
且所述第一端面、所述第三端面及所述第五端面共面,所述第二端面、所述第四端面及所述第六端面共面。

15

5.如权利要求4所述的阵列基板,其中,所述第五端面相较于所述第六端面邻近所述源极设置,所述第六端面相较于所述第五端面邻近所述漏极设置,所述第五端面与所述源极邻近所述栅极的表面所在的平面之间的距离大于或者等于零;所述第六端面与所述漏极邻近所述栅极的表面所在的平面之间的距离大于或者等于零。

20

6.一种阵列基板的制备方法,其中,所述阵列基板的制备方法包括:  
提供基板;

邻近所述基板的表面形成沟道层;

形成覆盖所述沟道层的第一绝缘层;

25

形成设置在所述第一绝缘层远离所述沟道层的栅极;

形成覆盖所述栅极的第二绝缘层,且在所述第二绝缘层上开设间隔设置的第一贯孔和第二贯孔;

在所述第二绝缘层上形成间隔设置的源极和漏极,且所述源极通过所述第一贯孔与所述沟道层电连接,所述漏极通过所述第二贯孔与所述沟道层电连

接；

形成覆盖所述源极和所述漏极的平坦层，所述平坦层对应所述漏极开设第三贯孔；

形成设置在所述平坦层的公共电极；

5 形成覆盖所述公共电极且包括  $\text{HfO}_2$  的钝化层，且在所述钝化层上对应所述漏极开设第四贯孔，且所述第四贯孔与所述第三贯孔连通；

形成设置在所述钝化层上，对应所述公共电极设置，且通过所述第三贯孔及所述第四贯孔与所述漏极电连接的像素电极，所述像素电极、所述钝化层及所述公共电极构成存储电容。

10

7.如权利要求6所述的阵列基板的制备方法，其中，所述阵列基板的制备方法还包括：

形成设置在所述基板上的缓冲层；

所述步骤“邻近所述基板的表面形成沟道层”包括：

15 在所述缓冲层远离所述基板的表面形成所述沟道层。

8.如权利要求6所述的阵列基板的制备方法，其中，所述步骤“邻近所述基板的表面形成沟道层”，“形成覆盖所述沟道层的第一绝缘层”，及“形成设置在所述第一绝缘层远离所述沟道层的栅极”包括：

20 邻近所述基板的表面依次形成层叠设置的氧化物半导体层、第一绝缘材料层及第一金属层；

形成覆盖所述第一金属层的第一光刻胶层；

图案化所述第一光刻胶层以保留设置在所述第一金属层中部的第一光刻胶图案；

25 以所述第一光刻胶图案为掩膜，蚀刻未被所述第一光刻胶图案保护的第一金属层及第一绝缘材料层以分别形成栅极及第一绝缘层；

对裸露的氧化物半导体层进行离子处理，以形成第一接触部及第二接触部，未进行离子处理的氧化物半导体层为所述沟道层；

剥离所述第一光刻胶图案。

9.如权利要求6所述的阵列基板的制备方法,其中,所述步骤“在所述第二绝缘层上形成间隔设置的源极和漏极,且所述源极通过所述第一贯孔与所述沟道层电连接,所述漏极通过所述第二贯孔与所述沟道层电连接”包括:

- 5        在所述第二绝缘层上形成第二金属层;  
         形成覆盖所述第二金属层的第二光刻胶层;  
         移除正对所述栅极的第二光刻胶层,且移除的第二光刻胶层的尺寸大于或等于所述栅极的长度,第二光刻胶层形成第二光刻胶图案;  
         以所述第二光刻胶图案为掩膜,蚀刻未被所述第二光刻胶图案覆盖的第二  
10      金属层以形成所述源极及所述漏极;  
         剥离所述第二光刻胶图案。

10.一种液晶显示面板,其中,所述液晶显示面板包括阵列基板,所述阵列基板包括:

- 15      基板;  
         沟道层,邻近所述基板的表面设置;  
         第一绝缘层,覆盖所述沟道层;  
         栅极,设置在所述第一绝缘层远离所述沟道层的表面;  
         第二绝缘层,覆盖所述栅极,且所述第二绝缘层上开设有间隔设置的第一  
20      贯孔和第二贯孔;  
         源极,设置在所述第二绝缘层上,且所述源极通过所述第一贯孔与所述沟道层电连接;  
         漏极,设置在所述第二绝缘层上,且所述漏极通过所述第二贯孔与所述沟道层电连接,且所述漏极与所述源极间隔设置;  
25      平坦层,覆盖所述源极及所述漏极,所述平坦层对应所述漏极开设第三贯孔;  
         公共电极,设置在所述平坦层上;  
         钝化层,覆盖所述公共电极,且所述钝化层包括  $\text{HfO}_2$ ,所述钝化层对应所述漏极开设第四贯孔,且所述第四贯孔与所述第三贯孔连通;

像素电极，设置在所述钝化层上，所述像素电极通过所述第三贯孔及所述第四贯孔与所述漏极电连接，且所述像素电极对应所述公共电极设置，所述像素电极、所述钝化层及所述公共电极构成存储电容。

5 11.如权利要求 10 所述的液晶显示面板，其中，所述阵列基板还包括：  
缓冲层，设置在所述基板上；  
所述沟道层设置在所述缓冲层远离所述基板的表面。

10 12.如权利要求 10 所述的液晶显示面板，其中，所述阵列基板还包括：  
第一接触部和第二接触部，所述第一接触部和所述第二接触部分别与所述沟道层接触，且所述第一接触部与所述第二接触部间隔设置；  
所述源极通过所述第一贯孔与所述第一接触部相连，所述第一接触部用于减小所述源极与所述沟道层之间的接触电阻；  
所述漏极通过所述第二贯孔与所述第二接触部相连，所述第二接触部用于  
15 减小所述漏极与所述沟道层之间的接触电阻。

20 13.如权利要求 12 所述的液晶显示面板，其中，所述沟道层包括相对设置的第一端面和第二端面，所述第一端面和第二端面均与所述沟道层邻近所述基板设置的表面相交，所述第一绝缘层包括相对设置的第三端面和第四端面，所述第三端面 and 所述第四端面均与所述第一绝缘层覆盖所述沟道层的表面相交，所述栅极包括相对设置的第五端面和第六端面，所述第五端面 and 所述第六端面均与所述栅极设置在所述第一绝缘层上的表面相交，  
且所述第一端面、所述第三端面及所述第五端面共面，所述第二端面、所述第四端面及所述第六端面共面。

25 14.如权利要求 13 所述的液晶显示面板，其中，所述第五端面相较于所述第六端面邻近所述源极设置，所述第六端面相较于所述第五端面邻近所述漏极设置，所述第五端面与所述源极邻近所述栅极的表面所在的平面之间的距离大于或者等于零；所述第六端面与所述漏极邻近所述栅极的表面所在的平面之间

的距离大于或者等于零。

10

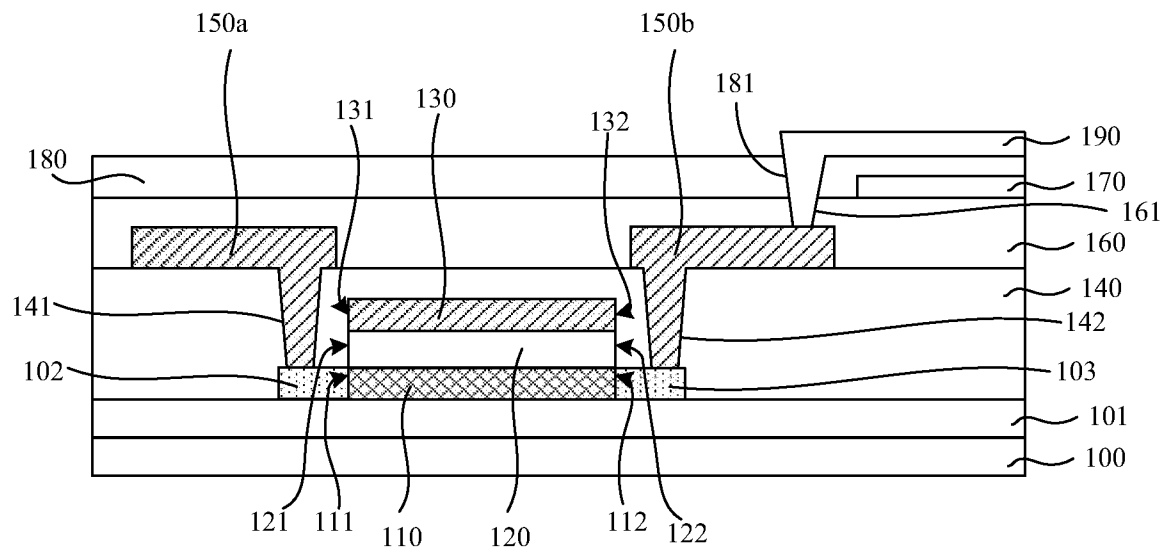


图 1

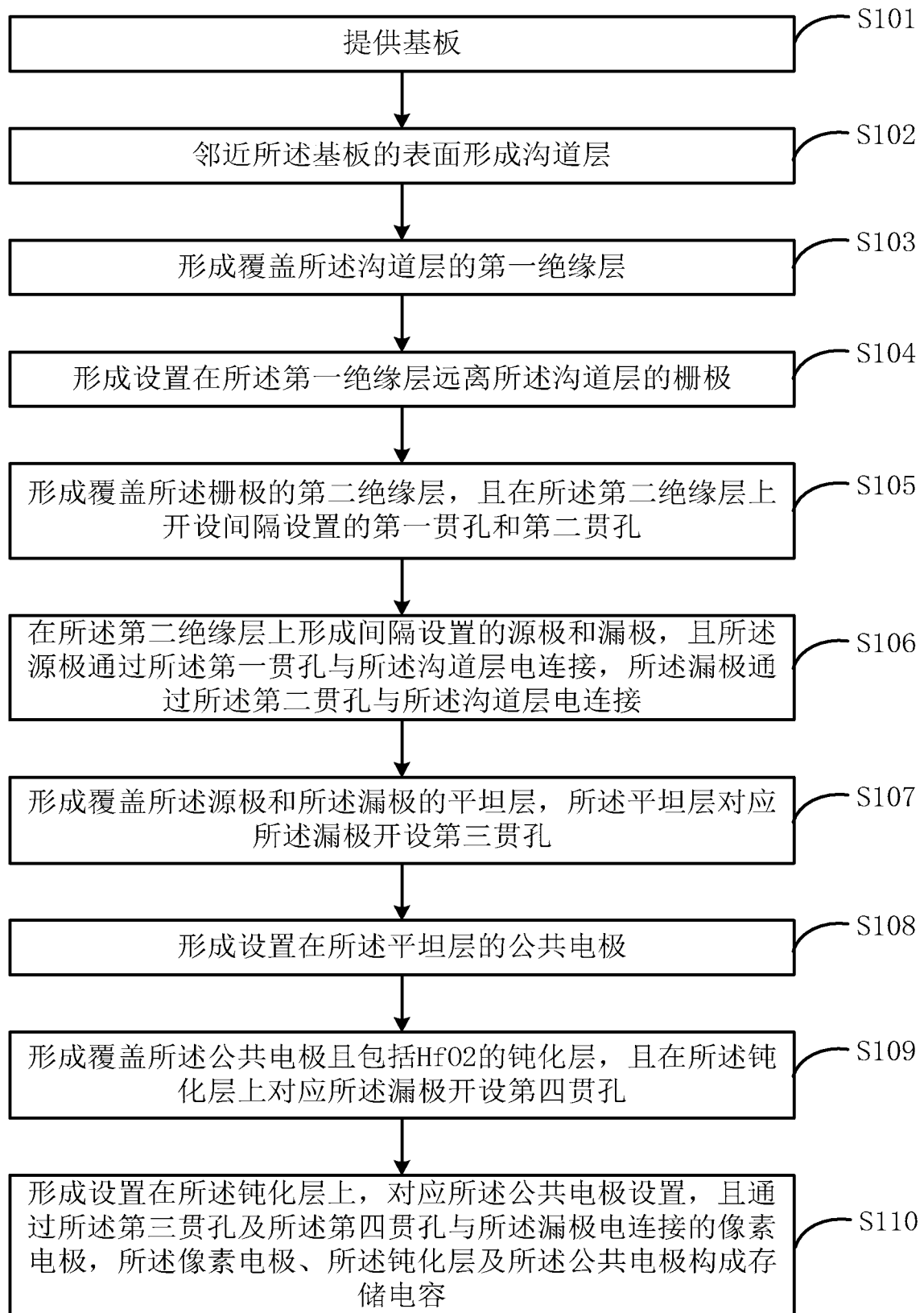


图 2

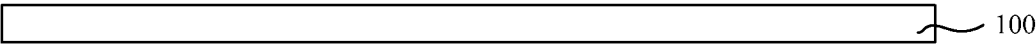


图 3

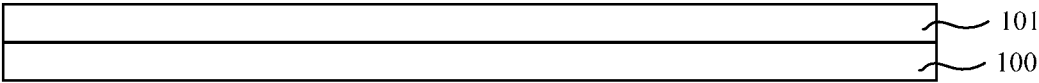


图 4

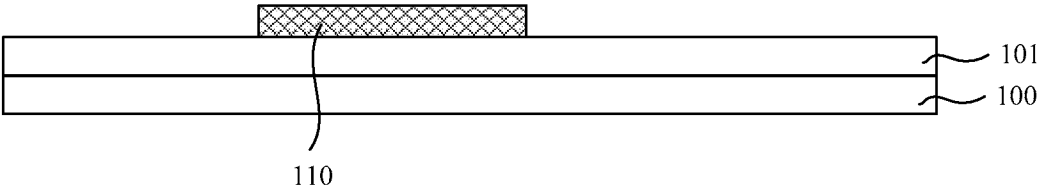


图 5

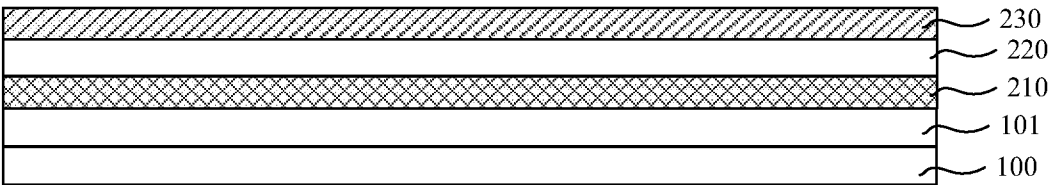


图 6

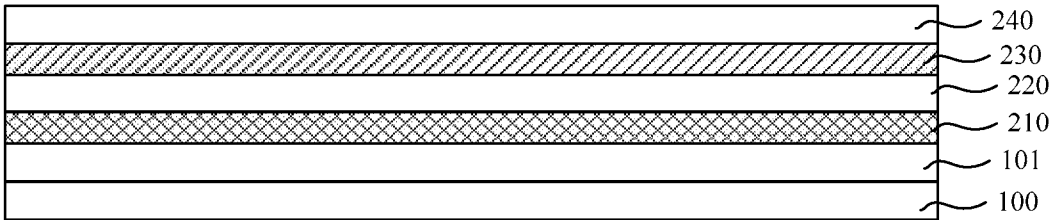


图 7

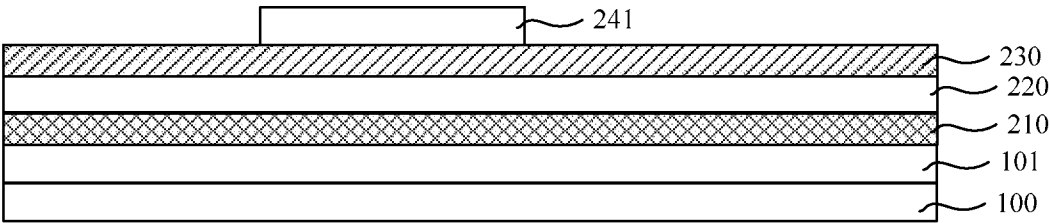


图 8

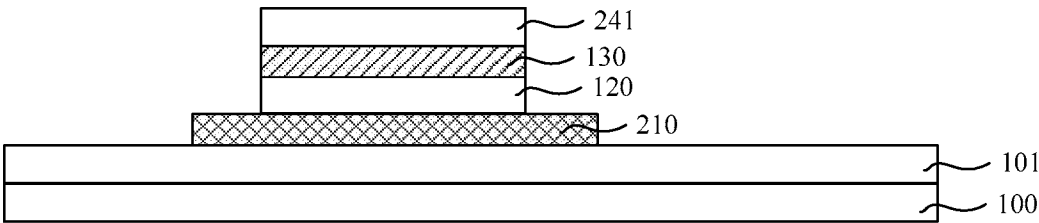


图 9

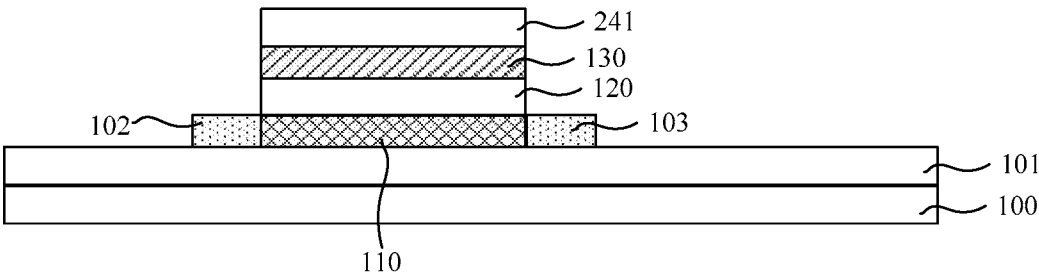


图 10

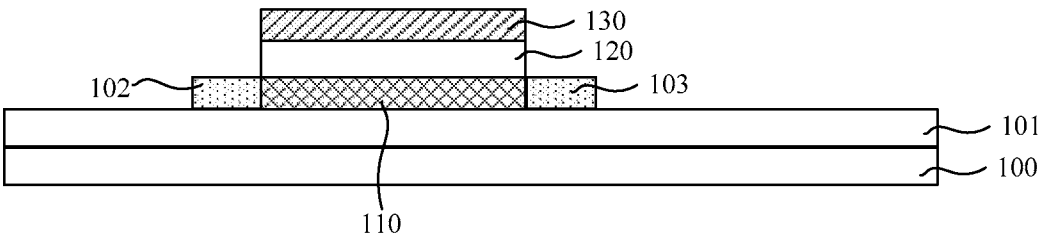


图 11

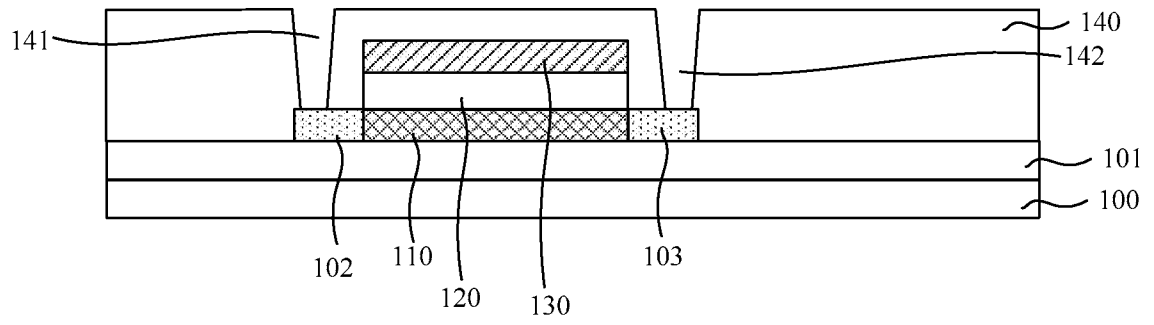


图 12

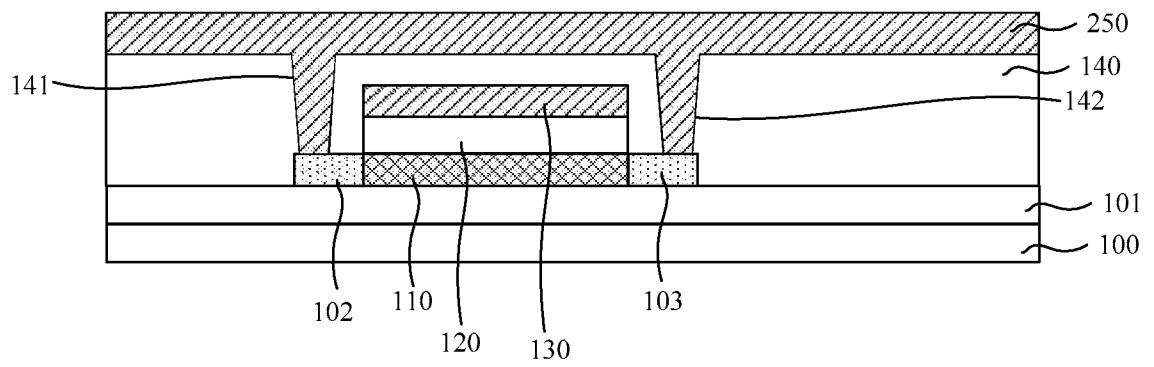


图 13

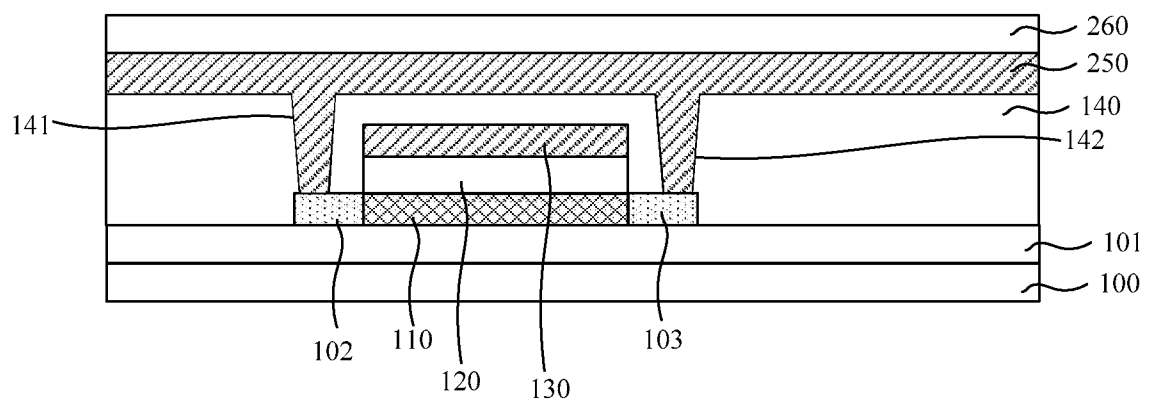


图 14

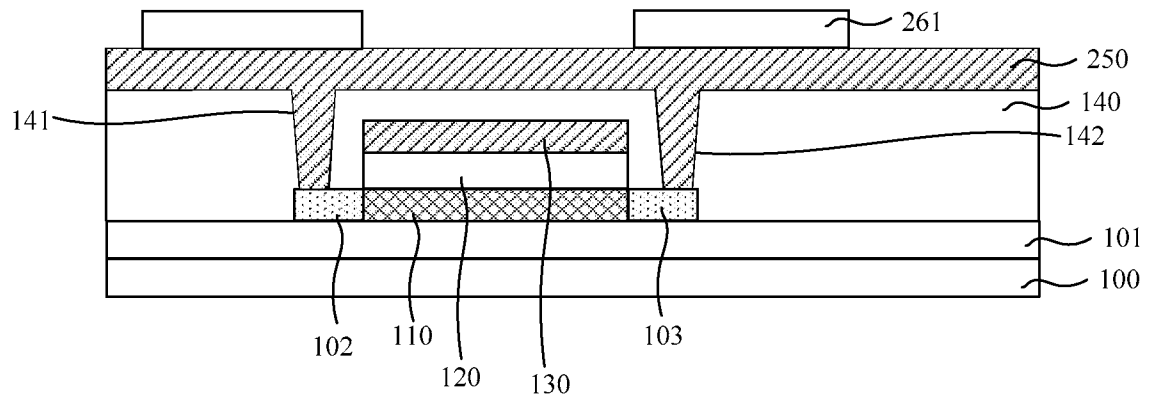


图 15

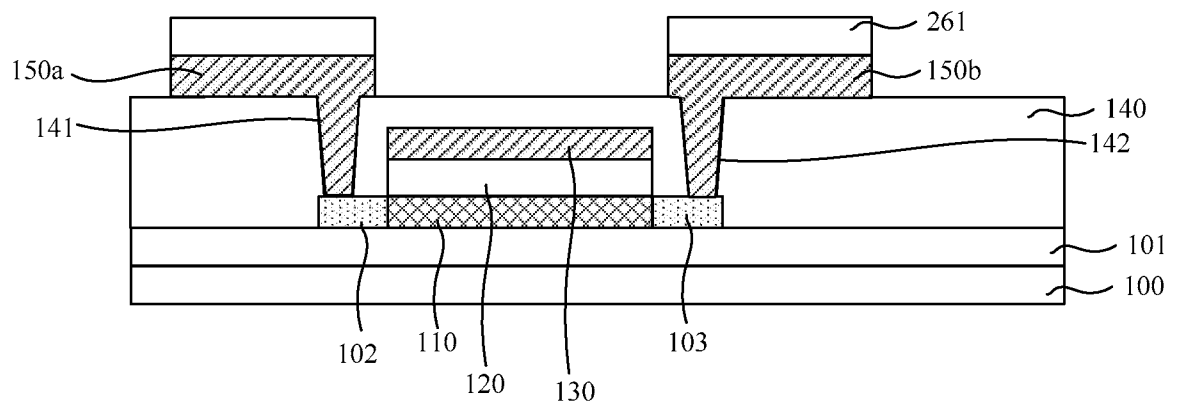


图 16

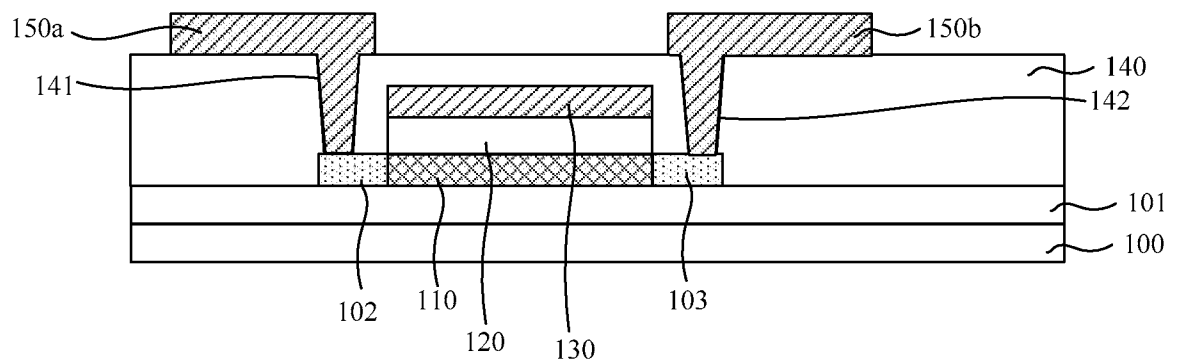


图 17

10

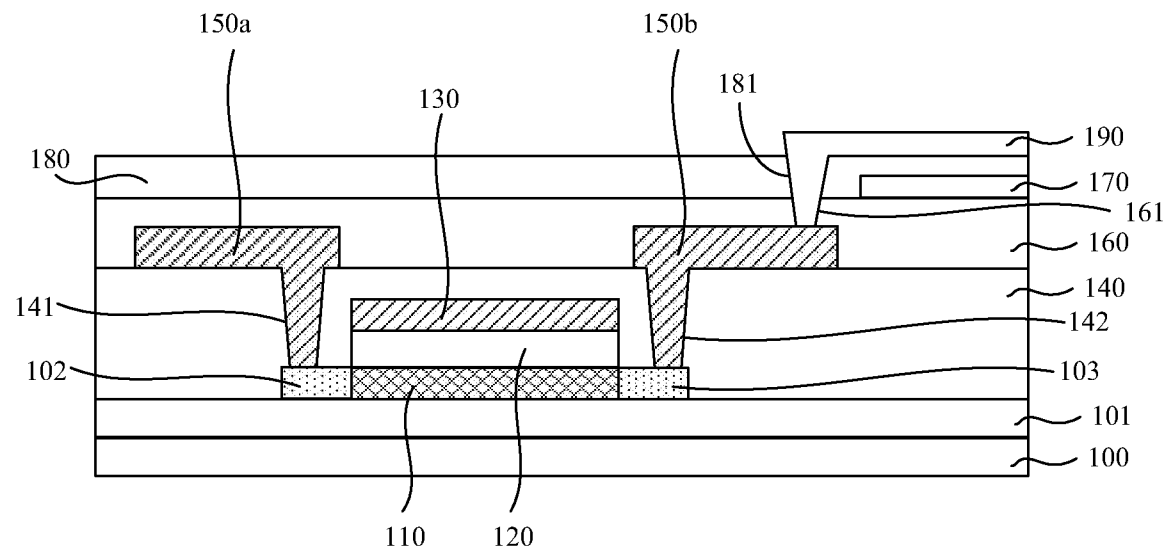


图 18

1

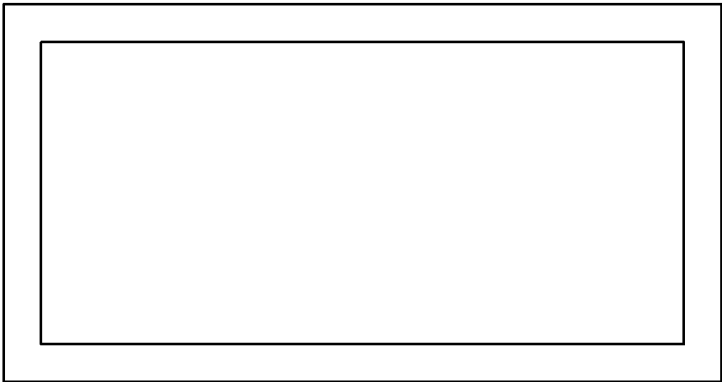


图 19

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2016/089999

## A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; VEN: top gate, pixel, dielectric constant, common, storage capacitance, insulat+, hole, hfo, channel, semiconductor, passivation, hafnium oxide

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | CN 101109879 A (HITACHI DISPLAYS K.K.) 23 January 2008 (23.01.2008) description, page 16, paragraph 2 to page 19, paragraph 2, and figures 1-5                                       | 1-3, 6-12             |
| Y         | CN 101109879 A (HITACHI DISPLAYS K.K.) 23 January 2008 (23.01.2008) description, page 16, paragraph 2 to page 19, paragraph 2, and figures 1-5                                       | 4, 5, 13, 14          |
| Y         | CN 103235455 A (NANJING CEC PANDA LIQUID CRYSTAL DISPLAY TECHNOLOGY CO., LTD.) 07 August 2013 (07.08.2013) description, paragraphs [0042] and [0049]-[0058], and figures 1 and 3A-8B | 4, 5, 13, 14          |
| X         | US 2015221684 A1 (JAPAN DISPLAY INC.) 06 August 2015 (06.08.2015) description, paragraphs [0087]-[0417], and figure 10                                                               | 1-3, 6-12             |
| A         | CN 105404048 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 March 2016 (16.03.2016) the whole document                                                                 | 1-14                  |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                                |                                                                             |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>10 March 2017                                                                                                                                     | Date of mailing of the international search report<br>29 March 2017         |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimengqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br><br>LIU, Yanmei<br><br>Telephone No. (86-10) 62085549 |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2016/089999

| Patent Documents referred<br>in the Report | Publication Date | Patent Family    | Publication Date  |
|--------------------------------------------|------------------|------------------|-------------------|
| CN 101109879 A                             | 23 January 2008  | US 7630043 B2    | 08 December 2009  |
|                                            |                  | JP 2008026430 A  | 07 February 2008  |
|                                            |                  | JP 4818839 B2    | 16 November 2011  |
|                                            |                  | US 2008018816 A1 | 24 January 2008   |
|                                            |                  | CN 101109879 B   | 08 September 2010 |
| CN 103235455 A                             | 07 August 2013   | CN 103235455 B   | 21 October 2015   |
| US 2015221684 A1                           | 06 August 2015   | JP 2015145907 A  | 13 August 2015    |
|                                            |                  | US 9508761 B2    | 29 November 2016  |
| CN 105404048 A                             | 16 March 2016    | None             |                   |

## 国际检索报告

国际申请号

PCT/CN2016/089999

## A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;VEN:顶栅, 介电常数, 存储电容, 孔, 沟道, 半导体, 钝化, 绝缘, 像素电极, 公共电极, 氧化铅, top gate, pixel, dielectric constant, common, storage capacitance, insulat+, hole, hfo

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                           | 相关的权利要求      |
|------|---------------------------------------------------------------------------------------------|--------------|
| X    | CN 101109879 A (株式会社日立显示器) 2008年 1月 23日 (2008 - 01 - 23)<br>说明书第16页第2段至第19页第2段, 图1-5        | 1-3, 6-12    |
| Y    | CN 101109879 A (株式会社日立显示器) 2008年 1月 23日 (2008 - 01 - 23)<br>说明书第16页第2段至第19页第2段, 图1-5        | 4, 5, 13, 14 |
| Y    | CN 103235455 A (南京中电熊猫液晶显示科技有限公司) 2013年 8月 7日 (2013 - 08 - 07)<br>说明书第42, 49-58段, 图1, 3A-8B | 4, 5, 13, 14 |
| X    | US 2015221684 A1 (JAPAN DISPLAY INC) 2015年 8月 6日 (2015 - 08 - 06)<br>说明书第87-417段, 图10       | 1-3, 6-12    |
| A    | CN 105404048 A (武汉华星光电技术有限公司) 2016年 3月 16日 (2016 - 03 - 16)<br>全文                           | 1-14         |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

## \* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2017年 3月 10日

国际检索报告邮寄日期

2017年 3月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘燕梅

电话号码 (86-10)62085549

国际检索报告  
关于同族专利的信息

国际申请号  
PCT/CN2016/089999

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |            |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|------------|----|----------------|
| CN          | 101109879  | A  | 2008年 1月 23日   | US   | 7630043    | B2 | 2009年 12月 8日   |
|             |            |    |                | JP   | 2008026430 | A  | 2008年 2月 7日    |
|             |            |    |                | JP   | 4818839    | B2 | 2011年 11月 16日  |
|             |            |    |                | US   | 2008018816 | A1 | 2008年 1月 24日   |
|             |            |    |                | CN   | 101109879  | B  | 2010年 9月 8日    |
| CN          | 103235455  | A  | 2013年 8月 7日    | CN   | 103235455  | B  | 2015年 10月 21日  |
| US          | 2015221684 | A1 | 2015年 8月 6日    | JP   | 2015145907 | A  | 2015年 8月 13日   |
|             |            |    |                | US   | 9508761    | B2 | 2016年 11月 29日  |
| CN          | 105404048  | A  | 2016年 3月 16日   | 无    |            |    |                |

表 PCT/ISA/210 (同族专利附件) (2009年7月)