

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> H03K 19/017	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월02일 10-0511906 2005년08월25일
---	-------------------------------------	--

(21) 출원번호	10-1999-0059671	(65) 공개번호	10-2001-0062920
(22) 출원일자	1999년12월21일	(43) 공개일자	2001년07월09일

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김민규 서울특별시송파구잠실3동주공3단지아파트357-502
(74) 대리인	강성배

심사관 : 강윤석

(54) 출력 신호의 천이 레벨이 조절 가능한 CMOS 인버터 회로

요약

본 발명은 CMOS 인버터에 있어서, 플로팅 게이트 트랜지스터를 사용하여 입력 신호에 대한 출력 신호의 천이 레벨을 조절 가능하도록 한 인버터 회로에 관한 것이다.

본 발명의 CMOS 인버터 회로는 PMOS 플로팅 게이트 트랜지스터와 NMOS 플로팅 게이트 트랜지스터가 CMOS 형태로 연결된 CMOS 인버터부와, 상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하기 위한 제 1 제어부와, 상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하기 위한 제 2 제어부를 포함한다.

대표도

도 8

명세서

도면의 간단한 설명

- 도 1은 종래의 CMOS 인버터 회로도,
- 도 2는 종래의 CMOS 인버터 회로의 입력 전압에 대한 출력 전압의 파형도,
- 도 3a는 플로팅 게이트 트랜지스터의 단면도,
- 도 3b는 플로팅 게이트 트랜지스터의 회로도,

도 4는 플로팅 게이트 트랜지스터의 게이트 전류-전압의 변화 파형도,

도 5는 본 발명의 일실시예에 따른 CMOS 인버터 회로에 있어서, NMOS 플로팅 게이트 트랜지스터를 이용한 경우의 회로도,

도 6은 상기 도 5의 입력 전압에 따른 출력 전압의 파형도,

도 7은 본 발명의 일실시예에 CMOS 인버터 회로에 있어서, PMOS 플로팅 게이트 트랜지스터를 이용한 경우의 회로도,

도 8은 본 발명의 일실시예에 따른 CMOS 인버터 회로에 있어서, PMOS 플로팅 게이트 트랜지스터 및 NMOS 플로팅 게이트 트랜지스터를 이용한 경우의 회로도.

(도면의 주요 부분에 대한 부호의 명칭)

510, 710, 810: CMOS 인버터부 520, 720, 820, 830: 제어부

1: 반도체 기판 2: 드레인 영역

3: 소오스 영역 4: 플로팅 게이트

5: 컨트롤 게이트 6: 산화막

PFGT: PMOS 플로팅 게이트 트랜지스터

NFGT: NMOS 플로팅 게이트 트랜지스터]

P1, ..., P81: PMOS 트랜지스터

N1, ..., N81: NMOS 트랜지스터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 CMOS 인버터(Complementary Metal Oxide Semiconductor Inverter) 회로에 관한 것으로서, 보다 구체적으로는 플로팅 게이트 트랜지스터(Floating Gate Transistor: FGT)를 이용함으로써 입력 전압에 대한 출력 전압의 천이 레벨(Transition Level)이 조절 가능한 인버터 회로에 관한 것이다.

PMOS 트랜지스터(P-channel MOS Transistor)와 NMOS 트랜지스터(N-channel MOS Transistor)가 직렬로 연결된 CMOS 트랜지스터는 초고밀도 집적 회로(Very Large Scale Integration: VLSI) 등의 분야에서 기본이 되는 인버터(Inverter) 회로이다.

도 1은 상기와 같은 CMOS 트랜지스터의 회로도를 나타낸 것이다. 도 1을 참조하면, CMOS 인버터는 소오스(Source) 단자에 전원 전압( $V_{cc}$ )이 연결된 PMOS 트랜지스터(P1)와 소오스 단자에 접지 전원이 연결된 NMOS 트랜지스터(N1)의 게이트(Gate) 단자와 드레인(Drain) 단자가 각각 연결되고, 게이트 단자를 통하여 인가되는 입력 전압( $V_{in}$ )을 반전시켜 출력 단자( $V_{out}$ )로 출력한다.

상기와 같은 구조의 CMOS 인버터의 입력 전압( $V_{in}$ )에 따른 출력 전압( $V_{out}$ )의 파형을 도 2에 도시하였다. 도 2를 참조하면, CMOS 인버터의 입력 전압( $V_{in}$ )이 로우 상태로 인가될 때, 출력 전압( $V_{out}$ )은 하이 상태로 출력되고, 입력 전압( $V_{in}$ )이 하이 상태로 인가될 때는 출력 전압( $V_{out}$ )이 로우 상태로 반전되어 출력되는 것을 볼 수 있다.

그런데, 입력 전압(Vin)이 로우 상태에서 하이 상태로 천이하는 중간 정도에 위치하는 경우에 출력 전압도 그에 따라 하이 상태에서 로우 상태로 천이하는 구간이 나타난다. 즉, 입력 전압(Vin)을 로우 상태로 인식하여 하이 상태의 출력 전압(Vout)을 발생시키기 위한 최대 허용 로직-0 값(Maximum allowable Logic-0 value: ViL)과 입력 전압(Vin)을 하이 상태로 인식하여 로우 상태의 출력 전압을 발생시키는 최소 허용 로직-1 값(Minimum allowable Logic-1 value: ViH) 사이 구간이 존재한다.

상기 도 2와 같은 전압 변화 특성은 풀-업(Pull-up) 트랜지스터인 PMOS 트랜지스터(P1)와 풀-다운(Pull-down) 트랜지스터인 NMOS 트랜지스터(N1)의 동작 특성에 의해 결정되는데, 출력 전압이 천이하기 위한 로우 레벨(ViL)과 하이 레벨(ViH)에 대한 중간 값인 입력 레벨(Vin\*)은 다음의 (수학식 1)과 같이 표현된다.

**수학식 1**

$$V_{in*} = \frac{V_{cc} + V_{tp} + V_{tn} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}}$$

상기에서 Vtp와 Vtn은 각각 PMOS 트랜지스터와 NMOS 트랜지스터의 문턱 전압이고, βn과 βp는 다음과 같이 표현된다.

**수학식 2**

$$\beta_n = \mu_n C_{ox} (W_n / L_n)$$

**수학식 3**

$$\beta_p = \mu_p C_{ox} (W_p / L_p)$$

이 때, μp와 μn은 각각 정공(Hole)과 전자(Electron)의 이동성(Mobility)을 나타내고, Cox는 트랜지스터의 게이트 산화막 두께를 나타낸다. 그리고, Wn 과 Ln은 각각 NMOS 트랜지스터의 폭(Width)과 길이(Length), Wp 와 Lp는 PMOS 트랜지스터의 폭과 길이를 나타내며, ε는 유전률(Permittivity)을 나타낸다.

**발명이 이루고자 하는 기술적 과제**

상기와 같이 표현되는 입력 레벨(Vin\*)은 반도체 소자가 사용되는 용도에 따라 높거나 낮은 상태로 이동시킬 필요성이 발생하는데, 상기 (수학식 1) 내지 (수학식 3)에서 보는 바와 같이, 반도체 소자의 설계가 끝나고 공정이 진행된 상태에서는 더 이상 인위적으로 변화시킬 수 없게 된다.

따라서, 크기가 각각 다른 PMOS 트랜지스터 또는 NMOS 트랜지스터를 해당하는 용도에 따라 사용하여야 하며, 입력 레벨이 사용 용도에 적합하지 않거나 불량이 발생한 경우에는 처음부터 설계를 바꾸어야 하는 문제점이 발생한다.

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 플로팅 게이트 트랜지스터를 사용함으로써, 입력 레벨을 자유롭게 변화시킬 수 있는 CMOS 인버터 회로를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기한 목적을 달성하기 위하여, 본 발명의 CMOS 인버터 회로는 PMOS 트랜지스터와 NMOS 플로팅 게이트 트랜지스터가 CMOS 형태로 연결되고, 입력 신호가 게이트 단자로 인가되고 출력 신호가 드레인 단자로부터 발생되는 CMOS 인버터부와, 상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압(Threshold Voltage)을 조절하는 제어부로 이루어지는 것을 특징으로 한다.

상기 제어부는 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 드레인 단자가 연결된 NMOS 트랜지스터로 이루어지는 것을 특징으로 한다.

상기 제어부는 NMOS 트랜지스터를 턴-온 시키고, 소오스 단자를 통하여 소정 전압을 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자로 인가한 후에, 상기 NMOS 트랜지스터를 턴-오프 시킴으로써 문턱 전압을 조절하는 것을 특징으로 한다.

또 다른 실시예로서, 본 발명의 CMOS 인버터 회로는 PMOS 플로팅 게이트 트랜지스터와 NMOS 트랜지스터가 CMOS 형태로 연결되고, 입력 신호가 게이트 단자로 인가되고, 드레인 단자로부터 출력 신호가 발생하는 CMOS 인버터부와, 상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제어부로 이루어지는 것을 특징으로 한다.

상기 제어부는 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 드레인 단자가 연결된 PMOS 트랜지스터로 이루어지는 것을 특징으로 한다.

상기 제어부는 PMOS 트랜지스터를 턴-온 시키고, 소정 전압을 소오스 단자를 통하여 상기 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 인가한 후에, 상기 PMOS 트랜지스터를 턴-오프 시킴으로써 문턱 전압을 조절하는 것을 특징으로 한다.

또 다른 실시예로서 본 발명의 CMOS 인버터 회로는 PMOS 플로팅 게이트 트랜지스터와 NMOS 플로팅 게이트 트랜지스터가 CMOS 형태로 연결된 CMOS 인버터부와, 상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 1 제어부와, 상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 2 제어부로 이루어지는 것을 특징으로 한다.

상기 제 1 제어부는 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 드레인 단자가 연결된 PMOS 트랜지스터로 이루어지는 것을 특징으로 한다.

상기 제 1 제어부는 PMOS 트랜지스터를 턴-온 시키고, 소정 전압을 소오스 단자를 통하여 상기 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 인가한 후에, 상기 PMOS 트랜지스터를 턴-오프 시킴으로써 문턱 전압을 조절하는 것을 특징으로 한다.

상기 제 2 제어부는 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 드레인 단자가 연결된 NMOS 트랜지스터로 이루어지는 것을 특징으로 한다.

상기 제 2 제어부는 NMOS 트랜지스터를 턴-온 시키고, 소오스 단자를 통하여 소정 전압을 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자로 인가한 후에, 상기 NMOS 트랜지스터를 턴-오프 시킴으로써 문턱 전압을 조절하는 것을 특징으로 한다.

이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

본 발명의 CMOS 인버터 회로는 종래의 PMOS 트랜지스터 또는 NMOS 트랜지스터 대신에 문턱 전압이 조절 가능한 PMOS 플로팅 게이트 트랜지스터 또는 NMOS 플로팅 게이트 트랜지스터를 사용한다.

도 3a는 n-채널 플로팅 게이트 트랜지스터의 단면도를 도시한 것이다. 도 3a를 참조하면, NMOS 플로팅 게이트 트랜지스터는 게이트 전극이 금속으로 이루어진 2 개의 게이트 단자로 형성되는데, 하부의 플로팅 게이트(4)는 트랜지스터의 다른 부분과 전기적으로 차단되어 있고, 그 상부의 컨트롤 게이트(5)는 종래의 MOS 트랜지스터의 게이트 단자와 동일한 동작을 한다. 그리고, 상기 플로팅 게이트(4)와 컨트롤 게이트(5)의 주위에는 산화막(6)이 형성되어 있다.

상기의 NMOS 플로팅 게이트 트랜지스터를 회로도들 도 3b에 도시하였다. 도 3b를 참조하면, 게이트 전극이 두 개의 선으로 표시되는 것을 볼 수 있는데, 게이트 단자에 연결된 부분이 컨트롤 게이트(C-G)이고, 그 중간에서 다른 부분과 연결되지 않은 부분이 플로팅 게이트이다.

상기와 같은 플로팅 게이트 트랜지스터에서 플로팅 게이트 전압에 따른 전류-전압 특성을 도 4에 나타내었다. 도 4를 참조하면, 플로팅 게이트 전압을 크게 할수록( $V_{fg1} > V_{fg2}$ ) 전류-전압 곡선이 왼쪽으로 이동, 즉 플로팅 게이트 트랜지스터의 문턱 전압이 감소하는 것을 볼 수 있다. 결국, 플로팅 게이트 트랜지스터는 플로팅 게이트 전압을 조절함으로써 문턱 전압을 조절하는 것이 가능하고, 그에 따라 트랜지스터가 턴-온되는 입력 레벨을 변화시키는 것이 가능해진다.

플로팅 게이트 트랜지스터에서 플로팅 게이트 전압(Vfg)은 다음과 같이 표현된다.

수학식 4

$$V_{fg} = V_{fg}(\text{초기치}) + \alpha_g \times V_g$$

상기에서, Vfg(초기치)는 플로팅 게이트 단자에 주어지는 시작 전압이고, Vg는 게이트 전압, αg는 플로팅 게이트와 컨트롤 게이트 사이에 존재하는 커패시턴스(Capacitance: Cipo)와 플로팅 게이트 전체 커패시턴스(Ctotal)의 비, 즉 αg = Cipo/Ctotal 을 나타낸다.

결국, 플로팅 게이트 단자에 인가되는 초기 전압을 변화시킴에 따라 플로팅 게이트 전압을 변화시키고, 그에 따라 문턱 전압도 변화된다.

즉, 플로팅 게이트의 초기 전압을 높게 했을 경우에는 플로팅 게이트 전압이 증가하여, 문턱 전압이 낮아지고, 플로팅 게이트의 초기 전압을 낮게 했을 때는 플로팅 게이트 전압이 감소하여, 문턱 전압은 증가하게 된다.

상기와 같은 플로팅 게이트 트랜지스터의 특성을 이용하여 문턱 전압을 변화시킴으로써, 입력 신호에 따라 출력 신호가 천이하는 레벨을 조절할 수 있는 CMOS 인버터 회로를 구현한다.

도 5는 본 발명의 실시예에 따른 CMOS 인버터 회로도도를 도시한 것이다. 도 5를 참조하면, 본 발명의 CMOS 인버터 회로는 PMOS 트랜지스터(P51)와 NMOS 플로팅 게이트 트랜지스터(NFGT)가 직렬로 연결되어 CMOS 형태를 하고 있는 CMOS 인버터부(510)와, 상기 NMOS 플로팅 게이트 트랜지스터(NFGT)에 연결되어 문턱 전압을 조절하는 제어부로 이루어진다.

상기 CMOS 인버터부(510)는 종래의 CMOS 인버터와 구성은 동일하고, NMOS 트랜지스터 대신에 NMOS 플로팅 게이트 트랜지스터(NFGT)가 대체된 형태를 한다.

상기 제어부(520)는 NMOS 플로팅 게이트 트랜지스터(NFGT)의 플로팅 게이트에 초기 전압을 인가하여 문턱 전압을 조절하기 위한 것으로서, 상기 플로팅 게이트 단자에 드레인 단자가 연결된 NMOS 트랜지스터(N51)로 이루어진다.

상기 플로팅 게이트에 초기 전압을 인가하기 위해서는, 상기 NMOS 트랜지스터(N51)의 게이트 단자(Vng)에 문턱 전압(Vtn)보다 높은 전압(Vnfg + Vtn)을 인가하여 NMOS 트랜지스터(N51)를 턴-온 시킨 상태에서 소오스 단자에 일정 크기의 소오스 전압(Vnref)을 인가하여 플로팅 게이트 단자에 전압을 제공한다. 그 후에, 게이트 전압(Vng)을 로우 상태로 만들어, 상기 NMOS 트랜지스터(N51)를 턴-오프 시킴으로써, 플로팅 게이트 단자를 플로팅 상태로 만든다.

상기에서는 제어부(520)를 NMOS 트랜지스터를 이용하여 구성하였지만, 플로팅 게이트에 전압을 인가하기 위하여 다른 반도체 소자를 사용하여 구현할 수 있다.

상기와 같이 NMOS 플로팅 게이트 트랜지스터의 문턱 전압을 조절한 후에, 입력 전압에 대한 출력 전압의 변화되는 과정을 도 6에 도시하였다. 이 경우에도, 높은 플로팅 게이트 전압(Vfg1)과 낮은 플로팅 게이트 전압(Vfg2)을 도 4의 경우와 동일하게 나타내었다.

도 6을 참조하면, NMOS 플로팅 게이트 트랜지스터(NFGT)의 플로팅 게이트 전압을 증가시키면, 출력 신호가 하이 상태에서 로우 상태로 천이하는 문턱 전압을 감소시켜서 로우 레벨(ViL)과 하이 레벨(ViH)의 중간 값인 입력 레벨(Vin1\*)이 작아지고, 반대로 플로팅 게이트 전압을 감소시키면, 문턱 전압이 증가하게 되어 입력 레벨(Vin2\*)이 상대적으로 증가하는 것을 볼 수 있다.

따라서, 반도체 소자의 설계에 따른 제조가 모두 끝난 상태에서도 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 인가되는 전압을 조절함으로써 문턱 전압을 변화시키고, 결국 출력 신호가 로우 상태로 천이되는 레벨을 변화시키는 것이 가능해진다.

도 7에는 본 발명의 또 다른 실시예에 따른 CMOS 인버터 회로도도를 도시한 것이다. 도 7을 참조하면, 본 발명의 CMOS 인버터 회로는 PMOS 플로팅 게이트 트랜지스터(PFGT)와 NMOS 트랜지스터(N71)가 직렬로 연결되어 CMOS 형태로 이루어진 CMOS 인버터부(710)와, 상기 PMOS 플로팅 게이트 트랜지스터(PFGT)에 연결되어 문턱 전압을 조절하는 제어부(720)로 이루어진다.

상기 CMOS 인버터부(710)는 PMOS 트랜지스터와 NMOS 트랜지스터로 이루어진 종래의 CMOS 인버터에서 PMOS 트랜지스터 대신에 PMOS 플로팅 게이트 트랜지스터(PFGT)가 연결된 구조를 하고 있다.

상기 제어부(720)는 PMOS 플로팅 게이트 트랜지스터(PFGT)의 플로팅 게이트에 드레인 단자가 연결된 PMOS 트랜지스터(P71)로 이루어져서, 상기 PMOS 플로팅 게이트 트랜지스터(PFGT)의 문턱 전압을 조절한다.

상기 제어부(720)가 문턱 전압을 조절하기 위해서는, 먼저 PMOS 트랜지스터(P71)의 문턱 전압보다 낮은 전압을 게이트 단자(Vpg)에 인가하여 상기 PMOS 트랜지스터(P71)를 턴-온 시키고, 소정 전압을 소오스 단자(Vpref)에 인가하여 플로팅 게이트에 제공함으로써, PMOS 플로팅 게이트 트랜지스터(PFGT)의 문턱 전압을 조절할 수 있다. 그 후에, 상기 PMOS 트랜지스터(P71)를 턴-오프 시켜서 PMOS 플로팅 게이트 트랜지스터(PFGT)의 플로팅 게이트를 플로팅 상태로 만든다.

도 5의 경우와 마찬가지로, 상기에서는 PMOS 트랜지스터(P71)를 이용하여 제어부(720)를 구성하였지만 다른 반도체 소자를 이용하여 상기 PMOS 플로팅 트랜지스터(PFGT)의 플로팅 게이트에 전압을 인가할 수 있다.

상기와 같은 구조의 CMOS 인버터 회로의 경우는 도 6에 도시된 경우와 반대로, PMOS 플로팅 게이트 트랜지스터(PFGT)의 플로팅 게이트 전압을 증가시키면 출력 신호가 로우 상태에서 하이 상태로 천이하는 문턱 전압을 감소시켜서 입력 레벨이 작아지고, 플로팅 게이트 전압을 감소시킴으로써 문턱 전압을 증가시켜서 출력 신호가 천이하는 입력 레벨을 증가시킬 수 있다.

도 8은 본 발명의 또 다른 실시예에 따른 CMOS 인버터 회로도도를 도시한 것이다. 도 8을 참조하면, 본 발명의 CMOS 인버터 회로는 PMOS 플로팅 게이트 트랜지스터(PFGT)와 NMOS 플로팅 게이트 트랜지스터(NFGT)가 직렬로 연결되어 CMOS 형태로 이루어진 CMOS 인버터부(810)와, 상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 1 제어부(820)와, 상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 2 제어부(830)로 이루어진다.

상기 CMOS 인버터부(810)는 PMOS 트랜지스터와 NMOS 트랜지스터로 이루어진 CMOS 인버터에서, PMOS 트랜지스터와 NMOS 트랜지스터 대신에 각각 PMOS 플로팅 게이트 트랜지스터(PFGT)와 NMOS 플로팅 게이트 트랜지스터(NFGT)로 연결된 형태를 갖는다.

상기 제 1 제어부(820)는 PMOS 플로팅 게이트 트랜지스터(PFGT)의 플로팅 게이트 단자에 드레인 단자가 연결된 PMOS 트랜지스터(P81)로 이루어지는데, 구성 및 동작은 상기 도 7에 도시된 제어부(720)의 구성 및 동작과 동일하다.

상기 제 2 제어부(830)는 NMOS 플로팅 게이트 트랜지스터(NFGT)의 플로팅 게이트 단자에 드레인 단자가 연결된 NMOS 트랜지스터(N81)로 이루어지는데, 구성 및 동작은 상기 도 5에 도시된 제어부(520)의 구성 및 동작과 동일하다.

도 8과 같은 구성으로 이루어진 CMOS 인버터의 경우에는 PMOS 플로팅 게이트 트랜지스터(PFGT)와 NMOS 플로팅 게이트 트랜지스터(NFGT)의 문턱 전압을 모두 조절하는 것이 가능하기 때문에, 출력 신호(Vout)가 로우 상태에서 하이 상태로 천이하는 경우의 입력 레벨과, 하이 상태에서 로우 상태로 천이하는 경우의 입력 레벨을 모두 조절하는 것이 가능하다.

즉, 제 1 제어부(820)에 의하여 PMOS 플로팅 게이트 트랜지스터(PFGT)의 문턱 전압을 증가 또는 감소시킴으로써, 출력 신호(Vout)가 로우 상태에서 하이 상태로 천이하는 경우의 입력 레벨을 감소 또는 증가시킬 수 있고, 제 2 제어부(830)를 이용하여 NMOS 플로팅 게이트 트랜지스터(NFGT)의 문턱 전압을 증가 또는 감소시킴으로써, 출력 신호(Vout)가 하이 상태에서 로우 상태로 천이하는 경우의 입력 레벨을 감소 또는 증가시킬 수 있다.

## 발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명의 CMOS 인버터 회로에 따르면 PMOS 플로팅 게이트 트랜지스터 또는 NMOS 플로팅 게이트 트랜지스터를 사용하여 CMOS 인버터 회로를 구성함으로써, 출력 신호가 천이하는 입력 레벨을 변화시키고, 사용되는 용도에 맞게 소자를 구성할 수 있다.

또한, 반도체 소자의 제조 공정이 끝난 후에도 상기와 같이 입력 레벨을 변화시킬 수 있어서 반도체 소자의 설계 공정에 충분한 마진을 확보하고, 제조 공정의 오류에 따른 불량 분석을 용이하게 할뿐만 아니라 불량에 따른 설계 수정 공정을 미연에 방지함으로써, 경제적인 비용뿐만 아니라 제조 수율도 증가시킬 수 있는 장점이 있다.

이하, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

PMOS 트랜지스터와 NMOS 플로팅 게이트 트랜지스터가 CMOS 형태로 연결되고, 입력 신호가 게이트 단자로 인가되며, 출력 신호가 드레인 단자를 통하여 발생하는 CMOS 인버터부와,

상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하기 위한 제어부로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

**청구항 2.**

제 1 항에 있어서, 상기 제어부는

드레인 단자가 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 연결된 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

**청구항 3.**

제 2 항에 있어서, 상기 제어부는

NMOS 트랜지스터를 턴-온 시키고,

소오스 단자를 통하여 소정 전압을 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자로 인가하고,

그 후에 상기 NMOS 트랜지스터를 턴-오프 시킴으로써 NMOS 플로팅 게이트 트랜지스터의 문턱 전압을 조절하도록 구성되는 것을 특징으로 하는 CMOS 인버터 회로.

**청구항 4.**

PMOS 플로팅 게이트 트랜지스터와 NMOS 트랜지스터가 CMOS 형태로 연결되어 입력 신호가 게이트 단자로 인가되고, 드레인 단자로부터 출력 신호가 발생하는 CMOS 인버터부와,

상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제어부로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

**청구항 5.**

제 4 항에 있어서, 상기 제어부는

드레인 단자가 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 연결된 PMOS 트랜지스터로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

#### 청구항 6.

제 5 항에 있어서, 상기 제어부는

PMOS 트랜지스터를 턴-온 시키고,

소정 전압을 소오스 단자를 통하여 상기 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 인가하고,

그 다음에, 상기 PMOS 트랜지스터를 턴-오프 시킴으로써 PMOS 플로팅 게이트 트랜지스터의 문턱 전압을 조절하도록 구성되는 것을 특징으로 하는 CMOS 인버터 회로.

#### 청구항 7.

PMOS 플로팅 게이트 트랜지스터와 NMOS 플로팅 게이트 트랜지스터가 CMOS 형태로 연결되고, 입력 신호가 게이트 단자로 인가되고, 드레인 단자를 통하여 출력 신호가 출력되는 CMOS 인버터부와,

상기 PMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 1 제어부와,

상기 NMOS 플로팅 게이트 트랜지스터에 연결되어 문턱 전압을 조절하는 제 2 제어부로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

#### 청구항 8.

제 7 항에 있어서, 상기 제 1 제어부는

드레인 단자가 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 연결된 PMOS 트랜지스터로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

#### 청구항 9.

제 8 항에 있어서, 상기 제 1 제어부는

PMOS 트랜지스터를 턴-온 시키고,

소정 전압을 소오스 단자를 통하여 상기 PMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 인가하고,

그 후에, 상기 PMOS 트랜지스터를 턴-오프 시킴으로써 PMOS 플로팅 게이트 트랜지스터의 문턱 전압을 조절하도록 구성되는 것을 특징으로 하는 CMOS 인버터 회로.

#### 청구항 10.



제 7 항에 있어서, 상기 제 2 제어부는

드레인 단자가 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자에 연결된 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 CMOS 인버터 회로.

**청구항 11.**

제 10 항에 있어서, 상기 제 2 제어부는

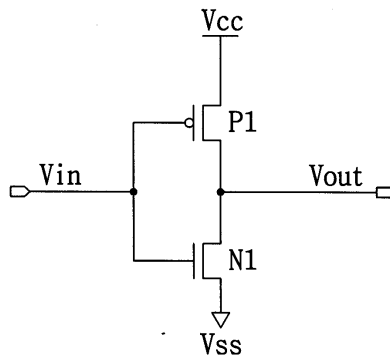
NMOS 트랜지스터를 턴-온 시키고,

소오스 단자를 통하여 소정 전압을 NMOS 플로팅 게이트 트랜지스터의 플로팅 게이트 단자로 인가하고,

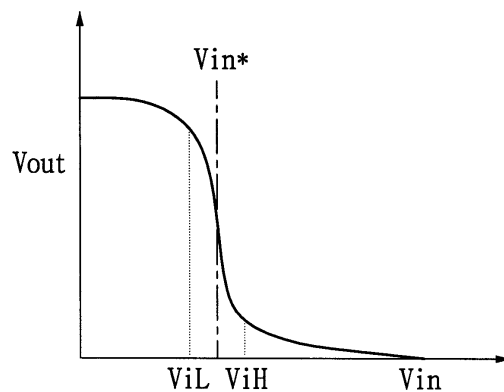
그 다음에, 상기 NMOS 트랜지스터를 턴-오프 시킴으로써 NMOS 플로팅 게이트 트랜지스터의 문턱 전압을 조절하도록 구성되는 것을 특징으로 하는 CMOS 인버터 회로.

**도면**

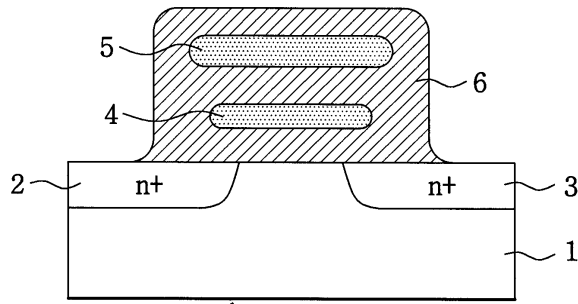
도면1



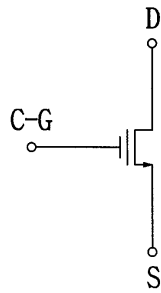
도면2



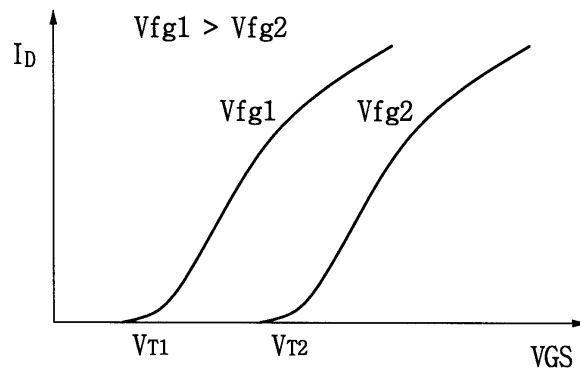
도면3a



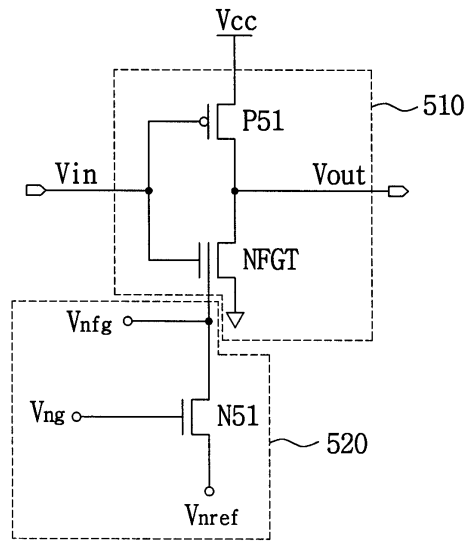
도면3b



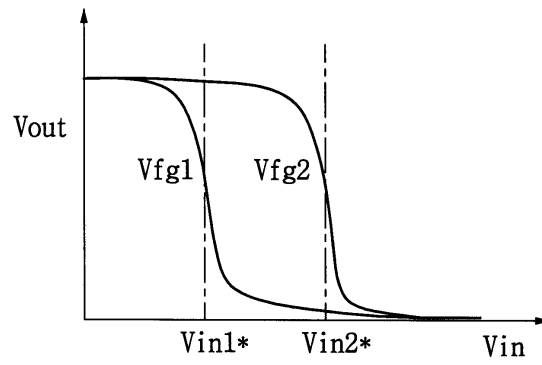
도면4



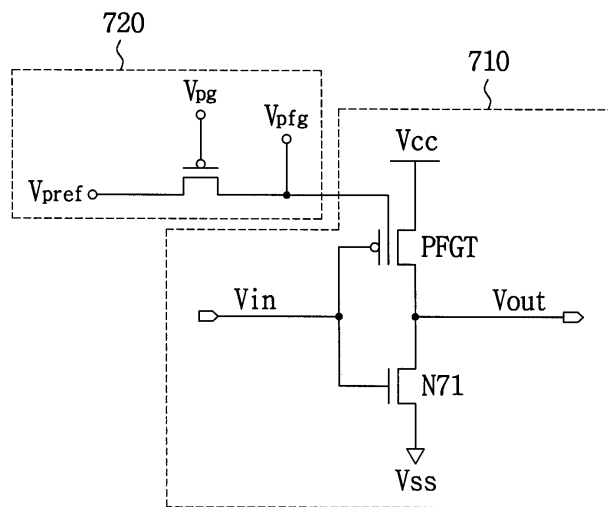
도면5



도면6



도면7



도면8

