

公 司 本

申請日期	90-08-08
案 號	90119334
類 別	H01L ²¹ /60

A4
C4

(以上各欄由本局填註)

563214

發 明 專 利 說 明 書		
一、發明名稱	中 文	電子裝置及其製造方法
	英 文	AN ELECTRONIC DEVICE AND A METHOD OF MANUFACTURING THE SAME
二、發明人	姓 名	1.今須 誠士 2.吉田 育生 3.岸川 範夫 4.角 義之 5.田口 一之 6.內藤 孝洋 7.佐藤 俊彦
	國 籍	均日本
	住、居所	均日本國東京都千代田區丸內1丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部
三、申請人	姓 名 (名 稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年08月31日 特願2000-262511 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(1)

本發明係與電子裝置及其製造方法有關，尤其是與可有效適用於電子裝置之技術有關，而上述電子裝置係採用浮片晶片安裝技術者。

發明背景

本發明之電子裝置，係屬於被稱為MCM(Multi Chip Module)者。MCM係把含積體電路之複數個半導體晶片安裝於配線基板上，具有一完整功能之模組。在MCM方面，為了達成傳送速度的高速化與小型化，而採用浮片晶片安裝技術的情形相當多，其係把半導體晶片(浮片晶片)安裝於配線基板上的技術，而上述晶片包含：在電路形成面之電極墊上形成之凸出狀電極。

在浮片晶片安裝技術方面，已經有各種安裝方式被提出且被實用化。譬如，其中已有CCB(Controlled Collapse Bonding)安裝方式或ACF(Anisotropic Conductive Film)安裝方式被實用化。

CCB安裝方式係指如下所述之安裝方式：在半導體晶片之電極墊上，先形成球狀之錐錫凸塊來做為凸塊電極(凸出狀電極)，接著，在配線基板上配置半導體晶片，並進行溶解錐錫凸塊之熱處理，最後將連接部(其係配線基板之配線的一部份)與半導體晶片之電極墊實施電子及機械式連接。

ACF安裝方式係指如下所述之安裝方式：在半導體晶片之電極墊上，形成包含金(Au)之銷子(stud)凸塊來做為凸塊電極(凸出狀電極)，接著，在配線基板上利用薄膜狀異方導電性樹脂(ACF，黏貼用樹脂)來配置半導體晶片，一

五、發明說明(2)

邊加熱一邊將半導體晶片壓附於配線基板上，然後，當在配線基板上將半導體晶片進行黏貼固定的同時，並在配線基板的連接部上將銷子凸塊實施電子式連接。異方導電性樹脂係指，在絕緣性樹脂中有多數導電性粒子分散混入之樹脂。

本發明之發明者針對上述浮片晶片安裝技術進行檢討的結果，發現了如下的問題點：

(1) 半導體晶片之墊配列有各式各樣的型態。其中之一為中央墊配列，其係沿著中央區域(其係半導體晶片之電路形成面之X方向或Y方向之中心線形成)之中央區域將複數之電極墊以配列為一列的方式。上述中央墊配列通常使用於：當成記憶電路使用之內建DRAM(Dynamic Random Access Memory)的半導體晶片中。

在DRAM的情形，對於電極墊(Bonding Pad)之配置有如下的要求：為了降低配線電感，因此射至於輸出電路之附近。為了防止黏合(Bonding)工序造成元件的損傷，因此在電極墊之正下方並不形成半導體元件。此外，為了提昇動作速度，由輸出入電路到記憶墊(Memory Mat)之最遠部份的距離，應儘量縮短。基於上述要求因此DRAM晶片上之結構如圖21所示，沿著晶片之長邊方向進行配列。在圖21上，30為DRAM晶片、MARY為記憶陣列、PC為周邊電路、I/O為輸出入電路、BP為電極墊。

在中央墊配列的情形，各電極墊上所形成之凸塊電極之配列也是中央凸塊配列。當把上述半導體晶片使用於浮片

五、發明說明(3)

晶片安裝時，由於半導體晶片無法取得平衡，故對配線基板之一個主面半導體晶片呈現傾斜狀。如此一來，在中央墊配列之半導體晶片上，變得難以實施浮片晶片安裝。就半導體晶片無法取得平衡之墊配列(凸塊配列)而言，除了中央墊配列之外，還有一邊墊配列(一邊凸塊配列)，其配列方式為：譬如，在半導體晶片之對向的兩邊中之一個側邊上，沿著另一邊把複數個電極墊配列為一系列。

(2) 在ACF安裝方式方面，銷子凸塊係受到異方導電性樹脂(其係位於配線基板和半導體晶片之間)之熱收縮力(由加熱狀態恢復為常溫狀態時所產生的收縮力)及熱硬化收縮力(熱硬化樹脂在硬化時產生的收縮力)等，而被壓附於配線基板之連接部上。又，異方導電性樹脂通常比銷子凸塊之熱膨脹率為大之故，故在異方導電性樹脂之厚度方向之膨脹量比銷子凸塊高度方向之膨脹量為大。有鑑於此，為防止因受熱而使銷子凸塊脫離配線基板的連接不良現象，故有必要使位於配線基板和半導體晶片之間的異方導電性樹脂體積儘量變小。

關於使位於配線基板和半導體晶片之間的異方導電性樹脂體積變小的技術，在特開平10-270496號公報(USP 6208525)中進行了揭示。在該公開性公報中所揭示的技術，如其中之圖12所示：「在包含固定基板之配線基板19中有溝槽19A形成，在溝槽19A中有電極墊4A形成；由於在溝槽19A內讓電極墊4A和凸塊電極15連接，因此，與配線基板之最上層無絕緣膜存在、電極墊4A及最上層配線裸露的

五、發明說明(4)

情形相比，配線基板19與半導體晶片10之間的間隙(相當於配線基板19之深度)變小之故，故可使介於配線基板19與半導體晶片10間的連接材(異方導電性樹脂)16之厚度變薄」。

然而，在配線基板中設溝槽，並在溝槽內使電極墊(連接部)和凸塊電極(銷子凸塊)連接的話，會有新的問題產生。

在半導體晶片之電極墊上，因電極墊之配列間隙(墊配列間隙)而決定平面尺寸，故當電極墊之配列間隙變小，尺寸也變小。因電極墊縮小，使銷子凸塊之直徑變小，如以較細之金屬線來形成銷子凸塊的話，則該銷子凸塊之高度也變小。亦即，當電極墊之配列間隙不同時，銷子凸塊之高度也不同。

此外，在MCM等電子裝置方面，有時會把積體度、功能不同之數種半導體晶片安裝在同一個配線基板上，而上述半導體晶片電極墊之配列間隙卻不一定相同。由於電極墊之配列間隙不同時，銷子凸塊之高度也不同，因此，如為銷子凸塊之高度比從配線基板一主面到連接部的深度為高的半導體晶片，則可以容易使配線基板之連接部與銷子凸塊進行連接；但如為銷子凸塊之高度比從配線基板一主面到連接部的深度為低的半導體晶片，則難以使配線基板之連接部與銷子凸塊進行連接。

在安裝於配線基板之半導體晶片中，如把配線基板之連接部的深度，以其中銷子凸塊之高度最低的半導體晶片為基準進行設置的話，在銷子凸塊之高度最低的半導體晶片

五、發明說明(5)

方面，可使銷子凸塊連接在配線基板之連接部上；然而依照此種設定，在銷子凸塊之高度較高的半導體晶片方面，存在於配線基板之間的異方導電性樹脂之體積變大，會產生因受熱而使銷子凸塊脫離配線基板的連接不良問題。

本發明的目的為，提供一種技術，其可抑制半導體晶片相對於配線基板一主面所產生的傾斜。

本發明的其他目的為，提供一種技術，其可在同一個配線基板上安裝墊配列間隙不同之數種半導體晶片。

本發明的上述及其他目的與新特徵，可透過本明細書的說明以及附圖完全理解。

在本專利申請中所揭示之發明中，具有代表性內容之概要如下所示：

(1)本發明之電子裝置，包含：

半導體晶片，其係在一主面上有複數個電極墊；

配線基板，其係在一主面上有複數個連接部；

以及複數個凸出狀電極，其係配置於上述半導體晶片之上述各電極墊和上述配線基板之各連接部之間，且各自施有電子式連接；此外，其配置方式係採取，相對於配線基板之一主面使上述半導體晶片無法平衡之配列。

上述之複數個連接部係配置於，由上述配線基板一主面朝較深方向，且比上述配線基板一主面更深的位置上。

上述配線基板還包含：絕緣膜，其係在該一主面上形成；以及開口，其係在上述絕緣膜上形成。而上述連接部係被配置於上述開口之底部。

五、發明說明(6)

上述絕緣膜係覆蓋於上述半導體晶片之周緣上。

上述開口之平面尺寸比上述半導體晶片之平面尺寸為小，又上述絕緣膜之平面尺寸比上述半導體晶片之平面尺寸為大。

根據上述裝置(1)，將半導體晶片實施浮片晶片安裝時，因凸出狀電極的高度被配線基板一主面到連接部的高度所吸收之故，故可抑制半導體晶片對配線基板一主面的傾斜。

(2)本發明之電子裝置，包含：

第一半導體晶片，其包含複數個第一電極墊，而該墊係以第一墊配列間隙被配置於一主面上；

第二半導體晶片，其包含複數個第二電極墊，而該墊係以比上述第一墊配列間隙更小之第一墊配列間隙被配置於一主面上；

配線基板，其包含複數個第一連接部，其係和第一電極墊對應，被配置於一主面之第一區域中；以及複數個第二連接部，其係和第二電極墊對應，被配置於與一主面之第一區域不同之第二區域中；

複數個第一凸出狀電極，其係配置於上述第一電極墊和上述各第一連接部之間，且各自施有電子式連接；

以及複數個第二凸出狀電極，其係配置於上述第二電極墊和上述各第一連接部之間，且各自施有電子式連接；

上述複數個第一連接部和上述複數個第二連接部係配置於，由上述配線基板一主面朝較深方向，且比上述配線基板一主面更深的位置上。

五、發明說明(7)

而上述複數個第二凸出狀電極具有比上述複數個第一凸出狀電極段數更多的多段凸塊結構。

上述配線基板還包括：絕緣膜，其係於該一主面上形成；第一開口，其係於上述一主面第一區域之上述絕緣膜上形成；以及第二開口，其係於上述一主面第二區域之上述絕緣膜上形成。而上述複數個第一連接部係配置於上述第一開口部之底部，上述複數個第二連接部係配置於上述第二開口部之底部。

上述複數個第二凸出狀電極為多段凸塊結構，其包含：基部凸塊，其係連接於上述第二半導體晶片之第二電極墊上；以及重疊凸塊，其係在上述基部凸塊上重疊而成。

上述複數個第二凸出狀電極為多段凸塊結構，其包含：基部凸塊，其係連接於上述第二半導體晶片之第二電極墊上；第一重疊凸塊，其係在上述基部凸塊上重疊而成，以及第二重疊凸塊，其係在上述第一重疊凸塊上重疊而成。

根據上述裝置(2)，將第一及第二半導體晶片進行浮片晶片安裝時，由於在第二半導體晶片上，亦可將凸出狀電極安裝於配線基板之第二連接部上，因此，可將墊配列間隙不同之第一及第二半導體晶片安裝於同一配線基板上。

圖式之主要說明

圖1為發明之實施型態一「MCM(電子裝置)」之模式化平面圖。

圖2為圖1之MCM之模式化底面圖。

圖3為顯示緩衝用晶片(其係包含於圖1之MCM之中)安裝

五、發明說明(11)

軟層4並未有詳細圖解，但係採用多層配線結構。固定基板3之各絕緣層，係將玻璃纖維含浸於環氧樹脂或聚醯亞胺(polyimide)系樹脂，在高彈性樹脂板上形成；柔軟層4之各絕緣層，係在環氧樹脂系之低彈性樹脂板上形成。固定基板3與柔軟層4之各配線層，係以譬如包含銅(Cu)之金屬膜所形成。絕緣膜9，可用聚醯亞胺系樹脂來形成。該絕緣膜9當針對附鉅錫之零件(在本實施型態上為17、18、19)進行安裝時，控制鉅錫潮濕面之擴大；當對浮片晶片零件(在本實施型態上為10、12、14)進行安裝時，確保黏接用樹脂之黏接力。

緩衝用晶片10、記憶用晶片12、控制用晶片14及演算用晶片16之平面形狀係以方形來形成；在本實施型態上，緩衝用晶片10、記憶用晶片12係以長方形方式形成，而控制用晶片14及演算用晶片16，則以正方形方式形成。

緩衝用晶片10、記憶用晶片12、控制用晶片14及演算用晶片16之結構主要包含(但並非僅限於下述項目)：半導體基板；多層配線層，其係在半導體基板之電路形成面自把絕緣層、配線層各實施多段堆疊，以及表面保護膜(最終保護膜)，其係以覆蓋上述多層配線層的形態來形成。半導體基板可用單結晶矽來形成，絕緣層可用氧化矽膜來形成，配線層可用鋁(Al)或鋁合金等之金屬膜來形成。記憶用晶片12之表面保護膜可用聚醯亞胺系樹脂來形成，該樹脂有提昇記憶體之耐 α 線強度的功用。緩衝用晶片10、控制用晶片14及演算用晶片16之表面保護膜可用氧化矽、氮化矽

五、發明說明(12)

等絕緣膜或有機絕緣膜來形成。又，演算用晶片16和緩衝用晶片10具有近似的結構，因此將演算用晶片16之說明省略。

緩衝用晶片10、記憶用晶片12、控制用晶片14之電路形成面(10X、12X、14X)，如圖3乃至圖5及圖7所示，有複數個電極墊(10a、12a、14a)形成。上述電路形成面係各晶片之相互對向之一主面及其他主面中之一主面。各晶片之複數個電極墊(10a、12a、14a)係於各晶片之多層配線層中之最上層配線層形成，且在各黏合開口露出；而上述開口係於各晶片之表面保護膜上形成。

如圖7(a)所示，緩衝用晶片10之複數個電極墊10a被配置在，緩衝用晶片10之複數個電路形成面10X之沿著各邊的邊緣上。如圖7(b)所示，記憶用晶片12之複數個電極墊10a被配置在，在沿著長邊方向中心線(X方向)之中央區域中且沿中央區域之處，而該長邊方向中心線係屬於，記憶用晶片12之電路形成面12X之相互交叉之長邊方向(X方向)與短邊方向(Y方向)之中心線兩者之一。如圖7(c)所示，控制用晶片14之複數個電極墊14a被配置在，控制用晶片14之複數個電路形成面14X之沿著各邊的邊緣上。亦即，緩衝用晶片10和控制用晶片14係以四邊墊配列方式進行配列，而記憶用晶片12之電極墊12a則以中央墊配列方式進行配列。

如圖8(a)所示，在緩衝用晶片10之複數個電極墊10a上，有包含金(Au)之凸出狀電極之銷子凸塊11形成。如圖

五、發明說明(13)

8(b)所示，在記憶用晶片12之複數個電極墊12a上，有包含Au之凸出狀電極之銷子凸塊13形成。如圖8(c)所示，在控制用晶片14之複數個電極墊14a上，有包含Au之凸出狀電極之銷子凸塊15形成。上述銷子凸塊(11、13、15)可利用金線(Au Wire)，以與超音波震動並用的球黏接法(ball bonding)來形成。該球黏接法，係採用下方式：在金線之前端先形成球，接著在施予超音波震動的同時，對晶片電極墊實施球熱壓附，隨後從球的部份把金線裁斷來形成凸塊。因此，在電極墊上形成之銷子凸塊，相對於電極墊，可形成相當強固的連接。

在配線基板1方面，其柔軟層4最上層之配線層包含(但未有詳細圖示)：複數之配線5(參考圖3)、複數之配線6(參考圖4)、複數之配線7(參考圖5)、以及複數的電極墊8(參考圖6)。

如圖3所示，複數之配線5各自具有由其一部份形成之連接部5a，該各自的連接部5a係於開口9a露出，而該開口係於絕緣膜9上形成。各複數之配線5之其他部份係被絕緣膜9所包覆。各複數之配線5之連接部5a，係採用與緩衝用晶片10之複數個電極墊10a對應方式來配置。

如圖4所示，複數之配線6各自具有由其一部份形成之連接部6a，該各自的連接部6a係於開口9b露出，而該開口係於絕緣膜9上形成。各複數之配線6之其他部份係被絕緣膜9所包覆。各複數之配線6之連接部6a，係採用與記憶用晶片12之複數個電極墊12a對應方式來配置。

五、發明說明(14)

如圖5所示，複數之配線7各自具有由其一部份形成之連接部7a，該各自的連接部7a係於開口9c露出，而該開口係於絕緣膜9上形成。各複數之配線7之其他部份係被絕緣膜9所包覆。各複數之配線7之連接部7a，係採用與控制用晶片14之複數個電極墊14a對應方式來配置。

如圖6所示，複數個之電極墊8各自於開口9d露出，而該開口9d係於絕緣膜9上形成。該複數個之電極墊8各自由形成於柔軟層4之最上層之配線層上之各複數之配線的一部份所形成，而該各複數之配線之其他部份係被絕緣膜9所包覆。

複數個之連接部5a係配置於開口9a之底部，複數個之連接部6a係配置於開口9b之底部，複數個之連接部7a係配置於開口9c之底部，複數個之電極墊8係配置於開口9d之底部。亦即，配線基板2的結構包含：複數個連接部(5a、6a、7a)以及複數個之電極墊8，而上述各元件係配置於，在一主面2X之表層部，由一主面2X朝較深方向且比一主面2X更深的位置上。

如圖3所示，緩衝用晶片10的安裝方式係採取，讓該電路形成面10X與配線基板2之一主面2X成為對向狀態。緩衝用晶片10與配線基板2之間夾著異方導電性樹脂20，藉由該異方導電性樹脂20可使緩衝用晶片10連接固定於配線基板2上。

複數之銷子凸塊11配置於，緩衝用晶片10之各電極墊10a和配線基板2之各連接部5a之間，且各自有電子性連接。銷子凸塊11係受到異方導電性樹脂20(其係位於配線基

五、發明說明 (15)

板2和緩衝用晶片10之間)之熱收縮力(由加熱狀態恢復為常溫狀態時所產生的收縮力)及熱硬化收縮力(熱硬化樹脂在硬化時產生的收縮力)等，而被壓附於配線基板2之連接部5a上。又，在銷子凸塊11和配線基板2之各連接部5a之間含有一部份導電性粒子，而該導電性粒子係有異方導電性樹脂20混入者。

在配線基板2之連接部5a上，朝配線基板2之較深方向有凹陷部形成。銷子凸塊11和配線基板2和連接部5a在該凹陷部之內部連接。而可讓相當於其凹陷量的體積比異方導電性樹脂20(其係介於配線基板2之一主面2X和緩衝用晶片10之電路形成面10X之間)的體積為小。

銷子凸塊11係通過開口9a(其係在絕緣膜9上形成)與連接部5a連接(其係配置於開口部9a)。亦即，銷子凸塊11與連接部5a連接，而上述連接部係被配置於，在配線基板2之一主面2X朝較深方向且比其一主面2X更深的位置上。由於把連接部5a配置於比配線基板2之一主面更深的位置上，故可以使相當於配線基板2之一主面2X到連接部5a的深度的體積比異方導電性樹脂20(其係介於配線基板2之一主面2X和緩衝用晶片10之電路形成面10X之間)的體積為小。

連接部5a的凹陷部係因連接部5a與柔軟層4之彈性變形所形成。因連接部5a與柔軟層4之彈性變形所形成之該凹陷部，可在對配線基板2之一主面上安裝緩衝用晶片10之際利用壓附力來形成。因連接部5a與柔軟層4之彈性變形

五、發明說明(16)

而形成該凹陷部後，由於連接部5a與柔軟層4之彈力對銷子凸塊11產生作用，故銷子凸塊11與連接部5a間的壓附力增大。

此外，由於朝異方導電性樹脂20之厚度方向的膨脹現象，使配線基板2之一主面2X和緩衝用晶片10之電路形成面10X之間的間隔加大，故即使因而使銷子凸塊11朝上方移動，但由於隨同銷子凸塊11移動其連接部5a之凹陷部之凹陷量亦產生變化，因此可以確保配線基板2之連接部5a和銷子凸塊11的正確連接。

如圖4所示，記憶用晶片12的安裝方式係採取，讓該電路形成面12X與配線基板2之一主面2X成為對向狀態。記憶用晶片12與配線基板2之間夾著異方導電性樹脂20(黏接用樹脂)，藉由該異方導電性樹脂20使記憶用晶片12連接固定於配線基板2上。

複數之銷子凸塊13配置於，記憶用晶片12之各電極墊12a和配線基板2之各連接部6a之間，且各自有電子性連接。銷子凸塊13係受到異方導電性樹脂20(其係位於配線基板2和記憶用晶片12之間)之熱收縮力及熱硬化收縮力等，而被壓附於配線基板2之連接部6a上。又，在銷子凸塊13和配線基板1之各連接部6a之間存在著一部份導電性粒子，而該導電性粒子係有異方導電性樹脂20混入者。

在配線基板2之連接部6a上，朝配線基板2之較深方向有凹陷部形成。和緩衝用晶片10的情形相同，有銷子凸塊13和連接部6a在該凹陷部之內部連接。銷子凸塊13係通過開

五、發明說明(17)

口9b(其係在絕緣膜9上形成)與連接部6a連接(其係配置於開口部9b)。亦即，和緩衝用晶片10的情形相同，銷子凸塊13與連接部6a連接，而該連接部係配置於，由上述配線基板2之一主面2X朝較深方向且比該一主面2X更深的位置上。

如圖5所示，控制用晶片14的安裝方式係採取，讓該電路形成面14X與配線基板2之一主面2X成為對向狀態。制用晶片14與配線基板2之間夾著異方導電性樹脂20(黏接用樹脂)，藉由該異方導電性樹脂20使制用晶片14連接固定於配線基板2上。

複數之銷子凸塊15配置於，控制用晶片14之各電極墊14a和配線基板2之各連接部7a之間，且各自有電子性連接。銷子凸塊15係受到異方導電性樹脂20(其係位於配線基板2和控制用晶片14之間)之熱收縮力及熱硬化收縮力等，而被壓附於配線基板2之連接部7a上。又，在銷子凸塊15和配線基板2之各連接部7a之間存在著一部份導電性粒子，而該導電性粒子係有異方導電性樹脂20混入者。

在配線基板2之連接部7a上，朝配線基板2之較深方向有凹陷部形成。和緩衝用晶片10的情形相同，有銷子凸塊15和連接部7a在該凹陷部之內部連接。銷子凸塊15係通過開口9c(其係在絕緣膜9上形成)與連接部7a連接(其係配置於開口部9c)。亦即，和緩衝用晶片10的情形相同，銷子凸塊15與連接部7a連接，而該連接部係配置於，由上述配線基板2之一主面2X朝較深方向且比該一主面2X更深的位置

五、發明說明(19)

因此，在墊配列間隙較小，即電極墊之平面尺寸較小的晶片上，如把銷子凸塊設計為多段凸塊結構，則可有效獲得多高度。如圖3所示，在本實施型態上，緩衝用晶片10之銷子凸塊11係採用單段凸塊結構。如圖4所示，記憶用晶片12之銷子凸塊13係採用二段凸塊結構，其包含：基部凸塊13a，其係於電極墊12a上形成；積疊凸塊13b，其係於基部凸塊13a上積疊而成。如圖5所示，控制用晶片14之銷子凸塊15也採用二段凸塊結構，其包含：基部凸塊13a，其係於電極墊14a上形成；積疊凸塊13b，其係於基部凸塊13a上積疊而成。如圖8所示，銷子凸塊11之高度T1、銷子凸塊13之高度T2及銷子凸塊15之高度T3大約一致。

採用如上之方法，讓配列間隙各異之晶片，使其銷子凸塊之高度形成一致；故即使在墊配列間隙較小之記憶用晶片12與控制用晶片14上，也可將銷子凸塊(13、15)連接到配線基板2之連接部(6a、7a)上。

如圖7(b)所示，記憶用晶片12之電極墊12b係採用中央墊配列結構。同樣的，如圖9所示，在電極墊12b上所形成之銷子凸塊13亦為中央墊配列結構。上述銷子凸塊13在進行中央墊配列之記憶用晶片12之浮片晶片安裝時，由於無法取得記憶用晶片12之平衡，故相對於配線基板2之一主面2X，記憶用晶片12產生傾斜。

在無法取得平衡之配列之記憶用晶片12上，將在配線基板2之連接部6a配置於如下位置可發揮功效：由上述配線基板2一主面2X朝較深方向，且比上述一主面2X更深的位

五、發明說明(20)

置上。如圖4所示，在本實施型態上，由於絕緣膜9(其係於連接部6a之更上層形成)之故，因此連接部6a被配置在比配線基板2之一主面2X更深之處。依照上述方式配置連接部6a後，在對記憶用晶片12實施浮片晶片安裝時，使銷子凸塊13的高度被配線基板2之一主面2X到連接部6a的深度所吸收之故，使配線基板2之一主面2X和記憶用晶片12之電路形成面12X之間的間隔變小，故可抑制記憶用晶片12對配線基板2之一主面2X的傾斜。

又，把連接部6a係配置於比配線基板之一主面2X更深之處，來抑制記憶用晶片12對配線基板2之一主面2X的傾斜，爲了達成此一目的，必需先形成：絕緣膜9，其係覆蓋於記憶用晶片12之整個周緣，以及開口9b。亦即，使絕緣膜9之平面尺寸比記憶用晶片12之平面尺寸大，而使開口9a之平面尺寸比記憶用晶片12之平面尺寸小。在本實施型態上，絕緣膜9係以約略覆蓋配線基板2之一主面全區的方式形成，而開口9b係以小於記憶用晶片12之平面尺寸的平面尺寸來形成。此外，開口9b係沿配線基板2之連接部6a之配列方向，以長方形之平面形狀形成。

接著，利用圖11乃至圖15，針對MCM進行說明。

圖11爲用來說明多段凸塊結構之銷子凸塊形成工序之模式化切面圖。

圖12爲用來說明緩衝用晶片安裝工序之模式化切面圖。

圖13爲用來說明緩衝用晶片安裝工序之模式化切面圖。

圖14爲用來說明記憶用晶片安裝工序之模式化切面圖。

五、發明說明(21)

圖15為用來說明記憶用晶片安裝工序之模式化切面圖。

首先，準備用來安裝於配線基板2上之電子零件(10、12、14、16、17、18、19)。

接著，在緩衝用晶片10、記憶用晶片12、控制用晶片14及演算用晶片16之各電極墊上以球黏接法法形成銷子凸塊。在緩衝用晶片10及演算用晶片16上形成單段凸塊結構之銷子凸塊。記憶用晶片12及控制用晶片14上形成多段凸塊結構(在本實施型態為二段)之銷子凸塊。如以記憶用晶片12為例，來說明二段凸塊結構的話；首先在加熱台25上安裝記憶用晶片12，接著，如圖11(a)所示，在記憶用晶片12之電極墊12a上，以球黏接法法來形成基部凸塊13a；然後，如圖11(b)所示，在基部凸塊13a上形成積疊凸塊13b，如此即可獲得二段凸塊結構。又，如果在積疊凸塊13b再形成積疊凸塊的話，則可獲得三段乃至於多段凸塊結構之銷子凸塊。

接著，在配線基板2一主面2X之緩衝用晶片安裝用區域中，把加工後之異方導電性樹20脂黏貼為薄片(薄膜)狀。異方導電性樹20可使用環氧樹脂系之熱硬化樹脂，且其中混入多數之導電性粒子者。

接著，在台26A上安裝配線基板2。然後如圖12所示，在配線基板2一主面2X之緩衝用晶片安裝用區域中，夾著異方導電性樹20安裝緩衝用晶片10。上述緩衝用晶片10之安裝，係在該電路形成面10X與配線基板2一主面2X對向狀態下實施。

五、發明說明 (22)

接著，把配線基板2安裝在加熱台26B上，然後，如圖13所示，在加熱的同時，用工具27把緩衝用晶片10進行壓附，並把銷子凸塊11連接在配線基板2之連接部5a上，隨後在異方導電性樹脂20在硬化之前一直維持壓附狀態。此時，銷子凸塊11被配線基板2之連接部5a所壓接。在此工序上，因使配線基板2之連接部5a的深度比銷子凸塊11的高度更淺，故在配線基板2之連接部5a上，銷子凸塊11的連接部會因緩衝用晶片11的壓附力作用而形成凹陷部。在該凹陷部內，配線基板2之連接部5a和銷子凸塊11係被連接。又，該凹陷部係因連接部5a和柔軟層4之彈性變形所形成，因此，在銷子凸塊11上，連接部5a和柔軟層4的彈力會對發生作用。

接著，採取和緩衝用晶片11之同樣的方法，把演算用晶片16安裝於配線基板2一主面2X之演算用晶片安裝用區域中。

接著，在配線基板2一主面2X之緩衝用晶片安裝用區域中，把加工後之異方導電性樹脂20黏貼為薄片(薄膜)狀。異方導電性樹脂20可使用環氧樹脂系之熱硬化樹脂，且其中混入多數之導電性粒子者。

接著，在台26A上安裝配線基板2。然後如圖14所示，在配線基板2一主面2X之記憶用晶片安裝用區域中，夾著異方導電性樹脂20安裝緩衝用晶片12。上述緩衝用晶片12之安裝，係在該電路形成面12X與配線基板2一主面2X對向狀態下實施。

五、發明說明(23)

接著，把配線基板2安裝在加熱台26B上，然後，如圖15所示，在加熱的同時，用工具28把記憶用晶片12進行壓附，並把銷子凸塊13連接在配線基板2之連接部6a上，隨後在異方導電性樹脂20在硬化之前一直維持壓附狀態。在此工序上，和緩衝用晶片10一樣，在銷子凸塊11所連接之連接部6a的部份會因緩衝用晶片12的壓附力而形成凹陷部。在該凹陷部內，配線基板2之連接部6a和銷子凸塊13係被連接。又，該凹陷部係因連接部6a和柔軟層4之彈性變形所形成，因此，在銷子凸塊13上，連接部6a和柔軟層4的彈力會發生作用。

此外，在該工序中，銷子凸塊13係採用多段凸塊結構，因此即使在墊配列間隙較小的記憶用晶片12上，亦可把銷子凸塊13連接於配線基板2之連接部6a。

此外，在該工序中，因絕緣膜9之故(其係在比連接部6a之更上層形成)，故連接部6a被配置於比配線基板2一主面2X更深的位置。因而銷子凸塊13的高度被配線基板2之一主面2X到連接部6a的深度所吸收，如此使得配線基板2之一主面2X和半導體晶片12之電路形成面12X之間的間隔變小。而如果配線基板2之一主面2X和半導體晶片12之電路形成面12X之間的間隔變小，則即使在實施安裝途中記憶用晶片12產生傾斜，由於記憶用晶片12被配線基板2之一主面2X所支撐，故可防止其不致於因過度傾斜而導致安裝後發生問題。

此外，用於黏接固定晶片之黏接用樹脂，當含有導電性

五、發明說明(24)

粒子、矽填充物或粒狀物質的情形，由於上述粒狀物質被夾於配線基板2之一主面2X和記憶用晶片12之電路形成面12X之間，故可在半導體晶片安裝工序中抑制記憶用晶片12的傾斜。

此外，在半導體晶片安裝工序中，當黏接用樹脂(20)之黏度較高的情形，記憶用晶片12的傾斜會受對黏接用樹脂流動之抵抗力所抑制。記憶用晶片12相對於配線基板2之一主面2X的傾斜，可因上述之若干機制的作用，而受到抑制。

接著，利用與記憶用晶片13相同的方法，在配線基板2一主面2X之控制用晶片安裝用區域中安裝控制用晶片14。因此即使在墊配列間隙較小的記憶用晶片14上，亦可把銷子凸塊15連接於配線基板2之連接部7a。

又，安裝晶片之順序並非非照如上所述順序不可，譬如，亦可先行安裝記憶用晶片或控制用晶片。

接著，在配線基板2之電極墊8上塗佈糊狀之銲錫21，然後在各電極墊上配置主動零件(17、18、19)，以及實施熱處理來溶解糊狀之銲錫21，最後把主動零件之電極和配線基板2之電極墊加以固定。

然後，在複數個電極墊之各個表面形成球狀銲錫22來做為連接用端子後，則大致上完成本實施型態之MCM1。而上述複數個電極墊，係配置於與配線基板2一主面對向之背面上。

如上所述，根據本實施型態可獲得如下的效果：

五、發明說明(25)

(1)在MCM1上，複數個連接部6a係配置於，由配線基板2之一主面2X朝較深方向，且比配線基板2之一主面2X更深的位置上。依照此結構，在對記憶用晶片12(其具有非平衡配列)實施浮片晶片安裝時，銷子凸塊13的高度被配線基板2之一主面2X到連接部6a的深度所吸收之故，使配線基板2之一主面2X和記憶用晶片12之電路形成面12X之間的時間變小，故可抑制記憶用晶片12對配線基板2之一主面2X的傾斜。

(2)在MCM1上，在配線基板2之結構中包含：絕緣膜9，其係於配線基板2之一主面上2X上形成；開口9b，其係於絕緣膜9上形成；以及連接部6a，其係配置於開口9b之底部。絕緣膜9具有如下作用：對於附鉚錫的零件(在本實施型態上為17、18、19)在實施安裝時，可控制鉚錫潮濕的擴大；而對於浮片晶片零件(在本實施型態上為10、12、14)在實施安裝時，可確保與黏接用樹脂的黏附力。依照此結構，在由上述配線基板2一主面2X朝較深方向，且比配線基板2之一主面2X更深的位置上，可容易形成配置有複數個連接部6a的配線基板2。因此可在減少大幅成本增加的情況下，提供MCM1；該MCM1係以浮片晶片方式在配線基板2之一主面2X上安裝有記憶用晶片12者；而上述記憶用晶片係包含無法取得平衡之凸塊配列者。

(3)在MCM1上，墊配列間隙較小之記憶用晶片12及控制用晶片14之銷子凸塊(13、15)係採用多段凸塊結構。依照此結構，在墊配列間隙較小之記憶用晶片12及控制用晶

五、發明說明(26)

片14上，可把銷子凸塊(13、15)連接於配線基板2之連接部(6a、7a)，因此，可把墊配列間隙不同之緩衝用晶片10、記憶用晶片12、控制用晶片14及演算用晶片16安裝於同一配線基板2上。

又，在本實施型態上，係以中央凸塊配列為例，來說明無法取得平衡之凸塊配列。而在圖16中亦顯示了其他無法取得平衡之凸塊配列。在圖16(a)中，中央凸塊配列係採取把複數個銷子凸塊13形成散亂狀配列之凸塊配列。在圖16(b)中，中央凸塊配列係採取把複數個銷子凸塊13形成不同高度配列之凸塊配列。在圖16(c)中，則為單邊之凸塊配列。此外，把晶片之電路形成面區分為三等份區域，而把銷子凸塊配置於其中之任一區域時，當半導體晶片之重心位於連結凸塊所形成之多角形外側的狀況下，該晶片依然可維持平衡。

又，在本實施型態上，舉出了如下的例子：讓銷子凸塊13採二段結構，來爭取銷子凸塊13的高度。如圖17所示，配合配線基板2之一主面2X到連接部6a的高度，或配合電極墊12a之平面尺寸，銷子凸塊13亦可採取三段結構，其包含：基部凸塊13a，其係與電極墊12a連接；積疊凸塊13b，其係積疊於上述基部凸塊13a上；以及積疊凸塊13c，其係積疊於上述積疊凸塊13b上。

又，在本實施型態上，舉出了銷子凸塊13之形成例進行說明，該銷子凸塊係採二段凸塊結構，其包含：基部凸塊13a及積疊凸塊13b，而兩者具有大約相同之凸塊直徑。但

五、發明說明(27)

亦可形成如圖18所示之具二段凸塊結構之銷子凸塊13，其包含：凸塊直徑不同之基部凸塊13a及積疊凸塊13b。在該情況下，採用球黏接法來形成銷子凸塊時，如使用線徑不同之Au線，則可獲得凸塊直徑不同之基部凸塊13a及積疊凸塊13b。

又，在本實施型態上，舉出了使用銷子凸塊為凸出狀電極的例子進行說明，而該凸出狀電極係於半導體晶片之電極墊上形成。然而實際上並非僅限於該例所說明者，譬如，使用含Pb-Sn之鉛錫亦可。在該情況下，則使用包含如下材料之鉛錫凸塊：在進行半導體晶片安裝時其熔點高於熱壓附溫度者。

又，在本實施型態上，舉出了把凸出狀電極在半導體晶片之電極墊上預先形成的例子進行說明，而該凸出狀電極係介於半導體晶片之電極墊與配線基板之連接部之間。然而，凸出狀電極亦可在配線基板之連接部預先形成。

又，在本實施型態上，舉出了把薄膜狀異方導電性樹脂當成黏接用樹脂使用的例子進行說明，而該黏接用樹脂係用來把半導體晶片黏接固定於配線基板上。然而實際上並非僅限於該例所說明者，譬如，亦可使用糊狀之異方導電性樹脂(ACP：Anisotropic Conductive Paste)或薄膜狀非導電性樹脂(NCF：Non Conductive Film)。

在本實施型態上，利用圖19、圖20，針對提昇耐濕實驗方面之連接精確度(信賴度)進行說明。圖19為在本發明之實施型態二之MCM上，用來說明記憶用晶片安裝狀態之模

五、發明說明(28)

式化切面圖。圖20為把圖19之一部份放大後之模式化切面圖。又，本實施型態之銷子凸塊13為單段結構。

在使用異方導電性樹脂20之浮片晶片安裝結構上，確保耐濕實驗方面之連接精確度乃是重要之事。本發明之發明者等，改變配線基板2之絕緣膜9之膜厚進行耐濕性評估之後發現：使絕緣膜9之膜厚變薄，可提升在配線基板2之連接部6a與銷子凸塊13之連接壽命。而其可能之理由如次：

在ACF安裝方式方面，以記憶用晶片12為例的情形，在配線基板2上，夾著異方導電性樹脂20配置記憶用晶片12。接著，一邊加熱一邊將記憶用晶片12壓附於配線基板2上，然後，當在配線基板2上將記憶用晶片12進行黏貼固定的同時，在配線基板2的連接部6a上將銷子凸塊13實施電子式連接。此時，異方導電性樹脂20被填充到絕緣膜9之開口9b內部。硬化後之異方導電性樹脂20具有因吸濕而體積膨脹的特性。被填充於銷子凸塊之開口9b中之異方導電性樹脂20，與被填充於配線基板2一主面2X和記憶用晶片12之電路形成面12X之間的異方導電性樹脂20相較，由於厚度較大，因此隨同吸濕所產生之變位量也比較大。而當配線基板2的柔軟層4之彈性變形恢復量無法趕上因吸濕膨脹所產生的變位(配線基板2一主面2X和記憶用晶片12之電路形成面12X之間)時，則銷子凸塊13與配線基板2之連接部6a之間會產生連接不良的現象。因開口9b之深度受絕緣膜9之厚度所左右，故隨著絕緣膜9之厚度變小，開口9b之深度亦變小，如此也使得開口9b內部之異方導電性樹脂

五、發明說明(29)

20的體積也變小。如此一來，讓絕緣膜9之厚度變小，應可提昇配線基板的連接部6a和銷子凸塊13間的連接壽命樹脂(的使用期限)。

在溫度85°C/溼度85%的條件下，所評估的結果如下所示：

(1) 把在配線6上之絕緣膜9之厚度9t(參考圖20)設為25[μm]時，連接壽命為96小時。

(2) 把在配線6上之絕緣膜9之厚度9t設為20[μm]時，連接壽命為500小時以上。

(3) 把在配線6上之絕緣膜9之厚度9t設為15[μm]時，連接壽命為500小時以上。

如上面的結果可知，把在配線6上之絕緣膜9之厚度9t設為20[μm]以下為佳。

又，在絕緣膜9中有時會混入多數之填充物，在該情況下，有必要使在配線6上之絕緣膜9之厚度9t比混入之填充物中粒徑最大者之厚度還厚。如在配線6上之絕緣膜9之厚度9t比混入之填充物中粒徑最大者薄的話，則填充物會從絕緣膜9溢出。

此外，如上所述，為了提昇精確度而減小銷子凸塊13，並同時減小晶片下絕緣膜9之厚度9t之際，萬一為了抑制周圍形成之鉅錫安裝零件之鉅錫潮濕的擴大，而讓絕緣膜9之厚度9t變得過小時，不妨依據配線基板2上的場所，適度變化絕緣膜9之厚度。

以上，根據本發明發明者所完成的發明，在上述實施型態中進行了具體的說明。但本發明並不限定於上述實施型

四、中文發明摘要（發明之名稱： 電子裝置及其製造方法)

本發明為一種電子裝置，其包含：半導體晶片，其係在一主面上有複數個電極墊；配線基板，其係在一主面上有複數個連接部；以及複數個凸出狀電極，其係配置於上述半導體晶片之上述各電極墊和上述配線基板之各連接部之間，且各自有電子性連接；

而上述複數個凸出狀電極，係以相對於上述配線基板之一主面上上述半導體晶片無法取得平衡之配列方式進行配置。上述之複數個連接部係配置於，由上述配線基板一主面朝較深方向，且比上述配線基板一主面更深的位置上。

英文發明摘要（發明之名稱： AN ELECTRONIC DEVICE AND A METHOD OF MANUFACTURING THE SAME)

一主面に複数の電極パッドを有する半導体チップと、

一主面に複数の接続部を有する配線基板と、

前記半導体チップの前記各電極パッドと前記配線基板の前記各接続部との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極であって、前記配線基板の一主面に対して前記半導体チップのバランスがとれない配列で配置された複数の突起状電極とを有する電子装置であって、

前記複数の接続部は、前記配線基板の一主面から深さ方向に向かって前記配線基板の一主面よりも深い位置に配置されている。

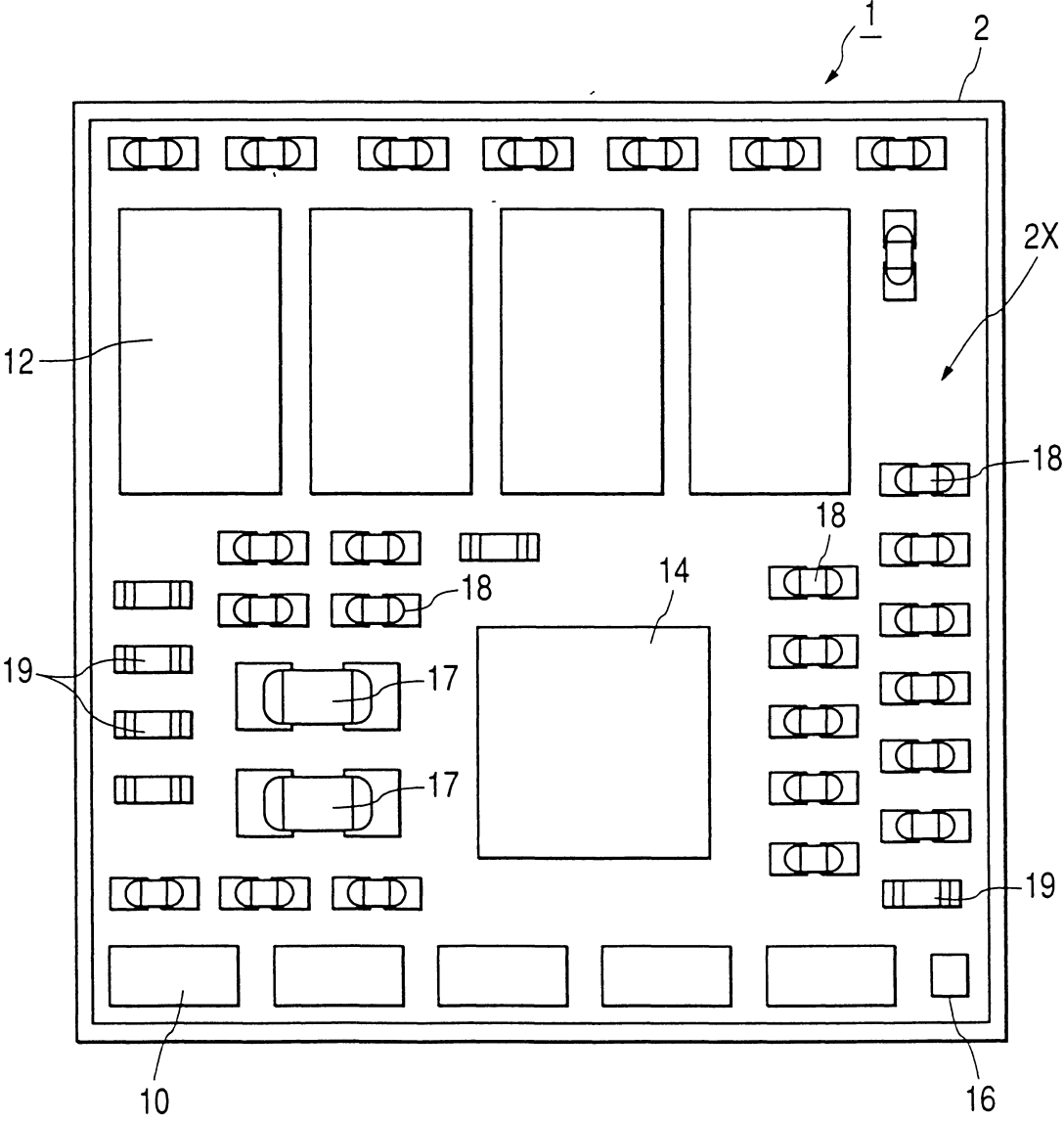


圖 1

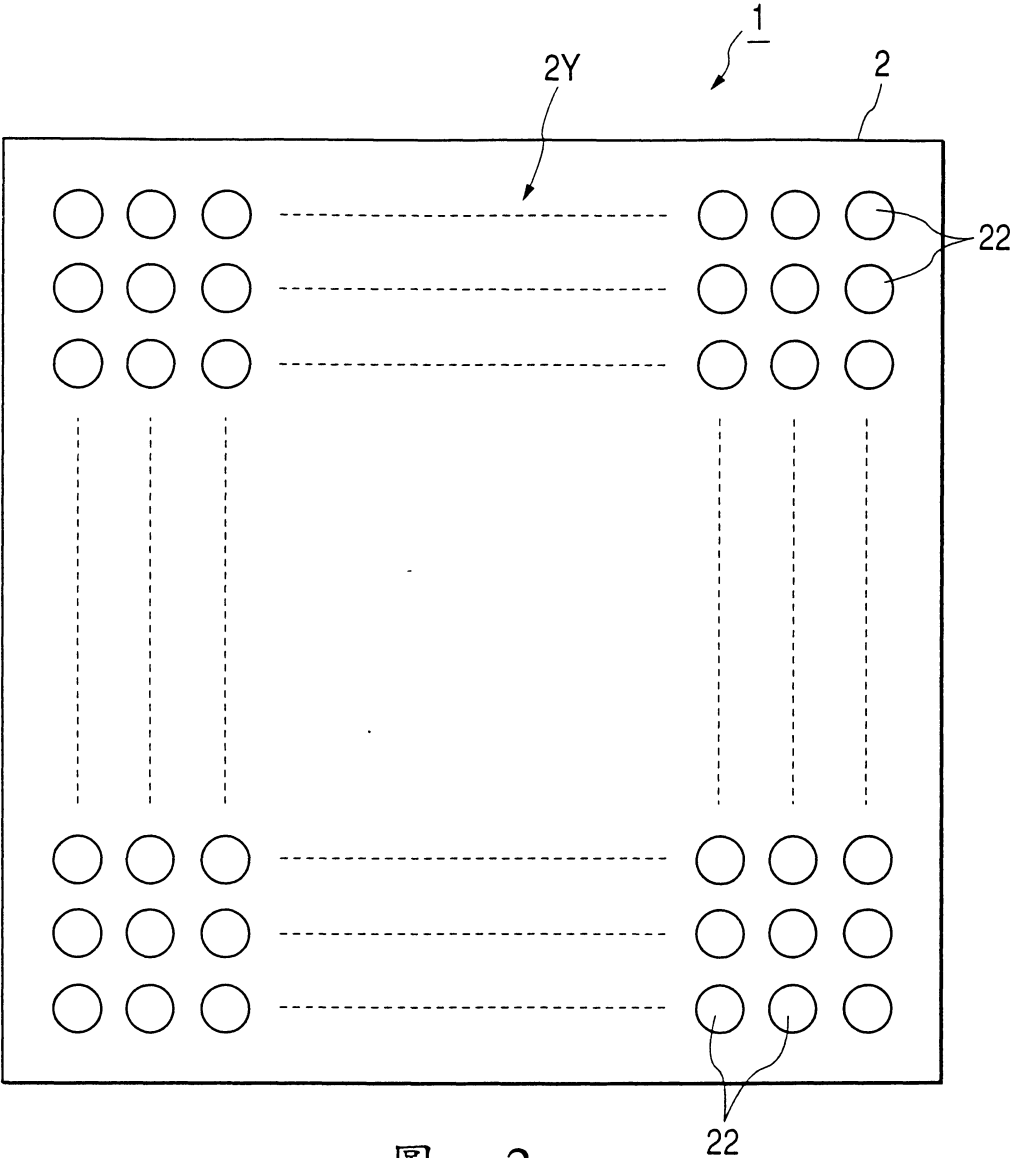


圖 2

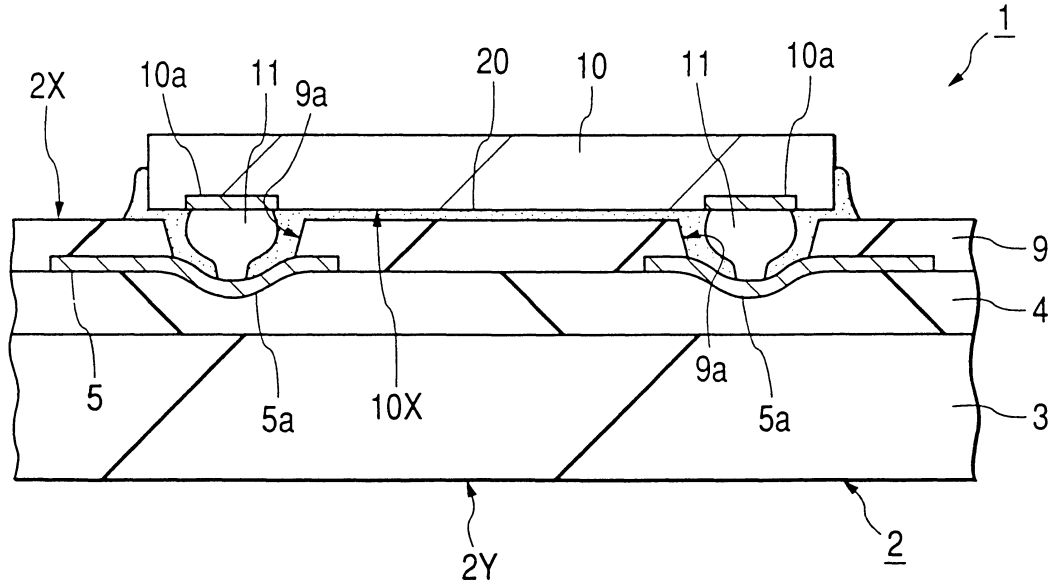


圖 3

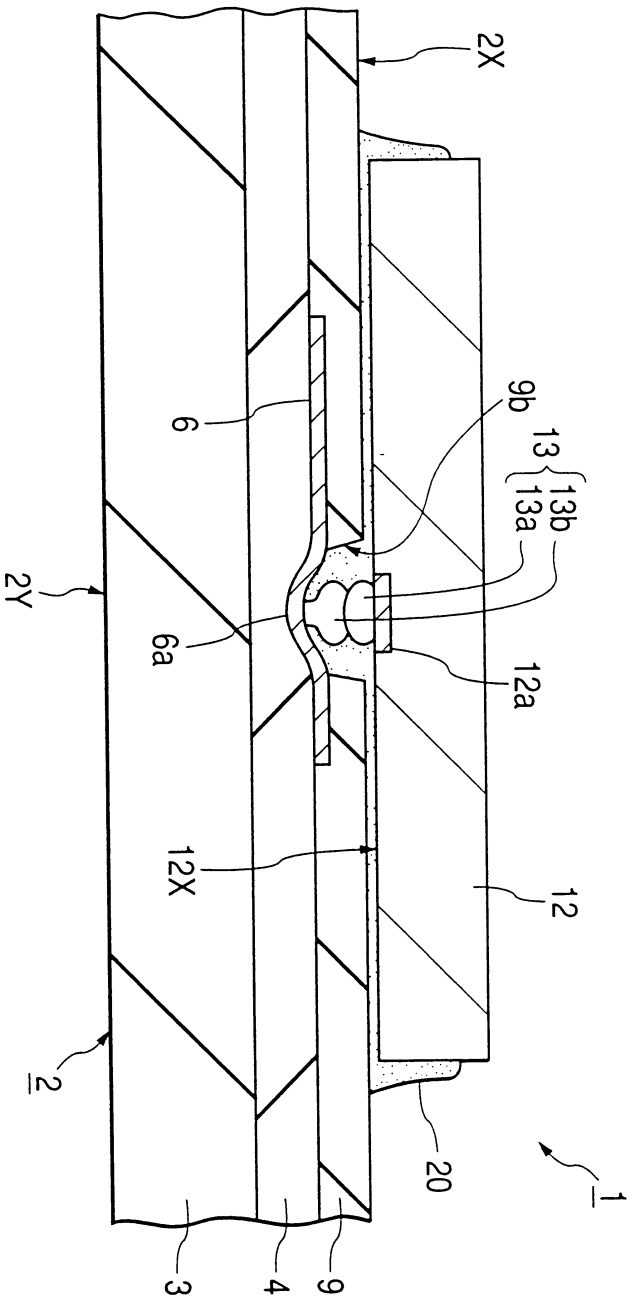


圖 4

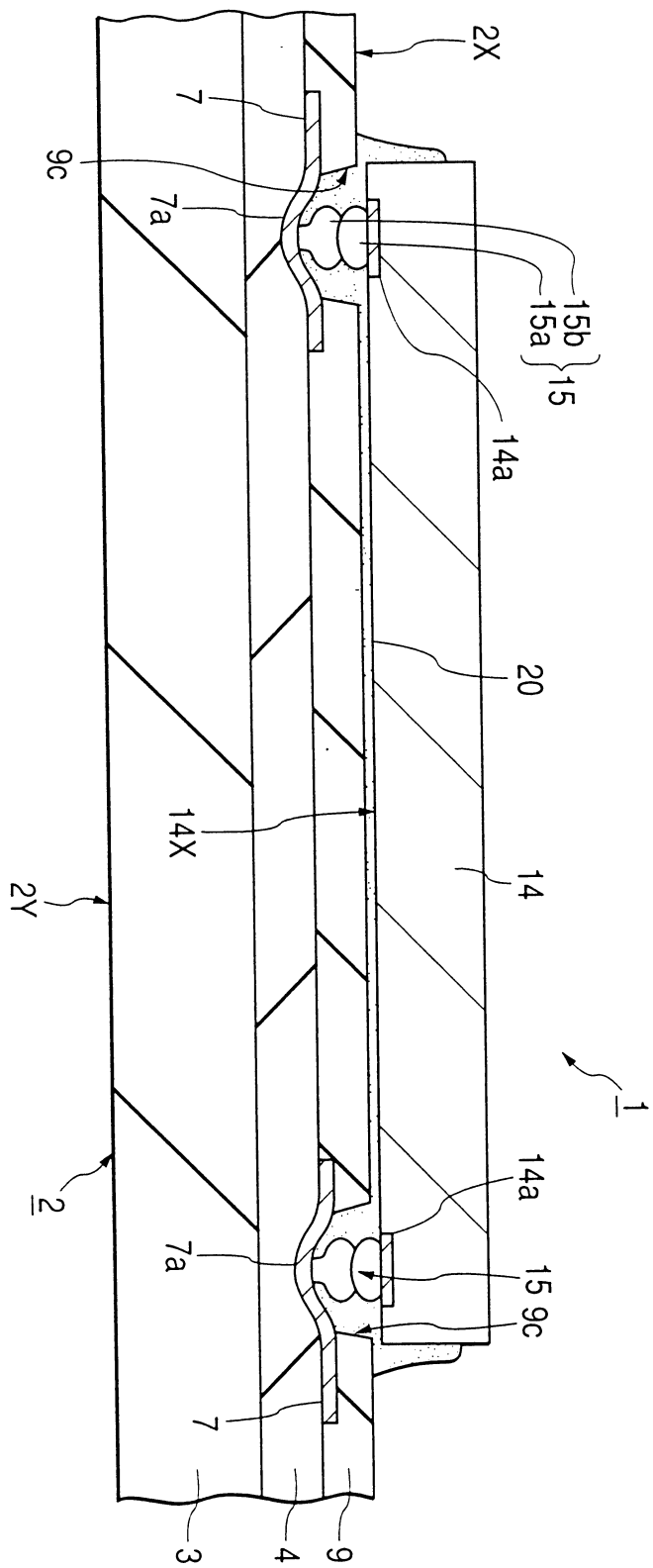


圖 5

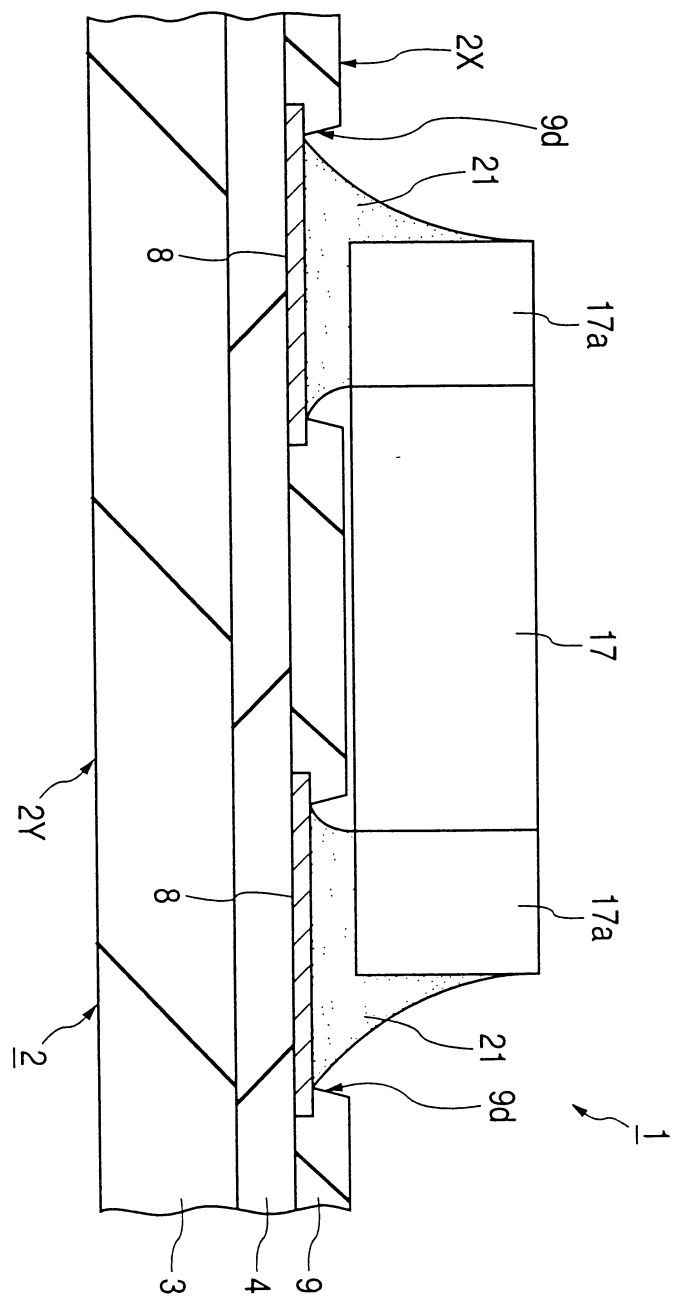


圖 6

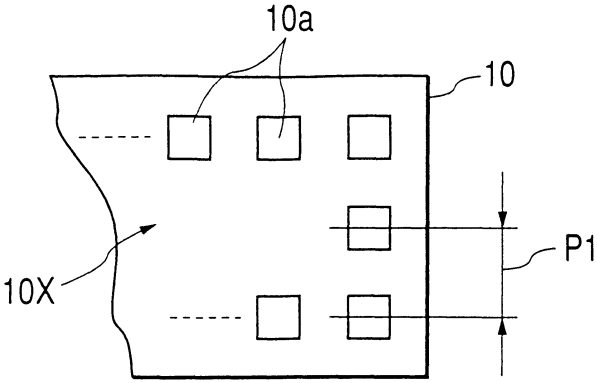


圖 7(a)

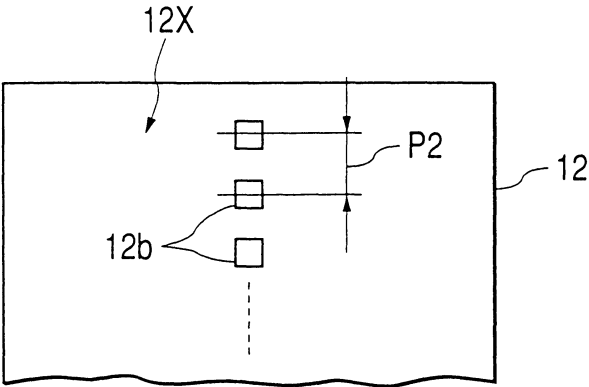


圖 7(b)

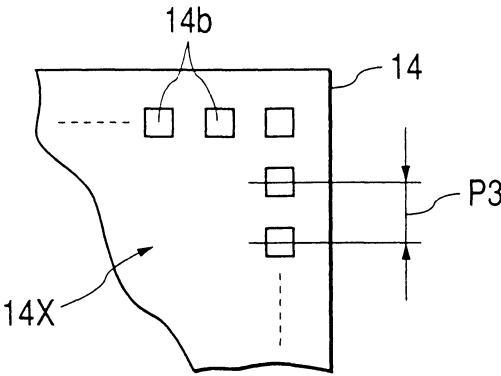


圖 7(c)

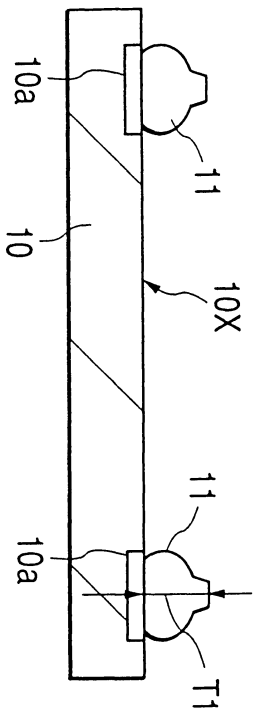


圖 8(a)

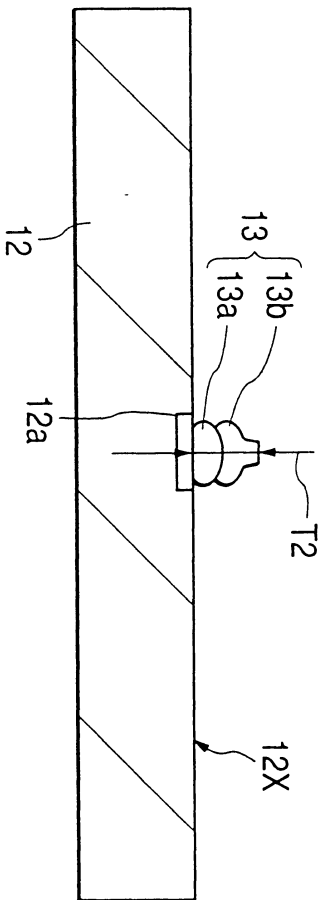


圖 8(b)

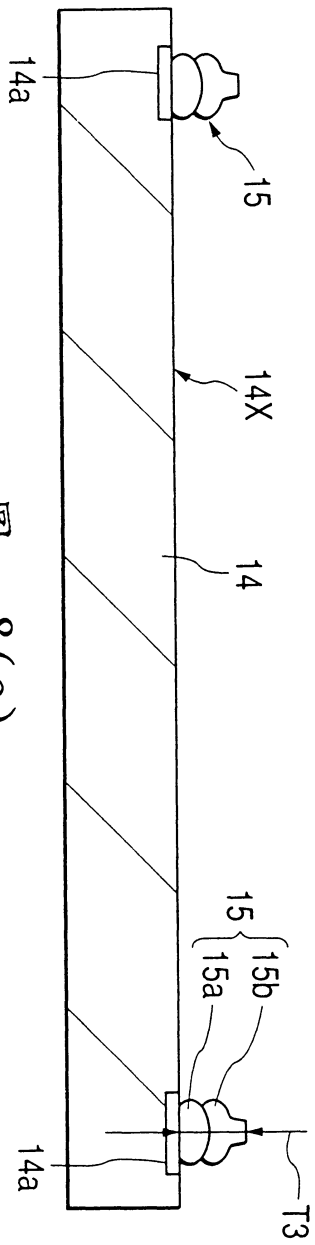


圖 8(c)

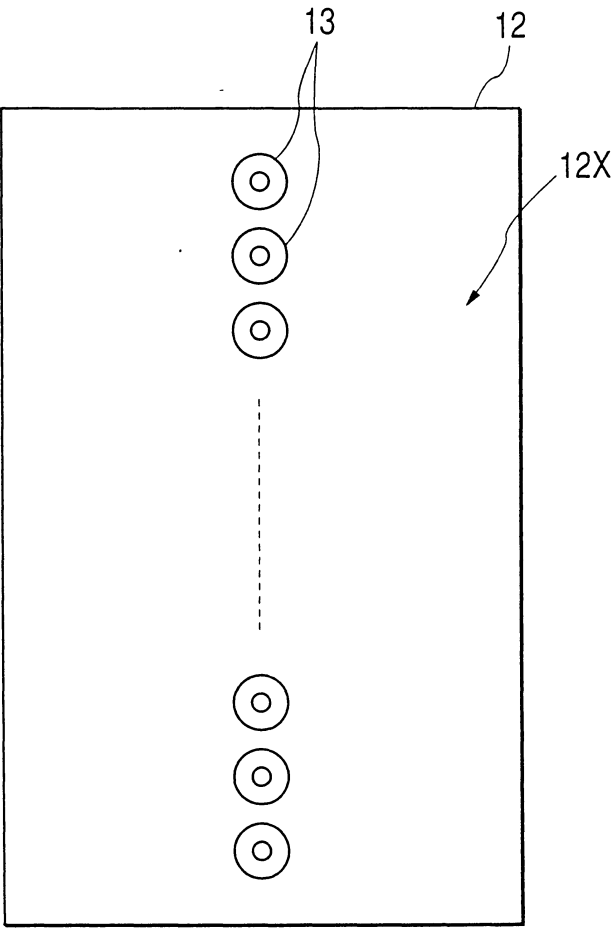


圖 9

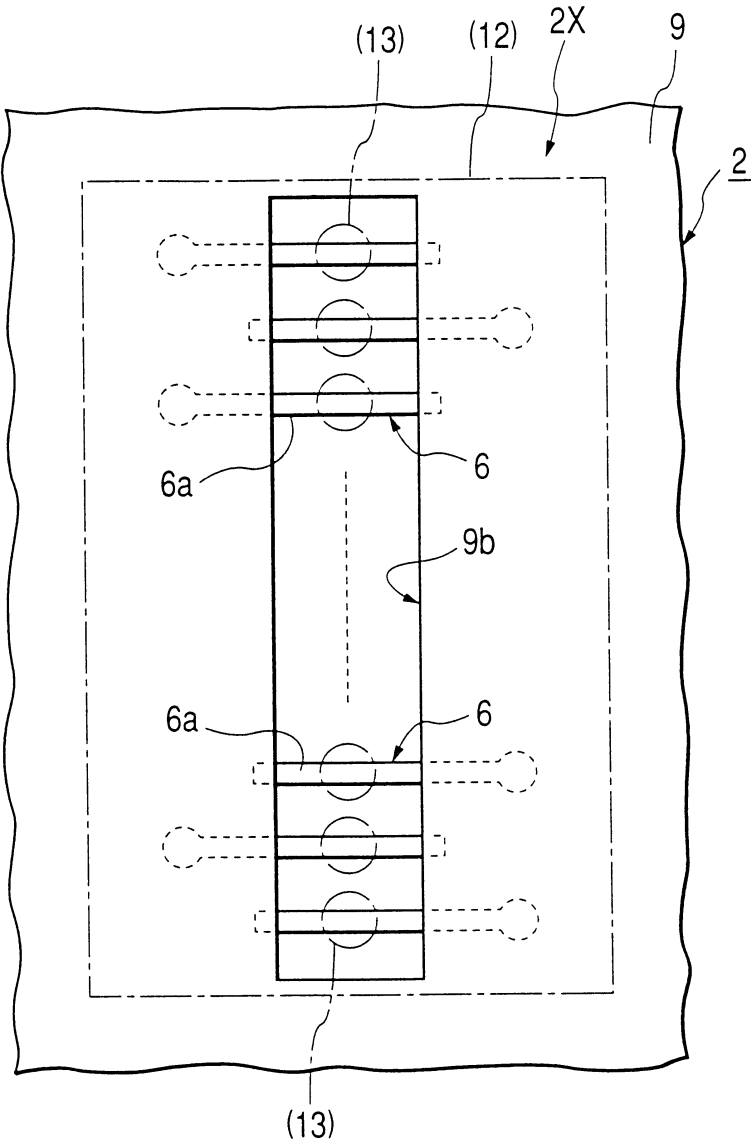


圖 10

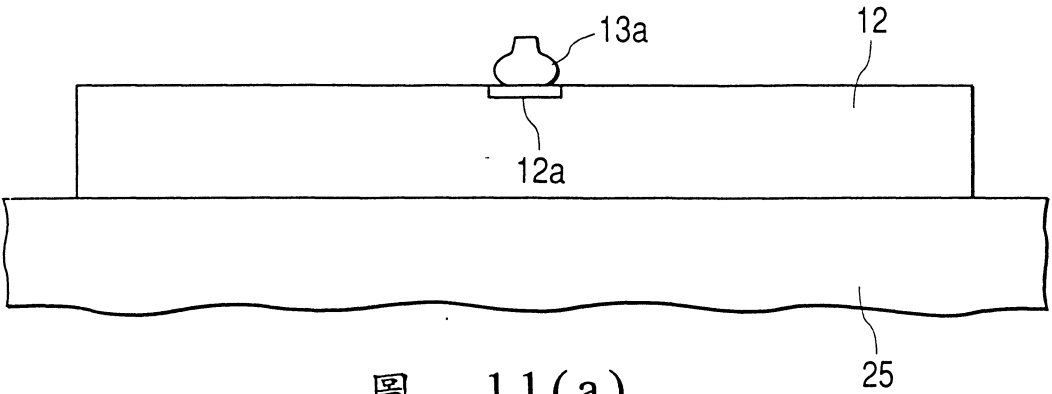


圖 11(a)

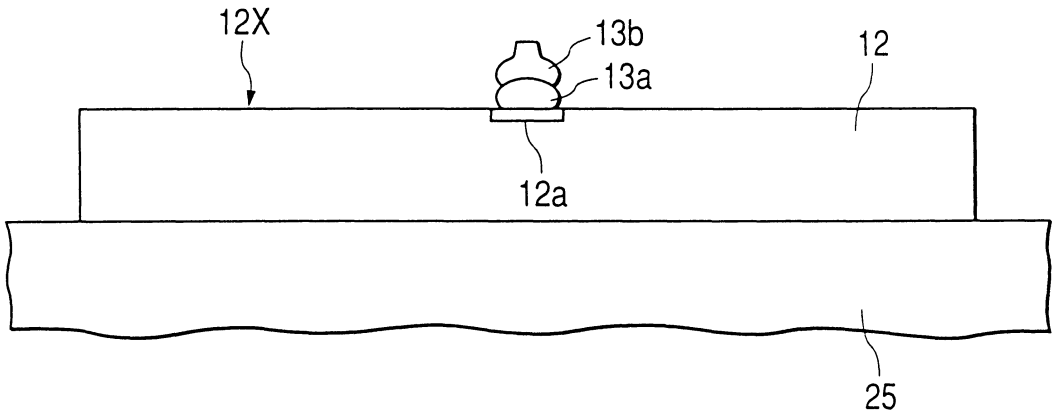
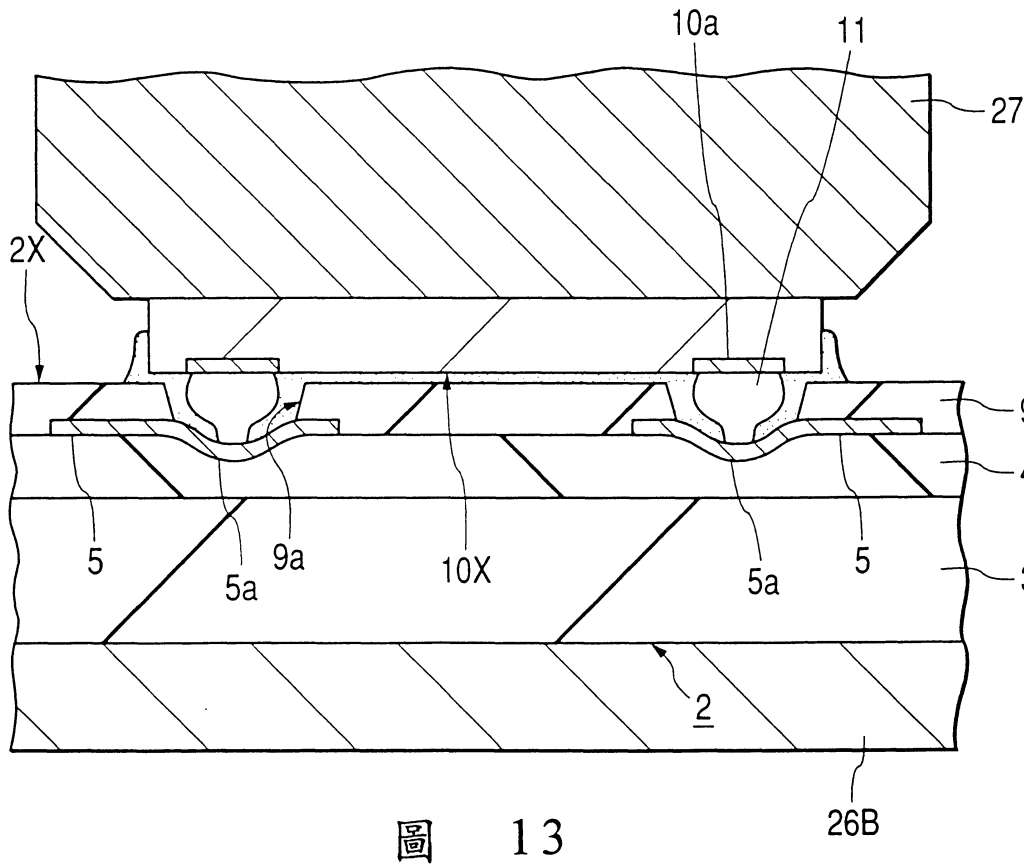
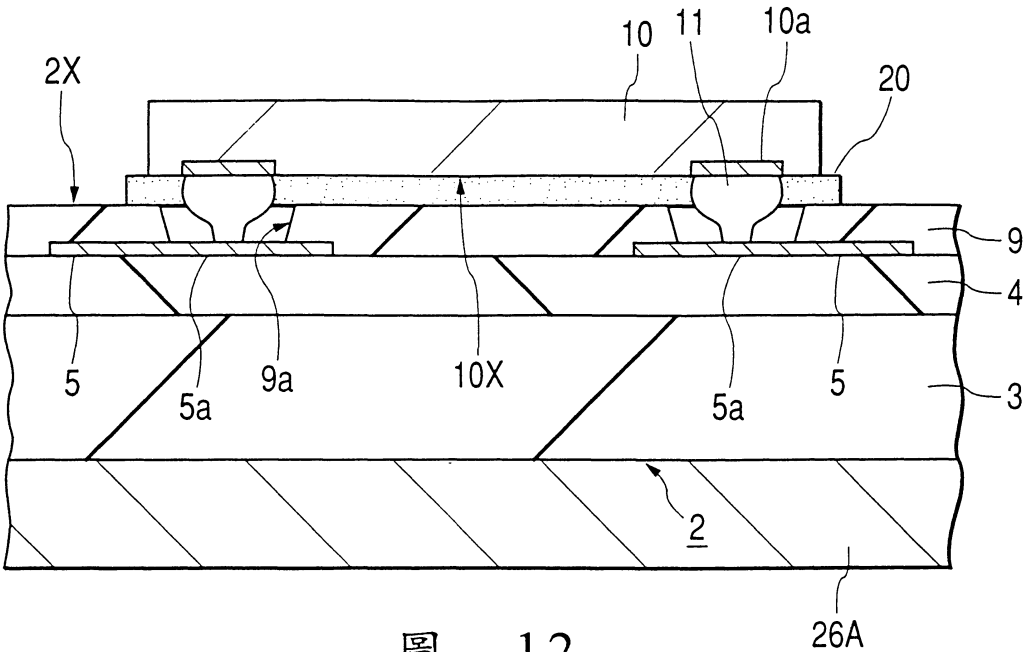


圖 11(b)



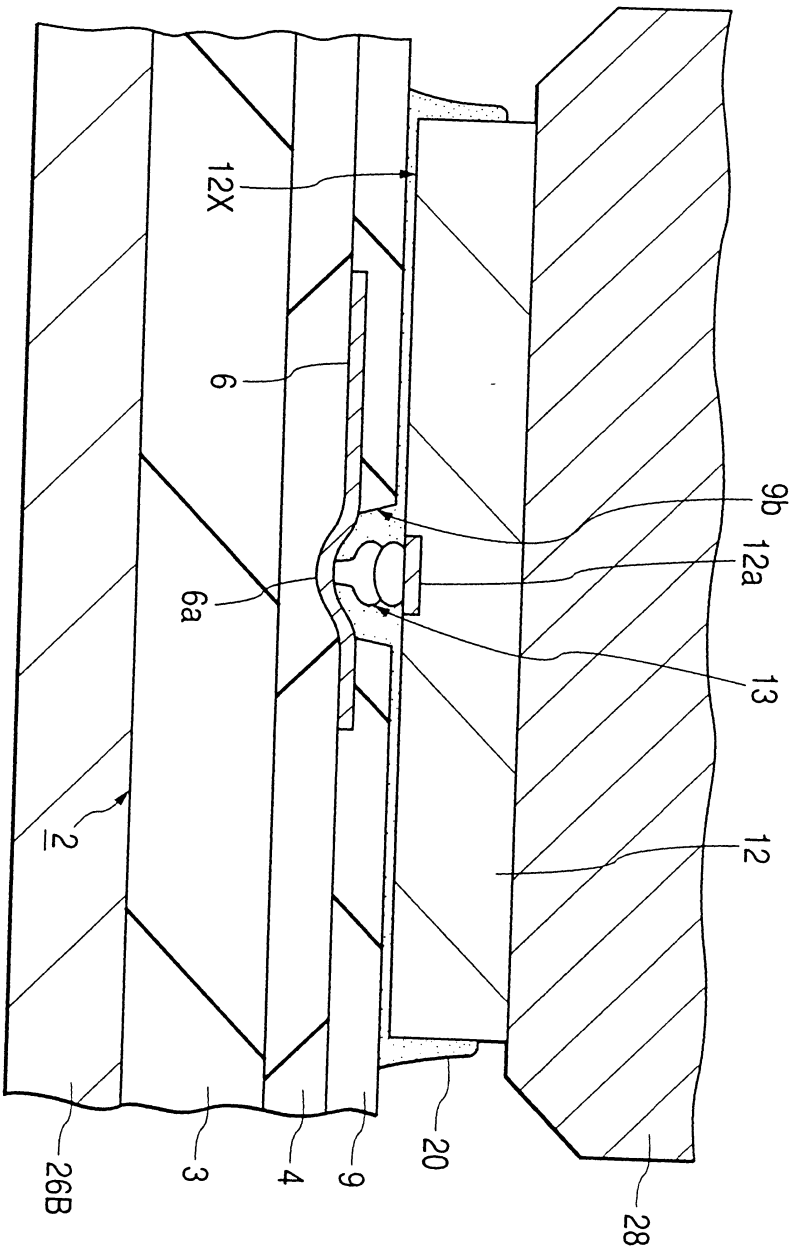


圖 15

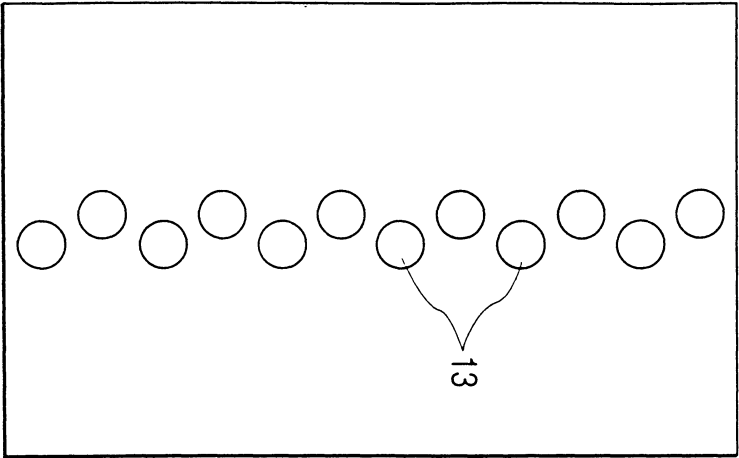


圖 16(a)

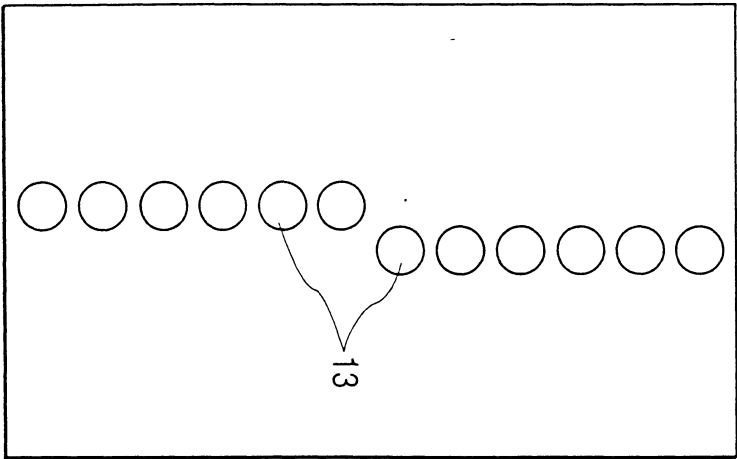


圖 16(b)

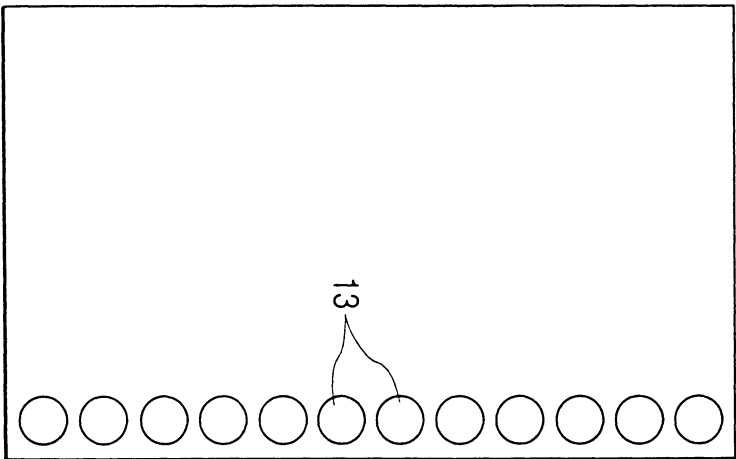


圖 16(c)

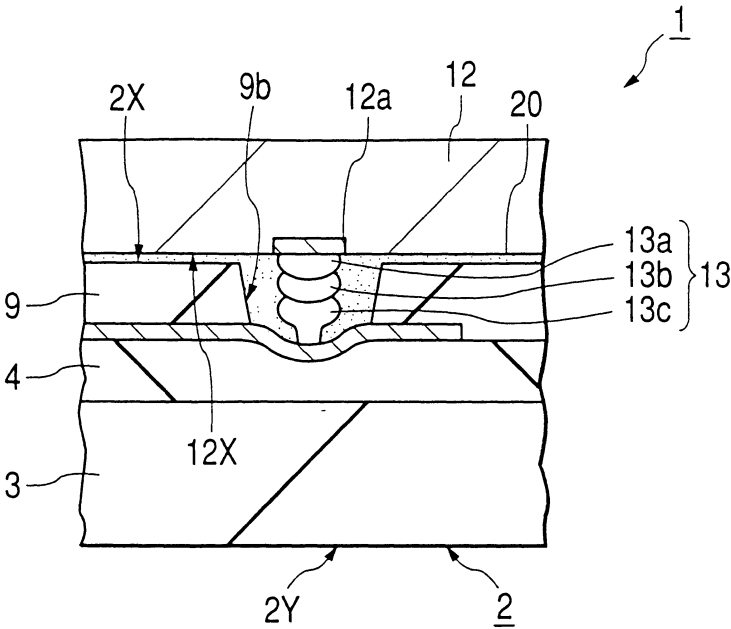


圖 17

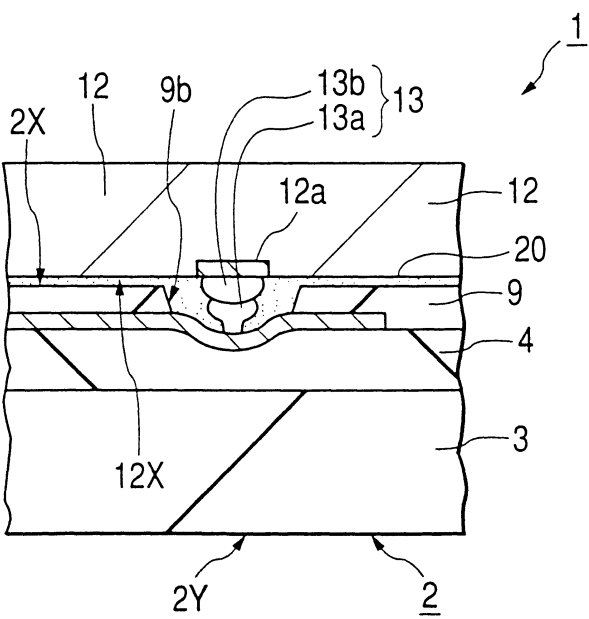


圖 18

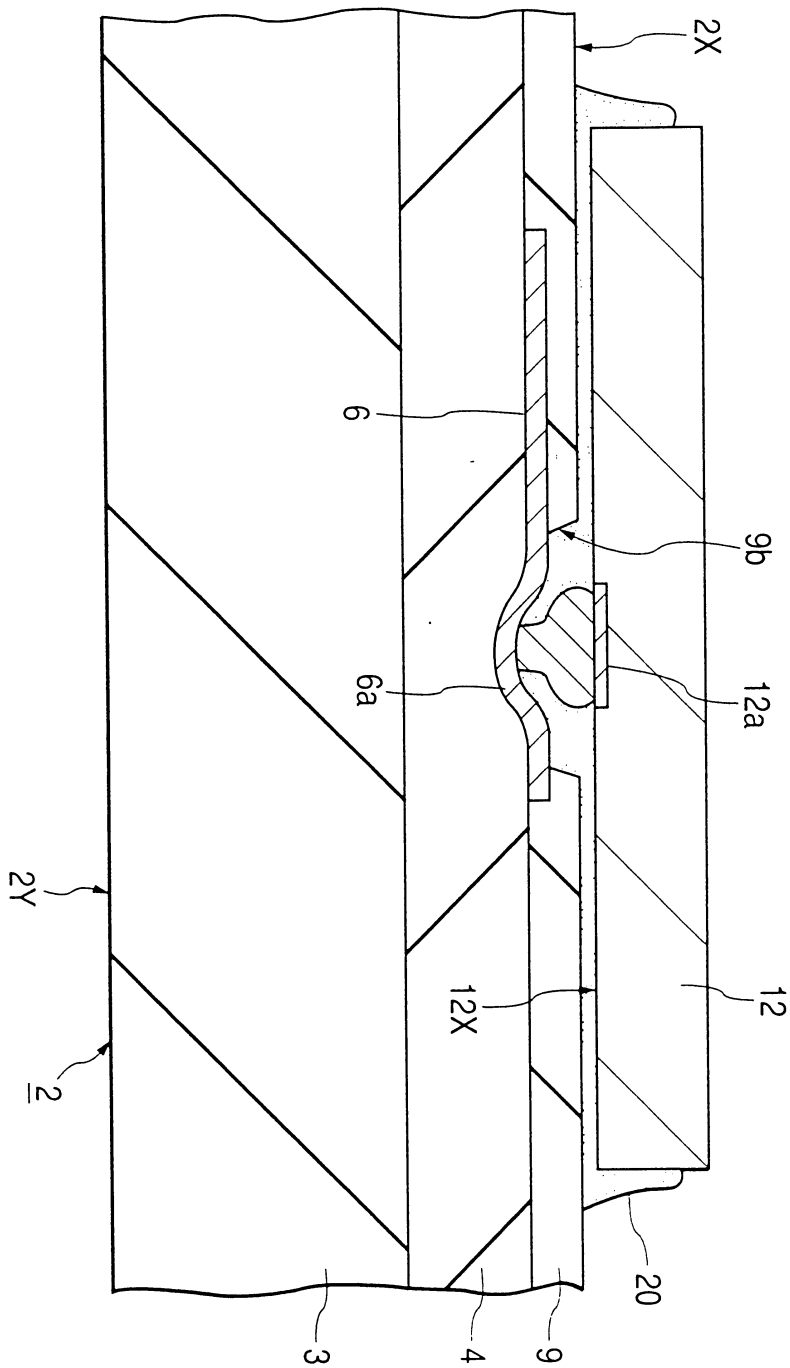


圖 19

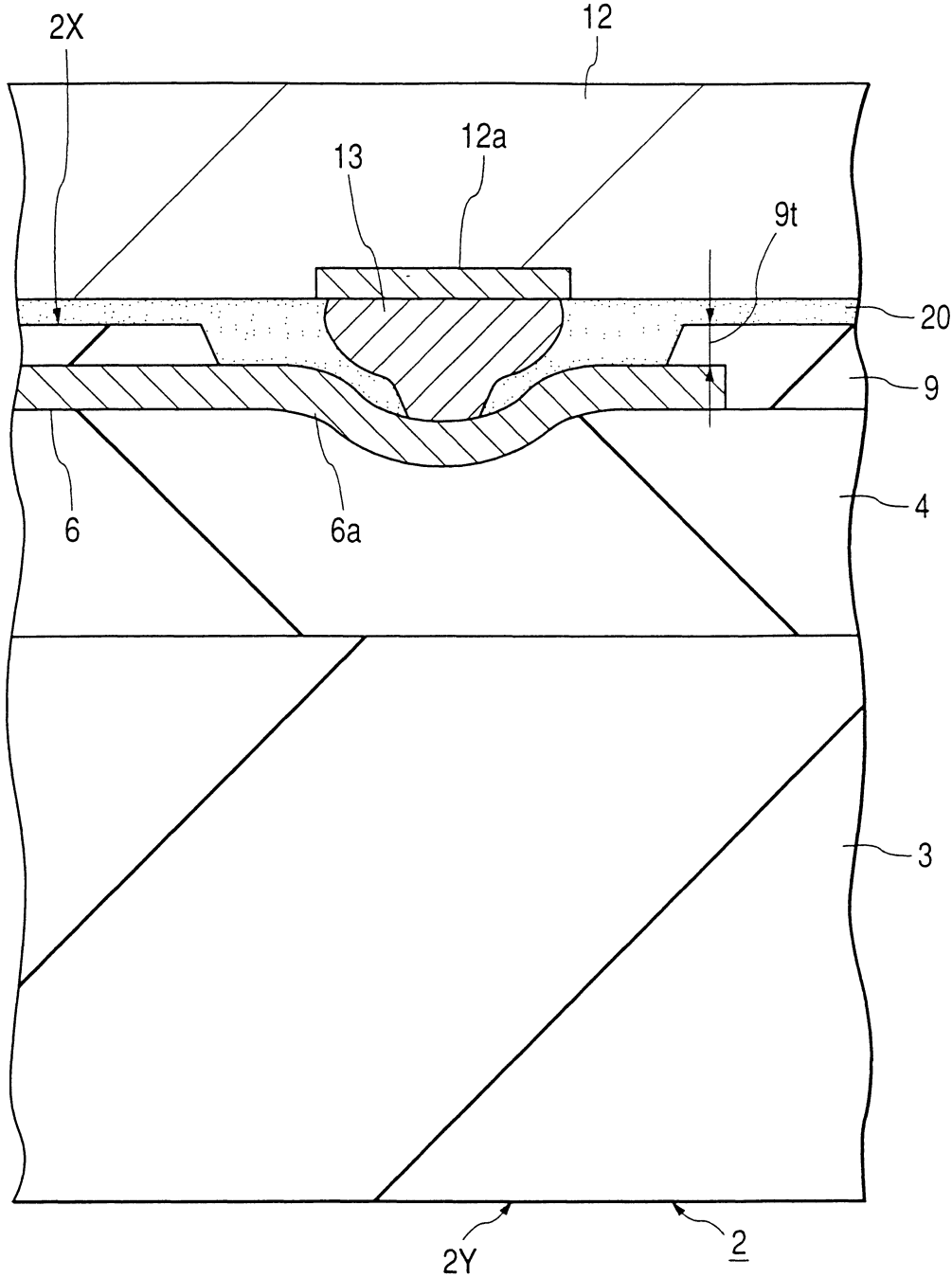


圖 20

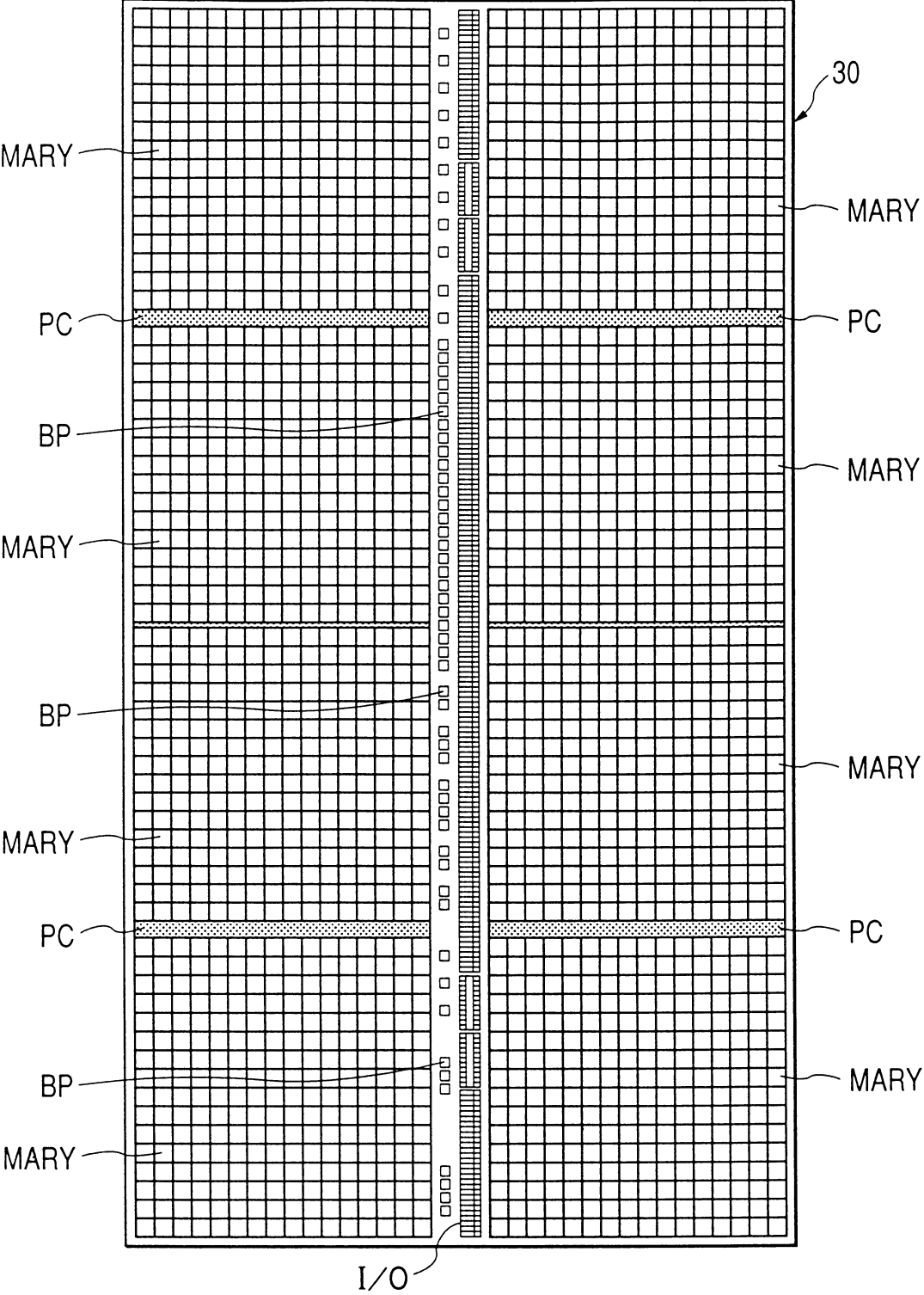


圖 21

五、發明說明 (8)

狀態之模式化切面圖。

圖 4 為顯示記憶用晶片(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖。

圖 5 為顯示控制用晶片(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖。

圖 6 為顯示電容元件(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖。

圖 7(a)、(b)、(c)為顯示部份緩衝用晶片、記憶用晶片及控制用晶片(其係包含於圖 1 之 MCM 之中)之墊配列的模式化切面圖。

圖 8(a)、(b)、(c)為顯示部份緩衝用晶片、記憶用晶片及控制用晶片(其係包含於圖 1 之 MCM 之中)之概略結構的模式化切面圖。

圖 9 為顯示記憶用晶片(其係包含於圖 1 之 MCM 之中)之模式化切面圖。

圖 10 為顯示配線基板之一部份(其係用於圖 1 之 MCM 之中)之模式化切面圖。

圖 11(a)、(b)在本發明之實施型態一之 MCM 製造方面，在記憶用晶片之電極墊上銷子凸塊形成工序之模式化切面圖。

圖 12 在本發明之實施型態一之 MCM 製造方面，用來說明緩衝用晶片安裝工序之模式化切面圖。

圖 13 在本發明之實施型態一之 MCM 製造方面，用來說明緩衝用晶片安裝工序之模式化切面圖。

圖 14 在本發明之實施型態一之 MCM 製造方面，用來說明記憶用晶片安裝工序之模式化切面圖。

圖 15 在本發明之實施型態一之 MCM 製造方面，用來說明

五、發明說明 (9)

記憶用晶片安裝工序之模式化切面圖。

圖 16(a)、(b)、(c) 在本發明之實施型態一之 MCM 方面，用來顯示其他凸塊配列樣式之記憶用晶片之模式化切面圖。

圖 17 用來顯示記憶用晶片安裝狀態之模式化切面圖；該晶片係包含於本發明實施型態一之變形例 1 之 MCM 中。

圖 18 用來顯示記憶用晶片安裝狀態之模式化切面圖；該晶片係包含於本發明實施型態一之變形例 2 之 MCM 中。

圖 19 在本發明之實施型態二之 MCM 方面，用來說明記憶用晶片安裝狀態之模式化切面圖。

圖 20 把圖 19 之一部份放大後之模式化切面圖。

圖 21 向來之 DRAM 晶片之平面結構。

以下，參考附圖，針對本發明之實施型態進行詳細說明。又，用來說明發明之實施型態的所有附圖，如具有相同功能者則賦予相同代號，以避免重複。

圖 1 為發明之實施型態一「MCM(電子裝置)」之模式化平面圖；

圖 2 為圖 1 之 MCM 之模式化底面圖；

圖 3 為顯示緩衝用晶片(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖；

圖 4 為顯示記憶用晶片(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖。

圖 5 為顯示控制用晶片(其係包含於圖 1 之 MCM 之中)安裝狀態之模式化切面圖。

圖 6 為顯示電容元件(其係包含於圖 1 之 MCM 之中)安裝狀

五、發明說明 (10)

態之模式化切面圖。

圖 7 為顯示部份緩衝用晶片、記憶用晶片及控制用晶片(其係包含於圖 1 之 MCM 之中)之墊配列的模式化切面圖。

圖 8 為顯示部份緩衝用晶片、記憶用晶片及控制用晶片(其係包含於圖 1 之 MCM 之中)之概略結構的模式化切面圖。

圖 9 為顯示記憶用晶片(其係包含於圖 1 之 MCM 之中)之模式化切面圖。

如圖 1 與 2 所示，本實施型態之 MCM(電子裝置)1，包含：電子零件，其係裝設於配線基板 2 之一主面 2X 上之複數個主動零件與複數個被動零件；外部連接用端子，其係在與配線基板 2 之一主面對向之背面(另一主面)2Y 配置複數個球狀鉅錫凸塊 22。在主動零件方面，包含：複數個半導體晶片 10，其內建有緩衝電路(下稱緩衝用晶片)；複數個半導體晶片 12，其內建有 SDRAM 等記憶電路(下稱記憶用晶片)；1 個半導體晶片 14，其內建有控制電路(下稱控制用晶片)；1 個半導體晶片 16，其內建有 NAND 電路(下稱演算用晶片)。上述主動零件係利用浮片晶片安裝技術而安裝於配線基板 2 之一主面上。而在被動零件方面，包含：複數個電容元件(17、18)，其由面安裝型所構成；以及電阻元件 19。上述被動零件係以「電鍍平坦化熱處理」法安裝於配線基板之 2 之一主面上。

如圖 3 乃至圖 6 所示，在配線基板 2 之結構中包含：固定基板 3；柔軟層 4，其係以增長法在固定基板 3 上形成；以及絕緣膜 9，其係在柔軟層 4 上形成。雖然固定基板 3 與柔

五、發明說明 (18)

上。

如圖 6 所示，電容元件 17 和電極 17a 在配線基板 2 之電極墊 8 上，藉由銲錫 21 進行電子與機械性的連接。電容元件之 17a 和配線基板 2 之電極墊 8 在進行連接時，為控制銲錫 21 潮濕面擴大，故通過開口 9d (其係在絕緣膜 9 上形成) 來實施。又，在電容元件 18 和電阻元件 19 方面亦和電容元件 17 一樣，進行相同安裝。

如圖 7 所示，緩衝用晶片 10 之墊配列間隙 P1 可設定為約 110[μm]。記憶用晶片 12、控制用晶片 14 之墊配列間隙 (P2、P3) 可設定為約 80[μm]。晶片之電極墊因電極墊之配列間隙而決定平面尺寸，故當電極墊之配列間隙變小故其尺寸變小。在另一方面，在晶片之電極墊上形成之銷子凸塊，也因電極墊之平面尺寸而決定其尺寸，故當電極墊之平面尺寸變小則其高度變低。亦即，銷子凸塊 (13、15) 比銷子凸塊 11 的高度為低；上述銷子凸塊 (13、15) 係於記憶用晶片 12 及控制用晶片 14 之電極墊上所形成，而銷子凸塊 11 係於緩衝用晶片 10 之電極墊上形成。

在銷子凸塊之高度較高 (指銷子凸塊之高度比配線基板 2 之一主面 2X 到其連接部 (5a、6a、7a) 的深度為高者) 的晶片方面，雖然容易進行配線基板 2 之連接部與銷子凸塊的連接；但在銷子凸塊之高度較低 (指銷子凸塊之高度比配線基板 2 之一主面 2X 到其連接部 (5a、6a、7a) 的深度為低者) 的晶片方面，就不容易進行配線基板 2 之連接部與銷子凸塊的連接。

五、發明說明 (30)

態，在未脫離發明要旨的範圍內，當然可以進行種種的變更。

從本專利申請所揭示之代表性內容所獲得之效果，可簡單歸納如次。

依據本發明，可抑制半導體晶片相對於配線基板之一主面的傾斜。

依據本發明，可在同一基板上安裝配列間隙不同之複數種類之半導體晶片。

元件符號說明

1	MCM(電子裝置)	10	半導體晶片
2	配線基板	10a	電極墊
2X	主面	10X	電路形成面
3	固定基板	11	銷子凸塊
4	柔軟層	12	記憶用晶片
4A	電極墊	12a	電極墊
5	配線	12X	電路形成面
5a	連接部	13	銷子凸塊
6	配線	13a	基部凸塊
6a	連接部	13b、13c	積疊凸塊
7	配線	14	控制用晶片
7a	連接部	14a	電極墊
8	電極墊	14X	電路形成面
9	絕緣膜	15	凸塊電極
9a、9b、9c	開口	15a	基部凸塊

五、發明說明 (30a)

- 15b、15c 積疊凸塊
- 16 演算用晶片
- 17 電容元件
- 18 電容元件
- 19 電阻元件
- 19A 溝槽
- 20 異方導電性樹脂
- 21 鋅錫
- 25 加熱台
- 26B 加熱台
- 27 工具
- 28 工具
- 30 DRAM 晶片
- BP 電極墊
- I/O 輸出入電路
- MARY 記憶陣列
- PC 周邊電路

六、申請專利範圍

1. 一種電子裝置，其包含：

半導體晶片，其係在一主面上有複數個電極墊；

配線基板，其係在一主面上有複數個連接部；

以及複數個凸出狀電極，其係配置於上述半導體晶片之上述各電極墊和上述配線基板之各連接部之間，且成一系列配列；

上述之複數個連接部係配置於，由上述配線基板一主面朝較深方向，且比上述配線基板一主面更深的位置上。

2. 如申請專利範圍第1項之電子裝置，其中

上述配線基板還包含：絕緣膜，其係在該一主面上形成；以及開口，

其係在上述絕緣膜上形成；而上述連接部係被配置於上述開口之底部。

3. 如申請專利範圍第2項之電子裝置，其中

上述絕緣膜係覆蓋於上述半導體晶片之周緣上。

4. 如申請專利範圍第2或3項之電子裝置，其中

上述開口之平面尺寸比上述半導體晶片之平面尺寸為小，

而上述絕緣膜之平面尺寸比上述半導體晶片之平面尺寸為大。

5. 如申請專利範圍第1~3項中任一項之電子裝置，其中

上述半導體晶片，係藉由黏接用樹脂與上述配線基板連接；

六、申請專利範圍

上述凸出狀電極，係被壓附於上述配線基板之連接部上。

6. 如申請專利範圍第5項之電子裝置，其中

上述黏接用樹脂為異方導電性樹脂，其係在絕緣性樹脂中混入多數之導電性粒子者。

7. 如申請專利範圍第1~3項中任一項之電子裝置，其中

上述複數個凸出狀電極係各為銷子凸塊。

8. 如申請專利範圍第1項之電子裝置，其中

上述複數個凸出狀電極係各為鉚錫凸塊。

9. 如申請專利範圍第1項之電子裝置，其中

上述配線基板包含多層配線結構，

上述之各複數個連接部係各複數之配線的一部份，而該各複數之配線係於上述配線基板之最上層之配線層形成。

10. 如申請專利範圍第1項之電子裝置，其中

上述半導體晶片之平面係形成為方形；

上述複數個凸出狀電極係配置於：上述半導體晶片之一主面朝一方向分成三等份所形成之三個區域中之任何一個。

11. 如申請專利範圍第10項之電子裝置，其中

在上述半導體晶片之一主面的三個區域中，且在屬於非配置上述凸出狀電極之其他二個區域中包含了記憶陣列。

12. 如申請專利範圍第1項之電子裝置，其中

六、申請專利範圍

上述複數個凸出狀電極非被相互配列於，與上述凸出狀電極之配列方向之直行方向上。

13. 一種電子裝置之製造方法，其包含：

準備工序，其係用於準備：

半導體晶片，其包含：複數個電極墊，其係在一主面上沿同一方向呈一系列狀配置；及

複數個凸出狀電極，而上述電極係分別配置於上述各電極墊上；

以及配線基板，其包含複數個連接部，而上述連接部係以如下方式配置：由上述配線基板一主面朝較深方向，比上述配線基板一主面更深的位置上，且與上述複數個凸出狀電極形成對應；以及連接工序，其係在上述配線基板之一主面與上述半導體晶片之一主面之間，藉由黏接用樹脂把半導體晶片壓附於上述配線基板之一主面上，並以電子連接方式將上述各凸出狀電極各連接於上述連接部上。

14. 如申請專利範圍第13項之電子裝置製造方法，其中

上述配線基板包含：絕緣膜，其係於該一主面上形成；以及開口，其係於上述絕緣膜上形成；

且上述複數個連接部係配置於上述開口部之底部。

15. 如申請專利範圍第14項之電子裝置製造方法，其中

上述絕緣膜係包覆於上述半導體晶片之周緣。

16. 如申請專利範圍第14項之電子裝置製造方法，其中

上述開口之平面尺寸比上述半導體晶片之平面尺寸為

六、申請專利範圍

小，

且上述絕緣膜之平面尺寸比上述半導體晶片之平面尺寸為大。

17. 一種電子裝置，其包含：

第一半導體晶片，其包含複數個第一電極墊，其係在一主面上以第一配列間隙進行配置；

第二半導體晶片，其包含複數個第二電極墊，其係在一主面上以第二配列間隙進行配置，而第二配列間隙比上述第一配列間隙為小；

配線基板，其包含複數個第一連接部，其係在一主面之第一區域中，以與上述複數個第一電極墊對應方式進行配置；以及複數個第二連接部，其係在與上述一主面之第一區域不同之第二區域中，以與上述複數個第二電極墊對應方式進行配置；

第一凸出狀電極，其係配置於上述第一電極墊和上述第一連接部之間，且各進行電子性連接；

以及第二凸出狀電極，其係配置於上述第二電極墊和上述第一連接部之間，且各進行電子性連接；

上述複數個第一連接部及上述複數個第二連接部係配置於，由上述配線基板一主面朝較深方向，且比上述配線基板一主面更深的位置上；

上述第二凸出狀電極具有比上述第一凸出狀電極更多段數之多段凸塊結構。

18. 如申請專利範圍第17項之電子裝置，其中

六、申請專利範圍

上述配線基板還包含：絕緣膜，其係在該一主面上形成；第一開口，其係在上述一主面之第一區域之上述絕緣膜上形成；以及第二開口，其係在上述一主面之第二區域之上述絕緣膜上形成；而上述連接部係被配置於上述開口之底部；

上述複數個第一連接部係配置於上述第一開口的底部

，
而上述複數個第二連接部係配置於上述第二開口的底部。

19. 如申請專利範圍第17項之電子裝置，其中

上述第二凸出狀電極為多段凸塊結構，其包含：基部凸塊，其係與上述第二半導體晶片之第二電極墊連接，積疊凸塊，其係積疊於上述基部凸塊。

20. 如申請專利範圍第17項之電子裝置，其中

上述第二凸出狀電極為多段凸塊結構，其包含：基部凸塊，其係與上述第二半導體晶片之第二電極墊連接，第一積疊凸塊，其係積疊於上述基部凸塊；第二積疊凸塊，其係積疊於上述第一基部凸塊。

21. 如申請專利範圍第17項之電子裝置，其中

上述第一凸出狀電極與第二凸出狀電極為銷子凸塊。

22. 如申請專利範圍第17項之電子裝置，其中

上述配線基板包含多層配線結構；

上述複數個第一及第二連接部，係各複數之配線的一部份，而上述配線係於位於上述配線基板之最上層形成

六、申請專利範圍

23. 如申請專利範圍第17項之電子裝置，其中

上述第一半導體晶片與第二半導體晶片，係藉由黏接用樹脂與上述配線基板連接。

24. 如申請專利範圍第23項之電子裝置，其中

上述黏接用樹脂係異方導電性樹脂，其係在絕緣性樹脂中混入多數之導電性粒子而成。

25. 一種電子裝置製造方法，其包含

準備工序，其係準備：

第一半導體晶片，其包含：複數個第一電極墊，其係在一主面上以第一配列間隙進行配置；以及複數個第一凸出狀電極，其係分別與上述各第一電極墊連接；

第二半導體晶片，其包含複數個第二電極墊，其係在一主面上以比上述第一配列間隙為小之第二配列間隙進行配置；以及複數個第二凸出狀電極，其包含多段凸塊結構，其係分別與上述各第二電極墊連接，且比上述第一凸出狀電極之段數為多；

配線基板，其包含：絕緣膜，其係在一主面上形成；第一開口，其係在上述一主面之第一區域之上上述絕緣膜上形成；以及第二開口，其係在上述一主面之第二區域(其不同於第一區域)之上上述絕緣膜上形成；

第一連接部，其係於上述第一開口的底部，以與上述複數個第一凸出狀電極對應的方式配置；以及第二連接部，其係於上述第二開口的底部，以與上述複數個第二

六、申請專利範圍

凸出狀電極對應的方式配置；

連接工序，其係在上述配線基板之一主面之第一區域與上述半導體晶片之一主面之間，藉由第一黏接用樹脂，在上述配線基板之一主面之第一區域上，把上述第一半導體晶片進行壓附，並把上述各第一凸出狀電極以電子方式連接於上述各第一連接部上；

以及連接工序，其係在上述配線基板之一主面之第二區域與上述半導體晶片之一主面之間，藉由第二黏接用樹脂，在上述配線基板之一主面之第二區域上，把上述第二半導體晶片進行壓附，並把上述各第二凸出狀電極以電子方式連接於上述各第二連接部上。

26. 一種電子裝置，其包含：

第一半導體晶片，其在一主面上包含第一電極墊；

第二半導體晶片，其在一主面上包含第二電極墊，其平面面積比第一電極墊者為小；

配線基板，其包含：絕緣膜，其係在一主面上形成；第一開口，其係在上述一主面之第一區域之上絕緣膜上形成；第二開口，其係在上述一主面之第二區域(其不同於第一區域)之上絕緣膜上形成；第一連接部，其係配置於上述第一開口的底部；以及第二連接部，其係配置於上述第二開口的底部；

第一凸出狀電極，其係配置於上述第一電極墊和上述第一連接部之間，且各進行電子性連接；

以及第二凸出狀電極，其係配置於上述第二電極墊和

六、申請專利範圍

上述第一連接部之間，且各進行電子性連接；

上述第二凸出狀電極，其包含比上述第一凸出狀電極之段數為多之多段凸塊結構。

27. 一種電子裝置，其包含：

半導體晶片，其在一主面上包含電極墊；

配線基板，其在一主面之表層部包含連接部；

以及凸出狀電極，其係配置於上述電極墊和上述配線基板的上述連接部之間，且各進行電子性連接；

而上述連接部係配置於，由上述配線基板之一主面朝較深方向，且比上述一主面更深的位置上。

28. 一種電子裝置，其包含：

半導體晶片，其在一主面上包含電極墊；

配線基板，其包含：絕緣膜，其係在一主面上形成；開口，其係在上述絕緣膜上形成；及配線，其一部份係配置於上述開口之底部，且其其他部份係被上述絕緣膜所包覆；

凸出狀電極，其係配置於上述電極墊和上述配線基板的上述連接部之間，且各進行電子性連接；

以及黏接用樹脂，其係配置於，上述半導體晶片與上述配線基板之間且在上述開口之內；

而位於上述配線之其他部份之上述絕緣膜，其厚度在 $20[\mu\text{m}]$ 以下。

29. 一種電子裝置，其包含：

半導體晶片；

六、申請專利範圍

複數個凸出狀電極，其係配置於上述半導體晶片之一主面；

配線基板；

開口，其係在上述配線基板之一主面上形成；

複數個連接部，其係於上述開口部之底部形成，且與上述凸出狀電極各自連接；

而上述凸出狀電極，係配置於上述半導體晶片之一主面之第一中心線的周圍。

30. 一種電子裝置，其包含：

半導體晶片；

複數個凸出狀電極，其係配置於上述半導體晶片之一主面；

配線基板；

開口，其係在上述配線基板之一主面上形成；

複數個連接部，其係於上述開口部之底部形成，且與上述凸出狀電極各自連接；

而上述凸出狀電極，係配置於上述半導體晶片之一主面之第一直線的周圍。

31. 如申請專利範圍第30項之電子裝置，其中

上述半導體晶片之一主面為長方形，

而上述第一直線係與上述半導體晶片之一主面的兩個短邊相交。

32. 一種電子裝置，其包含：

半導體晶片；

六、申請專利範圍

複數個凸出狀電極，其係配置於上述半導體晶片之一主面；

配線基板；

開口，其係在上述配線基板之一主面上形成；

複數個連接部，其係於上述開口部之底部形成，且與上述凸出狀電極各自連接；

在上述半導體晶片之一主面上，其多角形內側並不包含上述半導體晶片之重心，而上述多角形係由上述複數個凸出狀電極所結合形成。

33. 一種電子裝置，其包含：

半導體晶片，其係在一主面上有複數個電極墊；

配線基板，其係在一主面上有複數個連接部；

以及複數個凸出狀電極，其係配置於上述半導體晶片之上述各電極墊和上述配線基板之各連接部之間，且成一系列配列；

其中上述配線基板之複數個連接部係配置於由上述配線基板一主面起之一深度方向上比上述配線基板一主面更深的位置上，

上述半導體晶片之平面係形成為方形；上述複數個凸出狀電極係配置於上述半導體晶片之一主面分成三等份所形成之三個區域中之任何一個。

34. 如申請專利範圍第33項之電子裝置，其中

一記憶陣列係形成於該半導體晶片主面上該三個區域中配置有該凸出狀電極之區域外之另二個區域。

六、申請專利範圍

35. 一種電子裝置，其包含：

半導體晶片，其包含一主面、及配置於該主面上之一列電極墊及一動態隨機存取記憶體；該動態隨機存取記憶體具有配置於該電極墊列兩側之多數記憶陣列，及配置於該電極墊列與該多數記憶陣列之一間之輸入/輸出電路；

配線基板，其係在一主面上有複數個連接部；

以及複數個凸出狀電極，其係配置於上述電極墊之列上，且電連接上述各連接部；

其中上述複數個連接部係配置於由上述配線基板一主面起之一深度方向上比上述配線基板一主面更深的位置上。

36. 如申請專利範圍第35項之電子裝置，其中

上述動態隨機存取記憶體係SDRAM。

37. 如申請專利範圍第35項之電子裝置，其中

上述半導體晶片之平面係形成為方形；

上述複數個凸出狀電極係配置於上述半導體晶片之一主面分成三等份所形成之三個區域之一中心區域。

38. 如申請專利範圍第35項之電子裝置，其中

上述連接部各自具有一凹部，且各個連接至其上之凸出狀電極具有一收容於該凹部之部分。

39. 如申請專利範圍第38項之電子裝置，其中

上述各連接部之凹部係藉由該連接部與該配線基板之彈性變形而形成。

六、申請專利範圍

40. 如申請專利範圍第39項之電子裝置，其中

上述半導體晶片之平面係形成為方形；

上述複數個凸出狀電極係配置於上述半導體晶片之一主面分成三等份所形成之三個區域之一中心區域。

41. 如申請專利範圍第40項之電子裝置，其中

上述動態隨機存取記憶體係SDRAM。

裝

訂