

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7559151号
(P7559151)

(45)発行日 令和6年10月1日(2024.10.1)

(24)登録日 令和6年9月20日(2024.9.20)

(51)国際特許分類		F I	
G 1 1 C	16/34 (2006.01)	G 1 1 C	16/34 1 1 6
G 1 1 C	16/04 (2006.01)	G 1 1 C	16/04 1 7 0
G 1 1 C	16/10 (2006.01)	G 1 1 C	16/10 1 4 0
H 1 0 B	41/27 (2023.01)	H 1 0 B	41/27
H 1 0 B	41/40 (2023.01)	H 1 0 B	41/40
請求項の数 20 外国語出願 (全37頁) 最終頁に続く			
(21)出願番号	特願2023-110669(P2023-110669)	(73)特許権者	511242535
(22)出願日	令和5年7月5日(2023.7.5)		サンディスク テクノロジーズ エルエル
(65)公開番号	特開2024-37136(P2024-37136A)		シー
(43)公開日	令和6年3月18日(2024.3.18)		アメリカ合衆国 7 5 0 0 1、テキサス
審査請求日	令和5年7月11日(2023.7.11)		州、アディソン、スペクトラム ドライブ
(31)優先権主張番号	17/903,618		5 0 8 0、スイート 1 0 5 0ダブリュ
(32)優先日	令和4年9月6日(2022.9.6)		5 0 8 0 Spectrum Drive
(33)優先権主張国・地域又は機関	米国(US)		, Suite 1 0 5 0 W, Addis
			on, Texas 7 5 0 0 1, Uni
			ted States of Ameri
			ca
		(74)代理人	100207837
			弁理士 小松原 寿美
		(72)発明者	ジアツェン グオ
			アメリカ合衆国 9 5 1 1 9 カリフォル
			最終頁に続く

(54)【発明の名称】 メモリデバイスのプログラミング中のプリチャージ方式

(57)【特許請求の範囲】

【請求項 1】

メモリデバイスをプログラムする方法であって、
少なくとも1つのメモリブロックであって、前記少なくとも1つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含み、前記複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置される、少なくとも1つのメモリブロックを含むメモリデバイスを準備するステップと、

前記少なくとも1つのメモリブロック内の前記複数のサブブロックのうちの選択されたサブブロックの位置と、前記複数のサブブロックのうちの少なくとも1つの選択されていないサブブロックのプログラミング状態とを決定するステップと、

前記選択されたサブブロック内の少なくとも1つのワードラインを複数のプログラムループであって、前記プログラムループは、プリチャージプロセスを含み、前記プリチャージプロセスは、前記少なくとも1つのメモリブロック内の前記選択されたサブブロックの前記位置及び前記少なくとも1つの選択されていないサブブロックの前記プログラミング状態のうちの少なくとも1つに基づいて、前記メモリブロックの前記ソース側又は前記ドレイン側のいずれかから開始する、複数のプログラムループにおいてプログラムするステップと、を含む、方法。

【請求項 2】

前記メモリブロック内の前記選択されたサブブロックの前記位置に関係なく、かつ前記

少なくとも 1 つの選択されていないサブブロックの前記プログラミング状態に関係なく、前記複数のサブブロックのうちの前記選択されたサブブロックの前記ワードラインを前記ドレイン側から前記ソース側に向かう方向に順次プログラムするステップを更に含む、請求項 1 に記載の前記メモリデバイスをプログラムする方法。

【請求項 3】

前記複数のプログラムループの各プログラムループは、前記メモリブロック内の複数の選択されていないワードラインにパス電圧 V R E A D を印加することを含む検証動作を含む、請求項 1 に記載の前記メモリデバイスをプログラムする方法。

【請求項 4】

各プログラムループの前記検証動作の終了時に、選択されたワードラインの一方の側のみにいて、前記選択されていないワードラインのうちの少なくともいくつかは、前記メモリブロックの前記ソース側又は前記メモリブロックの前記ドレイン側のいずれかに向かう方向に順々に前記パス電圧 V R E A D から放電し始める、請求項 3 に記載の前記メモリデバイスをプログラムする方法。

10

【請求項 5】

前記選択されていないワードラインが順々に放電する前記選択されたワードラインの前記側は、前記プリチャージプロセスが開始される前記選択されたワードラインの側と同じである、請求項 4 に記載の前記メモリデバイスをプログラムする方法。

【請求項 6】

前記選択されていないワードラインのうちのいくつかは放電を完了する前に、前記メモリブロックの前記ソース側のソースライン又は前記メモリブロックの前記ドレイン側のビットラインのうちの少なくとも 1 つにプリチャージ電圧を印加して、前記選択されていないワードラインのうちのいくつかの前記放電の前記完了前に前記メモリブロック内の少なくとも 1 つのチャンネルをプリチャージする、請求項 5 に記載の前記メモリデバイスをプログラムする方法。

20

【請求項 7】

前記選択されたサブブロックが前記メモリブロックの前記ソース側に位置する下位サブブロックである場合、前記プリチャージプロセスは、前記メモリブロックの前記ソース側から開始する、請求項 6 に記載の前記メモリデバイスをプログラムする方法。

【請求項 8】

前記選択されたサブブロックが前記メモリブロックの前記ドレイン側に位置する上位サブブロックであり、前記少なくとも 1 つの選択されていないサブブロックがクローズドサブブロックである場合、前記プリチャージプロセスは、前記メモリブロックの前記ドレイン側から開始する、請求項 6 に記載の前記メモリデバイスをプログラムする方法。

30

【請求項 9】

前記選択されたサブブロックが前記メモリブロックの前記ドレイン側に位置する上位サブブロックであり、前記少なくとも 1 つの選択されていないサブブロックがオープンサブブロックである場合、前記方法は、

前記選択されたサブブロック内のプログラムされたワードラインの数を決定するステップと、

40

前記選択されたサブブロック内のプログラムされたワードラインの前記数を閾値と比較するステップと、を更に含む、

前記選択されたサブブロック内のプログラムされたワードラインの前記数が前記閾値未満である場合、前記プリチャージプロセスは、前記メモリブロックの前記ドレイン側から開始し、

前記選択されたサブブロック内のプログラムされたワードラインの前記数が前記閾値よりも大きい場合、前記プリチャージプロセスは、前記メモリブロックの前記ソース側から開始する、請求項 6 に記載の前記メモリデバイスをプログラムする方法。

【請求項 10】

メモリデバイスであって、

50

少なくとも1つのメモリブロックであって、前記少なくとも1つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含み、前記複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置されている、少なくとも1つのメモリブロックと、

前記複数のサブブロックのうちの選択されたサブブロックの前記メモリセルをプログラムするように構成された制御回路と、を備え、前記制御回路が、

前記少なくとも1つのメモリブロック内の前記複数のサブブロックのうちの選択されたサブブロックの位置と、前記複数のサブブロックのうちの少なくとも1つの選択されていないサブブロックのプログラミング状態とを決定し、

前記選択されたサブブロック内の少なくとも1つのワードラインを複数のプログラムループであって、前記プログラムループは、プリチャージプロセスを含み、前記制御回路は、前記メモリブロック内の前記選択されたサブブロックの前記位置及び前記少なくとも1つの選択されていないサブブロックの前記プログラミング状態のうちの少なくとも1つに基づいて、前記メモリブロックの前記ソース側又は前記ドレイン側のいずれかから前記メモリブロック内の複数のチャンネルをプリチャージする、複数のプログラムループにおいてプログラムする、ように構成されている、メモリデバイス。

【請求項11】

前記制御回路は、前記メモリブロック内の前記選択されたサブブロックの前記位置に関係なく、かつ前記少なくとも1つの選択されていないサブブロックの前記プログラミング状態に関係なく、前記複数のサブブロックのうちの前記選択されたサブブロックの前記ワードラインを前記メモリブロックの前記ドレイン側から前記ソース側に向かう方向に順次プログラムするように更に構成されている、請求項10に記載のメモリデバイス。

【請求項12】

前記複数のプログラムループの各プログラムループは、前記制御回路が前記メモリブロック内の複数の選択されていないワードラインにパス電圧VREADを印加することを含む検証動作を含む、請求項10に記載のメモリデバイス。

【請求項13】

各プログラムループの前記検証動作の終了時に、選択されたワードラインの一方の側のみにあって、前記制御回路は、前記選択されていないワードラインのうちの少なくともいくつかを、前記メモリブロックの前記ソース側又は前記メモリブロックの前記ドレイン側のいずれかに向かう方向に順々に前記パス電圧VREADから放電し始める、請求項12に記載のメモリデバイス。

【請求項14】

前記選択されていないワードラインが前記パス電圧VREADから順々に放電し始める前記側は、前記制御回路が前記複数のチャンネルをプリチャージし始める前記選択されたワードラインの同じ側である、請求項13に記載のメモリデバイス。

【請求項15】

前記選択されていないワードラインのうちのいくつかが放電を完了する前に、前記制御回路が、前記メモリブロックの前記ソース側のソースライン又は前記メモリブロックの前記ドレイン側のビットラインのうちの少なくとも1つにプリチャージ電圧を印加して、前記放電プロセスの前記完了前に前記メモリブロック内の少なくとも1つのチャンネルをプリチャージする、請求項14に記載のメモリデバイス。

【請求項16】

前記選択されたサブブロックが前記メモリブロックの前記ソース側に位置する下位サブブロックである場合、前記制御回路は、前記メモリブロックの前記ソース側から前記プリチャージプロセスを開始する、請求項15に記載のメモリデバイス。

【請求項17】

前記選択されたサブブロックが前記メモリブロックの前記ドレイン側に位置する上位サブブロックであり、前記少なくとも1つの選択されていないサブブロックがクローズドサブブロックである場合、前記制御回路は、前記メモリブロックの前記ドレイン側から前記

10

20

30

40

50

プリチャージプロセスを開始する、請求項 15 に記載のメモリデバイス。

【請求項 18】

前記選択されたサブブロックが前記メモリブロックの前記ドレイン側に位置する上位サブブロックであり、前記少なくとも 1 つの選択されていないサブブロックがオープンサブブロックである場合、前記制御回路は、

前記選択されたサブブロック内のプログラムされたワードラインの数を決定し、

前記選択されたサブブロック内のプログラムされたワードラインの前記数を閾値と比較する、ように更に構成されており、

前記選択されたサブブロック内のプログラムされたワードラインの前記数が前記閾値未満である場合、前記制御回路は、前記メモリブロックの前記ドレイン側から前記複数のチャンネルをプリチャージし、

10

前記選択されたサブブロック内のプログラムされたワードラインの前記数が前記閾値よりも大きい場合、前記制御回路は、前記メモリブロックの前記ソース側から前記複数のチャンネルをプリチャージする、請求項 15 に記載のメモリデバイス。

【請求項 19】

装置であって、

少なくとも 1 つのメモリブロックであって、前記少なくとも 1 つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含み、前記複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置されている、少なくとも 1 つのメモリブロックと、

20

メモリセルごとに少なくとも 3 ビットのデータを含むように前記少なくとも 1 つのメモリブロックの前記メモリセルをプログラムするためのプログラミング手段と、を備え、前記複数のサブブロックのうちの選択されたサブブロックをプログラムするとき、前記プログラム手段は、

前記少なくとも 1 つのメモリブロック内の前記複数のサブブロックのうちの選択されたサブブロックの位置を決定し、前記複数のサブブロックのうちの少なくとも 1 つの選択されていないサブブロックのプログラミング状態を判定し、

前記選択されたサブブロック内の選択されたワードラインを複数のプログラムループであって、前記プログラムループは、プログラミングパルス及び検証動作を含む、複数のプログラムループにおいてプログラムし、

30

前記検証動作の各々の間に、パス電圧 V_{READ} を複数の選択されていないワードラインに印加し、

選択されたワードラインの一方の側の前記メモリブロックの複数のチャンネルから電子を除去するために、前記選択されたワードラインの一方の側の前記選択されていないワードラインを順々に放電し始める、ように構成されている、装置。

【請求項 20】

前記プログラミング手段は、前記プログラミング手段が前記選択されていないワードラインを順々に放電する前記選択されたワードラインの前記側から前記メモリブロックの前記複数のチャンネルをプリチャージするように更に構成されている、請求項 19 に記載の装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、サブブロックに分割された複数のメモリブロックを含むメモリデバイスのメモリセルをプログラムするための技法に関する。

【背景技術】

【0002】

関連技術

半導体メモリは、セルラ電話、デジタルカメラ、パーソナルデジタルアシスタント、電子医療機器、モバイルコンピューティングデバイス、サーバ、ソリッドステートドライブ

50

、非モバイルコンピューティングデバイス、及び他のデバイスなどの様々な電子デバイスに広く使用されている。半導体メモリは、不揮発性メモリ又は揮発性メモリを含むことがある。不揮発性メモリにより、不揮発性メモリが電源（例えば、電池）に接続されていないときでも、情報を記憶及び保持することが可能になる。

【 0 0 0 3 】

NANDメモリデバイスは、複数のワードライン及び複数のチャネルに配置されたメモリセルのアレイを有するメモリブロックを含む。いくつかのメモリブロックにおいて、ワードラインは、互いに独立してプログラム及び消去することができる2つ以上のサブブロックに分割される。各サブブロック内で、ワードラインは、サブブロックの一方の側からサブブロックの反対側への方向に順次プログラムされる。多くのメモリデバイスでは、プログラムディスターブを最小限に抑えるために、上位サブブロック内のワードラインは、サブブロックのソース側からサブブロックのドレイン側に向かう第1の方向にプログラムされ、下位サブブロック内のワードラインは、サブブロックのドレイン側からサブブロックのソース側に向かう反対の第2の方向にプログラムされる。

10

【発明の概要】

【 0 0 0 4 】

本開示の一態様は、メモリデバイスをプログラムする方法に関する。この方法は、少なくとも1つのメモリブロックを含むメモリデバイスを準備するステップを含む。少なくとも1つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含む。複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置される。この方法はまた、少なくとも1つのメモリブロック内の複数のサブブロックのうちの選択されたサブブロックの位置と、複数のサブブロックのうちの少なくとも1つの選択されていないサブブロックのプログラミング状態とを決定するステップを含む。方法は、複数のプログラムループにおいて選択されたサブブロック内の少なくとも1つのワードラインをプログラムするステップに進む。プログラムループはプリチャージプロセスを含み、プリチャージプロセスは、少なくとも1つのメモリブロック内の選択されたサブブロックの位置及び少なくとも1つの選択されていないサブブロックのプログラミング状態のうちの少なくとも1つに基づいて、メモリブロックのソース側又はドレイン側のいずれかから開始する。

20

【 0 0 0 5 】

本開示の別の態様によれば、方法は、メモリブロック内の選択されたサブブロックの位置に関係なく、かつ少なくとも1つの選択されていないサブブロックのプログラミング状態に関係なく、複数のサブブロックのうちの選択されたサブブロックのワードラインをドレイン側からソース側に向かう方向に順次プログラムするステップを更に含む。

30

【 0 0 0 6 】

本開示の更に別の態様によれば、複数のプログラムループの各プログラムループは、メモリブロック内の複数の選択されていないワードラインにパス電圧VREADを印加することを含む検証動作を含む。

【 0 0 0 7 】

本開示の更に別の態様によれば、各プログラムループの検証動作の終了時に、選択されたワードラインの一方の側のみににおいて、選択されていないワードラインのうちの少なくともいくつかは、メモリブロックのソース側又はメモリブロックのドレイン側のいずれかに向かう方向に順々にパス電圧VREADから放電し始める。

40

【 0 0 0 8 】

本開示の更なる態様によれば、選択されていないワードラインが順々に放電する選択されたワードラインの側は、プリチャージプロセスが開始する選択されたワードラインの側と同じである。

【 0 0 0 9 】

本開示の更なる態様によれば、選択されていないワードラインのうちのいくつかは放電を完了する前に、メモリブロックのソース側のソースライン又はメモリブロックのドレイ

50

ン側のビットラインのうちの少なくとも1つにプリチャージ電圧を印加して、選択されていないワードラインのうちのいくつかの放電の完了前にメモリブロック内の少なくとも1つのチャンネルをプリチャージする。

【0010】

本開示の更なる態様によれば、選択されたサブブロックがメモリブロックのソース側に位置する下位サブブロックである場合、プリチャージプロセスは、メモリブロックのソース側から開始する。

【0011】

本開示の別の態様によれば、選択されたサブブロックがメモリブロックのドレイン側に位置する上位サブブロックであり、少なくとも1つの選択されていないサブブロックがクロードサブブロックである場合、プリチャージプロセスは、メモリブロックのドレイン側から開始する。

10

【0012】

本開示の更に別の態様によれば、選択されたサブブロックがメモリブロックのドレイン側に位置する上位サブブロックであり、少なくとも1つの選択されていないサブブロックがオープンサブブロックである場合、方法は、選択されたサブブロック内のプログラムされたワードラインの数を決定するステップと、選択されたサブブロック内のプログラムされたワードラインの数を閾値と比較するステップと、を更に含み、選択されたサブブロック内のプログラムされたワードラインの数が閾値未満である場合、プリチャージプロセスは、メモリブロックのドレイン側から開始し、選択されたサブブロック内のプログラムされたワードラインの数が閾値よりも大きい場合、プリチャージプロセスは、メモリブロックのソース側から開始する。

20

【0013】

本開示の別の態様は、メモリデバイスに関する。メモリデバイスは、少なくとも1つのメモリブロックを含む。少なくとも1つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含む。複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置される。メモリデバイスはまた、複数のサブブロックのうちの選択されたサブブロックのメモリセルをプログラムするように構成された制御回路を含む。制御回路は、少なくとも1つのメモリブロック内の複数のサブブロックのうちの選択されたサブブロックの位置を決定し、複数のサブブロックのうちの少なくとも1つの選択されていないサブブロックのプログラミング状態を判定するように構成される。制御回路はまた、複数のプログラムループにおいて、選択されたサブブロック内の少なくとも1つのワードラインをプログラムするように構成される。プログラムループはプリチャージプロセスを含み、制御回路は、メモリブロック内の選択されたサブブロックの位置及び少なくとも1つの選択されていないサブブロックのプログラミング状態のうちの少なくとも1つに基づいて、メモリブロックのソース側又はドレイン側のいずれかからメモリブロック内の複数のチャンネルをプリチャージする。

30

【0014】

本開示の別の態様によれば、制御回路は、メモリブロック内の選択されたサブブロックの位置に関係なく、かつ少なくとも1つの選択されていないサブブロックのプログラミング状態に関係なく、複数のサブブロックのうちの選択されたサブブロックのワードラインをメモリブロックのドレイン側からソース側に向かう方向に順次プログラムするように更に構成される。

40

【0015】

本開示の更に別の態様によれば、複数のプログラムループの各プログラムループは、制御回路がメモリブロック内の複数の選択されていないワードラインにパス電圧VREADを印加することを含む検証動作を含む。

【0016】

本開示の更に別の態様によれば、各プログラムループの検証動作の終了時に、選択され

50

たワードラインの一方の側のみににおいて、制御回路は、選択されていないワードラインのうちの少なくともいくつかを、メモリブロックのソース側又はメモリブロックのドレイン側のいずれかに向かう方向に順々にパス電圧 V_{READ} から放電し始める。

【0017】

本開示の更なる態様によれば、選択されていないワードラインがパス電圧 V_{READ} から順々に放電し始める側は、制御回路が複数のチャンネルをプリチャージする選択されたワードラインの同じ側である。

【0018】

本開示の更なる態様によれば、選択されていないワードラインのうちのいくつかは放電を完了する前に、制御回路が、メモリブロックのソース側のソースライン又はメモリブロックのドレイン側のビットラインのうちの少なくとも1つにプリチャージ電圧を印加して、放電プロセスの完了前にメモリブロック内の少なくとも1つのチャンネルをプリチャージする。

10

【0019】

本開示の更なる態様によれば、選択されたサブブロックがメモリブロックのソース側に位置する下位サブブロックである場合、制御回路は、メモリブロックのソース側からプリチャージプロセスを開始する。

【0020】

本開示の別の態様によれば、選択されたサブブロックがメモリブロックのドレイン側に位置する上位サブブロックであり、少なくとも1つの選択されていないサブブロックがクロードサブブロックである場合、制御回路は、メモリブロックのドレイン側からプリチャージプロセスを開始する。

20

【0021】

本開示の更に別の態様によれば、選択されたサブブロックがメモリブロックのドレイン側に位置する上位サブブロックであり、少なくとも1つの選択されていないサブブロックがオープンサブブロックである場合、制御回路は、選択されたサブブロック内のプログラムされたワードラインの数を決定し、選択されたサブブロック内のプログラムされたワードラインの数を閾値と比較するように更に構成される。選択されたサブブロック内のプログラムされたワードラインの数が閾値未満である場合、制御回路は、メモリブロックのドレイン側から複数のチャンネルをプリチャージする。選択されたサブブロック内のプログラムされたワードラインの数が閾値よりも大きい場合、制御回路は、メモリブロックのソース側から複数のチャンネルをプリチャージする。

30

【0022】

本開示の更に別の態様は、装置に関する。装置は、少なくとも1つのメモリブロックを含む。少なくとも1つのメモリブロックは、ソース側及びドレイン側を有し、複数のワードラインに配置された複数のメモリセルを含む。複数のワードラインは、互いに独立してプログラム及び消去されるように構成された複数のサブブロックに配置される。装置はまた、メモリセルごとに少なくとも3ビットのデータを含むように少なくとも1つのメモリブロックのメモリセルをプログラムするためのプログラミング手段を含む。複数のサブブロックのうちの選択されたサブブロックをプログラムするとき、プログラミング手段は、少なくとも1つのメモリブロック内の複数のサブブロックのうちの選択されたサブブロックの位置を決定し、複数のサブブロックのうちの少なくとも1つの選択されていないサブブロックのプログラミング状態を判定するように構成される。プログラミング手段は、複数のプログラムループにおいて、選択されたサブブロック内の選択されたワードラインをプログラムするように更に構成される。プログラムループは、プログラミングパルス及び検証動作を含む。検証動作の各々の間に、プログラミング手段は、パス電圧 V_{READ} を複数の選択されていないワードラインに印加する。プログラミング手段は、選択されたワードラインの一方の側のメモリブロックの複数のチャンネルから電子を除去するために、選択されたワードラインの一方の側の選択されていないワードラインを順々に放電し始めるように更に構成される。

40

50

【 0 0 2 3 】

本開示の別の態様によれば、プログラミング手段は、プログラミング手段が選択されていないワードラインを順々に放電する選択されたワードラインの側からメモリブロックの複数のチャネルをプリチャージするように更に構成される。

【図面の簡単な説明】

【 0 0 2 4 】

添付の図に示される例示的な実施形態を参照して、より詳細な説明を以下に記載する。これらの図は、本開示の例示的な実施形態のみを示しており、したがって、本開示の範囲を限定するものと見なされるべきではないことを理解されたい。本開示は、添付の図面の使用を通じて、追加の特異性及び詳細とともに記載され、説明される。

10

【図 1 A】例示的なメモリデバイスのブロック図である。

【図 1 B】例示的な制御回路のブロック図である。

【図 2】図 1 A のメモリアレイの例示的な二次元構成におけるメモリセルのブロックを示す。

【図 3 A】NAND ストリングにおける例示的な浮遊ゲートメモリセルの断面図を示す。

【図 3 B】NAND ストリングにおける例示的な浮遊ゲートメモリセルの断面図を示す。

【図 4 A】NAND ストリング内の例示的な電荷トラップメモリセルの断面図を示す。

【図 4 B】NAND ストリング内の例示的な電荷トラップメモリセルの断面図を示す。

【図 5】図 1 の感知ブロック S B 1 の例示的なブロック図を示す。

【図 6 A】図 1 のメモリアレイの例示的な三次元構成におけるブロックのセットの斜視図である。

20

【図 6 B】図 6 A のブロックのうちの 1 つの一部分の例示的な断面図を示す。

【図 6 C】図 6 B のスタックのメモリホール直径のプロットを示す。

【図 6 D】図 6 B のスタックの領域 6 2 2 の拡大図を示す。

【図 7 A】図 6 B のスタックの例示的なワードライン層 W L L 0 の上面図である。

【図 7 B】図 6 B のスタックの例示的な上部誘電体層 D L 1 1 6 の上面図である。

【図 8】メモリセル当たり 1 ビット (S L C) にプログラムされた複数のメモリセルの閾値電圧分布プロットである。

【図 9】メモリセル当たり 3 ビット (T L C) にプログラムされた複数のメモリセルの閾値電圧分布プロットである。

30

【図 1 0】複数のプログラムループを含む例示的なプログラミング動作中に選択されたワードラインに印加される電圧の例示的な波形である。

【図 1 1】例示的なプログラムループの一部の間の例示的なメモリデバイスの複数の構成要素の電圧波形を示す。

【図 1 2】例示的なプリチャージプロセス中の例示的なストリングの概略図である。

【図 1 3】本開示の一態様による例示的なプリチャージプロセス中の例示的なストリングの概略図である。

【図 1 4】本発明の例示的な実施形態による検証動作中及び検証動作後のメモリブロック内の複数のワードラインの電圧波形を示す。

【図 1 5】本開示の例示的な一実施形態による、検証動作中及び検証動作後のメモリブロック内の複数の構成要素の電圧波形を示す。

40

【図 1 6】本開示の別の例示的な実施形態による、検証動作中及び検証動作後のメモリブロック内の複数の構成要素の電圧波形を示す。

【図 1 7 A】メモリブロックのサブブロックが第 1 の状態にあるときのプログラミング中のプログラミング方向及びプリチャージ経路を示す。

【図 1 7 B】メモリブロックのサブブロックが第 2 の状態にあるときのプログラミング中のプログラミング方向及びプリチャージ経路を示す。

【図 1 7 C】メモリブロックのサブブロックが第 3 の状態にあるときのプログラミング中のプログラミング方向及びプリチャージ経路を示す。

【図 1 7 D】メモリブロックのサブブロックが第 4 の状態にあるときのプログラミング中

50

のプログラミング方向及びプリチャージ経路を示す。

【図 1 7 E】メモリブロックのサブブロックが第 5 の状態にあるときのプログラミング中のプログラミング方向及びプリチャージ経路を示す。

【図 1 8】メモリブロックのサブブロックが第 6 の状態にあるときのプログラミング中のプログラミング方向及びプリチャージ経路を示す。

【図 1 9】メモリブロック内の 3 つのサブブロックの状態に基づいて、どのプリチャージオプションを選択するかを識別する表である。

【図 2 0】例示的な方法による、サブブロック内の複数のワードラインをプログラムするステップを示すフローチャートである。

【発明を実施するための形態】

10

【 0 0 2 5 】

本開示によれば、メモリブロックは、互いに独立してプログラム及び消去され得る複数のサブブロックに分割される。選択されたサブブロックのプログラミング中に、メモリブロック内のサブブロックの位置に関係なく、ワードラインは、逆順序プログラミング方向に、すなわちメモリブロックのドレイン側からソース側に順次プログラムされる。各ワードラインのプログラミングは、複数のプログラムループを含み、各プログラムループは、プログラムパルス及び検証動作を有する。各検証動作の終わりに、選択されたワードラインの一方の側の複数の選択されていないワードラインは、選択されたワードラインのすぐ隣のワードラインからメモリブロックのドレイン側又はソース側のいずれかに向かってパス電圧から順次放電し始め、選択されたワードラインのその側のメモリブロックの複数の

20

【 0 0 2 6 】

図 1 A は、前述のプログラミング技法を実行するように構成された例示的なメモリデバイス 1 0 0 のブロック図である。メモリデバイス 1 0 0 は、メモリセルのアレイなどのメモリセルのメモリ構造 1 2 6 を有するメモリダイ 1 0 8、制御回路 1 1 0、及び読み出し/書き込み回路 1 2 8 を含む。メモリ構造 1 2 6 は、行デコーダ 1 2 4 を介してワードラインによりアドレス指定可能であり、列デコーダ 1 3 2 を介してビットラインによりアドレス指定可能である。読み出し/書き込み回路 1 2 8 は、複数の感知ブロック S B 1、S B 2、・・・S B p (感知回路) を含み、メモリセルのページを並列に読み出すか又はプログラムすることを可能にする。典型的には、コントローラ 1 2 2 は、1 つ以上のメモリダイ 1 0 8 と同じメモリデバイス 1 0 0 (例えば、リムーバブル記憶カード) に含まれる。コマンド及びデータは、データバス 1 2 0 を介してホスト 1 4 0 とコントローラ 1 2 2 との間で転送され、ライン 1 1 8 を介してコントローラと 1 つ以上のメモリダイ 1 0 8 との間で転送される。

30

【 0 0 2 7 】

メモリ構造 1 2 6 は、二次元又は三次元であり得る。メモリ構造 1 2 6 は、三次元アレイを含むメモリセルの 1 つ以上のアレイを含み得る。メモリ構造 1 2 6 は、複数のメモリレベルが、介在する基板なしでウェハなどの単一の基板の上方に形成された(かつ、基板内には形成されない)モノリシック三次元メモリ構造を含み得る。メモリ構造 1 2 6 は、シリコン基板の上方に配置されたアクティブ領域を有するメモリセルのアレイの 1 つ以上の物理レベルでモノリシックに形成された任意の種類の不揮発性メモリを含み得る。メモリ構造 1 2 6 は、関連する回路が基板の上方又は内部にあるかどうかに関わらず、メモリセルの動作に関連する回路を有する不揮発性メモリデバイスにあり得る。

40

【 0 0 2 8 】

制御回路 1 1 0 は、読み出し/書き込み回路 1 2 8 と協働して、メモリ構造 1 2 6 でメモリ動作を実行し、ステートマシン 1 1 2、オンチップアドレスデコーダ 1 1 4 及び電力制御モジュール 1 1 6 を含む。ステートマシン 1 1 2 は、メモリ動作のチップレベル制御

50

を提供する。

【 0 0 2 9 】

記憶領域 1 1 3 は、例えば、プログラミングパラメータのために提供され得る。プログラミングパラメータとしては、プログラム電圧、プログラム電圧バイアス、メモリセルの位置を示す位置パラメータ、コンタクトラインコネクタの厚さパラメータ、検証電圧などが挙げられ得る。位置パラメータは、NANDストリングのアレイ全体内のメモリセルの位置、特定のNANDストリンググループにおけるメモリセルの位置、特定の平面上のメモリセルの位置などを示し得る。コンタクトラインコネクタの厚さパラメータは、コンタクトラインコネクタ、基板、又はコンタクトラインコネクタが構成されている材料などの厚さを示し得る。

10

【 0 0 3 0 】

オンチップアドレスデコーダ 1 1 4 は、ホスト又はメモリコントローラによって使用されるものと、デコーダ 1 2 4 及び 1 3 2 によって使用されるハードウェアアドレスとの間のアドレスインターフェースを提供する。電力制御モジュール 1 1 6 は、メモリ動作中にワードライン及びビットラインに供給される電力及び電圧を制御する。これは、ワードライン、SGS及びSGDトランジスタ、並びにソースラインのためのドライバを含むことができる。感知ブロックは、1つのアプローチにおいて、ビットラインドライバを含むことができる。SGSトランジスタは、NANDストリングのソース端での選択ゲートトランジスタであり、SGDトランジスタは、NANDストリングのドレイン端での選択ゲートトランジスタである。

20

【 0 0 3 1 】

いくつかの実施形態では、構成要素の一部を組み合わせることができる。様々な設計において、メモリ構造 1 2 6 以外の構成要素のうちの1つ以上（単独で又は組み合わせで）は、本明細書で説明される活動を実行するように構成されている少なくとも1つの制御回路と考えることができる。例えば、制御回路は、制御回路 1 1 0、ステートマシン 1 1 2、デコーダ 1 1 4 / 1 3 2、電力制御モジュール 1 1 6、感知ブロック S B b、S B 2、...、S B p、読み出し/書き込み回路 1 2 8、コントローラ 1 2 2 等のうちのいずれか1つ又はそれらの組み合わせを含み得る。

【 0 0 3 2 】

制御回路は、メモリセルの1つのセットに対してプログラム及び検証動作を実行するように構成されたプログラミング回路を含むことができ、メモリセルの1つのセットは、複数のデータ状態の中の1つのデータ状態を表すように割り当てられたメモリセルと、複数のデータ状態間の別のデータ状態を表すように割り当てられたメモリセルと、を含み、プログラム及び検証動作は、複数のプログラム及び検証の反復を含み、それぞれのプログラム及び検証の反復では、プログラミング回路は、1つの選択されたワードラインのプログラミングを実行し、その後、プログラミング回路は、選択されたワードラインに検証信号を適用する。制御回路はまた、1つのデータ状態の検証試験に合格するメモリセルのカウントを取得するように構成されたカウント回路を含み得る。制御回路はまた、カウントが閾値を超える量に基づいて、プログラミング動作が完了したかどうかを判定するように構成された判定回路を含むことができる。

30

40

【 0 0 3 3 】

例えば、図 1 B は、プログラミング回路 1 5 1、カウント回路 1 5 2、及び判定回路 1 5 3を含む例示的な制御回路 1 5 0のブロック図である。

【 0 0 3 4 】

オフチップコントローラ 1 2 2 は、プロセッサ 1 2 2 c、ROM 1 2 2 a 及び RAM 1 2 2 b などの記憶デバイス（メモリ）、並びにエラー訂正コード（error-correction code、ECC）エンジン 2 4 5 を含み得る。ECCエンジンは、Vth分布の上部テールが高くなりすぎたときに生じる数々の読み出しエラーを訂正し得る。しかしながら、場合によっては、訂正不可能なエラーが存在し得る。本明細書で提供される技術は、訂正不可能なエラーが発生する可能性を低減する。

50

【 0 0 3 5 】

記憶デバイス（単数又は複数）1 2 2 a、1 2 2 bは、命令のセットなどのコードを含み、プロセッサ1 2 2 cは、この命令のセットを実行して本明細書に記載される機能を提供するように動作可能である。代替的に又は追加的に、プロセッサ1 2 2 cは、1つ以上のワードライン内のメモリセルの予約領域など、メモリ構造1 2 6の記憶デバイス1 2 6 aからコードにアクセスし得る。例えば、コードは、プログラミング、読み出し、及び消去動作などのために、メモリ構造1 2 6にアクセスするために、コントローラ1 2 2によって使用され得る。コードは、起動コード及び制御コード（例えば、命令のセット）を含み得る。起動コードは、起動又はスタートアッププロセス中にコントローラ1 2 2を初期化し、コントローラ1 2 2がメモリ構造1 2 6にアクセスできるようにするソフトウェアである。コードは、1つ以上のメモリ構造1 2 6を制御するためにコントローラ1 2 2によって使用され得る。電源投入されると、プロセッサ1 2 2 cは、実行のためにROM 1 2 2 a又は記憶デバイス1 2 6 aからブートコードをフェッチし、ブートコードはシステム構成要素を初期化し、制御コードをRAM 1 2 2 bにロードする。制御コードがRAM 1 2 2 bにロードされると、制御コードはプロセッサ1 2 2 cによって実行される。制御コードは、メモリの制御及び割り当て、命令の処理の優先順位付け、並びに入力及び出力ポートの制御などの基本タスクを実施するためのドライバを含む。

10

【 0 0 3 6 】

一般に、制御コードは、以下で更に考察されるフロー図の工程を含む、本明細書に記載される機能を実施する命令を含むことができ、以下で更に考察されるものを含む電圧波形を提供することができる。

20

【 0 0 3 7 】

一実施形態では、ホストは、本明細書に記載される方法を実施するために、1つ以上のプロセッサと、1つ以上のプロセッサをプログラムするためのプロセッサ可読コード（例えば、ソフトウェア）を記憶する1つ以上のプロセッサ可読記憶デバイス（RAM、ROM、フラッシュメモリ、ハードディスクドライブ、ソリッドステートメモリ）と、を含むコンピューティングデバイス（例えば、ノートブック、デスクトップ、スマートフォン、タブレット、デジタルカメラ）である。ホストはまた、1つ以上のプロセッサと通信する、追加のシステムメモリ、1つ以上の入力/出力インターフェース、及び/又は1つ以上の入力/出力デバイスを含み得る。

30

【 0 0 3 8 】

NANDフラッシュメモリに加えて、他の種類の不揮発性メモリを使用することもできる。

【 0 0 3 9 】

半導体メモリデバイスは、ダイナミックランダムアクセスメモリ（dynamic random access memory、「DRAM」）、スタティックランダムアクセスメモリ（static random access memory、「SRAM」）デバイス等の揮発性メモリデバイス、抵抗ランダムアクセスメモリ（resistive random access memory、「ReRAM」）、電氣的消去可能プログラム可能読み出し専用メモリ（electrically erasable programmable read only memory、「EEPROM」）、フラッシュメモリ（EEPROMのサブセットと見なすこともできる）、強誘電性ランダムアクセスメモリ（ferroelectric random access memory、「FRAM」）、磁気抵抗ランダムアクセスメモリ（magnetoresistive random access memory、「MRAM」）等の不揮発性メモリデバイス及び情報を記憶する能力がある他の半導体素子を含む。これらのタイプのメモリデバイスのそれぞれは、異なる構成を有してもよい。例えば、フラッシュメモリデバイスは、NAND又はNOR構成で構成され得る。

40

【 0 0 4 0 】

メモリデバイスは、受動素子及び/又は能動素子から、任意の組み合わせで形成されてもよい。非限定的な例として、受動半導体メモリ素子は、ReRAMデバイス素子を含み、これは一部の実施形態では、アンチヒューズ、相変化材料等の抵抗率スイッチング記憶

50

素子、及び任意選択的にダイオード、トランジスタ等のステアリング素子を含む。更に非限定的な例として、能動半導体メモリ素子は、EEPROM及びフラッシュメモリデバイス素子を含み、これは一部の実施形態では、浮遊ゲート、導電性ナノ粒子、電荷蓄積誘電材料等の電荷蓄積領域を含有する素子を含む。

【0041】

複数のメモリ素子は、複数のメモリ素子が直列に接続されているように、又は複数のメモリ素子のそれぞれが個々にアクセス可能であるように構成され得る。非限定的な例として、NAND構成(NANDメモリ)内のフラッシュメモリデバイスは、典型的には、直列に接続されたメモリ素子を含む。NANDストリングは、メモリセル及びSGトランジスタを含む直列接続トランジスタのセットの例である。

10

【0042】

NANDメモリアレイは、ストリングが、単一のビットラインを共有しグループとしてアクセスされる複数のメモリ素子で構成される、複数のメモリストリングからアレイが構成されるように構成され得る。代替的に、メモリ素子は、素子のそれぞれが個々にアクセス可能であるように構成され得、例えば、NORメモリ配列であるように構成され得る。NAND及びNORメモリ構成は、例であり、メモリ素子は、別法で構成されてもよい。基板内及び/又は基板の上に位置する半導体メモリ素子は、二次元メモリ構造、三次元メモリ構造などの二次元又は三次元で配置され得る。

【0043】

二次元メモリ構造では、半導体メモリ素子は、単一の平面又は単一のメモリデバイスレベルに配置される。典型的には、二次元メモリ構造では、メモリ素子は、メモリ素子を支持する基板の主表面に実質的に平行に延在する平面(例えば、 $x-y$ 方向平面)に配置される。基板は、ウェハであり、ウェハの上又はウェハ内にメモリ素子の層が形成されるウェハであってもよく、あるいはメモリ素子が形成された後にメモリ素子に取り付けられるキャリア基板であってもよい。非限定的な例として、基板は、シリコンなどの半導体を含み得る。

20

【0044】

メモリ素子は、複数の行及び/又は列などの整列した配列において単一のメモリデバイスレベルに配置され得る。しかしながら、メモリ素子は非規則的又は非直交構成で配列され得る。メモリ素子は各々2つ以上の電極又はビットライン、ワードライン等のコンタクトラインを有し得る。

30

【0045】

三次元メモリアレイは、メモリ素子が複数の平面又は複数のメモリデバイスレベルを占有するように配置され、それによって、三次元(すなわち、 x 、 y 、及び z 方向であり、 z 方向は基板の主表面に実質的に垂直であり、 x 及び y 方向は基板の主表面に実質的に平行である)の構造を形成する。

【0046】

非限定的な例として、三次元メモリ構造は、複数の二次元メモリデバイスレベルの積層体として垂直に配置され得る。別の非限定的な例として、三次元メモリアレイは、それぞれの列が複数のメモリ素子を有する複数の垂直列(例えば、基板の主表面に対して実質的に垂直、すなわち y 方向に延在する列)として配置され得る。列は、二次元構成、例えば、 $x-y$ 平面に配置されてもよく、複数の垂直に積層されたメモリ面に素子があるメモリ素子の三次元配置をもたらす。三次元のメモリ素子の他の構成が、三次元メモリアレイを構成することもできる。

40

【0047】

非限定的な例として、NANDストリングの三次元アレイでは、メモリ素子は、単一の水平(例えば、 $x-y$)メモリデバイスレベル内にNANDストリングを形成するようにまとめて結合され得る。代替的に、メモリ素子は、複数の水平メモリデバイスレベルにわたって横断する垂直なNANDストリングを形成するように一緒に結合され得る。いくつかのNANDストリングが単一のメモリレベルでメモリ素子を含有し、他のストリングが

50

複数のメモリレベルにわたるメモリ素子を含有する、他の三次元構成を想定することができる。三次元メモリアレイはまた、NOR構成及びReRAM構成で設計されてもよい。

【0048】

典型的には、モノリシック三次元メモリアレイでは、1つ以上のメモリデバイスレベルが単一の基板の上方に形成される。任意選択的に、モノリシック三次元メモリアレイは、単一の基板内に少なくとも部分的に1つ以上のメモリ層も有し得る。非限定的な例として、基板は、シリコンなどの半導体を含み得る。モノリシック三次元アレイでは、アレイのそれぞれのメモリデバイスレベルを構成する層は、典型的には、アレイの下方のメモリデバイスレベルの層上に形成される。しかしながら、モノリシック三次元メモリアレイの隣接するメモリデバイスレベルの層は、共有されてもよいが、又はメモリデバイスレベル間に介在する層を有してもよい。

10

【0049】

別の観点から、二次元アレイが別個に形成され、次いでまとめてパッケージ化されて、複数のメモリ層を有する非モノリシックメモリデバイスを形成してもよい。例えば、非モノリシックスタックメモリは、メモリレベルを別個の基板上に形成することと、次いで、メモリレベルを互いの上にスタックすることによって構築され得る。基板は、積層前にメモリデバイスレベルから薄くされるか、又は除去され得るが、メモリデバイスレベルが別個の基板にわたって最初に形成されるため、結果として得られるメモリアレイはモノリシック三次元メモリアレイではない。更に、複数の二次元メモリアレイ又は三次元メモリアレイ(モノリシック又は非モノリシック)は、別個のチップ上に形成され、次いでまとめてパッケージ化されて積層チップメモリデバイスを形成してもよい。

20

【0050】

図2は、図1のメモリアレイ126の例示的な二次元構成におけるメモリセルのブロック200、210を示す。メモリアレイ126は、多くのそのようなブロック200、210を含み得る。それぞれの例示的なブロック200、210は、いくつかのNANDストリングと、ブロック間で共有されるそれぞれのビットライン、例えば、BL0、BL1、・・・を含む。それぞれのNANDストリングは、一端でドレイン側選択ゲート(drain-side select gate、SGD)に接続され、ドレイン選択ゲートの制御ゲートは、共通のSGDラインを介して接続される。NANDストリングは、それらの他端でソース側選択ゲート(source-side select gate、SGS)に接続され、次に、共通のソースライン220に接続される。112本のワードライン、例えばWL0~WL111は、SGSとSGDとの間に延在する。いくつかの実施形態では、メモリブロックは、112本より多い又は少ないワードラインを含んでもよい。例えば、いくつかの実施形態では、メモリブロックは、164本のワードラインを含む。場合によっては、ユーザデータを含まないダミーワードラインも、選択ゲートトランジスタに隣接するメモリアレイに使用され得る。そのようなダミーワードラインは、エッジデータワードラインを特定のエッジ効果から遮蔽し得る。

30

【0051】

メモリアレイに提供され得る不揮発性メモリの1つのタイプは、図3A及び図3Bに示されるタイプのような浮遊ゲートメモリである。しかしながら、他のタイプの不揮発性メモリを使用することもできる。以下で更に詳細に考察されるように、図4A及び図4Bに示される別の実施例では、電荷トラップメモリセルは、導電性浮遊ゲートの代わりに非導電性誘電体材料を使用して、不揮発的に電荷を蓄積する。酸化ケイ素、窒化ケイ素、及び酸化ケイ素(「ONO」)から形成された三層誘電体は、導電性制御ゲートとメモリセルチャネルの上の半導電性基板の表面との間に挟まれる。セルは、セルチャネルから窒化物に電子を注入することによってプログラムされ、それらの電子は補足され、限られた領域に蓄積される。次いで、この蓄積電荷は、検出可能な方法で、セルのチャネルの一部分の閾値電圧を変化させる。セルは、ホットホールを窒化物に注入することによって消去される。同様のセルは、ドーブポリシリコンゲートがメモリセルチャネルの一部分上に延在して別個の選択トランジスタを形成するスプリットゲート構成で提供され得る。

40

50

【 0 0 5 2 】

別のアプローチでは、N R O Mセルが使用される。例えば、2ビットがそれぞれのN R O Mセルに記憶され、O N O誘電体層は、ソース拡散とドレイン拡散との間のチャンネルを横切って延在する。一方のデータビットの電荷は、ドレインに隣接する誘電体層に局在し、他方のデータビットの電荷は、ソースに隣接する誘電体層に局在する。多状態のデータ記憶は、絶縁体内の空間的に分離された電荷蓄積領域のバイナリ状態を別々に読み出すことによって取得される。他のタイプの不揮発性メモリも既知である。

【 0 0 5 3 】

図3Aは、N A N Dストリングにおける例示的な浮遊ゲートメモリセル300、310、320の断面図を示す。この図では、ビットライン又はN A N Dストリング方向はページに入り、ワードライン方向は左から右に進む。一例として、ワードライン324は、対応のチャンネル領域306、316、及び326を含むN A N Dストリングを横切って延在する。メモリセル300は、制御ゲート302、浮遊ゲート304、トンネル酸化物層305、及びチャンネル領域306を含む。メモリセル310は、制御ゲート312、浮遊ゲート314、トンネル酸化物層315、及びチャンネル領域316を含む。メモリセル320は、制御ゲート322、浮遊ゲート321、トンネル酸化物層325、及びチャンネル領域326を含む。それぞれのメモリセル300、310、320は、異なる対応のN A N Dストリング内にある。インターポリ誘電体(inter-poly dielectric、I P D)層328も示されている。制御ゲート302、312、322は、ワードラインの部分である。コンタクトラインコネクタ329に沿った断面図を図3Bに示す。

【 0 0 5 4 】

制御ゲート302、312、322は、浮遊ゲート304、314、321を包み込み、制御ゲート302、312、322と浮遊ゲート304、314、321との間の表面接触領域を増加させる。これにより、I P D静電容量が高くなり、より高い結合比につながり、プログラミング及び消去を容易にする。しかしながら、N A N Dメモリデバイスが縮小されると、隣接するセル300、310、320間の間隔はより小さくなるため、2つの隣接する浮遊ゲート302、312、322間に制御ゲート302、312、322及びI P D層328のための空間はほとんどない。

【 0 0 5 5 】

代替として、図4A及び図4Bに示されるように、制御ゲート402、412、422が平坦又は平面である平坦又は平面メモリセル400、410、420が開発された。すなわち、制御ゲートはフローティングゲートを包み込まず、電荷蓄積層428とのその接触は、その上方からのみである。この場合、高い浮遊ゲートを有することに利点はない。代わりに、浮遊ゲートはかなり薄くなる。更に、浮遊ゲートを使用して、電荷を蓄積することができ、又は薄い電荷トラップ層を使用して、電荷をトラップすることができる。このアプローチは、プログラミング中にトンネル酸化物を通るトンネリング後に電子が浮遊ゲートを通して移動し得る、電子の弾道性伝導の問題を回避することができる。

【 0 0 5 6 】

図4Aは、N A N Dストリングにおける例示的な電荷トラップメモリセル400、410、420の断面図を示す。図は、図1のメモリセルアレイ126内のメモリセル400、410、420の二次元例として、平坦制御ゲート及び電荷トラップ領域を含むメモリセル400、410、420のワードライン方向にある。電荷トラップメモリは、N O R及びN A N Dフラッシュメモリデバイスで使用され得る。この技術は、電子を蓄積するためにドーパ多結晶シリコンなどの導体を使用する浮遊ゲートM O S F E T技術とは対照的に、電子を蓄積するためにS i Nフィルムなどの絶縁体を使用する。一例として、ワードライン424は、対応のチャンネル領域406、416、426を含むN A N Dストリングを横切って延在する。ワードラインの部分は、制御ゲート402、412、422を提供する。ワードラインの下は、I P D層428、電荷トラップ層404、414、421、ポリシリコン層405、415、425、及びトンネル層409、407、408がある。それぞれの電荷トラップ層404、414、421は、対応のN A N Dストリング内で

連続的に延在する。制御ゲートの平坦な構成は、浮遊ゲートより薄くすることができる。加えて、メモリセルを互いに近づけることができる。

【 0 0 5 7 】

図 4 B は、コンタクトラインコネクタ 4 2 9 に沿った図 4 A の構造の断面図を示す。N AND スtring 4 3 0 は、S G S トランジスタ 4 3 1、例示的なメモリセル 4 0 0、4 3 3、・・・4 3 5、及び S G D トランジスタ 4 3 6 を含む。S G S 及び S G D トランジスタ 4 3 1、4 3 6 内の I P D 層 4 2 8 内の通路は、制御ゲート層 4 0 2 及び浮遊ゲート層が通信することを可能にする。例えば、制御ゲート 4 0 2 及び浮遊ゲート層は、ポリシリコンであってもよく、トンネル酸化物層は、酸化ケイ素であってもよい。I P D 層 4 2 8 は、N - O - N - O - N 構成のように、窒化物 (N) 及び酸化物 (O) のスタックであり得る。

10

【 0 0 5 8 】

N AND スtring は、p 型基板領域 4 5 5、n 型ウェル 4 5 6、及び p 型ウェル 4 5 7 を含む基板上に形成されてもよい。N 型ソース / ドレイン拡散領域 s d 1、s d 2、s d 3、s d 4、s d 5、s d 6、及び s d 7 は、p 型ウェル内に形成される。チャネル電圧 V c h は、基板のチャネル領域に直接適用されてもよい。

【 0 0 5 9 】

図 5 は、図 1 の感知ブロック S B 1 の例示的なブロック図を示す。1 つのアプローチでは、感知ブロックは複数の感知回路を含む。それぞれの感知回路は、データラッチに関連付けられる。例えば、例示的な感知回路 5 5 0 a、5 5 1 a、5 5 2 a、及び 5 5 3 a は、それぞれデータラッチ 5 5 0 b、5 5 1 b、5 5 2 b、及び 5 5 3 b に関連付けられる。1 つのアプローチでは、ビットラインの異なるサブセットは、異なる対応の感知ブロックを使用して感知され得る。これにより、感知回路に関連付けられた処理負荷を分割し、それぞれの感知ブロック内の対応のプロセッサによって処理することが可能になる。例えば、S B 1 の感知回路コントローラ 5 6 0 は、感知回路及びラッチのセットと通信し得る。感知回路コントローラ 5 6 0 は、プリチャージ電圧を設定するためのそれぞれの感知回路に電圧を提供する、プリチャージ回路 5 6 1 を含んでもよい。1 つの可能なアプローチでは、例えば、データバス及びローカルバスを介して、それぞれの感知回路に電圧が独立して提供される。別の可能なアプローチでは、共通の電圧が、それぞれの感知回路に同時に提供される。感知回路コントローラ 5 6 0 はまた、プリチャージ回路 5 6 1、メモリ 5 6 2、及びプロセッサ 5 6 3 を含み得る。メモリ 5 6 2 は、本明細書に記載の機能を実行するようにプロセッサによって実行可能なコードを記憶し得る。これらの機能は、感知回路 5 5 0 a、5 5 1 a、5 5 2 a、5 5 3 a に関連付けられたラッチ 5 5 0 b、5 5 1 b、5 5 2 b、5 5 3 b を読み出し、ラッチ内のビット値を設定し、感知回路 5 5 0 a、5 5 1 a、5 5 2 a、5 5 3 a の感知ノードにプリチャージレベルを設定するための電圧を提供することを含み得る。感知回路コントローラ 5 6 0 及び感知回路 5 5 0 a、5 5 1 a、5 5 2 a、5 5 3 a の更なる例示的な詳細を以下に示す。

20

30

【 0 0 6 0 】

いくつかの実施形態では、メモリセルは、フラグビットを記憶するラッチのセットを含むフラグレジスタを含み得る。いくつかの実施形態では、フラグレジスタの量は、データ状態の量に対応し得る。いくつかの実施形態では、1 つ以上のフラグレジスタを使用して、メモリセルを検証するときに使用される検証技術のタイプを制御し得る。いくつかの実施形態では、フラグビットの出力は、特定のセルのブロックが選択されるように、デバイスの関連付けられたロジック、例えば、アドレス復号化回路を修正し得る。バルク動作 (例えば、消去動作など) は、フラグレジスタに設定されたフラグを使用するか、又は暗黙アドレッシングなどでフラグレジスタとアドレスレジスタとの組み合わせを使用するか、又は代替的にアドレスレジスタのみを用いたストレートアドレッシングによって実行され得る。

40

【 0 0 6 1 】

図 6 A は、図 1 のメモリアレイ 1 2 6 の例示的な三次元構成におけるブロックのセット

50

600の斜視図である。基板上には、メモリセル（記憶素子）のブロックBLK0、BLK1、BLK2、及びBLK3、並びにブロックBLK0、BLK1、BLK2、及びBLK3によって使用される回路を有する周辺領域604がある。例えば、回路は、ブロックBLK0、BLK1、BLK2、BLK3の制御ゲート層に接続され得る電圧ドライバ605を含み得る。1つのアプローチでは、ブロックBLK0、BLK1、BLK2、及びBLK3内の共通の高さの制御ゲート層が一般的に駆動される。基板601はまた、回路の信号を搬送するために導電路内でパターン化された1つ以上の下部金属層とともに、ブロックBLK0、BLK1、BLK2、及びBLK3の下に回路を搬送し得る。ブロックBLK0、BLK1、BLK2、及びBLK3は、メモリデバイスの中間領域602に形成される。メモリデバイスの上部領域603において、1つ以上の上部金属層は、回路の信号を搬送するために導電路内でパターン化される。それぞれのブロックBLK0、BLK1、BLK2、及びBLK3は、メモリセルのスタック領域を含み、スタックの交互レベルはワードラインを表す。1つの可能なアプローチでは、それぞれのブロックBLK0、BLK1、BLK2、及びBLK3は、垂直接点が上方金属層まで上方に延在して導電路への接続を形成する、対向する階層側面を有する。4つのブロックBLK0、BLK1、BLK2、及びBLK3が例として示されているが、x方向及び/又はy方向に延在する2つ以上のブロックを使用することができる。

10

【0062】

1つの可能なアプローチでは、x方向の平面の長さは、ワードラインへの信号経路が1つ以上の上部金属層に延在する方向（ワードライン又はSGDライン方向）を表し、また、y方向の平面の幅は、ビットラインへの信号経路が1つ以上の上部金属層内に延在する方向（ビットライン方向）を表す。z方向は、メモリデバイスの高さを表す。

20

【0063】

図6Bは、図6AのブロックBLK0、BLK1、BLK2、BLK3のうちの1つの一部分の例示的な断面図を示す。ブロックは、交互の導電層及び誘電体層のスタック610を含む。この例では、導電層は、データワードライン層（又はワードライン）WL0～WL111に加えて、2のSGD層、2つのSGS層、及び4つのダミーワードライン層DWLD0、DWLD1、DWLS0、及びDWLS1を含む。誘電体層をDL0～DL116とラベル付けする。更に、NANDストリングNS1及びNS2を含むスタック610の領域が示されている。それぞれのNANDストリングは、ワードラインに隣接するメモリセルを形成する材料で充填されたメモリホール618、619を包含する。スタック610の領域622は、図6Dにより詳細に示されており、以下で更に詳細に考察される。

30

【0064】

スタック610は、基板611と、基板611上の絶縁フィルム612と、ソースラインSLの一部分とを含む。NS1は、スタックの底部614にソース端613を有し、スタック610の上部616にドレイン端615を有する。コンタクトラインコネクタ（例えば、金属充填スリットなどのスリット）617、620は、ソースラインをスタック610の上方にある特定のコンタクトラインに接続するように、スタック610を通して延在する相互接続として、スタック610にわたって周期的に設けられてもよい。コンタクトラインコネクタ617、620は、ワードラインの形成中に使用され、続いて金属で充填されてもよい。ビットラインBL0の一部分も示されている。導電ビア621は、ドレイン端615をBL0に接続する。

40

【0065】

図6Cは、図6Bのスタックのメモリホール直径のプロットを示す。垂直軸は、図6Bのスタックと整列し、メモリホール618及び619の幅（WMH）、例えば直径を示す。図6Aのワードライン層WL0～WL111は、一例として繰り返され、スタック内の対応の高さz0～z111にある。そのようなメモリデバイスでは、スタックを介してエッチングされるメモリホールは、非常に高いアスペクト比を有する。例えば、約25～30の深さ対直径比が一般的である。メモリホールは、円形断面を有してもよい。エッチン

50

グプロセスにより、メモリホール幅は、ホールの長さに沿って変化し得る。典型的には、直径は、メモリホールの上部から底部へと徐々に小さくなる。すなわち、メモリホールは、テーパ状であり、スタックの底部で狭くなる。場合によっては、選択ゲートの近くのホールの上部にわずかな狭まりが生じ、それにより、直径は、メモリホールの上部から底部までわずかに幅広になってから徐々に小さくなる。

【 0 0 6 6 】

メモリホールの幅の不均一性により、メモリセルのプログラム傾斜及び消去速度を含むプログラミング速度は、メモリホールに沿ったそれらの位置に基づいて、例えば、スタック内のそれらの高さに基づいて変化し得る。メモリホールの直径が小さいほど、トンネル酸化物を横切る電場は比較的強くなるため、プログラミング及び消去速度は比較的高くなる。1つのアプローチは、メモリホール直径が同様である、例えば、規定の直径範囲内にある、隣接するワードラインのグループを定義することであり、グループ内のワードラインごとに最適化された検証スキームを適用することである。異なるグループは、最適化された異なる検証スキームを有し得る。

10

【 0 0 6 7 】

図 6 D は、図 6 B のスタック 6 1 0 の領域 6 2 2 の拡大図を示す。メモリセルは、スタックの異なるレベルでワードライン層とメモリホールとの交点に形成される。この例では、S G D トランジスタ 6 8 0、6 8 1 は、ダミーメモリセル 6 8 2、6 8 3、及びデータメモリセル M C の上に提供される。いくつかの層は、例えば、原子層堆積を使用して、メモリホール 6 3 0 の側壁 (sidewall、S W) に沿って、及び / 又はそれぞれのワードライン層内に堆積され得る。例えば、それぞれの列 (例えば、メモリホール 6 3 0 内の材料によって形成されるピラー) は、S i N 又は他の窒化物などの電荷トラップ層又はフィルム 6 6 3、トンネル層 6 6 4、ポリシリコン本体又はチャネル 6 6 5、及び誘電体コア 6 6 6 を含み得る。ワードライン層は、制御ゲートとして遮断酸化物 / 遮断高 k 材料 6 6 0、金属障壁 6 6 1、及びタングステンなどの導電性金属 6 6 2 を含み得る。例えば、制御ゲート 6 9 0、6 9 1、6 9 2、6 9 3、及び 6 9 4 が提供される。この実施例では、金属を除く全ての層が、メモリホール 6 3 0 内に提供される。他のアプローチでは、層のいくつかは制御ゲート層内にあり得る。追加のピラーは、異なるメモリホール内に同様に形成される。ピラーは、N A N D ストリングの柱状活性領域 (active area、A A) を形成することができる。

20

30

【 0 0 6 8 】

メモリセルがプログラムされるとき、電子は、メモリセルに関連する電荷トラップ層の一部に蓄積される。これらの電子は、チャネルからトンネル層を通して電荷トラップ層に引き込まれる。メモリセルの V_{th} は、蓄積電荷量に比例して増加する。消去動作中、電子はチャネルに戻る。

【 0 0 6 9 】

メモリホール 6 3 0 のそれぞれは、遮断酸化物層、電荷トラップ層 6 6 3、トンネリング層 6 6 4、及びチャネル層を含む複数の環状層で充填され得る。メモリホール 6 3 0 のそれぞれのコア領域は、本体材料で充填され、複数の環状層は、メモリホール 6 3 0 のそれぞれのコア領域とワードラインとの間にある。

40

【 0 0 7 0 】

N A N D ストリングは、チャネルの長さが基板上に形成されないため、浮遊体チャネルを有すると見なすことができる。更に、N A N D ストリングは、スタック内で互いに上方に複数のワードライン層によって提供され、誘電体層によって互いに分離される。

【 0 0 7 1 】

図 7 A は、図 6 B のスタック 6 1 0 の例示的なワードライン層 W L 0 の上面図を示す。前述のように、三次元メモリデバイスは、交互の導電層及び誘電体層のスタックを含むことができる。導電層は、S G トランジスタ及びメモリセルの制御ゲートを提供する。S G トランジスタに使用される層は S G 層であり、メモリセルに使用される層はワードライン層である。更に、メモリホールはスタック内に形成され、電荷トラップ材料及びチャネル

50

材料で充填される。これにより、垂直NANDストリングが形成される。ソースラインは、スタックの下方のNANDストリングに接続され、ビットラインは、スタックの上方のNANDストリングに接続される。

【0072】

以下で更に詳細に説明するように、三次元メモリデバイス内のブロックBLKはサブブロックに分割することができ、各サブブロックは、共通のSGD制御ラインを有するNANDストリンググループを含む。例えば、サブブロックSBa、SBb、SBc及びSBd内のSGDライン/制御ゲートSGD0、SGD1、SGD2及びSGD3をそれぞれ参照されたい。更に、ブロック内のワードライン層を領域に分割することができる。各領域は、それぞれのサブブロック内にあり、メモリデバイスの製造プロセス中にワードライン層を処理するために、スタック内に周期的に形成されたコンタクトラインコネクタ（例えばスリット）間に延在することができる。この処理は、ワードライン層の犠牲材料を金属で置き換えることを含み得る。一般に、コンタクトラインコネクタ間の距離は、エッチング剤が横方向に移動して犠牲材料を除去でき、金属が移動して犠牲材料の除去によって作成されるボイドを充填する距離の限界を考慮して、比較的小さくする必要がある。例えば、コンタクトラインコネクタ間の距離は、隣接するコンタクトラインコネクタ間のメモリホールのいくつかの行を可能にし得る。メモリホール及びコンタクトラインコネクタのレイアウトはまた、各ビットラインが異なるメモリセルに接続されている間に、領域にわたって延在することができるビットラインの数の限界を考慮しなければならない。ワードライン層を処理した後、コンタクトラインコネクタは、任意選択的に金属で充填されて、スタックを介して相互接続を提供することができる。

【0073】

この例では、隣接するコンタクトラインコネクタ間には、4行のメモリホールが存在する。ここでの行は、x方向に整列されたメモリホールのグループである。更に、メモリホールの行は、メモリホールの密度を増加させるために千鳥状パターンである。ワードライン層又はワードラインは、領域WL0a、WL0b、WL0c、及びWL0dに分割され、各々がコンタクトライン713によって接続される。ブロック内のワードライン層の最後の領域は、1つのアプローチにおいて、次のブロック内のワードライン層の第1の領域に接続され得る。コンタクトライン713は、次に、ワードライン層のための電圧ドライバに接続される。領域WL0aは、コンタクトライン712に沿った例示的なメモリホール710、711を有する。領域WL0bは、例示的なメモリホール714、715を有する。領域WL0cは、例示的なメモリホール716、717を有する。領域WL0dは、例示的なメモリホール718、719を有する。メモリホールは図7Bにも示されている。各メモリホールは、それぞれのNANDストリングの一部とすることができる。例えば、メモリホール710、714、716、及び718は、それぞれNANDストリングNS0__SBa、NS1__SBb、NS2__SBc、NS3__SBd、及びNS4__SBeの一部であり得る。

【0074】

各円は、ワードライン層又はSG層におけるメモリホールの断面を表す。破線で示される各円は、メモリホール内の材料によって、及び隣接するワードライン層によって提供されるメモリセルを表す。例えば、メモリセル720、721はWL0a内にあり、メモリセル724、725はWL0b内にあり、メモリセル726、727はWL0c内にあり、メモリセル728、729はWL0d内にある。これらのメモリセルは、スタックにおいて共通の高さにある。

【0075】

コンタクトラインコネクタ（例えば、金属充填スリットなどのスリット）701、702、703、704は、領域WL0a～WL0dのエッジの間及びそれに隣接して配置され得る。コンタクトラインコネクタ701、702、703、704は、スタックの底部からスタックの頂部までの導電路を提供する。例えば、スタックの底部のソースラインは、スタックの上方の導電ラインに接続されてもよく、導電ラインは、メモリデバイスの周

10

20

30

40

50

辺領域内の電圧ドライバに接続される。

【 0 0 7 6 】

図 7 B は、図 6 B のスタックの例示的な上部誘電体層 D L 1 1 6 の上面図を示す。誘電体層は、領域 D L 1 1 6 a、D L 1 1 6 b、D L 1 1 6 c 及び D L 1 1 6 d に分割される。各領域は、それぞれの電圧ドライバに接続することができる。これにより、ワードライン層の 1 つの領域内のメモリセルのセットが同時にプログラムされることを可能にし、各メモリセルは、対応するビットラインに接続されたそれぞれの N A N D ストリング内にある。各ビットラインに電圧を設定して、各プログラム電圧の間のプログラミングを許可又は禁止することができる。

【 0 0 7 7 】

領域 D L 1 1 6 a は、ビットライン B L 0 と一致するコンタクトライン 7 1 2 に沿った例示的なメモリホール 7 1 0、7 1 1 を有する。「X」記号で示されているように、多数のビットラインがメモリホールの上方に延在し、メモリホールに接続される。B L 0 は、メモリホール 7 1 1、7 1 5、7 1 7、7 1 9 を含むメモリホールのセットに接続される。別の例示的なビットライン B L 1 は、メモリホール 7 1 0、7 1 4、7 1 6 及び 7 1 8 を含むメモリホールのセットに接続される。図 7 A からのコンタクトラインコネクタ（例えば、金属充填スリットなどのスリット）7 0 1、7 0 2、7 0 3、7 0 4 もまた、スタックを通して垂直に延びるように示されている。ビットラインは、x 方向に D L 1 1 6 層にわたってシーケンス B L 0 ~ B L 2 3 で番号付けされ得る。

【 0 0 7 8 】

異なる行のメモリセルには、異なるビットラインのサブセットが接続される。例えば、B L 0、B L 4、B L 8、B L 1 2、B L 1 6、B L 2 0 は、各領域の右縁部のセルの第 1 の行内のメモリセルに接続される。B L 2、B L 6、B L 1 0、B L 1 4、B L 1 8、B L 2 2 は、右縁部の第 1 の行に隣接して、隣接するセルの行内のメモリセルに接続される。B L 3、B L 7、B L 1 1、B L 1 5、B L 1 9、B L 2 3 は、各領域の左縁部のセルの第 1 の行内のメモリセルに接続される。B L 1、B L 5、B L 9、B L 1 3、B L 1 7、B L 2 1 は、左縁部の第 1 の行に隣接して、隣接するメモリセルの行内のメモリセルに接続される。

【 0 0 7 9 】

メモリブロックのメモリセルは、それぞれの閾値電圧 V_t に関連付けられた複数のデータ状態において 1 つ以上のビットのデータを記憶するようにプログラムされ得る。例えば、図 8 は、1 ビット / メモリセル (S L C) 記憶方式に従ってプログラムされたメモリセル群の閾値電圧 V_t 分布を示す。S L C 記憶方式では、消去状態 (erased state、E r) 及び単一のプログラムされたデータ状態 (S 1) を含む、2 つの合計データ状態がある。図 9 は、消去状態 (E r) 及び 7 つのプログラムされたデータ状態 (S 1、S 2、S 3、S 4、S 5、S 6、及び S 7) を含む 8 つの合計データ状態を含む、3 ビット / セル (T L C) 記憶方式の閾値電圧 V_t 分布を示す。各プログラムされたデータ状態 (S 1 ~ S 7) は、それぞれの検証電圧 ($V_v 1 \sim V_v 7$) に関連付けられ、プログラミングされるメモリセルが意図されたデータ状態の閾値電圧 V_t に到達したかどうかを検証するために、プログラミング動作の検証部分の間に使用される。図示されているように、それぞれのデータ状態の検証電圧 ($V_v 1 \sim V_v 7$) は、最初のデータ状態 S 1 から最後のデータ状態 S 7 に向かって次第に高くなる。4 つのデータ状態を有するセル当たり 2 ビット (M L C)、1 6 個のデータ状態を有するセル当たり 4 ビット (Q L C)、又は 3 2 個のデータ状態を有するセル当たり 5 ビット (P L C) など、他の記憶方式も利用可能である。

【 0 0 8 0 】

プログラミング動作は、選択されたワードラインのメモリセルが消去されたデータ状態にある状態で開始する。次に、少なくとも 1 つのプログラムループにおいて、選択されたワードラインの制御ゲートにプログラミング電圧 V_{PGM} が印加される。選択されたワードラインのメモリセルに結合されたビットラインは、電子がそれに結合されたメモリセルの電荷トラップ材料に移動することができ、それによってそれらのメモリセルの閾値電圧

10

20

30

40

50

V_tを上昇させるように、低電圧のままにすることができる。あるいは、ビットラインを高い禁止電圧に保持して、ビットラインに結合されたチャネルの電圧を上昇させ、ビットラインに結合されたメモリセルの電荷トラップ材料への電子の移動を防止することによってメモリセルのプログラミングを禁止することができる。

【0081】

(図8に示される)SLCへのプログラミングは、典型的には、プログラミング電圧V_{PGM}SLCにおける単一のプログラミングパルスのみを含むが、MLC、TLC、又はQLCへのプログラミングは、典型的には、複数のプログラムループにおいて印加される複数のプログラミングパルスを含む。図10は、選択されたワードラインのメモリセルをメモリセル当たりより多くのビット数(例えば、TLC又はQLC)にプログラムするための例示的なメモリセルプログラミング動作中に選択されたワードラインに印加される電圧の波形1000を示す。図示されるように、各プログラムループは、特定のプログラムループにおいてどのデータ状態がプログラムされているかに応じて、プログラミングパルスV_{PGM}及び1つ以上の検証パルスを含む。簡単にするために、各パルスについて方形波形が示されている。しかしながら、マルチレベル形状又は傾斜形状などの他の形状も可能である。

【0082】

この例のパルス列では、増分ステップパルスプログラミング(Incremental Step Pulse Programming、ISPP)が使用され、これは、ワードラインのプログラミングが完了するまで、連続する各プログラムループにおいて、V_{PGM}パルス振幅がステップアップする、すなわち増加することを意味する。言い換えれば、パルス列は、固定ステップサイズ(dV_{PGM})を使用して各プログラムループで振幅が段階的に増加するV_{PGM}パルスを含む。新しいパルス列は、初期V_{PGM}パルスレベルV_{PGMU}で始まり、最大許容レベルを超えない最終V_{PGM}パルスレベルで終了する。パルス列1000は、不揮発性メモリセルのセットを含む選択されたワードラインに印加される一連のV_{PGM}パルス1001~1015を含む。一例として、所与のプログラムループにおいて検証されているターゲットデータ状態に基づいて、各V_{PGM}パルスの後に1つ以上の検証電圧パルス1016~1029が提供される。検証電圧は、電圧V_{v1}~V_{v7}(図9に示す)に対応する。検証電圧の印加と同時に、検知動作は、選択されたワードラインのメモリセルを通る電流を検知することによって、選択されたワードラインにおける特定のメモリセルが、関連付けられた検証電圧を上回るV_tを有するかどうかを判定することができる。電流が比較的高い場合、これは、メモリセルが導電状態にあり、その閾値電圧V_tが、その瞬間に選択されたワードラインに印加されている検証電圧未満であることを示す。電流が比較的低い場合、これは、メモリセルが非導電状態にあり、その閾値電圧V_tが、その瞬間に印加されている検証電圧より高いことを示す。メモリセルが検証に合格した場合、そのメモリセルのプログラミングは、残りの全てのプログラミングループに対して禁止される。プログラミングは、全てのメモリセルがそれらの意図されたデータ状態についての検証に合格するまで(この場合、プログラミングは成功する)、又は所定の最大プログラムループ数を超えるまで(この場合、プログラミングは失敗する)進行する。

【0083】

図2に戻って参照すると、メモリブロックのワードラインは、2つの異なる反対方向に進むことができる連続的な順序又はプログラミングシーケンスでプログラムされる。矢印222で示される1つの方向は、通常順序プログラミング(normal order programming、NOP)方向であり、それによって、ワードラインは、メモリブロックのソース側から開始してメモリブロックのドレイン側に向かって進み、メモリブロックの一端から他端に順番にプログラムされる。他の方向は、逆順序プログラミング(reverse order programming、ROP)方向であり、これは矢印224で示される。ROPプログラミングシーケンスでは、プログラミングはメモリブロックのドレイン側から始まり、ソース側に向かって順次進行する。

【0084】

いくつかのメモリブロックでは、そこに記憶されたデータがもはや必要とされないとき、新しいデータがメモリセルにプログラムされ得る前に、そのメモリブロック内のメモリセルの全てが最初に一緒に消去されなければならない。これは、メモリブロック内のワードラインの数が増加するにつれて厄介になり、したがって、いくつかのメモリデバイスでは、メモリブロックは2つ以上のサブブロックに細分される。例えば、図17A～図17E及び図18の実施形態（以下で更に詳細に説明する）では、メモリブロックは、2つのサブブロック、すなわち下位サブブロックSB0及び上位サブブロックSB1に分割されている。例示的な実施形態では、隣接するサブブロックSB0、SB1は、データを含まない複数のダミーワードラインからなる接合部によって互いに分離される。下位及び上位サブブロックSB0、SB1は、互いに独立してプログラム及び消去が可能である。いくつかの実施形態では、メモリブロックは、2つより多くのサブブロック、すなわち、3つ以上のサブブロックに分割され得る。

10

【0085】

各プログラミングパルスの前に、プログラムされるメモリセルを含むチャンネルは、チャンネルを開くメモリブロック内の全てのワードラインに小さい電圧を印加することによって、プリチャージ又はブーストされ得る。図11は、1つのプログラムループのプログラム検証動作及び後続のループのプリチャージ動作中にメモリブロックの様々な構成要素に印加される電圧を示す。図示のように、この例における検証動作の終了時に、全てのワードライン（選択されたワードライン及び選択されていないワードラインの両方）の制御ゲートに印加される電圧は、同時にランブダウンする。次に、プリチャージ動作の間、プリチャージ電圧VCHPCHが、選択されたワードライン及び選択されていないワードラインの両方を含むメモリブロックの全てのワードラインの制御ゲートに印加される。同時に、より大きなCELSRC電圧（いくつかの実施形態では約2ボルト）がソースラインに印加されて、チャンネルを洗浄し、チャンネルをほぼCELSRC電圧レベルに充電する。チャンネルをプリチャージすることは、後続のプログラミングループ中に禁止されているメモリセルにおけるプログラムディスタート（意図しないプログラミング）の発生を軽減する。

20

【0086】

プリチャージ問題は、メモリブロックがサブブロックモードで動作しているとき、及び同じメモリブロックの選択されていないサブブロックのワードラインがすでにプログラムされているときに存在し得る。この問題は、選択されていないサブブロックのメモリセルが、TLC又はQLCなどのメモリセルプログラム方式ごとに3ビット以上にプログラムされる場合に特に問題となる。図12に示すように、そのような場合、選択されていないサブブロック内のいくつかのチャンネル、特に、高データ状態、例えば、TLCの場合のS7データ状態にプログラムされたメモリセルを含むチャンネルをプリチャージすることは困難であり得る。これは、メモリセルがプリチャージ電圧VCHPCHによって「オン」にされないように、S7データ状態の検証電圧Vv7がプリチャージ電圧VCHPCHより大きい場合があるためである。例えば、図13は、下位サブブロックSB0及び上位サブブロックSB1の2つのサブブロックを含むメモリブロック内の単一ストリングに適用されるプリチャージ動作を概略的に示す。この図では、上位サブブロックSB1のワードラインがプログラムされており、下位サブブロックSB0は既に完全にプログラムされている。プリチャージ電圧VCHPCHは、メモリブロック内の全てのワードラインに印加される。図示するように、下位サブブロックSB0内のメモリセルのうちの1つは、プリチャージ電圧VCHPCHによってオンされない。したがって、下位サブブロックSB0の下のソースラインからのセルソース電圧は、S7データ状態のメモリセルを通過して選択されたワードラインに到達することができない。更に、選択されていないワードラインがプログラム検証動作中にパス電圧VREADからランブダウンすると（図11参照）、電圧がメモリセルの検証電圧（例えば、S7データ状態のメモリセルではVv7）未満に降下すると、そのメモリセルは「オフ」にされて電流を導通させることができず、それによってチャンネルの残りの部分を負電圧で浮遊させたままにする。選択されていないサブブロック内のメモリセルがS7データ状態にあり、プリチャージ電圧VCHPCHによってオ

30

40

50

ンにされないためにプリチャージ動作が機能しない場合、この負電圧は次のプログラミングパルスまで持続する。訂正されない場合、禁止ビットライン電圧は、プログラミングが望ましくないメモリセルにおけるプログラミングを防止するのに十分でない可能性があり、プログラムディスタ urb が発生し、それによって、プログラムされるデータの品質が損なわれる。

【0087】

2つのサブブロックを有するサブブロックモードで動作しているメモリブロックにおいてプログラムディスタ urb が発生することを防止する1つの手法は、下位サブブロックSB0を、ROP方向を使用して、メモリブロックのソース側からプリチャージしてプログラムし、上位サブブロックSB1を、NOP方向を使用して、メモリブロックのドレイン側からプリチャージしてプログラムすることである。すると、選択されていないサブブロック内のプログラムされたメモリセルによってプリチャージ電圧を遮断することができない。しかしながら、この戦略は、上位サブブロックSB1においてプログラムするときに隣接ワードライン干渉(NWI)の増加をもたらす可能性があり、また、外側サブブロックがすでにプログラムされている場合、3つ以上のサブブロックに分割されたメモリブロック内の1つ以上の中間サブブロックをプログラムするときに有効でない可能性がある。

【0088】

本開示の一態様は、プログラムディスタ urb 及びNW Iからの影響を最小限に抑えながら、メモリブロック内の全てのサブブロックがROP方向にプログラムされることを可能にするプログラミング技法に関する。この目的は、プログラムされている選択されたワードラインの一方の側の特定のワードラインを、異なる時間における検証動作の終了時にパス電圧VREADからランブダウン又は放電することによって達成される。この特定の放電パターンは、次のプログラミングパルスが選択されたワードラインに印加される前に、検証動作中にチャンネル内に存在する負電荷を完全に放電させる。いくつかの実施形態では、1つのプログラムループの検証動作と次のプログラムループのプログラミングパルスとの間に典型的に見出される別個のプリチャージパルスは、放電プロセスに組み込まれることができ、それによって、放電プロセスが他のプログラミング技法と比較して増加した量の時間を要し得る場合であっても、全体的なデバイス性能を改善する。

【0089】

図13に示す例示的なストリングでは、上位サブブロックSB1のワードラインWL n がプログラムされており、下位サブブロックSB0が閉じられている、すなわち、下位サブブロックSB0の全てのワードラインがプログラムされている。図14に示すように、検証動作に続いて、選択されたサブブロックのプログラムされていないワードライン及び選択されたワードライン(すなわち、WL 56 ~ WL n)は、最初にクロックP8において、ランブダウンされるか、又はそれぞれの電圧から放電される。次に、プログラムされ、選択されたワードラインWL n に直接隣接するWL n + 1は、WL n のわずか後にランブダウンを開始し、WL n + 2は、WL n + 1のわずか後にランブダウンを開始し、WL n + 3 ~ WL 111は、WL n + 2のわずか後にランブダウンを開始する。最後に、選択されていない下位サブブロックSB0のワードラインWL 0 ~ WL 55は全て、同時に、すなわちクロックP9aで、一緒にランブダウンされる。この技術は、プリチャージの前又はプリチャージと同時に、検証動作中にチャンネル内の電子をチャンネルから搾り出し、それによって、放電動作が完了した後に別個のプリチャージパルスがなくても、メモリセル内のプログラムディスタ urb が、続く次のプログラミングパルス中にプログラムすることを禁止されるリスクを低減する。プロットすると、電圧波形は、選択されたワードラインからメモリブロックの一方の側に向かって階段状のパターンを形成し、メモリブロックの一方の側は、以下で説明するように、ソース側又はドレイン側のいずれかであり得る。

【0090】

次に図15及び図16を参照すると、選択されたサブブロック内で、パス電圧VREADの階段状放電波形を含むプリチャージ経路は、以下で説明する特定の状態に応じて、選択されたワードラインWL n のいずれかの側で生じ得る。すなわち、プリチャージ経路は

10

20

30

40

50

、選択されたワードライン WLn のソース側（以下、ソース側階段プリチャージ「 $SSSP$ 」と呼ぶ、図15）、又は選択されたワードライン WLn のドレイン側（以下、ドレイン側階段プリチャージ「 $DSSP$ 」と呼ぶ、図16）のいずれかであり得る。

【0091】

図15は、「階段状の」電圧放電パターンが選択されたワードライン WLn のソース側に見られる $SSSP$ の例示的な実施形態を示す。図示するように、選択されたワードライン WLn が検証電圧から放電するのとほぼ同時に、全てのドレイン側ワードラインの電圧がパス電圧 $VREAD$ から放電する。このとき、ソースラインに印加される電圧は、低電圧からはるかに高いプリチャージ電圧 $VHSA$ にランプアップする。ソースラインが $VHSA$ 電圧までランプアップし始めた後、選択されたワードライン WLn のソース側のワードラインは、 $WLn-1$ から順次、 $VREAD$ からランプダウンし始め、ソースラインに最も近いサブブロックのワードラインが $VREAD$ からランプダウンし始める最後のワードラインとなるように、前のワードラインが $VREAD$ からランプダウンし始めた少し後に、 WLn から更に離れた次の各ワードラインが $VREAD$ からランプダウンし始める。したがって、ワードライン $WLn-1 \sim WLn$ は、ソースラインが $VHSA$ 電圧までランプアップするプリチャージ動作を始めた後にのみ、パス電圧 $VREAD$ からランプダウンし始める。この手順に従うことによって、チャンネル内の電子はチャンネルから絞り出され、選択されたワードライン WLn のメモリセルを含むチャンネルの部分は、ほぼ $VHSA$ 電圧までブーストされ得る。例示的な実施形態では、1つのワードライン（例えば、 $WLn-1$ ）に印加される電圧がランプダウンし始めてから次のワードライン（例えば、 $WLn-2$ ）がランプダウンし始めるまでの時間ギャップ又は持続時間は、約1マイクロ秒（ $1 \mu s$ ）である。

【0092】

図16は、パス電圧 $VREAD$ からの階段状放電が選択されたワードライン WLn のドレイン側で行われる例示的な実施形態を示す。このプロセスは、図15のプロセスと非常に類似しているが、ソース側ワードラインの全てが、選択されたワードライン WLn とともにランプダウンし、階段状のランプダウンは、ワードライン $WLn+1$ から始まり、選択されたサブブロックのソース側の最後のワードラインまで順次続く。また、この実施形態では、ブースト電圧 $VHSA$ は、メモリブロックのソース側のソースラインからではなく、メモリブロックのドレイン側のストリングに結合されたビットラインから来る。

【0093】

いくつかの実施形態では、階段状放電は、一緒に放電し始める複数のワードラインのグループであってもよい。例えば、ワードライン $WLn+1 \sim WLn+3$ は、第1の時間に放電し始める第1のグループ内であってもよい。 $WLn+4 \sim WLn+6$ は、わずかに後の第2の時間に放電し始める第2のグループに属することができ、 $WLn+7 \sim WLn+9$ は、更に後の第3の時間に放電し始める第3のグループに属することができる。各グループ内のワードラインの数は、任意の適切な数とすることができ、グループは全て、同じ数のワードライン又は異なる数のワードラインを含むことができる。

【0094】

いくつかの実施形態では、選択されたワードラインに隣接する所定数のワードラインのみが、階段状ランプダウン技術を受ける。放電側（ソース側又はドレイン側のいずれか）の残りのワードラインは、所定数のワードラインが順々に又はグループで順次放電した後に、全て一緒に放電する。これは、検証動作の終了時にチャンネル内の電子がチャンネルから出ることを依然として可能にしながら、性能を向上させ得る。

【0095】

ここで図17A～Eを参照すると、2つのサブブロック $SB0$ 、 $SB1$ を含むメモリブロックにおいて提供される5つの異なる最適化されたプログラミング状態が示されている。これら5つのシナリオの各々において、ワードラインのプログラミングは、 ROP 方向（ドレイン側からソース側に向かう方向）に従う。プリチャージ動作の方向（ $SSST$ 又は $DSSST$ ）は、メモリブロックがどの状態にあるか、及び選択されたワードラインにお

10

20

30

40

50

いていくつのワードラインがプログラムされたかに基づいて判定される。

【 0 0 9 6 】

図 1 7 A の状態では、上位サブブロック S B 1 は空であり、下位サブブロック S B 0 がプログラムされている。この状態では、プリチャージ経路は、例えば S S S T など、メモリブロックのソース側から開始する（図 1 5 の例を参照）。図 1 7 B の状態では、上位サブブロック S B 1 が完全にプログラムされ、下位サブブロック S B 0 がプログラムされている。この状態では、プリチャージ経路は、例えば S S S T など、メモリブロックのソース側から開始する（図 1 5 の例を参照）。図 1 7 E の状態では、下位サブブロックが完全にプログラムされ、上位サブブロック S B 1 がプログラムされている。この状態では、プリチャージ経路は、例えば D S S T など、メモリブロックのドレイン側から開始する（図 1 6 の例を参照）。

10

【 0 0 9 7 】

図 1 7 C の状態では、下位サブブロック S B 0 は空であり、上位サブブロック S B 1 は途中までプログラムされている。この状態では、プリチャージ経路は、例えば S S S T など、メモリブロックのソース側から開始する（図 1 5 の例を参照）。図 1 7 D のシナリオでは、下位サブブロック S B 0 は空であり、上位サブブロック S B 1 は途中までプログラムされていない。この状態では、プリチャージ経路は、例えば D S S T など、メモリブロックのドレイン側から開始する（図 1 6 の例を参照）。したがって、上位サブブロック S B 1 のプログラミングが図 1 7 C のシナリオから図 1 7 D のシナリオに遷移し、プリチャージ経路がプログラミング性能を最適化するように方向を変える、閾値数 N のワードラインが存在する。

20

【 0 0 9 8 】

図 1 8 に概略的に示された状態のようないくつかの状態において、上位サブブロック S B 1 はプログラムされ得るが、下位サブブロック S B 0 は部分的にオープンであり、すなわち、いくつかのワードラインはプログラムされ、いくつかのワードラインはプログラムされない。メモリブロックがこの状態にある場合、メモリデバイスは、上位サブブロック S B 1 内のいくつかのワードラインがプログラムされたかを判定し、この数を変数 N 1 に設定し、次いで、下位サブブロック S B 0 内のいくつかのワードラインがプログラムされたかを判定し、この数を変数 N 2 に設定する。N 1 が N 2 よりも大きい場合、階段状放電動作を適用するワードラインがより少なくなるので、プリチャージ経路はソース側から開始し（図 1 5 の例を参照）、プリチャージプログラミング時間 t_{Prog} ペナルティを最小化する。一方、N 2 が N 1 より大きい場合、プリチャージ経路は、 t_{Prog} ペナルティを最小化するためにドレイン側から開始する（図 1 6 の例を参照）。N 1 が N 2 に等しい場合、いずれかのプリチャージ経路を使用することができる。

30

【 0 0 9 9 】

これらのプログラミング技法は、3 つ以上のサブブロックに分割されたメモリブロックにおいても使用することができる。このような場合、どの特定放電パターン（S S S P 又は D S S P）が採用されるかは、次の状態、すなわち、選択されていないサブブロックのプログラミング状態（空又はクローズド）、及び選択されたサブブロック内ですでにプログラムされたワードラインの数 N に基づいて判定される。図 1 9 の表では、識別子「E」は、サブブロックが選択されていないサブブロックであり、プログラムされていないことを意味する。識別子「C」は、サブブロックが選択されていないサブブロックであり、完全にプログラムされている（クローズド）ことを示す。識別子「TP」は、サブブロックが選択されたサブブロックであるが、現在は空であることを示す。識別子「P1」は、サブブロックが選択されたサブブロックであり、選択されたサブブロック内のプログラムされたワードラインの数が閾値 N 未満であることを示し、識別子「P2」は、サブブロックが選択されたサブブロックであり、選択されたサブブロック内のプログラムされたワードラインの数が閾値 N より大きいことを示す。3 つの異なるプリチャージオプションがある。S S S P、D S S P、並びに S S S P 及び D S S P。図 1 9 の表は、8 つの可能な状態の各々において、選択されたサブブロックにおいてどのプリチャージオプションを使用す

40

50

るかを識別する。例えば、選択されたサブブロックが最下位サブブロック S B 0 である場合、中間サブブロック S B 1 及び上位サブブロック S B 2 が空であるかクローズドであるかに関係なく、プリチャージ経路は S S S P でなければならない。選択されたサブブロックが中間サブブロック S B 1 であり、選択されていないサブブロック S B 0、S B 2 が両方とも空である場合、S B 1 内のプログラムされたワードラインの数が閾値 N 未満である場合、D S S P プリチャージ経路に従うべきであり、S B 1 内のプログラムされたワードラインの数が閾値 N より大きい場合、S S S P プリチャージ経路に従うべきである。一実施形態では、このテーブルに含まれる情報は、メモリデバイスに記憶され、プログラミング中に参照されて、メモリブロックの状態及び選択されたサブブロック内にすでにプログラムされたワードラインの数を分析し、適切なプリチャージ方向を選択することによって、サブブロックをプログラムするときにどのプリチャージ方向を使用するかを判定することができる。

10

【 0 1 0 0 】

次に図 20 を参照すると、例示的な実施形態によるメモリデバイスをプログラムするステップを示すフローチャートが提供されている。ステップ 2000 において、プログラミングコマンドが受信される。ステップ 2002 において、メモリデバイス内の制御回路は、選択されたサブブロック、すなわち、どのメモリブロックのどのサブブロックにデータを書き込むかを判定する。

【 0 1 0 1 】

ステップ 2004 では、制御回路は、選択されたサブブロックが下位サブブロックであるかどうか、すなわち、それがそのメモリブロックのソース側のサブブロックであるかどうかを判定する。ステップ 2004 における答えが「はい」である場合、ステップ 2006 において、制御回路は、R O P 方向を使用して、かつ S S S P 方向を使用して、選択されたサブブロックのワードラインをプログラムする（例えば、図 15 ）。

20

【 0 1 0 2 】

判断ステップ 2004 における答えが「いいえ」である場合、ステップ 2008 において、制御回路は、同じメモリブロック内の選択されていない 1 つ以上のサブブロックの状態を判定する。ステップ 2010 において、制御回路は、選択されていないサブブロック（単数又は複数）の状態と、選択されたサブブロックにおいて既にプログラムされているワードラインの数とに基づいて、プリチャージ方向を選択する。ステップ 2012 において、制御回路は、R O P 方向及び選択されたプリチャージ方向を使用して、選択されたサブブロックのワードラインをプログラムする。

30

【 0 1 0 3 】

「選択されたワードライン」とは、特定のストレージ動作又はメモリ動作で使用するために指定されたワードラインを指す。プログラミング、読み取り、又は検知などの特定のストレージ動作は、一連の 1 つ以上のステップを通じて、選択されたワードラインのメモリセル上で実施され得る。メモリセルを消去することなどの他のストレージ動作は、一実施形態では、一連の 1 つ以上のステップを通じて複数のワードラインのメモリセル上で同時に実施され得る。かかる実施形態では、消去動作は、複数の選択されたワードライン上で実施され得る。

40

【 0 1 0 4 】

ストレージ動作の焦点ではない他のワードラインは、選択されていないワードラインと称される。「選択されていないワードライン」とは、特定のストレージ動作又はメモリ動作で使用するために指定されていないワードラインのセットを指す。これは、ストレージ動作を実施することが、選択されていないワードラインのメモリセルのメモリ状態を変化させることを意図していないことを意味する。選択されていないワードラインのメモリセルのメモリ状態の変化は、偶然であり、妨害、又は意図されていない結果とみなされ得る。

【 0 1 0 5 】

本明細書では、特定のシステム構成要素を指すために、様々な用語が使用される。異なる会社は、異なる名前によって同じ又は類似の構成要素を指す場合があり、本説明は、名

50

前が異なるが機能では異なる構成要素間を区別することを意図しない。以下の開示に記載される様々な機能単位が「モジュール」と称される限りにおいて、そのような特徴付けは、潜在的な実装機構の範囲を過度に制限しないことを意図する。例えば、「モジュール」は、カスタム超大規模集積（very-large-scale integration、VLSI）回路若しくはゲートアレイ、又は、ロジックチップ、トランジスタ、若しくは他のディスクリート構成要素を含む市販の半導体を含むハードウェア回路として実装され得る。更なる実施例では、モジュールはまた、フィールドプログラマブルゲートアレイ（field programmable gate array、FPGA）、プログラマブルアレイロジック、プログラマブルロジックデバイスなどの、プログラム可能なハードウェアデバイスに実装されてもよい。更に、モジュールはまた、様々なタイプのプロセッサによって実行されるソフトウェアによって、少なくとも部分的に実装され得る。例えば、モジュールは、オブジェクト、プロセス、又は機能に翻訳するコンピュータ命令の1つ以上の物理的又は論理的ブロックを構成する実行可能コードのセグメントを含み得る。また、そのようなモジュールの実行可能な部分は、物理的に一緒に位置する必要はなく、むしろ、異なる位置に記憶された別個の命令を含み、別個の命令は、一緒に実行されたときに、識別されたモジュールを含み、そのモジュールの記載された目的を達成する。実行可能コードは、単一の命令のみ又は複数の命令のセットを含んでもよく、同様に、異なるコードセグメントにわたって、又は異なるプログラム間に、又はいくつかのメモリデバイス間などに分散されてもよい。ソフトウェア又は部分的なソフトウェアのモジュール実装では、ソフトウェア部分は、電子、磁気、光学、電磁、赤外線、又は半導体ベースのシステム、装置、若しくはデバイス、又はそれらの任意の好適な組み合わせを含むがこれらに限定されない、1つ以上のコンピュータ可読及び/又は実行可能記憶媒体に記憶されてもよい。概して、本開示の目的のため、コンピュータ可読及び/又は実行可能記憶媒体は、命令実行システム、装置、プロセッサ、又はデバイスによって又はそれらに関連して使用されるプログラムを含む及び/又は記憶することができる任意の有形及び/又は非一時的媒体で構成されてもよい。

【0106】

同様に、本開示の目的のため、「構成要素」という用語は、任意の有形、物理的、及び非一時的デバイスで構成されてもよい。例えば、構成要素は、カスタムVLSI回路、ゲートアレイ、又は他の集積回路で構成されたハードウェア論理回路の形態であってもよく、あるいはロジックチップ、トランジスタ、若しくは他のディスクリート構成要素、又は任意の他の好適な機械及び/若しくは電子デバイスを含む市販の半導体で構成されたハードウェア論理回路の形態であってもよい。加えて、構成要素はまた、フィールドプログラマブルゲートアレイ（field programmable gate array、FPGA）、プログラマブルアレイロジック、プログラマブルロジックデバイスなどのプログラム可能なハードウェアデバイスに実装され得る。更に、構成要素は、例えば、プリント回路基板（printed circuit board、PCB）などの導電体を介した1つ以上の他の構成要素との電気通信構成において、チップ、ダイ、ダイ平面、及びパッケージ、又は他のディスクリート電気デバイスなどの1つ以上のシリコンベースの集積回路デバイスで構成されてもよい。したがって、上記に定義されているように、モジュールは、特定の実施形態では、構成要素によって具現化されるか又は構成要素として実装されてもよく、場合によっては、モジュール及び構成要素という用語は、互換的に使用されてもよい。

【0107】

本明細書で使用される場合、「回路」という用語は、電流が流れることを可能にする1つ以上の導電経路を構成する1つ以上の電氣的及び/又は電子的構成要素を含む。回路は、閉ループ構成又は開ループ構成の形態であり得る。閉ループ構成では、回路構成要素は、電流のための戻り経路を提供し得る。対照的に、開ループ構成では、その中の回路構成要素は、電流の戻り経路を含まないにもかかわらず、依然として回路を形成すると見なされ得る。例えば、集積回路が（電流のための戻り経路として）接地に結合されているかどうかにかかわらず、集積回路は回路と称される。特定の例示的な実施形態では、回路は、集積回路のセット、単一の集積回路、又は集積回路の一部を含み得る。例えば、回路は

10

20

30

40

50

、カスタム V L S I 回路、ゲートアレイ、論理回路、及び／又は他の形式の集積回路を含み得、同様にロジックチップ、トランジスタ、又は他のディスクリートデバイスなどの市販の半導体を含み得る。更なる実施例では、回路は、例えば、プリント回路基板 (printed circuit board、P C B) の伝導体を介した 1 つ以上の他の構成要素との電気通信構成において、チップ、ダイ、ダイブレン、及びパッケージ、又は他のディスクリート電気デバイスなど、1 つ以上のシリコンベース集積回路デバイスを含み得る。回路はまた、フィールドプログラマブルゲートアレイ (F P G A) 、プログラマブルアレイロジック、及び／又はプログラマブルロジックデバイスなどのプログラム可能なハードウェアデバイスに関して合成回路として実装され得る。他の例示的な実施形態では、回路は、(集積回路デバイスを有する又は有しない) 非集積電気及び／又は電子部品のネットワークを含み得る。したがって、上記に定義されているように、モジュールは、特定の実施形態では、回路によって具現化されてもよく又は回路として実装されてもよい。

10

【 0 1 0 8 】

本明細書に開示される例示的な実施形態は、1 つ以上のマイクロプロセッサと、特定の非プロセッサ回路及び他の要素とともに、本明細書に開示されるいくつか、ほとんど、又は全ての機能を実装するように 1 つ以上のマイクロプロセッサを制御する、特定の記憶されたコンピュータプログラム命令とで構成され得ることが理解されよう。あるいは、いくつか又は全ての機能は、記憶されたプログラム命令を有さないステートマシンによって実装されるか、又は 1 つ以上の特定用途向け集積回路 (application-specific integrated circuit、A S I C) 若しくはフィールドプログラマブルゲートアレイ (field-programmable gate array、F P G A) に実装され得、それぞれの機能又は特定の機能のいくつかの組み合わせは、カスタムロジックとして実装される。これらのアプローチの組み合わせも使用され得る。更に、以下の「コントローラ」への言及は、個々の回路構成要素、特定用途向け集積回路 (A S I C) 、制御ソフトウェアを有するマイクロコントローラ、デジタル信号プロセッサ (digital signal processor、D S P) 、フィールドプログラマブルゲートアレイ (F P G A) 、及び／又は制御ソフトウェアを有するプロセッサ、又はそれらの組み合わせを含むものとして定義されるべきである。

20

【 0 1 0 9 】

加えて、本明細書で使用され得る「結合」、「結合された」、又は「結合する」という用語は、直接的又は間接的な接続のいずれかを意味することが意図される。したがって、第 1 のデバイスが第 2 のデバイスを結合するか、又は第 2 のデバイスに結合された場合、その接続は、直接接続によるものであるか、又は他のデバイス (若しくは構成要素) 及び接続を介した間接接続を介するものであり得る。

30

【 0 1 1 0 】

「一実施形態 (an embodiment) 」、「一実施形態 (one embodiment) 」、「例示的な実施形態」、「特定の实施形態」、又は他の同様の専門用語などの用語の本明細書における使用に関して、これらの用語は、実施形態に関連して説明される特定の特徵、構造、機能、動作、又は特性が、本開示の少なくとも 1 つの実施形態に見られることを示すことを意図する。したがって、「一実施形態では (in one embodiment) 」、「一実施形態では (in an embodiment) 」、「例示的な実施形態では」などの語句の表記は、必ずしも全て同一の実施形態を指すものではなく、むしろ、特に明示しない限り「1 つ以上ではあるが全てではない実施形態」を意味し得る。更に、「含む、備える (comprising) 」、「有する」、及び「含む (including) 」という用語並びにそれらの変形は、自由な様式で使用され、したがって、特に明示しない限り、「... を含むが、これに限定されない」を意味すると解釈されるべきである。また、「... を含む」が先行する要素は、それ以上の制約なしに、当該要素を含む主題のプロセス、方法、システム、物品、又は装置における追加の同一要素の存在を排除するものではない。

40

【 0 1 1 1 】

「a」、「an」、及び「the」はまた、特に明示しない限り、「1 つ以上」を表す。更に、本明細書及び／又は以下の請求項の範囲で使用され得る「A 及び B のうちの少な

50

くとも1つ」(A及びBは、特定の物体又は属性を示す変数である)という語句は、「及び/又は」という語句と同様に、A若しくはBの選択、又はA及びBの両方を示す。このような語句に3つ以上の変数が存在する場合、この句は、変数のうちの1つのみ、変数のうちのいずれか1つ、変数のうちのいずれかの任意の組み合わせ(又は部分的組み合わせ)、及び変数の全てを含むものとして本明細書に定義される。

【0112】

更に、本明細書で使用される場合、「約」又は「およそ」という用語は、明示的に示されているかどうかにかかわらず、全ての数値に適用される。これらの用語は、一般に、当業者が列挙された値と同等である(例えば、同じ関数又は結果を有する)と考える数値の範囲を指す。特定の場合には、これらの用語は、最も近い有効数字に丸められる数値を含み得る。

10

【0113】

加えて、本明細書に記載される任意の列挙された項目の一覧は、特に明示しない限り、一覧にある項目のいずれか又は全てが相互に排他的及び/又は相互に包括的であることを暗に意味するものではない。更に、本明細書で使用されるとき、「セット(set)」という用語は、「1つ以上」を意味すると解釈されるべきであり、「セット(sets)」の場合、特に明記しない限り、集合論に従って「1つ以上(one or more、ones or more、及びones or more s)」の倍数(又は複数)を意味するものと解釈されるべきである。

【0114】

20

前述の詳細な説明は、例示及び説明の目的のために提示されている。前述の詳細な説明は、網羅的であること、又は開示された正確な形態に限定することを意図したものではない。多くの修正形態及び変形形態が、上記の説明に鑑みて可能である。説明した実施形態は、本技術の原理及びその実際の用途を最良に説明するために選択されたものであり、それによって、当業者が様々な実施形態で、企図される特定の使用法に適するように様々な修正を伴って、本技術を最良に利用することを可能にする。本技術の範囲は、本明細書に添付の請求項によって定義される。

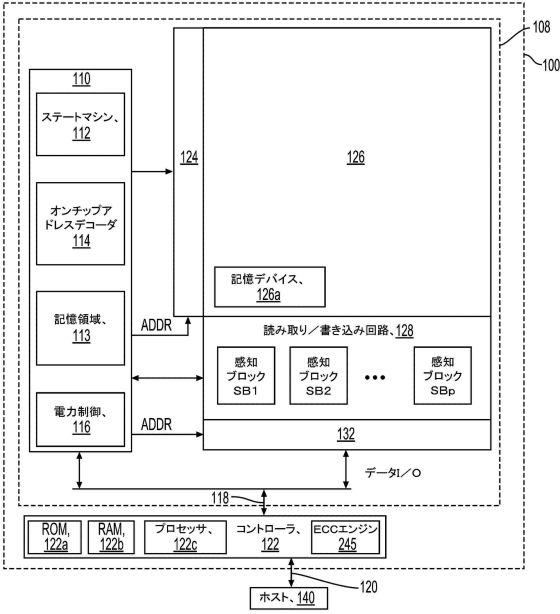
30

40

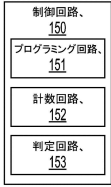
50

【図面】

【図 1 A】



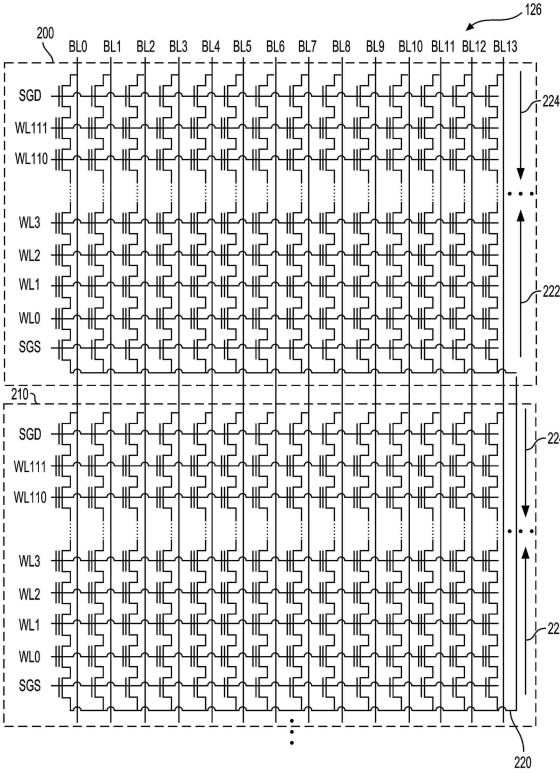
【図 1 B】



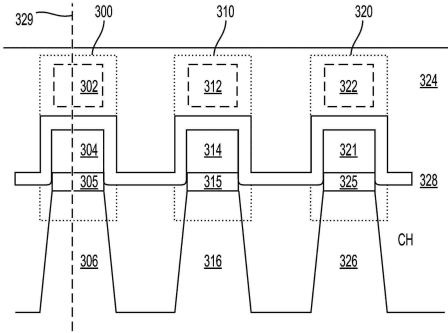
10

20

【図 2】



【図 3 A】

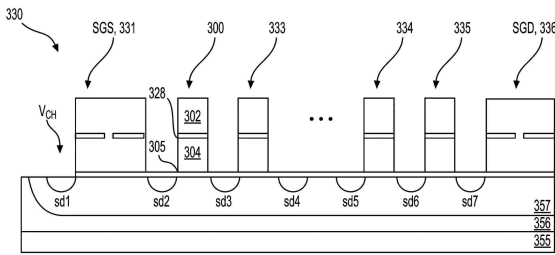


30

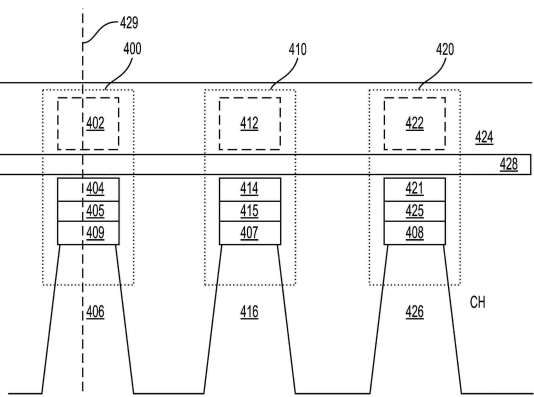
40

50

【図 3 B】

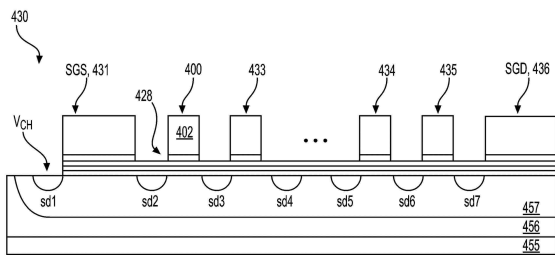


【図 4 A】

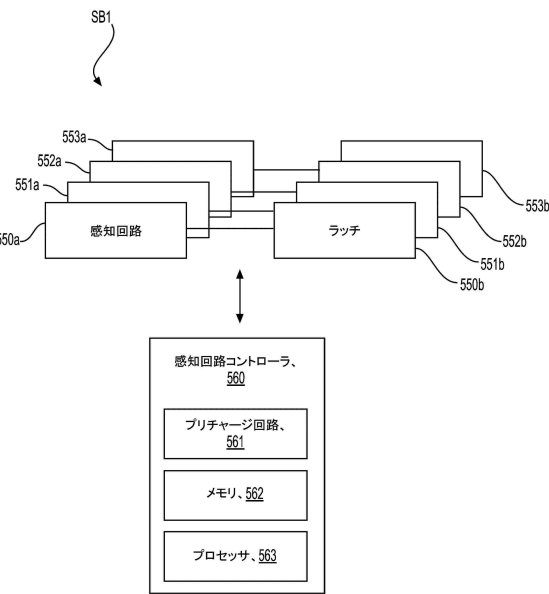


10

【図 4 B】



【図 5】



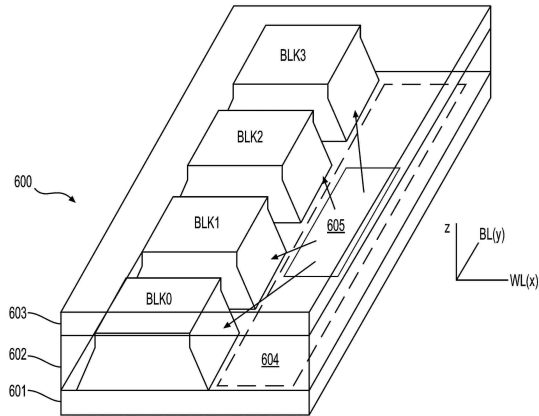
20

30

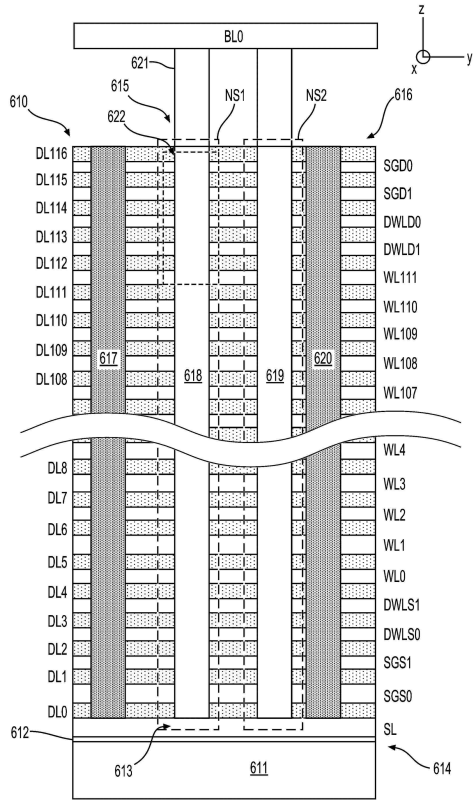
40

50

【 図 6 A 】



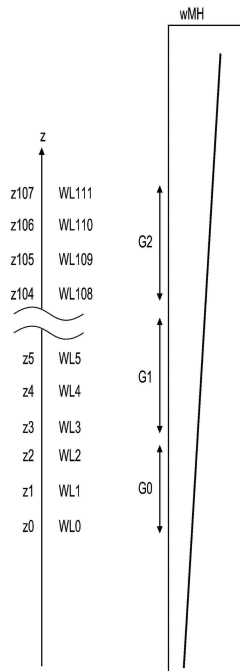
【 図 6 B 】



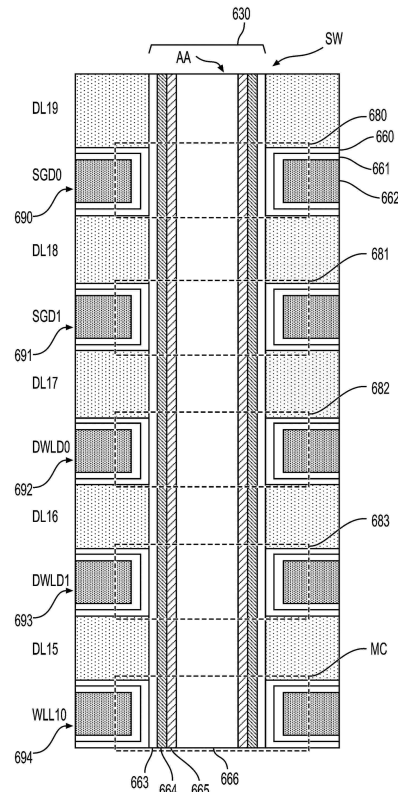
10

20

【 図 6 C 】



【 図 6 D 】

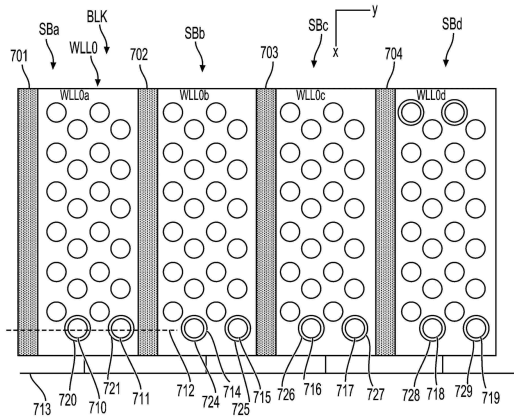


30

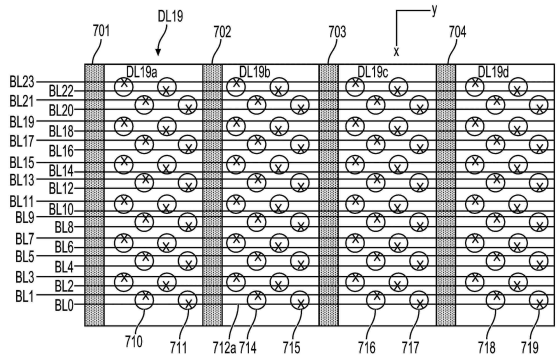
40

50

【図 7 A】

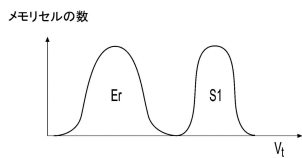


【図 7 B】

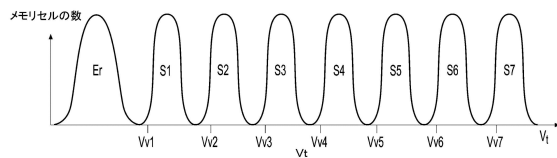


10

【図 8】



【図 9】



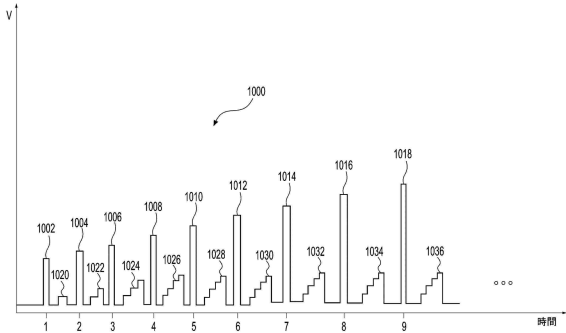
20

30

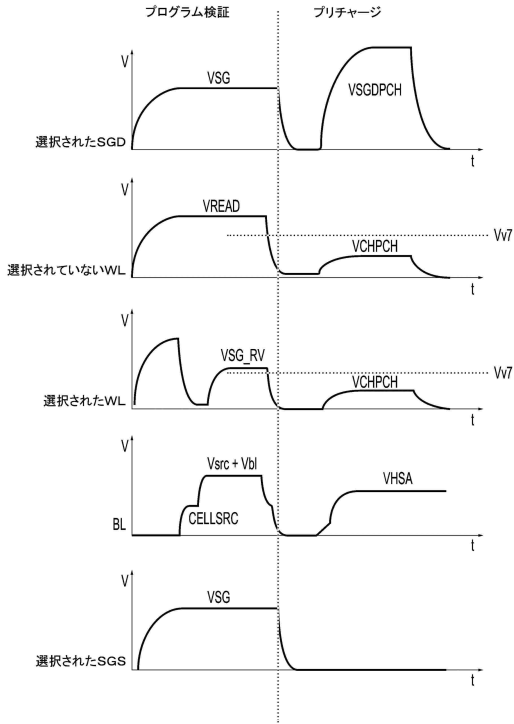
40

50

【図 1 0】



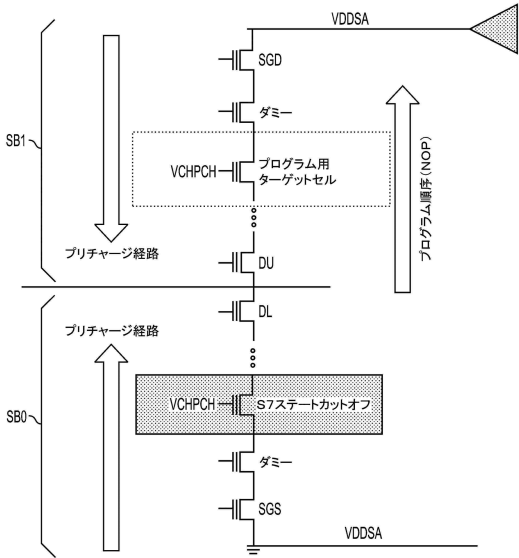
【図 1 1】



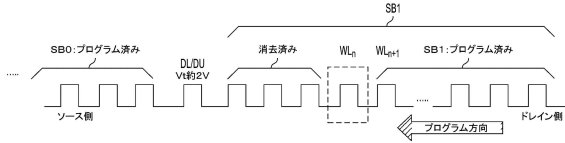
10

20

【図 1 2】



【図 1 3】

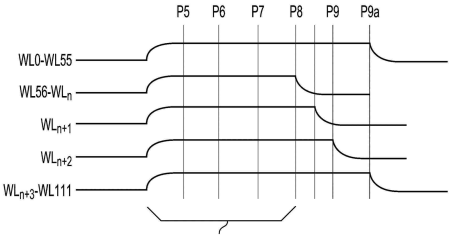


30

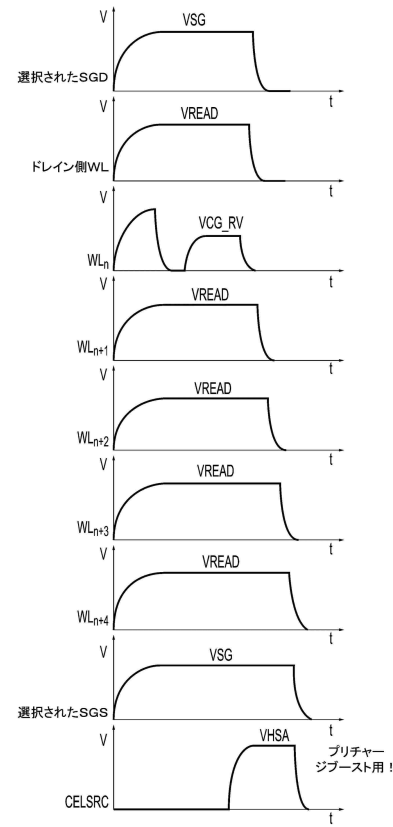
40

50

【図 1 4】



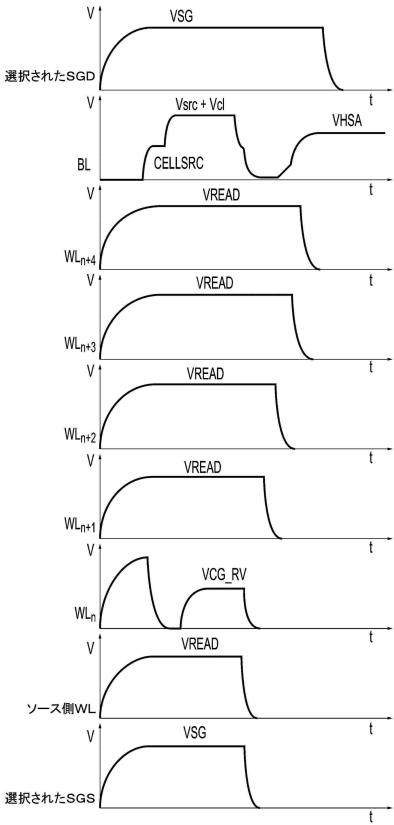
【図 1 5】



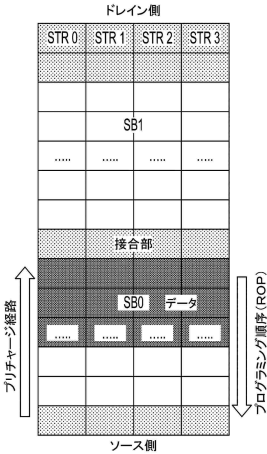
10

20

【図 1 6】



【図 1 7 A】

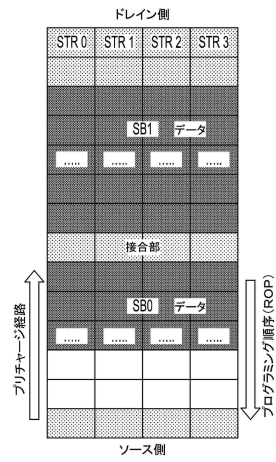


30

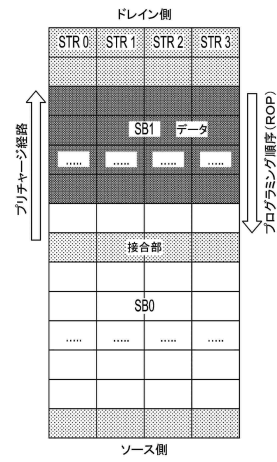
40

50

【 図 1 7 B 】

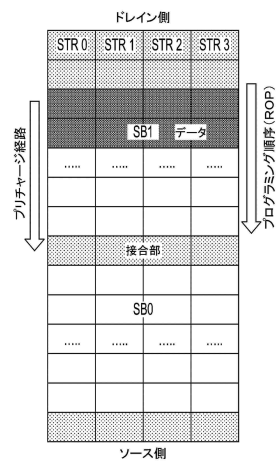


【 図 1 7 C 】

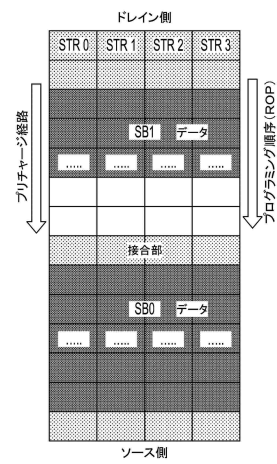


10

【 図 1 7 D 】



【図 17 E】



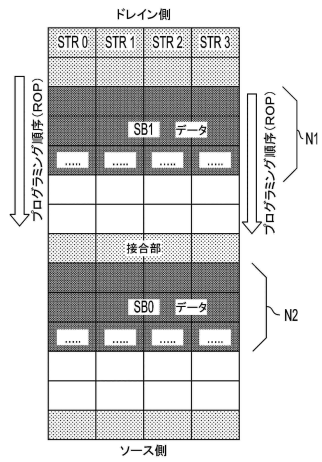
20

30

40

50

【図 18】



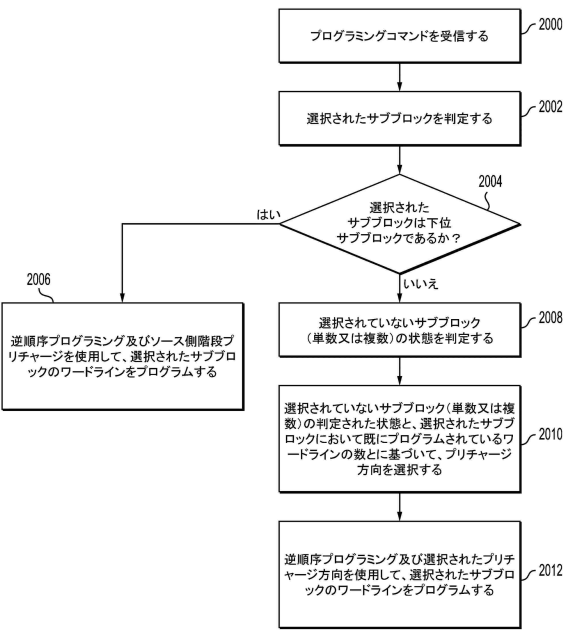
【図 19】

SB0	SB1	SB2	SSSP	DSPP	DSPP+SSSP
TPP1P2	EC	EC	○		
E	P1	E		○	
E	P2	E	○		
E	TPP1P2	C	○		
C	TPP1P2	C			○
E	E	P1		○	
E	E	P2	○		
EC	C	TPP1P2		○	

TP: プログラム、TP
E: 空
C: クローズド
P1: クローズドFWL # < N
P2: クローズドFWL # > N

10

【図 20】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 B	43/27 (2023.01)	H 1 0 B	43/27	
H 1 0 B	43/40 (2023.01)	H 1 0 B	43/40	
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/788 (2006.01)	G 1 1 C	16/24	1 1 0
H 0 1 L	29/792 (2006.01)			
G 1 1 C	16/24 (2006.01)			

ニア州 サンノゼ グレート オークス パークウェイ 5 6 0 1 ウェスタン デジタル テクノロジーズ インコーポレーテッド内

(72)発明者 ハン - ピン チェン

アメリカ合衆国 9 5 1 1 9 カリフォルニア州 サンノゼ グレート オークス パークウェイ 5 6 0 1 ウェスタン デジタル テクノロジーズ インコーポレーテッド内

(72)発明者 ヘンリー チン

アメリカ合衆国 9 5 1 1 9 カリフォルニア州 サンノゼ グレート オークス パークウェイ 5 6 0 1 ウェスタン デジタル テクノロジーズ インコーポレーテッド内

(72)発明者 ゲイロン リャン

アメリカ合衆国 9 5 1 1 9 カリフォルニア州 サンノゼ グレート オークス パークウェイ 5 6 0 1 ウェスタン デジタル テクノロジーズ インコーポレーテッド内

(72)発明者 シャン ヤン

アメリカ合衆国 9 5 1 1 9 カリフォルニア州 サンノゼ グレート オークス パークウェイ 5 6 0 1 ウェスタン デジタル テクノロジーズ インコーポレーテッド内

審査官 豊田 真弓

(56)参考文献

米国特許出願公開第 2 0 2 0 / 0 1 6 8 2 7 6 (U S , A 1)
特開 2 0 1 0 - 1 0 2 7 9 2 (J P , A)
特開 2 0 1 7 - 0 5 9 2 7 6 (J P , A)
米国特許出願公開第 2 0 2 2 / 0 2 1 5 8 8 8 (U S , A 1)
米国特許出願公開第 2 0 1 7 / 0 0 7 6 8 1 4 (U S , A 1)
米国特許出願公開第 2 0 1 8 / 0 3 7 4 5 5 1 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 1 1 C 1 6 / 3 4
G 1 1 C 1 6 / 0 4
G 1 1 C 1 6 / 1 0
G 1 1 C 1 6 / 2 4
H 1 0 B 4 1 / 2 7
H 1 0 B 4 1 / 4 0
H 1 0 B 4 3 / 2 7
H 1 0 B 4 3 / 4 0
H 0 1 L 2 1 / 3 3 6