

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H04B 1/00

H04B 3/00

H02M 1/00

[12]发明专利说明书

[21] ZL 专利号 93108997.2

[45]授权公告日 2000年11月29日

[11]授权公告号 CN 1059059C

[22]申请日 1993.7.21 [24]颁证日 2000.9.23

[21]申请号 93108997.2

[30]优先权

[32]1992.7.21 [33]US [31]07/917,488

[73]专利权人 先进显微设备股份有限公司

地址 美国德克萨斯

[72]发明人 J·包尔斯 R·沃勃兰

[56]参考文献

US 5099153 1992.3.24 H03K19/00

审查员 马志远

[74]专利代理机构 上海专利商标事务所

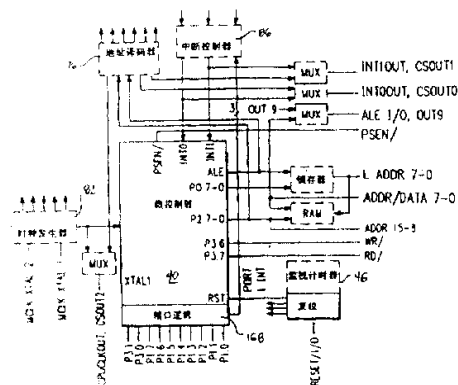
代理人 沈昭坤

权利要求书 2 页 说明书 40 页 附图页数 18 页

[54]发明名称 用于集成电路内微控制器的弱上拉禁止方法及其机构

[57]摘要

本发明涉及一种弱上拉禁止方法和与合并入集成电路内的微控制器连用的弱上拉禁止机构。弱上拉禁止机构合并入包含微控制器的集成电路内。该机构禁止微控制器 I/O 缓冲器的弱上拉。弱上拉用于把相关联端口的电压拉高。通过这样禁止弱上拉,取消了在输入模式时吸收电流的驱动器。因有了弱上拉禁止机构所以不需要外部驱动器,降低了集成电路的电能消耗。



ISSN 1008-4274



权 利 要 求 书

1、一种集成电路，其特征在于包含：

具有至少一个包括带上拉输出缓冲器的输入/输出端口的微控制器；和

禁止所述上拉的装置。

2、如权利要求 1 所述的集成电路，其特征在于，所述禁止装置吸收所述上拉电流。

3、如权利要求 1 所述的集成电路，其特征在于，所述禁止装置由软件激活。

4、如权利要求 1 所述的集成电路，其特征在于，进一步包含一端口引脚，所述至少一个带上拉的输出缓冲器形成所述端口引脚。

5、如权利要求 4 所述的集成电路，其特征在于，所述端口引脚具有一个相应的端口控制寄存位，通过软件控制使所述禁止装置有效，所述软件控制对带所述相应端口控制寄存器位的所述端口引脚设置一适当的值来使所述禁止装置有效。

6、一种减少合并有微控制器的集成电路的电能消耗的方法，其特征在于，包括在具有与其相关的输出缓冲器的输出/输出端口上禁止上拉的步骤。

7、如权利要求 6 所述的方法，其特征在于，由软件控制实现所述禁止步骤。

8、如权利要求 6 所述的方法，其特征在于，所述上拉具有一个带有相应端口控制寄存位的端口引脚，所述禁止步骤是通过对与带所述相应端口控制寄存器位的所述端口相关的所述端口引脚设置一适当的值来完成的。

9、如权利要求 6 所述的方法，其特征在于，还包含，当所述



端口引脚处于输入模式时，不吸收上拉电流，消除驱动器的功能。

用于集成电路内微控制器的弱上拉
禁止方法及其机构

本申请与申请号为 US 07/917, 497、07/917, 489、07/918, 624、07/917, 503、07/918, 627、07/918, 626、07/918, 625、07/918, 631、07/918, 632、07/918, 622 和 07/918, 621 的美国专利申请有关。

这些相关的申请与本申请同一日期提交并转让给本发明的受让人。

本发明涉及一种弱上拉禁止(WPUD)方法和机构及其对集成电路(IC)内的微控制器的应用;尤其涉及一种与包含语音、控制通道,或者调制解调器的微控制器部份,或者无绳电话机的人机接口功能的 IC 内的微控制器连用的弱上拉禁止方法和机构。

微控制器被广泛地用于各种数字电子设备中。通常,微控制器被合并入 IC 内,实现控制特定的流过 IC 电路的电流的功能。改变 IC 的电路以实现所希望的功能。

在 IC 中,其内的微控制器经微控制器的输入/输出(I/O)端口与 IC 的电路进行电通信,来控制电流流过 IC 的电路。I/O 端口与设备都是电连接的或是合并入 IC 内,不然就是在外部与微控制器连接,以进行这种通信。一般电连接是通过总线,一组平行导线把微控制器端口与 IC 电路和其它设备相连。

电流由微控制器控制流到微控制器的特定端口或者从微控制器的特定端口接收电流,并且因此传到特定的总线和 IC 内外的特定

的设备或者从特定的总线和 IC 内外的特定的设备接收电流。电流通过 IC 和离散单元内的微控制器电路或者在电路任一点上的可以为高电压或低电压(分别表示为逻辑 1 或逻辑 0)的位。由微控制器管理离散单元的特定通路和选择高或低电压信号以在 IC 内实现所希望的功能。

为了使微控制器能把电信号传送到集成电路和微控制器外的其它设备和从集成电路和微控制器外的其它设备接收电信号,微控制器必须具有与 IC 和其它设备相兼容的电压电平和电流驱动。大多数 IC 设备采用与逻辑 1 和逻辑 0 相应的标准电压范围。如此后所描述的,通常,定义有两组电压范围,一组用于输入,另一组用于输出。除了特定的电压外,传送和接收电信号要求输入和输出电流必须一致。

微控制器常包含与 I/O 端口并联的缓冲器。微控制器内的输入缓冲器缓冲 IC 和其它设备的输入电压,并把输入电压转换成微控制器要求的内部电压电平。输出缓冲器把微控制器的内部电压电平转换成与 IC 和其它外部设备要求的输出逻辑电平一致的电压电平。

微控制器的端口可以是双向的,它们即可以用于输入,也可以用于输出。如前面简单的描述;微控制器的电压和电流驱动两者必须与用于输入和输出的其它设备以及与 I/O 端口关联的,常用于把电压和电流驱动转换成适当电平的缓冲器相兼容。为使端口即能用于输入又能用于输出(即如前所说的“双向端口”),微控制器必须能区分输入和输出。在微控制器中进行该区分的一种方法是定义两组不同的电压范围,一组用于输入,另一组用于输出。在这两组电压范围的每组中,电压从高到低变化,分别表示逻辑 1 和逻辑 0。可以用多个不同的、与端口的电结构和微控制器的特点有关的方法来定义这两组不同的电压范围。

某些型号的微控制器(例如先进显微设备公司生产的 8 位

80C51 系列)包括与微控制器 I/O 端口关联的上拉和驱动器。“上拉”或者也称之为上拉电阻是一个确保相反开路的电路保持在一指定的与源电压相对应的所希望的电压电平上。驱动器是一能产生或提供在逻辑 1 电平时输入驱动所需要的电流的设备,而其输出电压不上升到指定的相应电压电平之上。在逻辑 0 情况时,驱动器必须能吸收或接收被驱动的设备的输入电流而其输出电压不上升到指定的相应电压电平之上。上拉(电阻)常被用于使缓冲器把输入或输出信号的电压电平调节到合适的电平。一般为独立的驱动器的输入驱动器和输出驱动器通常被用于维持适当电平的电流驱动。

微控制器的这种上拉/外部驱动器装置的一个问题是在驱动器吸收被驱动的设备的输入电流而同时上拉电阻把引脚上拉到高电压时它可能引起不必要的电源损耗。为了在输入模式期间限制这种不必要的电能消耗,本发明提供一种弱上拉禁止方法和机构。该机构在输入模式期间禁止微控制器弱上拉。通过禁止弱上拉,可以降低输入模式期间外部设备的电能消耗。如已所述的,本发明的这种弱上拉禁止提供了一种改进的能降低电能消耗的方法。

弱上拉禁止方法和与合并入 IC 内的微控制器连用的弱上拉禁止机构完全适用的一个特定应用是无绳电话机。可以在几方面将无绳电话与标准电话作一比较。标准电话机由基座单元和由电线相互连接的听筒组成。基座单元本身通过另一电线连接到墙上的插孔、电话机柱或类似的延伸到电话网线的不可移动的构件。因为不与可移动的构件相连,因此电话用户的移动范围相当有限。即使连接听筒单元和基座单元以及基座单元到墙的电话线很长,通话一经接通,到处移动整个电话机在不同位置通话或者带着听筒单元各处走动都是很麻烦的事。在通话人和不可移动的墙或其它固定结构之间总是有一连续的有形连接线是十分不便的。

另一方面,无绳电话机比标准电话机有一显著的改进。在传统

的无绳电话机中，基座单元仍然通过电线与在不可移动的墙上或者在其它类似物上的插座相连，由此接收和传输电话网线的信息信号。然而，无绳电话机的听筒是一个独立操作单元，通过它可以进行通话，并且，可以不用与基座单元有形地连接就可以接收呼叫。听简单元有一发射/接收系统或者收发信机、一在耳机的扬声器和一一在送话器内的话筒。无绳电话的基座单元和听简单元是通过由电磁波(通常为无线电波)的发射和接收建立的通信信道来彼此通信的。这样，听简单元可以被带到离基座单元较远的距离仍能进行通话和接收电话呼叫。由于在听简单元和基座单元之间没有电话线，因此，用户可以不受妨碍地自由移动。

迄今，合并有微控制器的 IC 已经发展到使用在无绳电话机内来实现各种功能。但是，这种电话机中的 IC 还有许多方面可以改进。一个方面包括弱上拉禁止方法和与微控制器 I/O 端口的缓冲器的弱上拉连用的弱上拉禁止机构，该方法和机构被合并入包括微控制器的 IC 设计中。这种方法和机构限制了外部设备和电能消耗，以前外部设备用于提供输入能力，现在由弱上拉禁止方法和机构提供。

基于上面所述，现在本技术的熟练人员应当理解，例如用于无绳电话机的 IC 合并入具有微控制器的 IC 设计的弱上拉禁止方法和机构是对现有技术的改进。前面尚未描述对现有技术的缺点和不足的改进。

为克服前面提到的缺点和不足，本发明通常提供一种弱上拉禁止方法和合并入包括微控制器的 IC 内的弱上拉禁止机构。本发明尤其提供一种弱上拉禁止方法和合并入具有微控制器的单片 IC 内的弱上拉禁止机构，该 IC 被设计成安装在无绳电话机的基座单元和听简单元内，并且集成了语音、控制通道以及调制解调器和无绳电话机人机接口功能的微控制器部分。

在一个方面，本发明包括一包含微控制器的集成电路，该微控制器具有至少一个具有弱上拉的输出缓冲器和禁止上拉的装置。

在另一方面，本发明包括上述集成电路，其中禁止装置合并入集成电路内。

在又一方面，本发明包括上述集成电路，其中禁止装置有效时使驱动器不需要吸收上拉电流。

在又一方面，本发明包括上述集成电路，其中微控制器为 8051 型微控制器。

在又一方面，本发明包括上述集成电路，其中由软件控制禁止装置是否有效。

在又一方面，本发明包括上述集成电路，其中，具有弱上拉的输出缓冲器配置有端口引脚。本发明进一步包括这样一种集成电路，其中由软件控制禁止装置是否有效，软件是通过使具有相应端口控制寄存器位的端口引脚达到一适当值来禁止装置有效。

在本发明的又一方面，本发明是一种减少合并有微控制器的集成电路的电能消耗的方法，它包含禁止与所述控制器输出缓冲器相关联的弱上拉步骤。

本另一方面，本发明的禁止步骤由软件控制。

在又一方面，上述本发明的禁止步骤是使与具有相应端口控制寄存器位的缓冲器相关联的端口引脚达到一适当值。

在又一方面，上述方法进一步包括在输入模式时取消用于吸收所述上拉电流的驱动器。

为了全面理解本发明及其进一步目的和优点，现在可以参阅下面结合附图的详细描述，其中：

图 1 是微控制器内的端口位锁存器和 I/O 缓冲的一种可能的结构，尤其是对于 8051 型微控制器的端口 0,1,2 和 3；

图 2 是 NMOS 和 CMOS 内部上拉构造的一种可能的结构，尤

其是 8051 型微控制器端口 1 和 3 内的排列(arrangement)；

图 3(包括图 3a 和图 3b)是包括按照本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的方框图；

图 4 是安装有包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的无绳电话机的听筒单元的方框图；

图 5 是安装有包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的无绳电话机的基座单元的方框图；

图 6 是可以形成包括按照本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的微控制器的方框图；

图 7 是可以形成包括按照本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的时钟发生器模块的方框图；

图 8 是可以形成包括按照本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的中断控制器的一种可能的结构；

图 9 示出了处理从包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 内的逻辑模块来的中断原因信号所必须的状态、屏蔽和源寄存器的一种可能的结构；

图 10 示出了可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的监视计时器和复位输出机构的状态图；

图 11 示出了可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的监视计时器的一种可能的构成；

图 12 示出了可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的中断功能机构的一种可能的基本结构；

图 13 示出了可以包含在包括弱上拉禁止方法和机构的典型 IC 内的外部中断输入结构；

图 14 示出了可以包含在包括本发明的弱上拉禁止方法和机构的典型 IC 内的串行接口的框图；

图 15 是可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的小键盘扫描器的框图；

图 16 是可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的实时时钟模块的方框图；

图 17 是可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的电池电平检测器的方框图；

图 18 示出了可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分和各种 CT2 模块；

图 19 是可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的发送调制器的方框图；

图 20 是可以形成包括本发明的与 IC 微控制器关联的弱上拉禁止方法和机构的典型 IC 的一部分的帧控制器的方框图；

图 21 是已合并有典型 IC 的无绳电话机(此后称为“无绳电话机”)的音频接口的方框图；以及

图 22 是不包括模拟接口的无绳电话机的音频通路的框图。

为有助于理解本发明，在下面详细的描述中仅举了一个例子，确切地描述与典型微控制器关联的弱上拉禁止方法和机构的一个实施例，该典型微控制器被合并入用于无绳电话系统的典型 IC 中。应当清楚地理解，本发明并不一定受这种应用的限制，虽然已经发现本发明在如此使用的实际应用中特别好。而且，还应当清楚地理解，在已描述的特定应用中可以使用本发明的多种不同的实施例，如通常所理解的，本发明仅受到所附的权利要求书的范围的限制。

弱上拉禁止机构的一般描述

本发明的弱上拉禁止方法和机构被合并入 IC 电路中。该方法和机构用于禁止与 IC 微控制器的缓冲器关联的弱上拉。按照本发明把该方法和机构合并入 IC 电路内，使外部设备不需要吸收弱上拉电流，所以关联的部分可以用于输入，从而显著地节省电能。

弱上拉用于使微控制器的缓冲器维持在相对于电源电压的输出模式所希望的常电压上。在以前的实践中，外部设备用于吸收弱上拉电流，由此降低了缓冲器的电压，使缓冲器和相关联部分能在外部设备有效时用于输入。建立该输入模式所必须的外部设备在吸收弱上拉电流时消耗了电能。本发明提供了一种禁止弱上拉的机构(与仅吸收弱上拉电流相反)，由此对微控制器进行输入，降低电源消耗。

某些类型的微控制器(例如提供 AMD 公司生产的 80C51 系列 890C3272 功能的 8 位微控制)可以包含在微控制器的某些 I/O 端口上的弱上拉。与具有弱上拉的微控制的例子一样，80C51 系列微控制器各端口 1、2 和 3 具有内部上拉。另一方面，这种微控制器的端口 0 有开漏(open-drain)输出端。微控制器的每根 I/O 线能独立地用作输入或输出。(一般，80C51 系列的端口 0 和 2，在用作地址/数据总线时不可以用作通用 I/O)。为用作输入，该例控制器的端口位锁存器必须有一个 1，它关闭输出驱动器的取数/执行定时(FET)机构。然后，对于端口 1、2 和 3，端口引脚由内部上拉拉到高电压。如果配置成输入，这些端口 1、2 和 3 拉高电压，并在拉低电压时产生电流。在本发明之前，如果希望把端口引脚拉到低电压，以使引脚能进行输入，则必须使外部驱动器吸收电流。在驱动外部驱动器进行吸收时将消耗电能。本发明不需要外部驱动器上拉拉高，因此，通过提供一个可选择的禁止弱上拉以在输入模式不拉高端口引脚的机构来降低其电能消耗。这种弱上拉禁止方法和机构对特定的 IC 电路有作用。

在本发明的最佳实施例中，通过对相应的端口控制寄存器位(PCRB)设置一适当的如下表所示的值来禁止例如前面提到的 80C51 系列微控制器的端口 1、2 和 3 I/O 线上的弱上拉：

端口控制寄存器位	端口	位 功 能
0	0	驱动一个 0 输出，无上拉(80C51 兼容)
0	1	2 个周期驱动一个“1”，弱上拉打开(80C51 兼容)
1	0	驱动一个“0”输出，无上拉
1	1	仅仅输入(无上拉，高阻抗输入)

复位之后，端口 1、2 和 3 的弱上拉被允许。在含有仿真模式的 IC 中，在仿真模式期间，最好禁止弱上拉，并且端口引脚呈高阻抗状态。

而且在最佳实施例中，端口 1、2 和 3 I/O 缓冲器能通过软件控制禁止弱 P-沟道上拉。这种功能是缓冲器被外部信号驱动为低电平时取消电流源所必须的。该弱上拉禁止特点消除了不希望有的电能消耗的增加。复位之后，通过弱上拉使所有端口 1、2 和 3 缓冲器保持“高电平”。为禁止弱上拉，首先软件必须对端口引脚配置相应的端口控制寄存器位来禁止每一位。相应的端口控制寄存器位驻留在与端口专门功能寄存器(SFR)位相同的地址上。例如，端口 1 驻留在 SFR 存储单元 90H。端口 1 控制寄存器也驻留在 SFR 存储单元 90H。仅在 PCFIG SFR 内的 PCRA 位被设置为“1”时才改变端口 1 控制寄存器。当清除 PCRA 位时，对端口 SFR 地址的操作导致端口 SFR 更新。

由于仅仅端口 1、2 和 3 包含有弱上拉，因此端口 0 不需要这一特点。

参照典型微控制器将更全面地描述本弱上拉禁止方法和机构，并对它们有更全面的了解。

典型微控制器

8051 微控制器是具有与端口和缓冲器关联的弱上拉的典型微控制器。8051 是 8 位单片微控制器，一般用于电源电子系统。8051 适用于三种不同的型式，8051 是通称。基本 8051 包含 4K 字节 ROM, 128 字节 RAM、2 个 16 位定时/计数器、4 个可编程 8 位 I/O 端口、串行 I/O 线和两个外部中断线。它还具有一个片上振荡器和需要外部连接晶体的时钟电路。8051 的 8031 型不包含 ROM, 8751 型包含有 EPROM, 代替 ROM。8052 型包含 8 K 字节 ROM、256 字节 RAM、三个定时/计数器和 6 个中断(2 个外部中断)。8052 的 8032 型除不具有 ROM 外，其余与后者相同。

8051 系列 CPU 能对 64 K 字节以上的程序存储器进行寻址，其中少于 4K 字节可以驻留在芯片上。除了片上 128 字节 RAM 外，数据存储器还可以由多于 64 K 字节片外 RAM 组成。片上 RAM 包含 4 个寄存器组(每个组有 8 个寄存器)和 128 个可编址位单元。除数据 RAM 外，8051 还包含 128 个字节 SFR, 以帮助 CPU 有效地执行程序。SFR 包含运算寄存器、数据和栈指针和锁存 I/O 端口的寄存器。SFR 还包括 128 位可编址存储器。所有 I/O 端口均为双向的，都具有输出驱动器和输入缓冲器。I/O 的所有 32 根线均具有独立的读/写能力。微控制器具有 8 位外部数据总线和 16 位外部地址总线。端口 0 在访问外部程序和数据存储器期间起多路复用低位地址和数据总线的作用。用地址逻辑允许(ALE)选通信号可以把数据和地址信号分开。端口 2 起高位地址字节作用。端口 1 和 3 可以用作标准 I/O。端口 3 有专门的外部芯片串行 I/O、外部中断、定时器输入和读/写控制功能。

现在更具体地描述 8051 的端口结构操作，如上所述，8051 的所有 4 个端口均为双向。每个端口由一锁存器(SFR P0 到 P3)、一输出驱动器和一输入缓冲器组成。

端口 0 和 2 的输出驱动器和端口 0 的输入缓冲器用于访问外部存储器。在本申请中，端口 0 输出外部存储器地址的低字节，与写和读字节时分多路复用。如果地址为 16 位端口 2 输出外部存储器地址的高字节。否则端口 2 引脚继续发射 P2 SFR 内容。

所有端口 3 引脚和两个端口 1 引脚为多功能的。它们不仅仅是端口引脚，而且还具有下表列出的各种特殊特征的功能：

端口引脚	可选功能
* P1.0	T2(定时/计数器 2 外部输入)
* P1.1	T2EX(定时/计数器 2 俘获/再装载触发器)
P3.0	RXD(串行输入端口)
P3.1	TXD(串行输出端口)
P3.2	INT0(外部中断)
P3.3	INT1(外部中断)
P3.4	T0(定时/计数器 0 外部输入)
P3.5	T1(定时/计数器 1 外部输入)
P3.6	WR(外部数据存储器写选通)
P3.7	RD(外部数据存储器读选通)

— * P1.0 和 P1.1 仅在 8052 上有这些可选功能。

可选功能仅当端口 SFR 内相应的位锁存器包含有一个“1”时才能有效。否则端口引脚降落在“0”。

现在参见附图，为方便和清楚起见，在所有视图中，相同或相似的部件引用相同的参考号，从图 1 可以看出端口 1、2 和 3 中每个端口内的位锁存器和 I/O 缓冲器的一般框图。位锁存器 802(端口 SFR 中一位)表示 D 触发器，它由相应于 CPU “对锁存器写”信号的内部总线 804 的值来计时。触发器的 Q 输出被设置在相应于 CPU “读锁存器”信号的内部总线 806 上。端口引脚 808 本身的电平被设置在相应于 CPU “读引脚”信号的内部总线上。一些读端口的指令

使“读锁存器”信号有效，其后的指令使“读引脚”信号有效。

如图 1 所示，端口 0 和 2 的输出驱动器(未示出)可以由用于外部存储器访问的内部控制信号转换成内部地址 910 和地址/数据 810 总线。在外部存储器访问期间，P2 SFR 保持不变，而对 P0 SFR 写 1S。

还如图 1 所示，如果 P3 位锁存器包含有 1 个“1”，那么由标明为“可选用输出功能”812 的信号控制输出电平。如果有的话，实际的 P3.X 引脚电平始终可以用于引脚的可选用输入功能。

端口 1、2 和 3 具有内部上拉 816(还详细图示在图 2)。端口 0 有开漏输出。每根 I/O 线能独立地用作输入或输出。(在用作地址/数据总线时，端口 0 和 2 不能作用通用 I/O)。端口位锁存器必须包含有 1 个“1”，关闭输出驱动器 FET814，以用作输入。然后，对于端口 1、2 和 3 引脚 808 被内部上拉拉高，但能用外部源拉低。

端口 0 不同，它不具有内部上拉。外部存储器访问期间在端口发射 1S 时，仅使用 P0 输出驱动器内的上拉 FET 814。否则上拉 FET 814 关闭。因此用作输出端口线的 P0 线开漏。把 1 写到位锁存器以不用两个输出 FET 814、815。所以引脚浮动。在这种情况下，它能作用高阻抗输入。

因为端口 1、2 和 3 具有固定的内部上拉 816，所以它们有时被称为“准双向”端口。在作为输入配置时，它们被拉高，并在被外部拉低时产生电流。另一方面，端口 0 被认为是“真”双向，因为在被配置成输入时后浮动。

通过复位功能有 1S 对 8051 上的所有端口锁存器进行写。如果以后向端口锁存器写入一个 0，可以对它写一个“1”以把它重新配置成输入。

有关写端口，在执行改变端口锁存器值的指令时，新值在指令最后周期的 S6P2 期间到达锁存器。然而，事实上仅在任一时钟周期

的第一阶段(phase 1)期间它们的输出缓冲器对端口锁存取样。(在第 2 阶段期间,输出缓冲器保持在前面第 1 阶段得到的值。)因此,实际上端口锁存器内的新值一直要到下一个机器周期的 S1P1 的下一个第一阶段才出现的输出引脚上。

如果改变要求在端口 1、2 或 3 内 0 到 1 转换,则在发生转换的周期的 S1P1 和 S1P2 期间打开辅助的上拉。这是为增加转换速率。额外的上拉可以产生约为正常上拉 100 倍的电流。应当注意到,内部上述拉为场效应晶体管,不是线性电阻。图 2 详细示出了上拉装置。

现在参照图 2,在 8051 的 NMOS 型中,上拉 816a 的固定部分是一栅源相连的耗尽型晶体管。该晶体管在引脚与地短路时使引脚 808 产生约 0.25 mA 的电流。与固定上拉平行的是增强型晶体管,在端口位进行 0 到 1 转换的 S1 期间,激发该晶体管。在该期间,如果把端口 808 接地短路,则该晶体管使引脚 808 产生额外的 30 mA 电流。

在 CMOS 型式中,上拉 816b 由三个 P 沟道 FET(pFET)818, 820, 822 组成。应当注意到 N 沟道 FET(nFET)824 在把逻辑 1 施加于其栅极时导通,在把逻辑 0 施加于其栅极时截止。pFET 相反:在其栅极为 0 时导通,其栅极为 1 时截止。

图 2 中的晶体管 pFET 1 818 在端口锁存器 0 到 1 转换后导通两个振荡周期。其一导通,就通过倒相器 826 使 pFET 3 822(一弱上拉)导通。该倒相器 826 和 pFET 3 822 形成锁存器,保持住这个 1。

请注意,如果引脚 808 正在发射 1,从一些外部电源引出的引脚 808 上的负伪信号(negative glitch)能使 pFET 3 822 截止,使引脚 808 进入浮动状态;在传统的 CMOS 类型中,在 nFET 824 一截止时就导通的 pFET 2 820 非常弱的上位。它仅约为 pFET 3 822 的

1/10。其作用是在引脚 808 有 1 但因伪信号而丢失时使引脚 808 恢复 1。

对于端口装载和接口，端口 1、2 和 3 的输出缓冲器每个能驱动 4 个 LS TTL 输入。能用通常的方法用 TTL 或 NMOS 电路驱动 NMOS 型端口。NMOS 和 CMOS 引脚 808 均能用开集和开漏输出驱动，但请注意 0 到 1 的转换不会很快。在 NMOS 设备 816a 中，如果引脚 808 由开集输出驱动，则 0 到 1 的转换只得由图 2 中的较弱耗尽型 FET 828 驱动。在 CMOS 设备中，输出 0 将使上拉 pFET 3 822 截止，只留下非常弱的上拉 pFET 2 820 驱动转换。

回到图 1，端口 0 输出缓冲中每个能驱动 8 个 LS TTL 输入。然而，除用作地址/数据总线外，它们一定需要外部上拉来驱动 NMOS 输入。

布尔处理能力是 8051 微控制器特殊的特点。在该功能里，微控制器用其自己的指令组、其自己的累加器和位可编地址内部数据 RAM 和 SFR 来处理位信号。8051 有 5 个硬件启动中断，其中两个为外部中断。内部中断由定时器和内部串行端口产生。中断的优先级别可以预先定义。可以有选择地或全部禁止中断。内部定时/计数器可以用于测量脉冲宽度和时间间隔、对事件计数、和周期地产生中断。每个计数器能多种方式工作。

8051 软件程度可以用由 111 个指令组成的指令组的汇编语言编写。这些指令分成下列功能组：算术操作、逻辑操作、数据传送、布尔变量处理和程序机器控制。对于非实时应用，微控制器由 PL/M 语言支持。

典型 IC

现在参见图 3(由图 3a 和图 3b 组成)，图 3 示出了合并有本发明的弱上拉禁止方法和机构的典型 IC 的方框图。下面将讨论根据弱上拉禁止方法及其机构的相关的部件。典型的 IC 包括 8 位微控制

器，提供 AMD 公司生产的 80C51 系列的 80C3272 型的功能，如前面描述的和此处更具体的描述是在与合并入典型 IC 内的弱上拉禁止方法和机构的特定的实施例的有关范围内进行。

系统控制——要求

下面描述与弱上拉禁止方法和机构相关的 IC 系统控制的某些方面。可以参见各种相关的申请以获得比在此描述的 IC 的系统控制要求和其它系统情况更详细的内容。

在图 3 所示的典型的 IC 中(如前面所述的，该 IC 是一种可以合并有本发明的弱上拉禁止方法和机构的典型的 IC 类型)，在触发了 IC 的电路内仿真能力模式时，PSEN/引脚呈现高阻抗状态。

现在用系统控制的功能视图的一部分来讨论弱上拉禁止方法和机构的 I/O 端口的利用和影响。相应地，紧接下面将讨论用于可以包括本发明的典型 IC 的四个 I/O 端口中的每一个端口。

对于端口 0，它用于与多地址/数据总线位 7—0 相连。

端口 1 用于总 I/O 线。这些线通过软件设计成具体的控制功能。端口 1 I/O 线包含一弱上拉。禁止弱上拉是通过对相应的 PCRB 设置适当的值来完成的(如下所描述)。在仿真模式期间，弱上拉被禁止，并且端口引脚呈高阻抗状态。

端口 2 用于地址线 15—18。端口 2 I/O 线包含一弱上拉。禁止弱上拉是通过对相应的端口控制寄存器位(PCRB)设置一适当的值来完成的(如下所描述)。在复位之后，端口 2 弱上拉有效。在仿真模式期间，弱上拉被禁止，并且端口引脚呈高阻抗状态。

现在，对于端口 3，需要讨论 P3.0、P3.1、P3.2、P3.3、P3.4、P3.5、P3.6 和 P3.7。

P3.0 可以用作微控制器串行端口接收数据输入端(R×D)，或者也可以用作通用的 I/O 引脚。P3.1 可以用作微控制器串行端口发送数据输出端(T×D)，或者可以用通用的 I/O 引脚。P3.2 在内部

用于脱离内部中断控制器(INT0)的中断输入端。P3.3在内部用于脱离内部中断控制器(INT1/)的中断输入端。P3.4用途内部定时器0的时钟输入端。该引脚不适用于外部的IC。P3.5用于内部决定定时器1时钟输入端。该引脚不适用于外部的IC。P3.6是地址/数据总线的WR/选通。P3.7是地址/数据总线的RD/选通。端口3的I/O线包含一弱上拉。禁止弱上拉是通过相应的端口控制寄存器位(PCRB)设置一适当的值来完成的(如下所描述)。复位之后,端口3的弱上拉有效。在仿真模式期间,禁止弱上拉,并且端口引脚呈高阻抗状态。

现在讨论I/O缓冲器的结构,在可以合并有本发明的实施例的典型IC中,端口1、2和3的I/O缓冲器可以通过软件控制禁止弱P沟道的上拉。这种功能是使缓冲器在外部信息驱动使缓冲器为低电平时切断电流源所必须的。这种典型IC的弱上拉禁止特征消除了不希望有的电源消耗的增加。AMD80C32T2缺乏这样一种机构。在复位之后,弱上拉使所有端口1、2和3的I/O缓冲器保持“高电平”。这种状态在功能上与80C32T2微控制器相兼容。为禁止弱上拉,软件首先必须通过用相应的端口控制寄存器位配置端口引脚来禁止每一位。相应的端口控制寄存器位驻留在与端口SFR位相同的地址上。例如,端口1驻留在SFR存储单元90H上。端口1控制寄存器也驻留在SFR存储单元90H上。仅在PCFIC SFR内的PCRA位被设置为“1”时,才改变端口1控制寄存器。在清除PCRA位时,对端口SFR地址的操作引起端口SFR的更新。

由于仅仅端口1、2和3包含有弱上拉,因此,端口0无该特点。下面描述了典型IC内端口配置的不同组合。

端口控制寄存器位	端口	位功能
0	0	驱动一个“0”输出，不上拉(80C51 可兼容)
0	1	2 个周期驱动一个“1”，弱上拉打开(80C51 可兼容)
1	0	驱动一个“0”输出，无上拉
1	1	仅仅输入(无上拉，高阻抗输入)

在通电时,PCRA 被禁止,任何对端口的写入将导致端口 SFR 的更新。一旦对 PCFIG 寄存器中的 PCRA 位进行设置,关闭每一个端口位的弱 P-沟道设备就成为可能。在每个端口位被适当配置之后,用户必须在对端口进行写之前消除 PCRA 位。

如果用户在它被禁止之后打开弱 P-沟道设备,端口引脚可以不立即返回到“1”。这种情况与 80C51 相似,外部设备驱动输入信号变低,然后使引脚“浮”回到“1”。信号的该上升时间与引脚的装入有关,可以用几个微秒稳定地返回到“1”。

现在讨论附加在典型 IC 内的 SFR 图,下列附加 SFR 形成 SFR 图,禁止微控制器引脚上的弱上拉:

SFR 名称	SFR 地址	复位后的 SFR
PLFIG	A1H	00H
P1PCRB*	90H*	00H
P2PCRB*	A0H*	00H
P3PCRB*	B0H*	00H

* 这些端口寄存器仅在 PCFIG 寄存器里的 PCRA 位被设置成“1”时才可访问。

SFR 名称:

PCFIG 地址: A1H 复位值: 00H

0	0	0	0	0	0	0	PCRA
---	---	---	---	---	---	---	------

PCFIG 包含 PCRA 的一位, 该位在访问端口地址时允许对 PCRB 进行访问。

PIPCRB 地址: 90H* 复位值: 00H* 仅在 PCRA=1 时可访问

P1.7CB	P1.6CB	P1.5CB	P1.4CB	P1.3CB	P1.2CB	P1.1CB	P1.0CB
--------	--------	--------	--------	--------	--------	--------	--------

P1.7CB—P1.0CB: P1.7—P1.0 相应端口控制位

P2PCRB 地址: A0H* 复位值: 00H* 仅在 PCRA=1 时可访问

P2.7CB	P2.6CB	P2.5CB	P2.4CB	P2.3CB	P2.2CB	P2.1CB	P2.0CB
--------	--------	--------	--------	--------	--------	--------	--------

P2.7CB—P2.0CB: P2.7—P2.0 相应端口控制位

P3PCRB 地址: B0H* 复位值: 00H* 仅在 PCRA=1 时可访问

P3.7CB	P3.6CB	P3.5CB	P3.4CB	P3.3CB	P3.2CB	P3.1CB	P3.0CB
--------	--------	--------	--------	--------	--------	--------	--------

P3.7CB—P3.0CB: P3.7—P3.0 相应端口控制位。

现在讨论在典型 IC 的片上外围总线的接口, 典型 IC 为可以合并有本发明的 IC 的一个例子, 所有用户可见寄存器和片上 RAM 保存在微控制器地址/数据总线内部文本上。为了降低电源损耗, 在访问存储空间期间该总线不改变状态。当 IC 处于电路内仿真模式时, 这种节约电能的特点是不适用的, 而且在访问程度存储空间期间, 片上外围总线将进行变换。

现在讨论典型 IC 内的片上 RAM, 具有 80C32T2 微控制器的这样一种 IC 具有位于“内部数据 RAM”空间内的 256 个字节 RAM。1024 个字节的附加“片上”RAM 位于“外部数据”空间。所有 1024 个字节片上 RAM 由实时时钟后备电池支持。被支持的 RAM 可以在低于 2.2 伏的电压下进行读和写访问。被支持的 RAM 可以在低于

1.8 伏的电压下保持数据。

现在讨论如何在典型 IC 运转停止期间进行中断，如果 IC 处于运转停止模式，微控制器处于空闲模式，微控制器的中断屏蔽位 (TCON 寄存器位 7、2 和 0) 的情况被忽略，使 INT0/和 INT1/中断。实际的 TCON 位不改变以防止 IC 进入禁止中断的运转停止模式。

还应当注意到，在典型的 IC 中，无论什么时候，CPUCLK 的速率被设计成不小于 9.216 MHz，PSEN 脉冲的宽度小于 CPUCLK 的一个周期 (也就是说，下降沿滞后一个 CPUCLK 周期)。这减少了 CPUCLK 缓慢减低时外部存储设备消耗的电能。

参见图 6，该技术的熟练人员应当注意到，ALE I/O 引脚被多路复用为通用输出位 9。INT0/OUT 和 INT1/OUT 引脚被分别多路复用为与地址译码组件 76 分离的外部 I/O 0 和外部 RAM 片选择输出端。在电路内仿真模式期间，这些引脚始终提供 ALE—OUT、INT0/和 INT1/输出功能。在普通操作期间，ALE 引脚可以作为 ALE 输出或者作为通用输出 9。在地址译码模块中由程度进行选择。在普通操作期间，INT0/和 INT1/引脚始终用作片选输出端。

参见图 6，该技术的熟练人员还应当注意到，80C32T2 的地址总线的多路分解形式是通过锁存低位地址字节和提供锁存地址 7—0 引脚来构成的。地址在 ALE 的下降沿时锁存在 A/D 7—0 总线上。在典型的 IC 中，在典型 IC 处于电路内仿真模式期间，内部定时器计算与把 A/D 7—0 和 ALE 引到片上有关的延时。

为了有助于全面理解图 6 所示的微控制器和其在包括本发明的弱上拉禁止方法和机构的典型 IC 内的作用，下面简单地讨论一下此处所示的每一个引脚。

P0.7—P0.0 为微控制器 I/O 端口 0。该端口提供多路复用 D7—0 和 A7—0 总线。当典型 IC 处于复位状态时，引脚保持弱高电位

上。在运转停止时，引脚即可以保持在强低电位，也可以保持在弱高电位上。在电路内仿真模式时，该引脚呈高阻抗。

P1.7—P1.0 为微控制器 I/O 端口 1。该端口提供 8 个与并行端口模块有关的通用 I/O 引脚。当 IC 复位时，引脚保持弱高电位。在运转停止期间，引脚保持它们的已编程状态。在电路内仿真模式时，该引脚为高阻抗。

P2.7—P2.0 是微控制器 I/O 端口 2。该端口提供地址总线的 8 个高位(A15—A8)。当 IC 复位或停止运转时，引脚保持弱高电位。在电路内仿真模式时，该引脚为高阻抗。

P3.7 是微控制器 I/O 端口 3.7。该引脚提供微控制器 RD/(读，低电平有效)选通。在电路内仿真模式时，该引脚为高阻抗。在运转停止时或在复位期间，该引脚保持弱高电位。

P3.6 是微控制器 I/O 端口 3.6。该引脚提供微控制器 WR/(写，低电平有效)选通。在电路内仿真模式时，该引脚为高阻抗。在运转停止时或在复位期间，引脚保持弱高电位。

P3.1 为微控制器 I/O 端口 3.1。该引脚提供微控制器内部串行端口发送数据输出。该引脚也可用作通用 I/O 端口。在电路内仿真模式时，该引脚为高阻抗。在复位时，该引脚保持弱高电位。在运转停止时，该引脚保持其已编程状态。

P3.0 为微控制器 I/O 端口 3.0。该引脚提供微控制器内部串行端口接收数据输入。该引脚也可以用作通用 I/O 端口。在电路内仿真模式时，该引脚为高阻抗。在复位时，该引脚保持弱高电位。在运行停止时，该引脚保持其已编程状态。

PSEN/是程序存储选通。有效时，端口 0 和 2 上的地址从属于代码空间。在电路内仿真模式时 PSEN 被设置成高阻抗状态，在普通模式时为输出端。在复位时，PSEN/保持弱高电位，在运转停止时，该引脚保持强高电位。

ALE 是地址锁存允许。该信号用于锁存 A/D7—0 总线的地址。在电路内仿真模式期间 ALE 为高阻。在普通模式期间，ALE 作为输出，多路复用为 OUT9。在运转停止或复位时，该引脚保持强高电位。

已锁存地址 7—0 为地址锁存的输出，提供非多路复用 LA7—0 总线。在复位、运转停止和电路内仿真模式时，这些引脚被强电位驱动。

系统控制——时钟发生器

时钟发生器 82 (见图 3a) 为典型 IC 提供晶体振荡器、电源模式控制、模块允许控制和时钟驱动器。

在 IC 被设置在运转停止模式时，18.432 MHz 振荡器 (例如图 5 的振荡器 72) 和所有由其驱动的时钟均停止。除了实时时钟 74 外，所有模块被禁止。所有模拟引脚均被置于其关闭状态，也就是说，与 IC 处于复位时相同的状态。

对运转停止/微控制器时钟控制寄存器的一位进行设置使 IC 进入运转停止模式。在这一位被设置之后，振荡器 72 继续运行 3.56—7.12 微秒，软件使其自己进入其空闲状态，然后包括 CPUCLK 的所有时钟停止。在典型的 IC 中，如果在允许位被设置之后和 CPU 时钟停止之前接收到中断，则 IC 将终止运算停止周期。

继续讨论典型 IC，对运转停止/微控制器时钟控制寄存器的访问是由互锁机构保护的，以减少由于软件问题引起的时钟偶然停止的风险。该机构需要软件写到一专门的访问控制寄存器，然后写入运转停止/微控制器时钟控制寄存器。这种两次写入过程必须在时钟速率控制寄存器更新之前进行两次。

复位、任何一个小键盘扫描器 88 的键按下指示、实时时钟中断 (如果实时时钟 74 未被屏蔽) 或者任何的非屏蔽中断都产生唤醒。当 IC 脱离运转停止模式时，振荡器重新启动。振荡器稳定需要约 3.56

毫秒的延时。延时后，微控制器 44 和监视计时器 46 时钟重新启动。微控制器时钟以预先设计的速率重新启动。

当 IC 处于运转停止状态时，即使相关的中断允许位被清除，即，即使禁止中断也允许小键盘任意键按下和实时时钟中断。实际的中断允许位不改变。另外，应当注意到，仍能在典型 IC 内的实时时钟模块 74 中屏蔽实时时钟中断。

典型 IC 的微控制器时钟具有一个带 18.432 MHz 输入端的可编程驱动器。可编程速率除以 2、4、8、16、32、64、128 和 256。当 IC 脱离运转停止模式时，CPU 时钟返回到编程在控制寄存器内的速率。能通过将 IC 置于运转停止模式关闭 CPUCLK。

当改变时钟速率时，无需产生违反 80C32T2 或其它合适产品的数据表定时说明书的时钟脉冲就能完成新频率的转换。

微控制时钟还具有可选择的自动加速模式。如果选择了自动加速项，则所有中断将微控制器强制划分成两种状态。在时钟加速之后，一直到速率重新编程到低值时，时钟将维持在已划分的两个频率上。在频率转换点上不允许有非法的短脉冲。

一旦微控制器发出进入运转停止的命令，停止之前处理器时钟继续运转 3.56 到 7.12 微秒。

各模块的时钟由时钟发生器 82 提供。控制位提供是否允许软件打开和关闭专门的模块。当一模块关闭时，其时钟停止并保持低电平。

串行端口 94 支持 288KHz、144KHz 和 36KHz 的数据速率。提供给串行端口模块的时钟由时钟发生模块 82 向下划分到所希望的数据速率。通过串行端口定时控制寄存器选择时钟速率。通过模块允许控制寄存器 0 使串行端口模块和该时钟恢复操作。当该模块被禁止时，时钟停止，并保持低电平。

图 7 是典型 IC 的时钟发生模块的框图。如图 7 中可看到的，时



钟发生模块直接或间接包括振荡器 70、运转停止模式控制逻辑 170、微控制器控制逻辑 172、模块选通 174 和模块时钟分割器 176。紧接着下面将在各段中描述其中的各个部分。

振荡器 70 设计成在 18.432 MHz 下运行，使用平行谐振状态晶体。需要一个启动电容，但典型 IC 使容量值最小，以节约电能。

运转停止模式/微控制器时钟控制逻辑 170、172 控制运转停止模式的进入、微控制器时钟频率和自动加速。

对于模块选通 174，打开和关闭 IC 内专门模块的寄存器位被设置在时钟发生模块 82 中。这些位还使时钟停止向它们各自的模块输出。

模块时钟分割逻辑 176 为一分割器串，产生各模块需要的时钟频率。

时钟发生模块 82 有三个引脚。引脚 MCLK XTAL 为主时钟晶体引脚 1。该引脚用于输入，位于振荡器 70 的输入侧。振荡器 70 被设计成与平行谐振晶体或外部逻辑电平输入之一一起工作。MCLK XTAL 2 引脚为主时钟晶体引脚 2。该引脚用于输出，位于振荡器 70 的输出侧。如果使用晶体，则该引脚与晶体相连。如果使用了外部逻辑电平信号，该引脚不连。CPUCLKOUT 引脚与馈送到微控制器 40 的同一个时钟相连。这是一个可不与芯片相通的输出。在电路内仿真模式时，CPUCLKOUT 始终有效。当 IC 不处于电路内仿真模式时，该时钟与并行 I/O 端口模块的 CSOUT/2 信号多路复用。多路复用控制位于地址译码模块 76 内（见图 3b）。在复位时，该引脚不执行 CSOUT2/功能，并保持高电位。在运转停止时，如果该引脚设计成 CPUCLK 操作，则它保持低电平。

典型 IC 的时钟控制模块 82 包含下列可编程寄存器：运转停止/微控制器时钟控制寄存器；运转停止/微控制器时钟访问寄存器；保护寄存器；模块选通控制寄存器 1；模块选通控制寄存器 2 和串行

端口定时控制寄存器。

系统控制——地址译码器

所有内部寄存器以及片上 RAM 和典型 IC 三个外部芯片选择的地址均由地址译码器进行译码。在微控制器访问内部寄存器或内部 RAM 时，产生选通信号。当访问外部 RAM 空间或者两个外部 I/O 空间之一时，产生芯片选择输出。

典型 IC 的地址译码模块 76 包括 CSOUT0/引脚、CSOUT1/引脚和 CSOUT2/引脚。CSOUT0/引脚传送与 INT0/OUT 信号多路复用的信号。该引脚还在 IC 不处于电路内仿真模式时提供芯片选择功能。在对外部 I/O 1 空间执行 MOVX 指令时，CSOUT0/信号有效（低电平）。在复位或运转停止时，该引脚保持高电位。CSOUT1/引脚传送与 INT1/OUT 信号多路复用的信号。该引脚还在 IC 不处于电路内仿真模式时提供芯片选择功能。在对外部 RAM 空间执行 MOVX 指令时，CSOUT/1 信号有效（低电平）。在复位或运转停止时，该引脚保持高电位。CSOUT2/引脚传送与 CPUCLKOUT 信号多路复用的信号。该引脚还在 IC 不处于电路内仿真模式时提供芯片选择功能，并且 CSOUT2/允许位被设置在芯片选择控制寄存器内。在对外部 I/O2 空间执行 MOVX 指令时 CSOUT2/信号有效（低电平）。在复位时，该引脚保持高电位。如果该引脚被程序设定为 CSOUT2/模式，则在运转停止时它将保持高电位。

前面提到的芯片选择控制寄存器是在地址译码模块 76 中的仅用户可见寄存器。

还可以注意到，典型 IC 的译码模块 76 包括地址锁存器和关联引脚。地址锁存器提供 8 位低地址位 (LADDR7-0) 的锁存表。在 IC 处于普通模式、运转停止模式或电路内仿真模式时，锁存地址总线 (LADDR 7-0) 引脚为输出端。当 IC 处于运转停止时，该引脚被

进入运转停止前最后的值强驱动。输出在 ALE 的下降沿改变。

系统控制——中断控制器

典型 IC 的中断控制器 86 搜集 IC 内部和外部的各种信号源的中断请求，并向微控制器 40(INT0/和 INT1)产生一个中断。

使用在可以合并有本发明的弱上拉禁止方法和机构的典型 IC 内的中断系统具有多级结构，它包括中断原因和状态寄存器、局部屏蔽、局部中断源寄存器、主中断屏蔽寄存器和主中断源寄存器。紧接着下面在各段中进一步讨论这些部件中的各个寄存器。

对于中断原因和状态寄存器，中断原因形成最低级，对于每个模块是局部的。这些原因可以是引脚的输入、诸如空的或满的数据缓冲器的条件以及诸如此类条件。在软件读时，状态寄存器始终返回原因信号的当前状态（例如，输入引脚的当前逻辑电平）。通过中断屏蔽，使状态寄存器的位不受影响。

现在讨论局部屏蔽，原因信号与“中断屏蔽寄存器”的相关屏蔽信号进行“与”。这些“与”门的输出端与“局部中断源寄存器”相连。屏蔽寄存器位于包含相关原因信号的模块内。

软件用局部中断源寄存器来确定中断原因。可以在未屏蔽原因信号的上升沿、下降沿或者该两个边沿上设置中断源寄存器位。中断源寄存器的位被彼此独立地清除。通常，在软件响应于原因时消除各个位。该响应可以是读一个接收缓冲器、读一个输入端口状态寄存器等诸如此类。各寄存器位的输出一起相“或”产生一个中断请求信号。该信号被送至中断控制模块。信号源寄存器位于包含相关原因信号的模块中。

对于主中断屏蔽寄存器，中断请求信号与“主中断屏蔽寄存器”（位于中断控制器模块 86 中）的相关屏蔽信号进行“与”。这些“与”门的输出端与“主局部中断源寄存器”相连。

软件用主中断源寄存器确定中断原因。只要它们没有被屏蔽，

中断源寄存器的位将影响中断请求信号的局部级别。通常，在软件响应于专门中断原因时，将清除各中断请求。主中断源寄存器的输出一起相“或”，并且被送至微控制器。

图 8 示出了典型 IC 的中断控制器 86 的结构。逻辑模块 96 (参见图 3a)、外部中断输入端 (如叉簧/自锁)、串行 I/O 94、并行 I/O (见图 15 和所附的讨论)、小键盘扫描器和实时时钟 74 模块的中断请求馈送至两个主中断源寄存器 178、180。微控制器以主屏蔽寄存器 0 182 和主屏蔽寄存器 1 184 的形式提供主中断屏蔽功能。

仅作为一个例子，紧接着的下表表示出了应用在无绳电话中的典型 IC 内的中断原因。

中断原因	设置/被清除
D 通道接收	设置：接收缓冲器包含 6 个字节数据 被清除：在读接收缓冲器时
D 通道接收错误	设置：在已接收的 D 通道数据中检测到 的错误 被清除：读 D 通道状态寄存器
D 通道发送	设置：发送缓冲器空 被清除：在发送缓冲器装载时
SI/O 接收	设置：接收缓冲器满 被清除：读接收缓冲器
SI/O 发送	设置：发送缓冲器空 被清除：当发送缓冲器装载时
RTC 定时器	设置：在 RTC 源寄存器内定时器位设置 (并且没被屏蔽) 被清除：读 RTC 源寄存器
RTC 报警	设置：在 RTC 源寄存器内报警位设置 (并且没被屏蔽) 被清除：读 RTC 源寄存器

中断原因	设置/被清除
RTC 更新结束	设置:在 RTC 源寄存器更新结束位设置 (并且没被屏蔽) 被清除:读 RTC 源寄存器
PI/OP1.0—P1.1	设置:未屏蔽端口 1 引脚的已编程边沿 被清除:读 PI/O 中断源寄存器 0
PI/OP1.2—P1.3	设置:未屏蔽端口 1 引脚的已编程边沿 被清除:读 PI/O 中断源寄存器 1
PI/OP1.4—P1.7	设置:未屏蔽端口 1 引脚的已编程边沿 被清除:读 PI/O 中断源寄存器 2
小键盘状态	设置:小键盘状态寄存器的改变 被清除:读小键盘状态寄存器
小键盘任一键按下	设置:IC 处于运转停止模式时键关闭 被清除:读主中断源寄存器 1
外部中断输入端 1、2 和 3	设置:任一外部中断输入引脚的发送(正 常用于叉簧、合成器自锁和调制器 自锁) 被清除:读指定的外部状态寄存器(每 一个输入一个寄存器)
CHM	设置:CHM 信号上升沿 被清除:读 CHM/Sync 源寄存器
SYNC	设置:Sync 信号上升沿 被清除:读 CHM/Sync 源寄存器
SYNC—D	设置:Sync—D 信号上升沿 被清除:读 CHM/Sync 源寄存器
Sync 错误	设置:Sync 错误信号上升沿 被清除:读 CHM/Sync 源寄存器

图 9 示出了处理逻辑模块 96 的中断原因信号所必须的状态、屏

蔽和信号源寄存器的结构。

典型 IC 的中断控制模块 86 由 7 个用户可访问寄存器组成：主中断源寄存器 0 186；主中断屏蔽寄存器 0 188；主中断源寄存器 1 190；主中断屏蔽寄存器 1 192；D—通道状态寄存器 194；CHM/SYNC 屏蔽寄存器 196；和 CHM/SYNC 中断源寄存器 198。

中断控制器 86 包括 INT/OUT 引脚和 INT/OUT 引脚。INT0/OUT 信号为从中断控制器 86 到微控制器 40 的输出。它通过 INT0/OUT 引脚与片外相通。这仅用于电电路内仿真模式下。当 IC 不处于电路内仿真模式时，该引脚用于芯片选择零 (CSOUT0) 输出。INT1/OUT 引脚把中断控制器 86 的信号送到微控制器 40。它通过 INT1/OUT 引脚与片外相通。这仅用于电路内仿真模式。在 IC 不处于电路内仿真模式时，该引脚用于芯片选择 1 (CSOUT1) 输出。

中断控制模块内的用户可访问寄存器包括主中断源寄存器 0 186；主中断源寄存器 1 190；主中断屏蔽寄存器 0 188；主中断屏蔽寄存器 1 192；D 通道状态寄存器；CHM/Sync 中断源寄存器 198；和 CHM/Sync 屏蔽寄存器 196。

系统控制——监视计时器/复位器

典型 IC 的监视计时器/复位器检测控制器软件是否中止或丢失，并产生一个 IC 硬件复位以及系统复位。如果每 2 秒没有清除内部计数器，则产生硬件复位。计数器清除是通过微控制器向监视键寄存器写专门的码序列来进行的。应当注意到，监视计时器 46 在运转停止或电路内仿真模式时不工作。

图 10 是监视计时器和复位输出机构的状态图。

如果典型 IC 的监视计时器 46 定时已到，则在复位/引脚 (低电平有效) 产生一个 1.78 ms 脉冲。在监视计时器超时之前也使 IC 内部硬件复位；其结果是与使复位/引脚有效一样。超时值约为 1.78

秒。专门的键序列必须在复位后的这 1.78 秒内和在先更新的 1.75 秒内被写到前述的内部监视键寄存器内，防止超时。

复位后键序列为一两阶段函数。监视计时器 46 开始为阶段一，等待向监视键寄存器写。如果写到监视键寄存器的值为除 A5H 之外的任意值，则产生系统复位（正如已经达到最终计数点）。如果写入的值为 A5H，则进入阶段二。在阶段二，监视计时器 46 等待另一个写。如果写入 5AH，计时器复位，并再次进入阶段一。如果写入除 5AH 的其它值，则系统复位。

图 11 示出了用于合并有本发明的弱上拉禁止方法和机构的典型 IC 的监视计时器的构造。

计时器串包含一个两秒计数器 200 和一个两毫秒脉冲发生器 202。从时钟发生模块 82 接收 1 KHz 时钟并把它馈送至禁止控制块。时钟输出信号进入两毫秒脉冲发生器 202 和两秒计数器 200。两秒计数器 200 的最终计数点输出被馈送至脉冲发生器 202 以开始产生两毫秒脉冲。

监视键机构由用户可见寄存器 204 和状态机器 206 组成。软件周期性地写用户可见寄存器 204，表示软件工作正常。状态机器 206 检查寄存器是否更新正确，如果一切良好，则向 2 秒计数器 200 产生一个清除选通，如果寄存器更新错误，则向两毫秒计数器 202 产生一个错误选通。

监视键寄存器 204 是软件清除监视计时器 46 的访问点。需要一个两写入序列来清除计时器 46。在典型 IC 中必须每两秒完成一个序列以防止产生系统复拉。

系统控制——并行端口

典型 IC 的并行 I/O 端口由微控制器端口 1 中断结构、11 位通用输出锁存器、2 个三电平输入引脚和三个外部中断输入组成。微控制端 3 内的 RxD 和 TxD 引脚也能象通用 I/O 端口一样工作。这些

端口如紧着下面所讨论的一样分布。

对于微控制器端口 P1.0—P1.7，可屏蔽中断按程序在每个引脚的一个边沿上产生。在典型 IC 中，为进行中断报告，引脚被分成三个独立的中断源寄存器，一个用于 P1.7—4，一个用于 P1.3—2，再一个用于 P1.1—0。

通过通用输出寄存器 0 和 1 对有 11 个输出的通用输出编程。全部输出的缺省为高电平。

两个三电平输入信号引脚可以报告三种输入状态：高、低或开路。典型的应用是拨盘选择和生产测试模式选择。因此，如上面大量的详细讨论，三电平 1N1 被用于选择电路内仿真模式。

对于外部中断输入，设置三个输入引脚在上升和下降沿上产生中断请求。这些引脚能用于叉簧、通道合成器自锁和调制解调合成器自锁输入。

在功能上，在如输入一样编程时，所有 8 个端口 1 引脚能在边沿发送时产生可屏蔽的中断。在与微控制器分开的硬件内完成中断功能。图 12 示出了典型 IC 中断功能的基本结构。

参见图 12，典型 IC 的输出锁存器提供 11 个控制外部功能的通用输出引脚。这是一对驻留在微控制器数据总线上的简单的寄存器（一个为 7 位，一个为 4 位）。在设置寄存器的一个位时（通过软件），相应的输出引脚也被设置。当清除该位时，该引脚也被清除。在它们缺省状态时提供通用输出 之一时怕有引脚为高电平时为缺省。

为除了小键盘(OUT 6,7)和三电平输入(OUT 10)之外的所有引脚的多路复用控制被设置于产生它们其它功能模块内，而不是设置于并行端口模块内（图 12 中由参考号 208 表示）。小键盘和三电平多路费用通用输出寄存器 1 控制。

在并行 I/O 端口被禁止时，通过位于时钟发生模块 82 内的模块选通控制寄存器 0 使所有与通用输出端一样工作的引脚处于高阻

抗状态。

继续参见图 12，在典型 IC 内设置有两个引脚，能检测三种不同的输入状态，高、低和开路或不相连。在外部中断状态寄存器中报告输入状态。在复位引脚无效之后，三电平 1 输入引脚首先用于选择 IC 的工作模式。三电平 1 输入引脚可以用作典型 IC 有少许变化的通用输入端，但应当极其小心，因为复位能引起 IC 进入电路内仿真模式。

仍进一步参见图 12，在典型 IC 内设置三个中断输入端，在上升和下降发送时产生中断请求。在独立的一位寄存器内报告各输入引脚的状态。如果自最后一次读其状态寄存器或对其复位以后引脚改变了状态，则锁存中断请求，并把它送至中断控制模块。读信号源寄存器，清除锁存，于是发出中断请求。

通常，在图 12 中，可以看到典型 IC 的 11 个输出是由在通用输出控制寄存器 0 和 1 中的它们各自的位来独立地控制的。而且，在读取时，通过上拉和下拉电阻把输入引脚拉到中间电位 ($V_{cc}/2$)。每个引脚连至一对独立的比较器。如果输入为高电平，则对一个比较器加偏压，在其输出端产生高电位，如果输入为低电平，则对另一个比较器加偏压，在其输出端产生高电位。如果输入端开路，两个比较器输出为低电平状态。而且，可以注意到，引脚逻辑应当设计成在没有判定引脚状态时，使上拉电阻和下拉电阻无效。这就是电能节省特点。相对于 V_{cc} 或 V_{ss} 的外部输入最大电阻为 50 欧姆（当输入为高电平或低电平时）。最大电容为 50pF。

现在参见图 13，图中示出了可以包括本发明的弱上拉禁止方法和机构的典型 IC 的外部中断输入结构的更详细的视图。从中可以看到，该结构包含三个输入引脚 220、222、224，三个状态寄存器 226、228、230 和三个发送检测锁存器 232、234、236。

为一位寄存器的三个外部中断输入状态寄存器 226、228、230 报

告外部中断输入引脚 220、222、224 的当前状态。状态位随引脚变化而变化。读其中一个寄存器清除相关的发送检测锁存器 232、234、236。每个锁存器 232、234、236 的输出被馈送至中断控制模块 86，与选通位进行“与”。

系统控制——串行端口

典型 IC 的串行接口是四个串行通道的组合。在典型 IC 中，这些通道提供与频率合成器、LCD 控制器、EEPROM 和 PCM 编码译码器测试设备的通信。一套组合的发送、接收和时钟逻辑用于支持合成器、LCD、EEPROM 和 PCM 接口（见图 14，其中发送、接收和时钟逻辑分别由参考号 240、242 和 246 表示）。该套组组合的硬件称为 SI/O 接口。

对于已设计的典型 IC 的合成器接口，可以注意到 IC 和例如 MB1501 合成器芯片的合成器芯片之间的通信是单向的。通信仅能从 IC 到合成器。

对于典型 IC 的 LCD 接口，设置有串行接口，以在片上微控制器和 NEC μ PD7225 LCD 控制器 IC 或类似 IC 之间进行通信。这也是一个单向接口，通信仅能从 IC 到 LCD 控制器。

典型 IC 的 EEPROM 接口是双向的，与 8 位和 16 位设备兼容，支持 National、General Instruments、Exel 的接口。另外，需要支持在时钟下降沿输出数据的设备。因此，为广泛地与各种设备相兼容，可以把端口设计成上升下降沿接收数据。

对于典型 IC 的 PCM 测试端口，软件可以调用两种专门的模式，将串行端口转换成编码译码器或 ADPCM 代码转换测试端口。在编码译码模式，数据输入引脚成为 64 Kbps 编码译码接收输入端，数据输出引脚成为 64 kbps 编码译码发送输出端，时钟引脚成为 512 KHz 选通 PCM 数据时钟输出端（在 8 KHz 帧率时为 8 个周期的脉冲串）。在 ADPCM 测试模式，数据输入引脚成为 64 Kbps

ADPCM 发送输入端(PCM 数据输入端),数据输出引脚成为 64 Kbps ADPCM 接收输出端(PCM 数据输出),时钟引脚成为 512 KHz PCM 数据时钟输出端(在 8 KHz 帧率时为 8 位脉冲串)。B/D 通道端口提供 8 KHz 帧同步时钟。64 KHz 数据时钟必须与 8 KHz 帧同步同步。

典型 IC 的 PCM 测试端口不使用串行 I/O 端口的发送缓冲器、接收缓冲器或时钟发生器。音频通路逻辑提供时钟和串行发送位流,并接收串行形式的接收数据。换句话说,PCM 测试功能使用串行 I/O 端口引脚,但支持时钟发生、时钟同步、串到并和并行转换的逻辑在音频通路逻辑内处理。

系统控制——小键盘扫描器

可以包括本发明弱上拉禁止方法和机构的一个实施例的典型 IC 的小键盘扫描器提供支持超过 36 键的小键盘能力。该小键盘工作在两种模式下:1)活动检测和 2)普通模式。

在活动检测模式,不必确定哪个键被按下,只需测定是否有键被按下。这便于在用户按键时把 IC 从运转停止模式唤醒。如果在 IC 处于运转停止模式时检测到活动,则向时钟发生模块产生一个输出。

在普通模式,检测被按下的键的识别码并作出报告。用户软件的责任是去抖动(debouncing)。在检测到活动时,如在一个键合上时产生一个中断。典型地,用户通过屏蔽小键盘中断、设置微控制器定时器(去抖动时间通常为 4—16 微秒)和从中断返回来响应中断。当定时器停止时,产生一个中断。这引起用户读取键盘状态寄存器,这时该寄存器含有对已按下键的稳定的识别码。该状态包括无键按下码(00000000),多键按下码(0XXXXXX1)和对应各个键的码(0RRRCCC0);其中 R=行码;C=列码;X=任意。

图 15 示出了小键盘扫描器的框图。该模块包含扫描单元 250 和

小键盘状态寄存器 252。

扫描器 250 包含行列输入引脚和比较器以及一块检测无键按下，多键按下和任一键按下的情况的逻辑 254。

状态逻辑对扫描器的输入进行格式化，并向用户提供该状态。更具体地说，小键盘状态逻辑包含：

- 输入端
- 6 行比较器输出
 - 6 列比较器输出
 - 无键按下输出
 - 微控制器读选通
 - 微控制器数据总线
 - 地址译码模块的寄存器选择选通
- 输出端
- 在由地址译码模块访问时寄存器驱动内部数据总线
 - 寄存器值一变化就产生中断请求。该中断请求连至中断控制器。
- 译码器
- 把 6 行和 6 列信号译码或 2 个三位字(八-二进制译码)。该字与无键按下和多键按下指示相连形成 7 位字。寄存器的第 7 位始终为 0。

系统控制——实时时钟

实时时钟设置在典型 IC 上。在 IC 电源接通时，该时钟 74 (见图 3a)靠正常 IC 电源工作，在 IC 电源关闭时靠专用电池工作。实时时钟连接有 32.768KHz 的晶体。因此，设置一块 1 K 字节的 RAM。除了靠实时时钟电池输入引脚供电外，该片上 RAM 与实时时钟独立。

图 16 示出了典型 IC 实时时钟模块 74 的框图。

系统控制——电池电平检测器

典型的 IC 包括提供电源 (如电池)电平超出 2.7—5.5 伏范围的数字显示的机构。

在功能上，电池电压监测电路比较 V_{cc} 引脚上的电压和内部阈值电压。如果 V_{cc} 大于阈值电压，比较器输出高电平。如果 V_{cc} 低于阈值电压，比较器输出低电平。在典型 IC 中，内部阈值电压可通过 4 位码从 2.7 伏到 5.4 伏进行程序设定，精度为 $\pm 5\%$ 。

图 17 为典型 IC 的电池电平检测模块的框图。

工作模式

从图 3 所示的 IC 的工作模式的一般描述，开始可以注意到，IC 有三种基本工作模式。这三种模式是电路内仿真模式、普通模式和测试模式。通常，电路内仿真能力模式使片上微控制器（在图 3 中用参考号 40 表示）失效，使外部 ICE 用于软件开发和软件和硬件调试。普通模式是这样一种模式，在该模式下，包含 IC 的产品由终端用户操作。最后一个工作模式测试模式基本上与普通模式相同，不同的是在测试模式时有可能实现 IC 的内部测试功能。

进入三种工作模式是由复位引脚 42 和三电平 1 输入 (TRI1) 引脚 44 的状态控制的。虽然这些引脚 42、44 可以有多种不同方式的选择，但在复位引脚 42 变为无效时，一种方式将具有一种由 IC 控制和作用于其上的 TRI1 引脚状态。例如，如果 TRI1 为低电平，则电路内仿真能力模式有效。在中间电源或无连接点上，测试模式有效。最后，当 TRI1 引脚为高电平而且当复位引脚 42 变为无效时，IC 可以工作在普通模式。

在这种典型的 IC 中，如果复位引脚 42 变为高电平时，三电平 1 输入引脚 44 为低电平，则电路内仿真能力模式在复位时被触发。而且，除了与定时器 0 和定时器 1 输入相连的时钟（该时钟可以在 IC 外）之外，所有与典型 IC 的 I/O 端口的内部连接都不与微处理器（例如片外微处理器）相通。这时 ALE 和 PSEN/ 成为输入端。在电路内仿真能力模式时，输入到微控制器的与片外微控制器相连的时钟被强制复位。在这种模式下，监视计时器 46 不工作。

当图 3 所示的 IC 被设置在电路内仿真能力模式时，图 3 所示的多个引脚可以改变功能。具体地说，在电路内仿真能力模式时，下列引脚如下述改变功能：

引脚	ICE 模式时的用途
中断 0/ 输出 CSOUT0/	中断 0/输出
中断 1/输出 CSOUT1/	中断 1/输出
CPU 时钟输出 CSOUT2/	CPU 时钟输出
ALE I/O, 输出	ALE 输入
读/	读/输入
写/	写/输入
地址 15 —8	地址 15—8 输入
地址/数据 7—0	地址/数据 7—0 — 地址 = 输入 数据 I/O = O/I
P1. 6—0	高阻
P1. 7	输入
P3. 1—0	高阻

寄存器

因为该技术的那些熟练人员的技术水平和图 1 —3 图示的详细

程度的缘故，在此不需要精确地描述所示的典型 IC 内的每个引脚和寄存器的功能。对于那些相关技术的熟练人员全面理解本发明的所有发明点，这些说明几乎没有必要。更进一步，可以参照有关这些或其它一些方面的进一步的详细说明的各种相关申请。

CT2

合并有本发明的弱上拉禁止方法和机构的典型 IC 的 CT2 部分可以包括下列模块：FIFOs 90、B/D 通道端口（参见图 3b）、发送调制解调器 100、RSSI A/D 转换器 92 和逻辑模块 96。

在典型 IC 中，两个单向 FIFO 260、262 设置在 ADPCM 块 84、B 通道 I/O 264 和帧格式器 96 之间，一个为发送方向，另一个为接收方向（见图 18）。这些 FIFO 提供在 72 Kbps 无线电脉冲串率和恒 32 Kbps ADPCM B 通道端口速率之间的弹性存储器。从帧格式器 96 看 FIFO 呈串行，因为 ADPCM 工作在四位字节，所以由 ADPCM 块 84 看，FIFO 为 4 位宽。

典型 IC 中的 FIFO 模块 90 或由逻辑模块 96（具体地说为 PLL1152）的 1.152 MHz 时钟，或由时钟发生模块 82 的固定的 1.152 MHz 时钟生 512 KHz、32 KHz 和 8 KHz 时钟。

典型 IC 内的 B/D 通道 I/O 端口提供 6 个多路复用以产生 4 个独立的功能的 I/O 引脚，4 个功能包括加密、D 通道 I/O 端口、信号发送（Tx 调制器 I/O）和 6 个通用输出端口。

典型 IC 的发送调制器 100 接收 CT2 逻辑模块 96 的串行数据，并将它转换成一对正交单端模拟输出。典型 IC 内产生的输出用来在外部与 IF 载波混合并迭加获得所希望的频率调制信号。

图 19 示出了调制器 100 的框图。调制器 100 的核心是由数据相关状态机器地址发生器 272 编址和由一串同步锁存器 274 跟踪的查找 ROM 270。两个由缓冲器跟踪的相同的 6 位十符号 DAC 驱动模拟输出。

如各种相同申请中更详细的讨论，可以在典型 IC 中设置测试模式，简化频谱测量。

接收信号强度指示(RSSI)模块 92 提供 RF 接收信号电平的数字显示。

现在全面讨论逻辑模块 96，设置有帧控制器，它包含接收定时恢复器、帧定时发生器、SYNC 通道处理器、B 通道处理器、D 通道处理器和调制解调定时调节器。

图 20 是包括接收定时恢复器、帧定时发生器、SYNC 通道处理器、B 通道处理器、D 通道处理器的帧控制器的框图。

对于接收定时恢复功能，产生接收数据的位同步定时，并提供给各个功能。

SYN 通道处理器接收脉冲串信号和接收时钟发生器(DPLL)的 PLL 时钟，它把已接收的同步信息送至帧定时发生器和 CPU。它还接收帧定时发生器的发送定时脉冲、B 通道处理器和 D 通道处理器的发送数据，并产生发送脉冲串信号。

帧定时发生器在系统正接收信号号，接收同步通道处理器已接收的同步信息，并把所有必要的接收和发送定时脉冲送至 B 通道处理器、D 通道处理器、发送部分的 SYN 通道处理器、调制解调器定时调整器以及其它需要那些脉冲的块中。

调制解调器在它们正发送和接收调制解调器的参考信号时测量调制解调器和 RF 部分的延时。

无绳电话机应用

如上所讨论的，本发明的弱上拉禁止方法和机构很适合用于无绳电话机。现在参见图 4 和图 5，图中示出了一种可以合并入包括本发明的弱上拉禁止方法和机构的 IC，例如前面描述的典型和 IC 的无绳电话机。这种无绳电话机包括听筒或终端设备 2 (图示在图 4)和基座单元或基站 4(图示在图 5)。基座单元 4 由电话线连到墙上

的引出线或插座、电话机柱或其它固定结构上，以使它可以通过电话网络线 6 接收和发送电话信息，还使它可以获得电源。听筒 2 上的天线 8 和其站 4 上相应的天线 10 用于通过发送和接收无线电波在两单元之间建立信通道。与传统的一样，听简单元 2 包括呼出或拨号呼出的小键盘 12 和分别联接有话筒 14 和扬声器 16 的送话口和耳机。电话号码可以在小键盘 12 上输入，相应的信息经通信通道发送至基座单元 4，在那里再送至电话网络线 6。换句话说，当基座单元 4 接收到电话网络线 6 来的指示有呼入的信息信号时，基座单元 4 的信号使听简单元 2 产生振铃声，使基座单元 4 产生第二振铃声，指示有电话呼入。联邦通信委员会(FCC)规定这种听简单元 2 和基座单元 4 之间呼叫服务区域的标准最大间距约为 300 米。一般，每个系统有十个双工信道，上信号为 49 MHz 频段，下信道为 46 MHz 频段。当然，FCC 规定了这些工作参数，它们不是本发明的一部分。

象听筒 2 一样，基座 4 包括话筒 22、耳机 24 和小键盘 26。而且听筒 2 和基座 4 两者还包括 ROM28、30、EPROM32、34、LCD 和控制器 36、38 以及多个通常与无线电信号和电源电平有关的其它部件。

从图 4 和图 5 中还可以看出，在听简单元 2 和基座 4 都使用了包括本发明的弱上拉禁止方法和机构的 2C。在图 4 中 IC 用参考 18 指示，在图 5 中用参考号 20 指示。

现在，本技术的熟练人员基于上面所述应当完全知道和理解此处讲述的改进。还应当完全知道和理解在此描述的可以合并入 IC 中尤其是可以合并入用于无绳电话的 IC 中的弱上拉禁止方法和机构的价值和优点。但，实际上此处所描述的各点可以在上面相关申请部分所列的相应案子中找到更详细的描述。虽然对于本技术的熟练人员实现本发明或者充分领悟最佳方式来说那些详细描述是不必要

的，但可能会对他们有用；他们可能会希望参阅这些描述。

显然，借助于此处的讲述可以作出许多变型和变化。因此，本发明可以在所附的权利要求书范围内实现，而不是上面具体的描述。

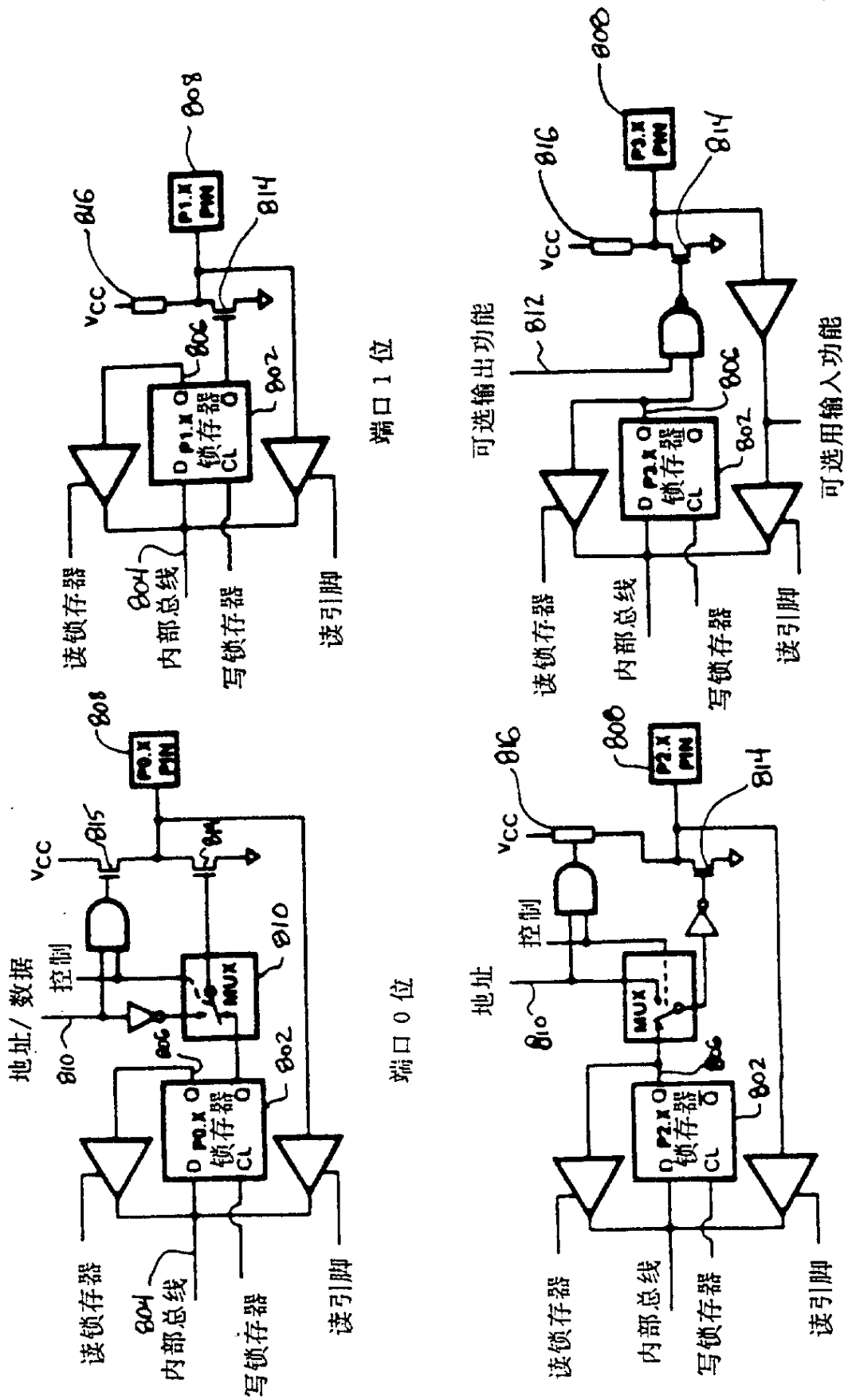
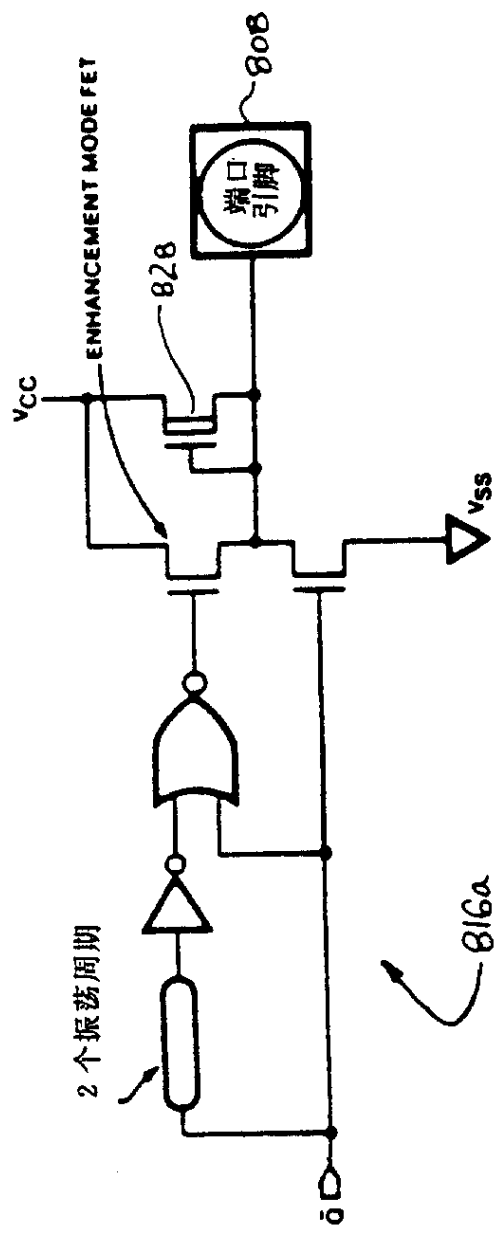


图 1 端口 0 位 端口 1 位 端口 2 位 端口 3 位



NMOS 配置

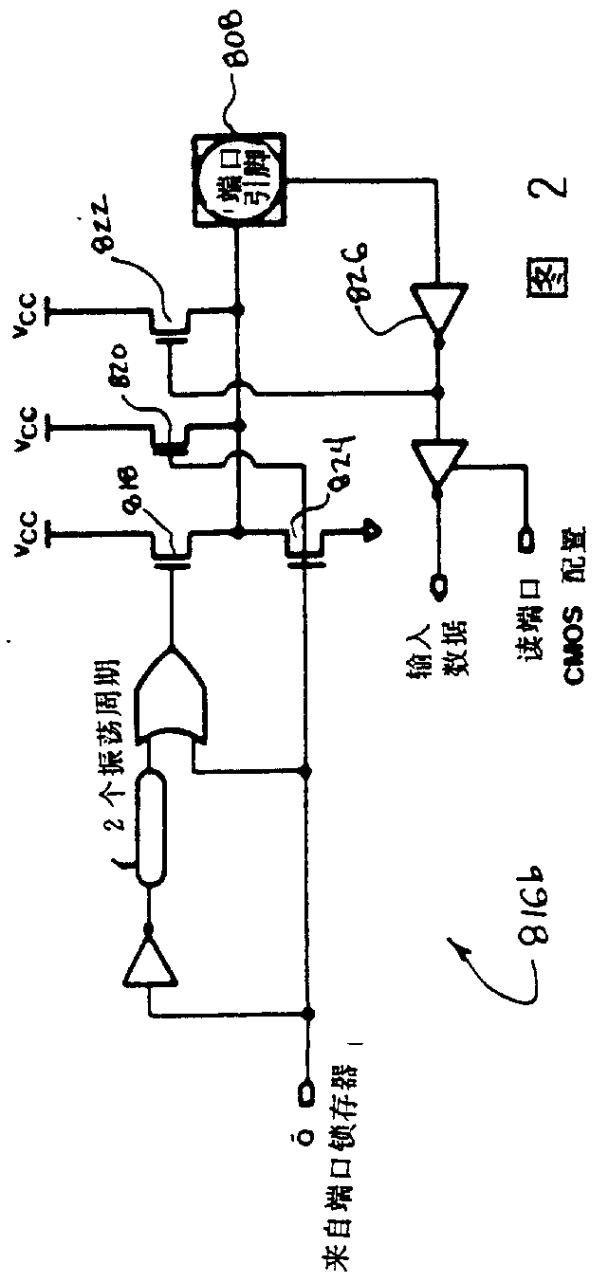
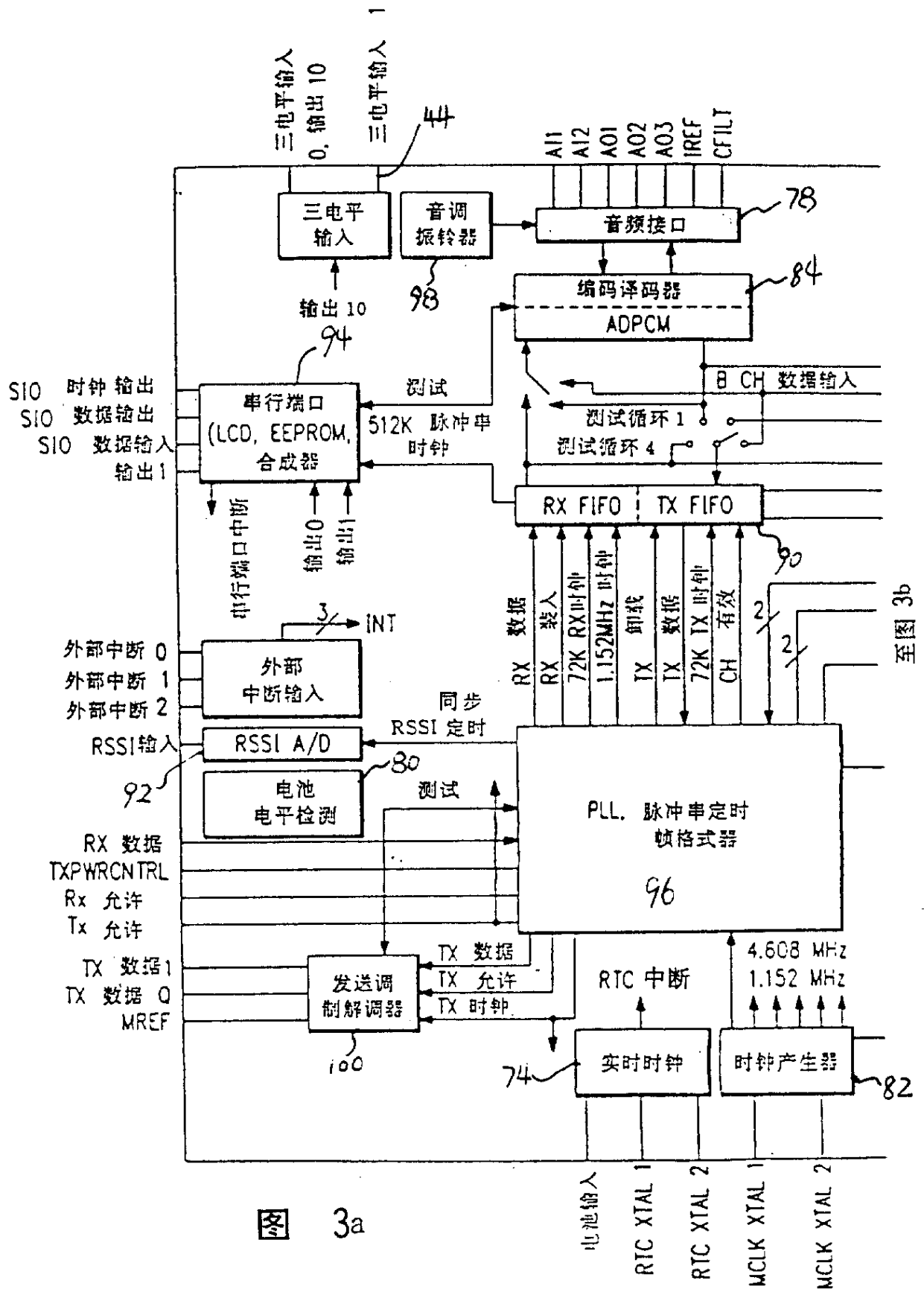


图 2



至图 3b

图 3a

来自图 3a

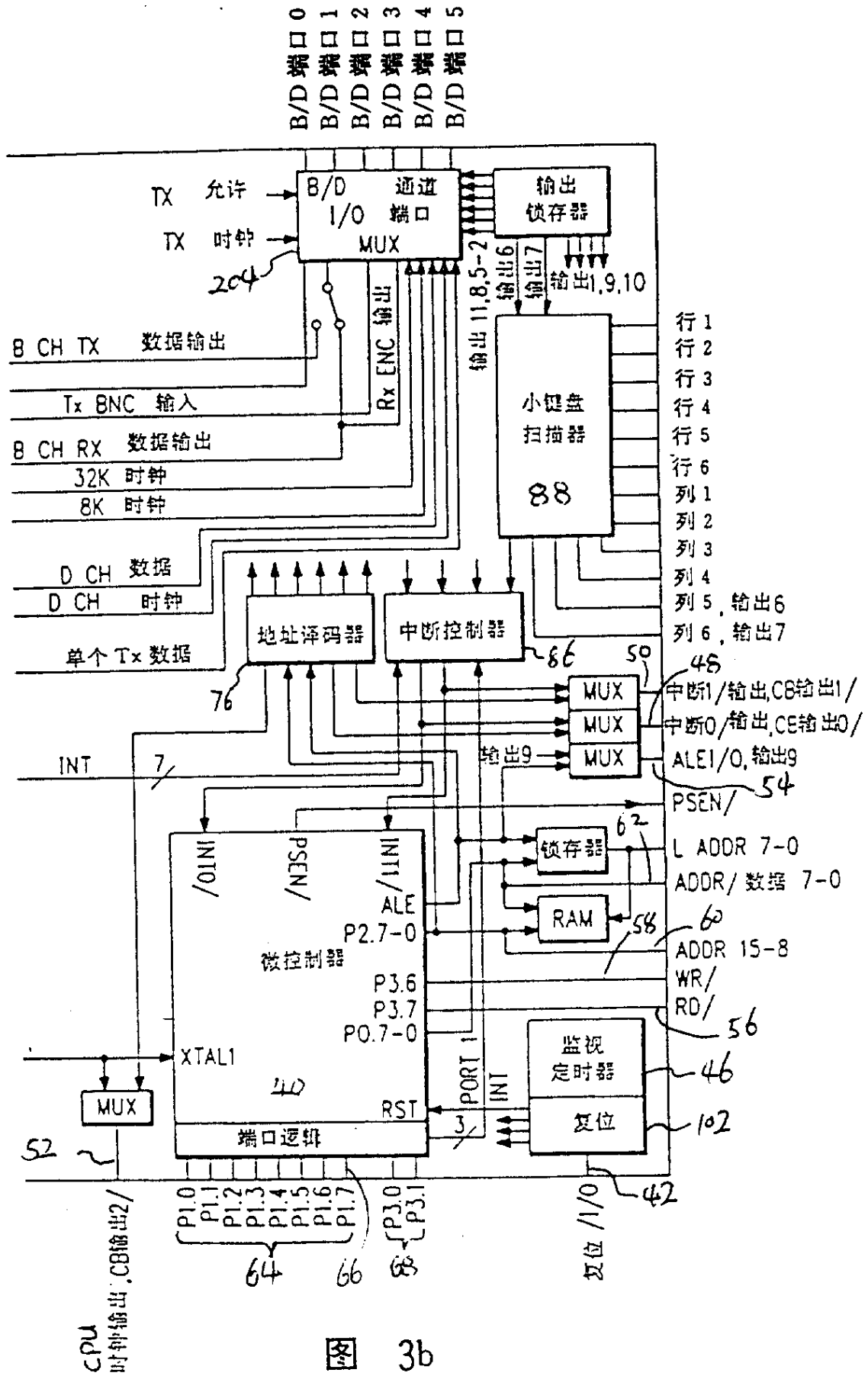


图 3b

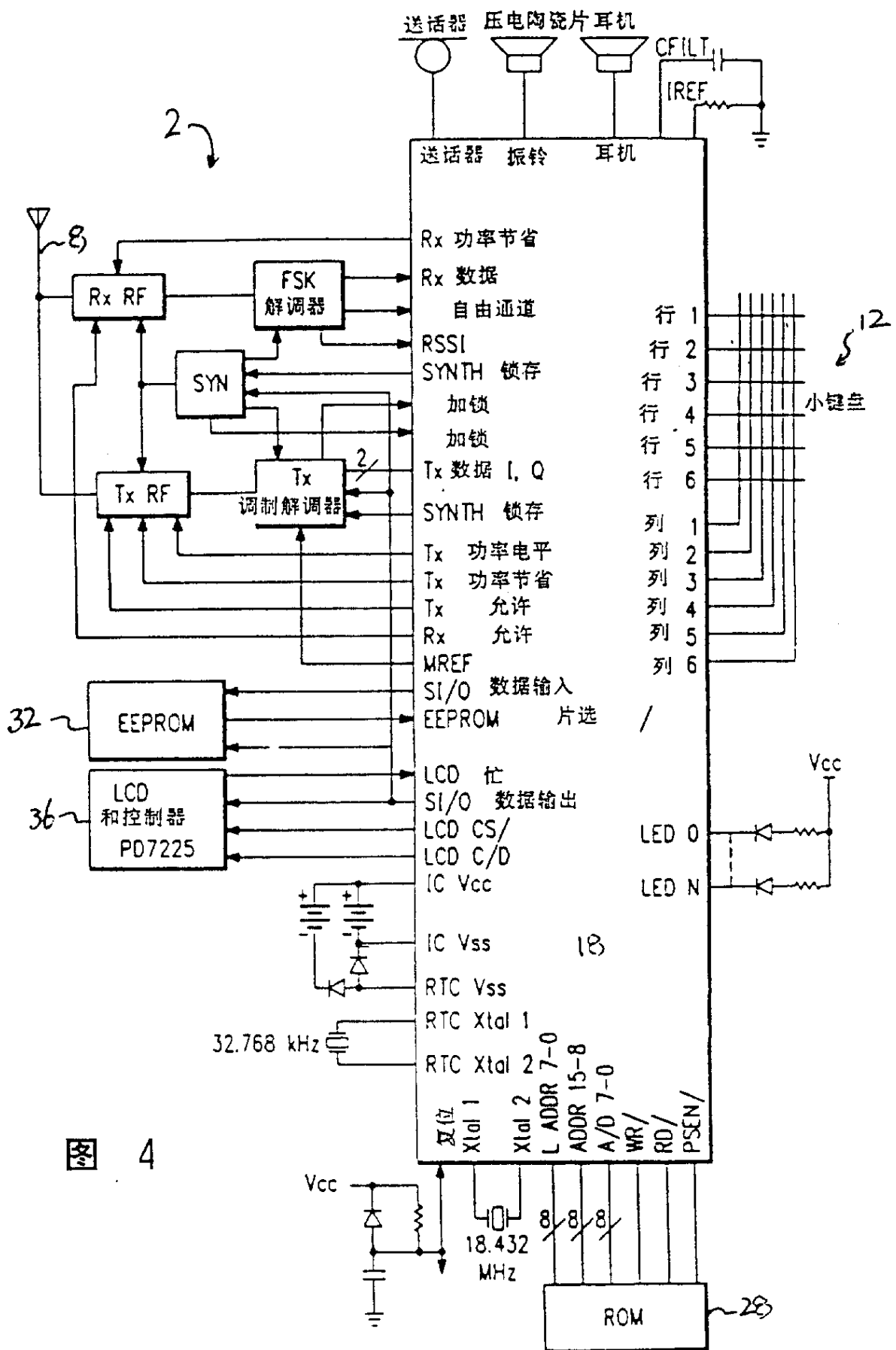


图 4

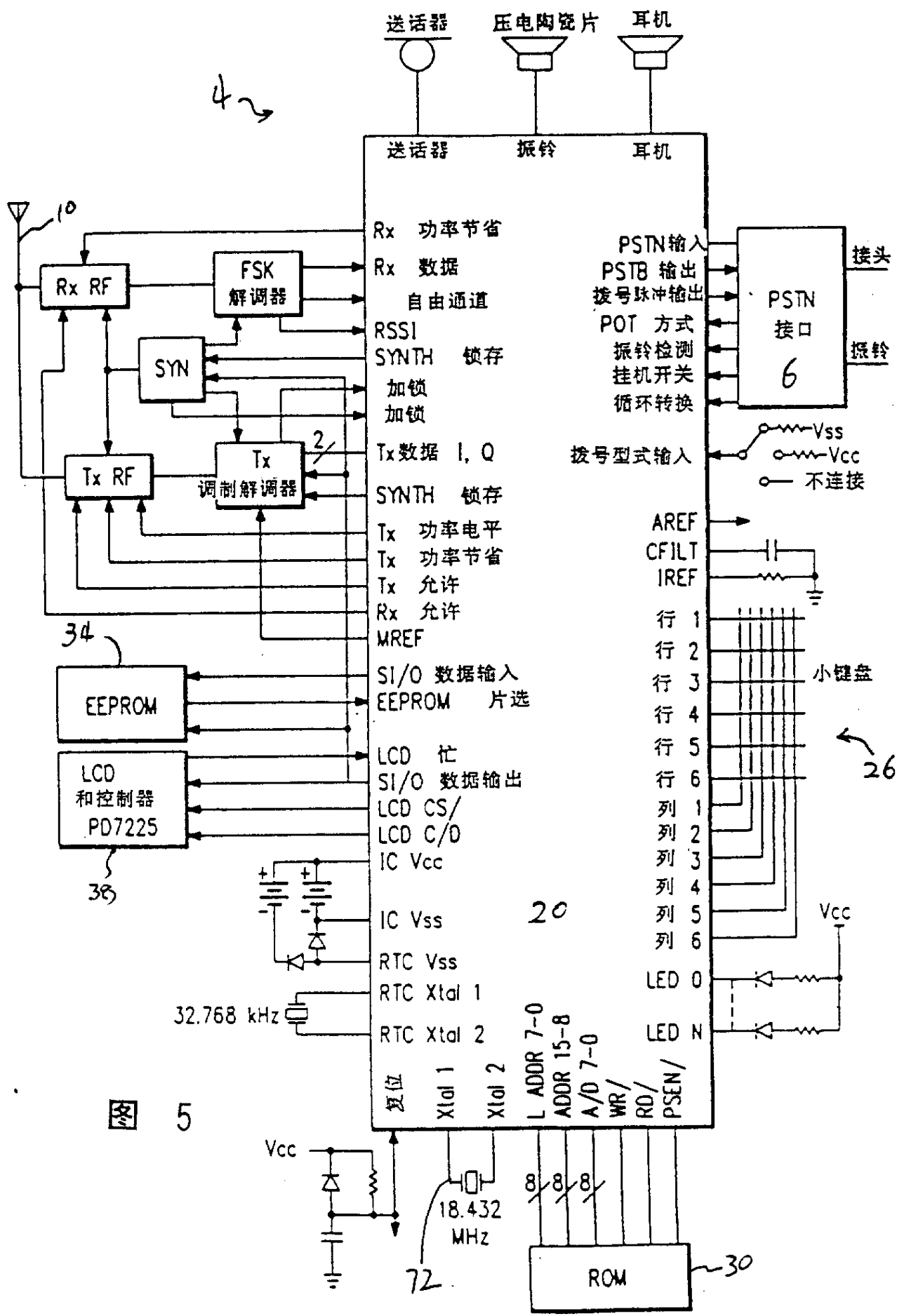


图 5

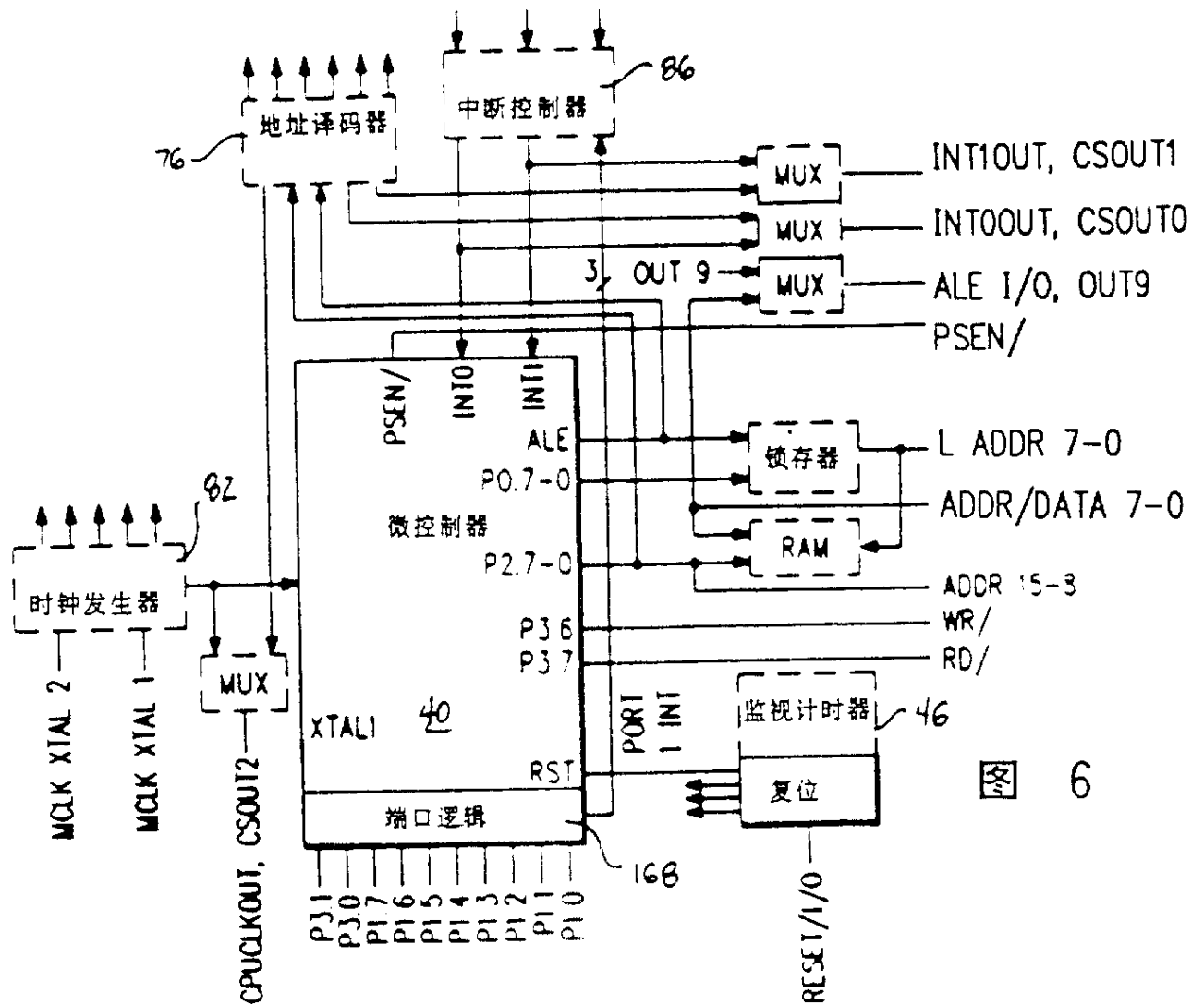


图 6

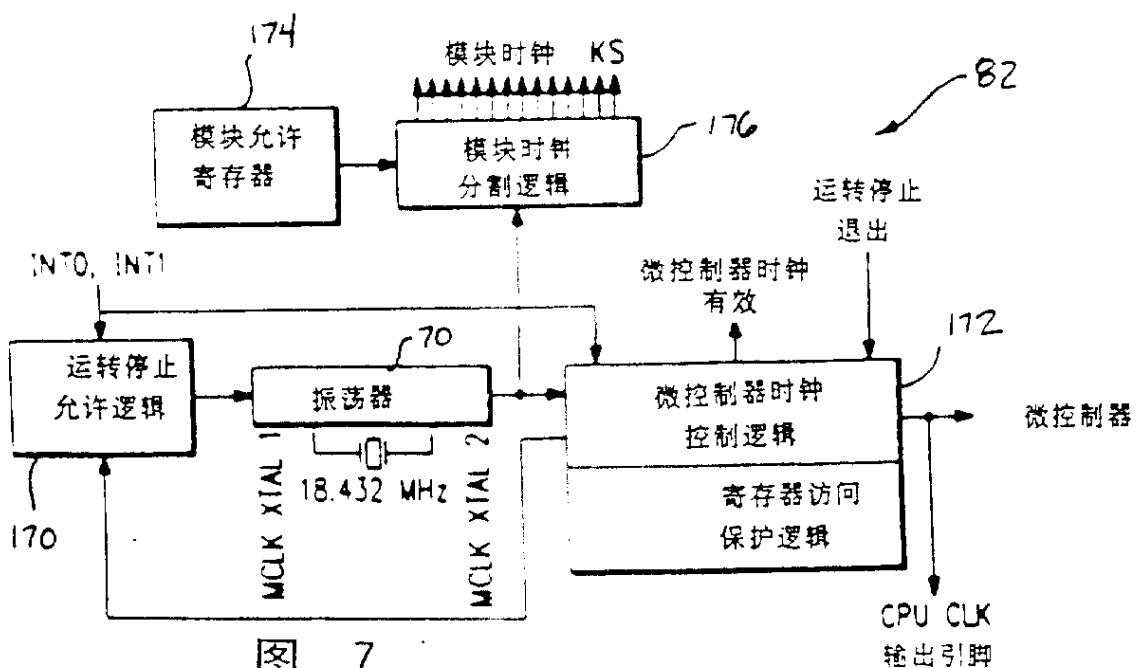


图 7

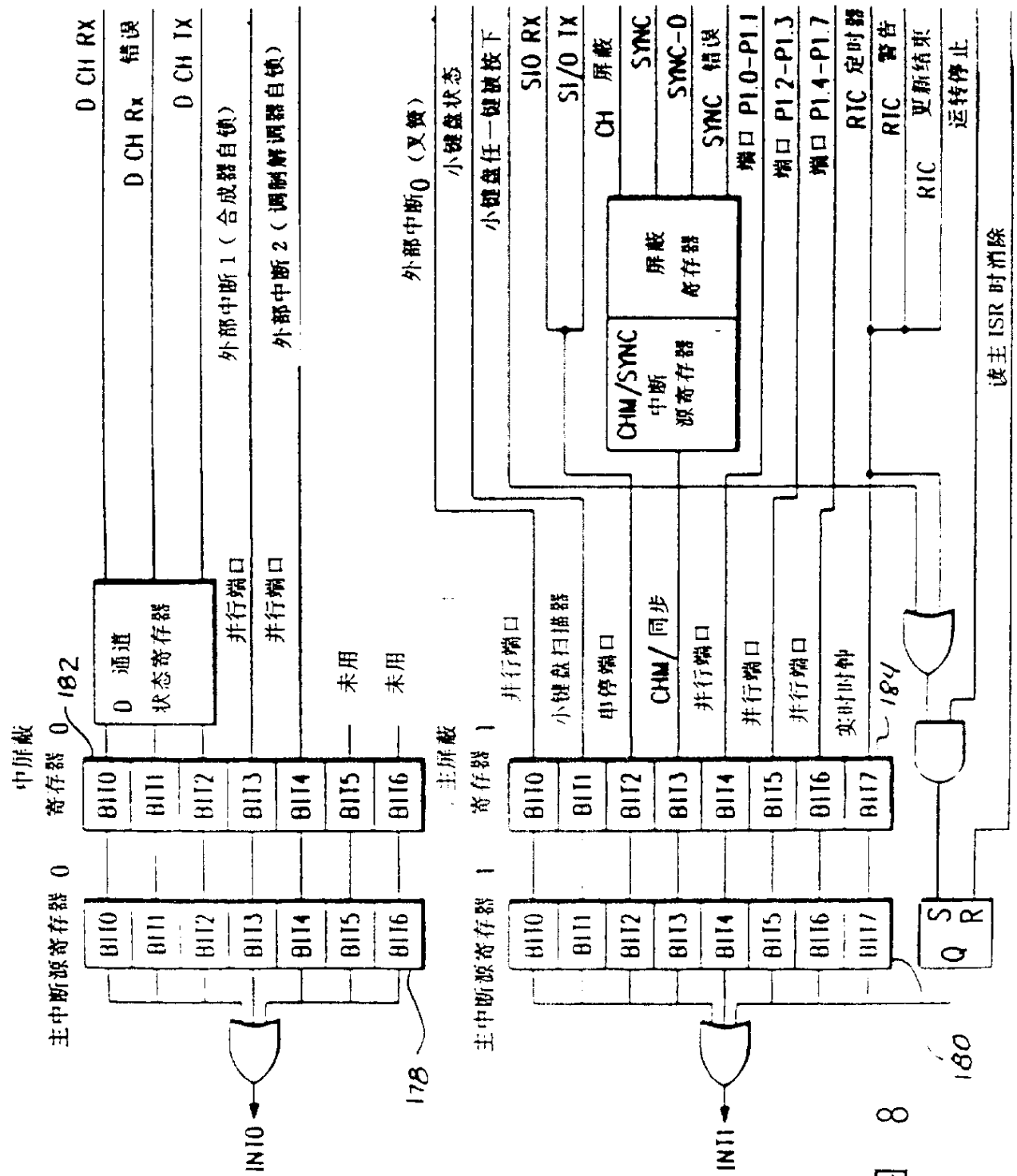


图 8

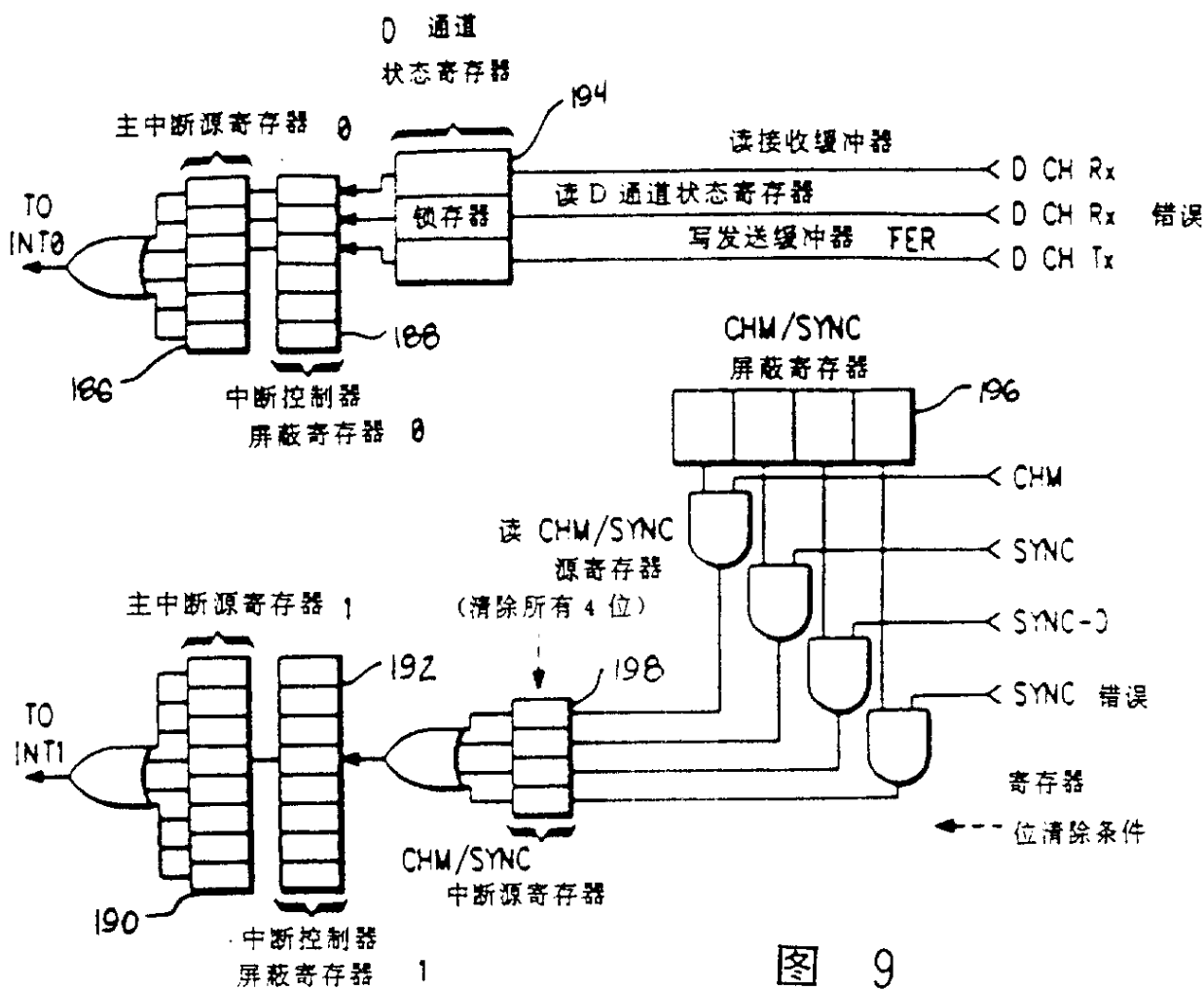


图 9

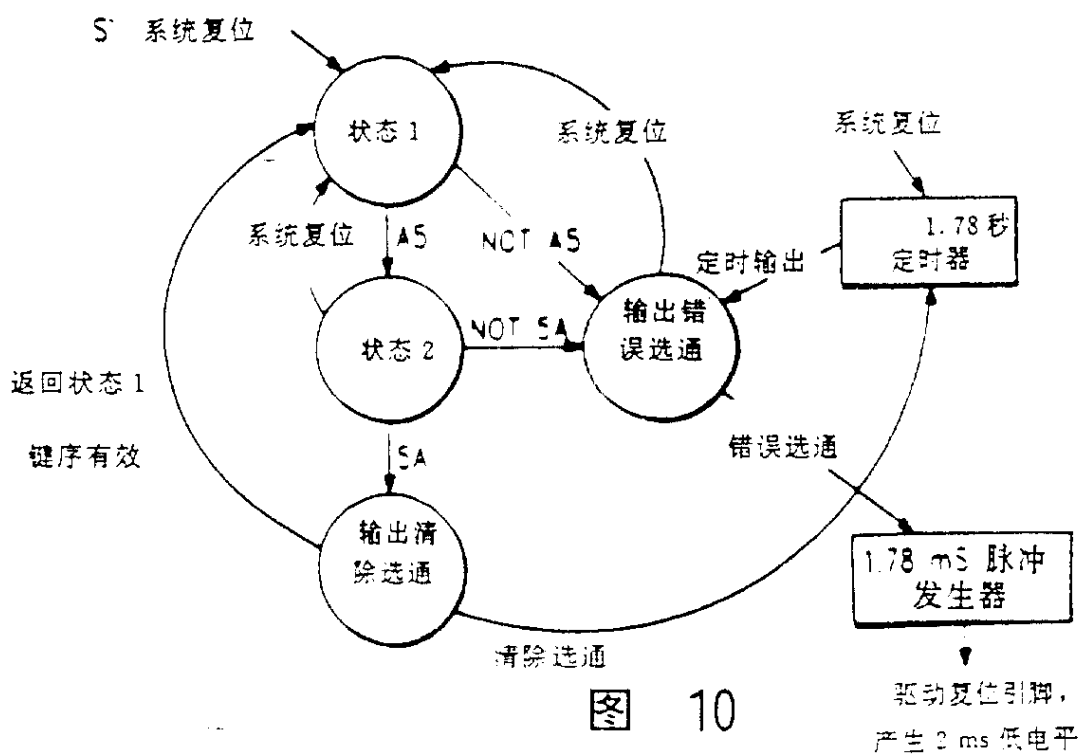


图 10

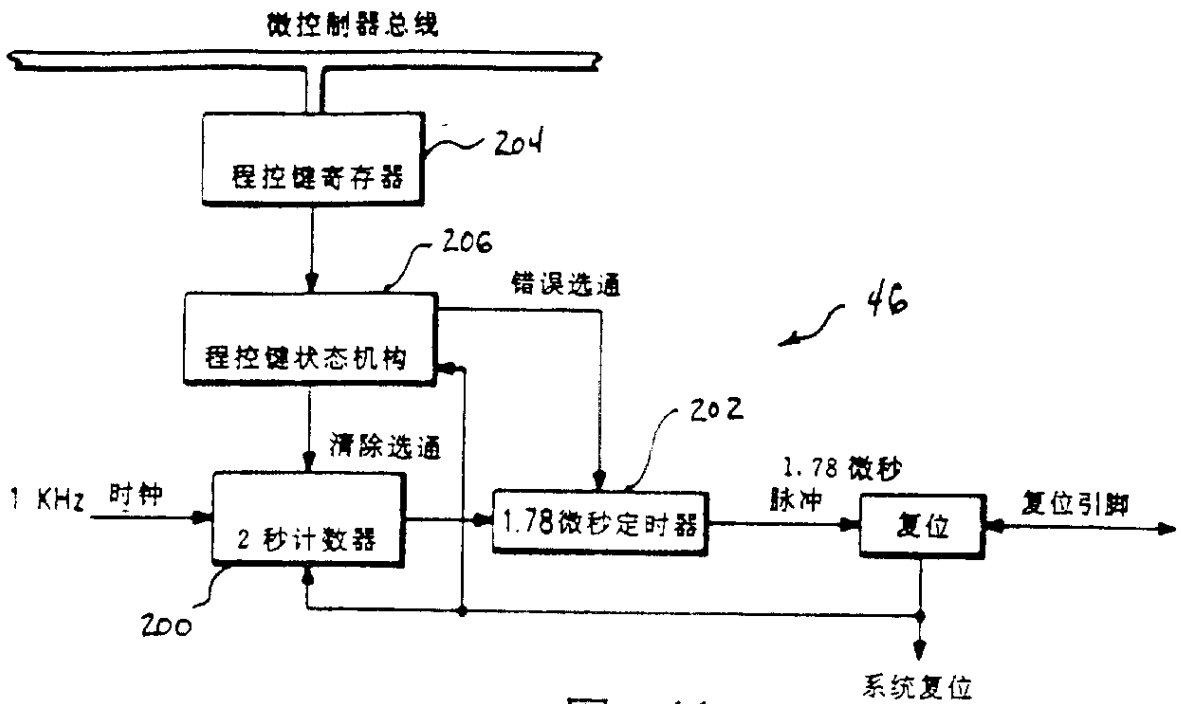


图 11

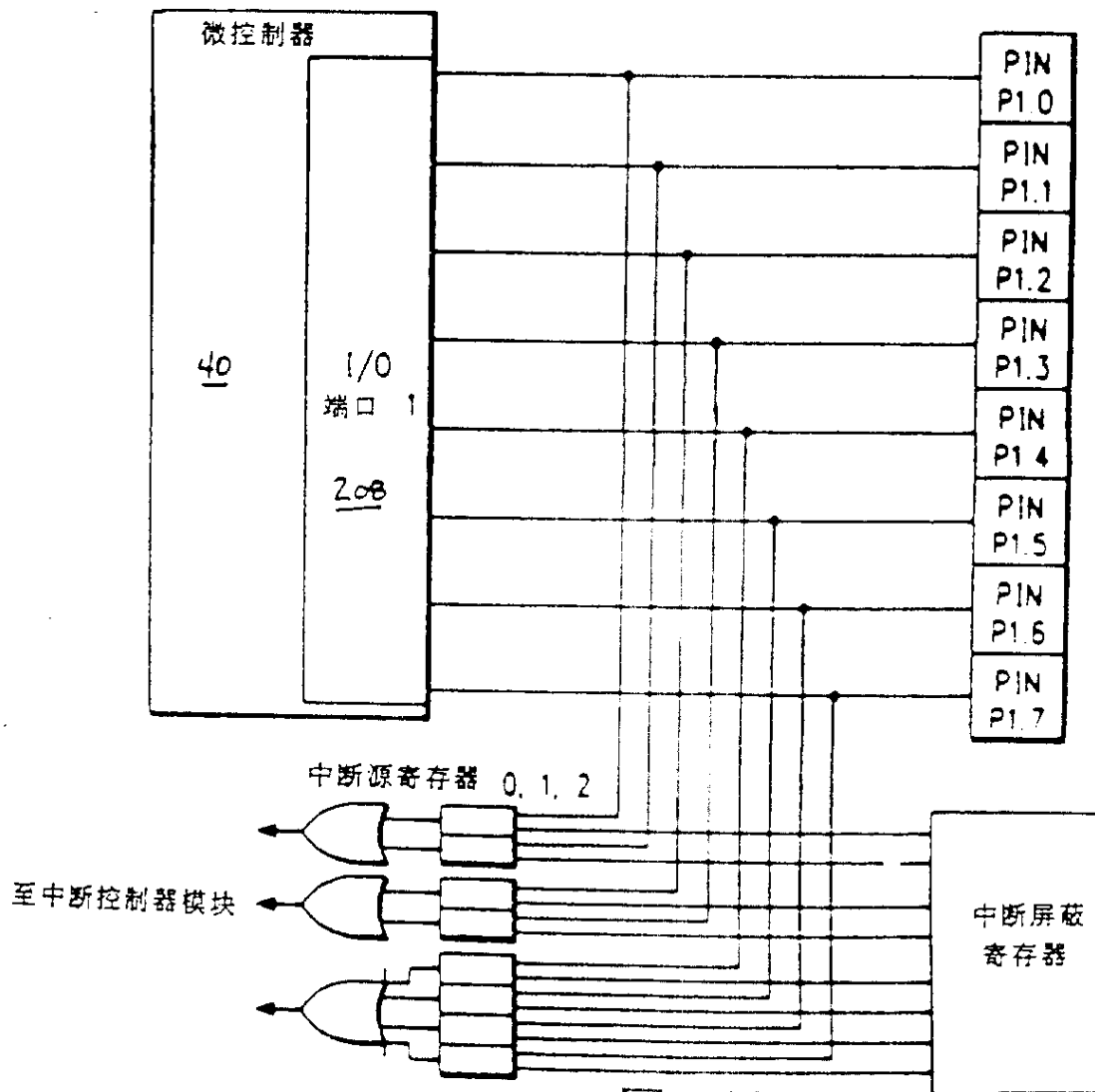


图 12

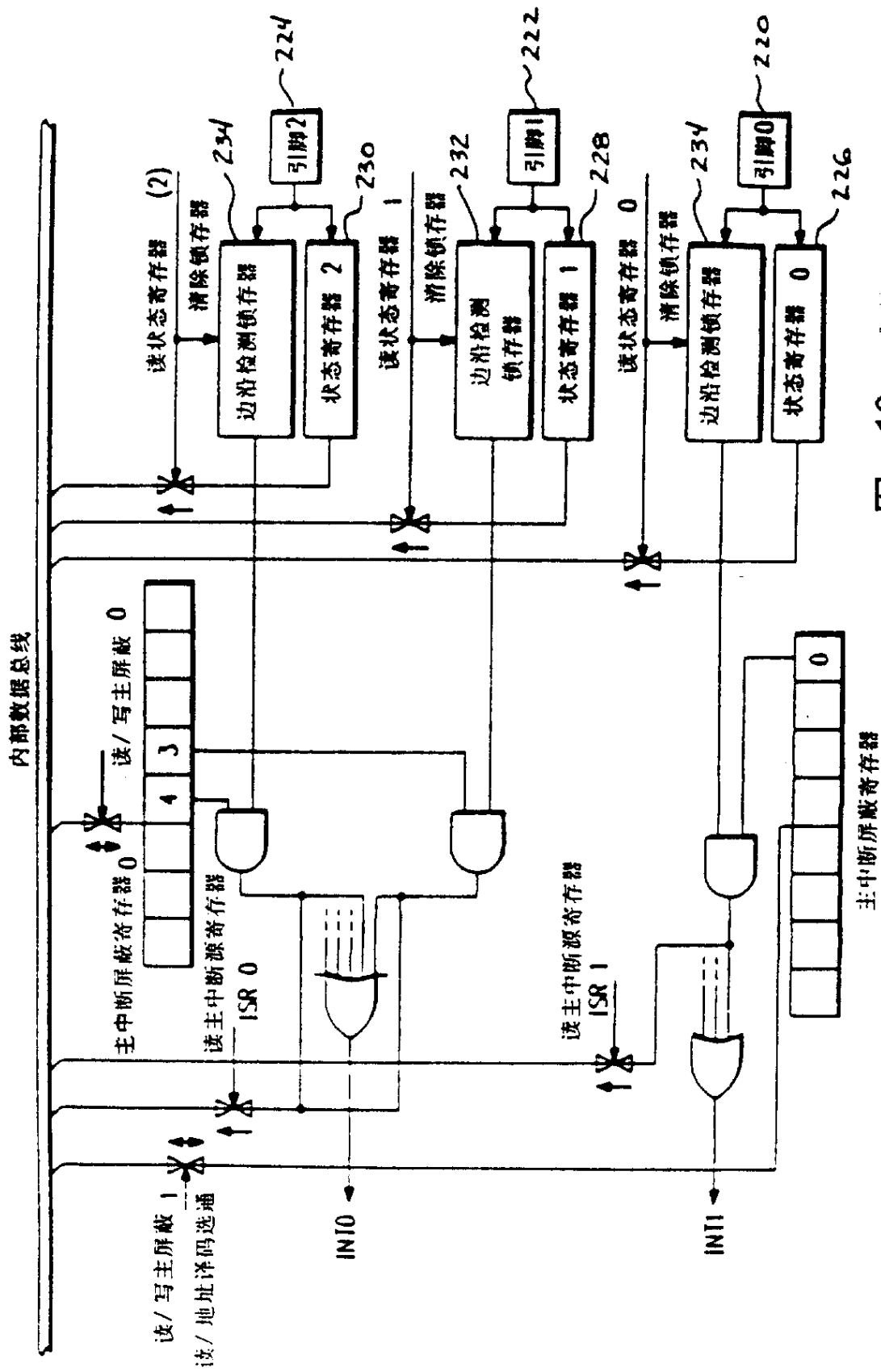


图 13

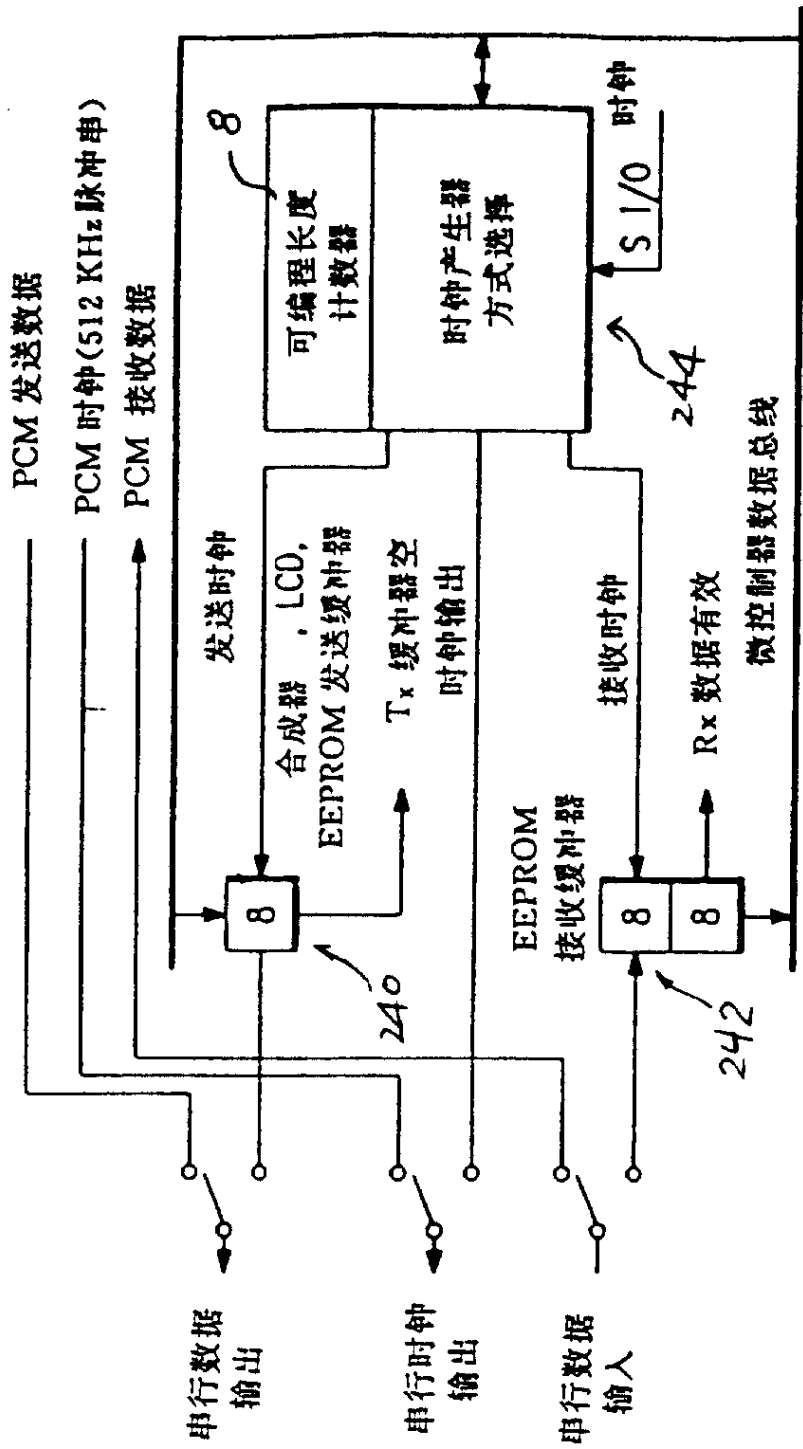
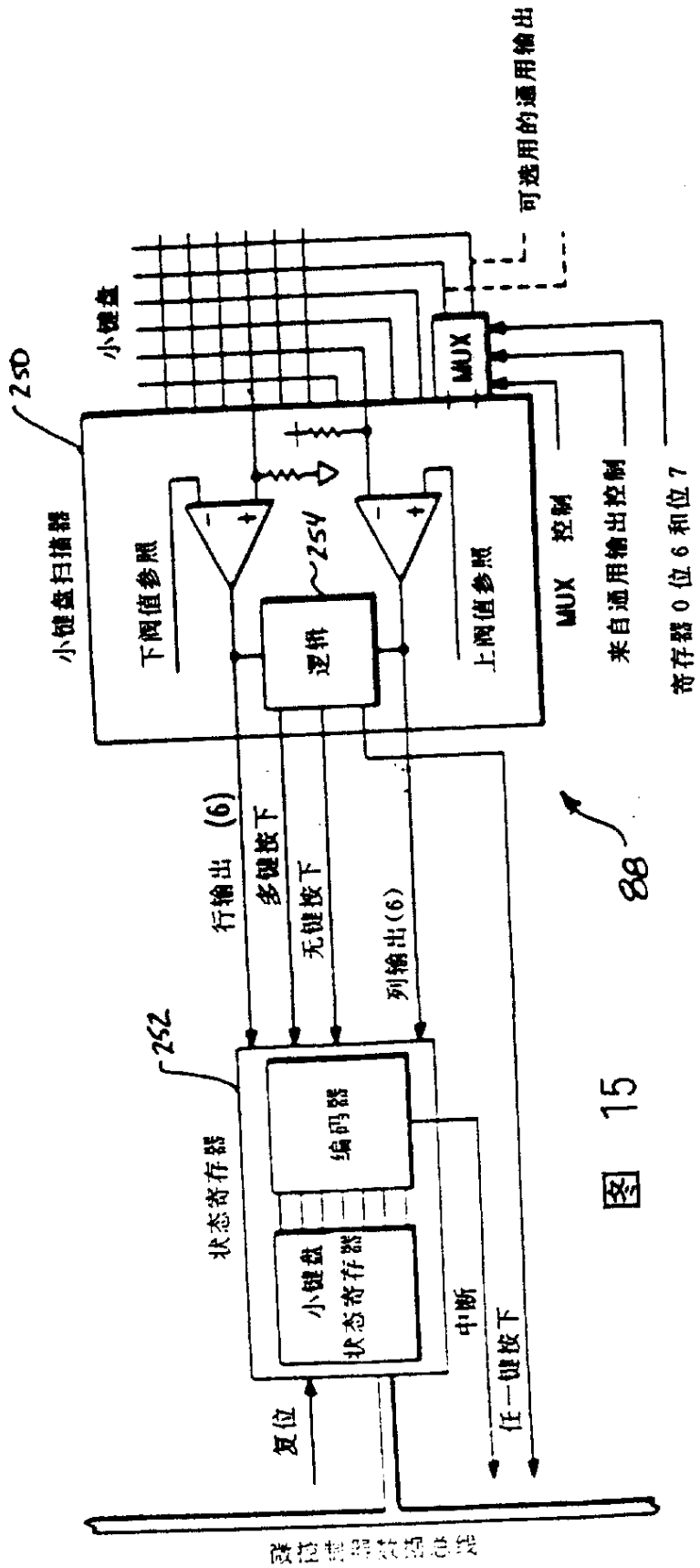


图 14



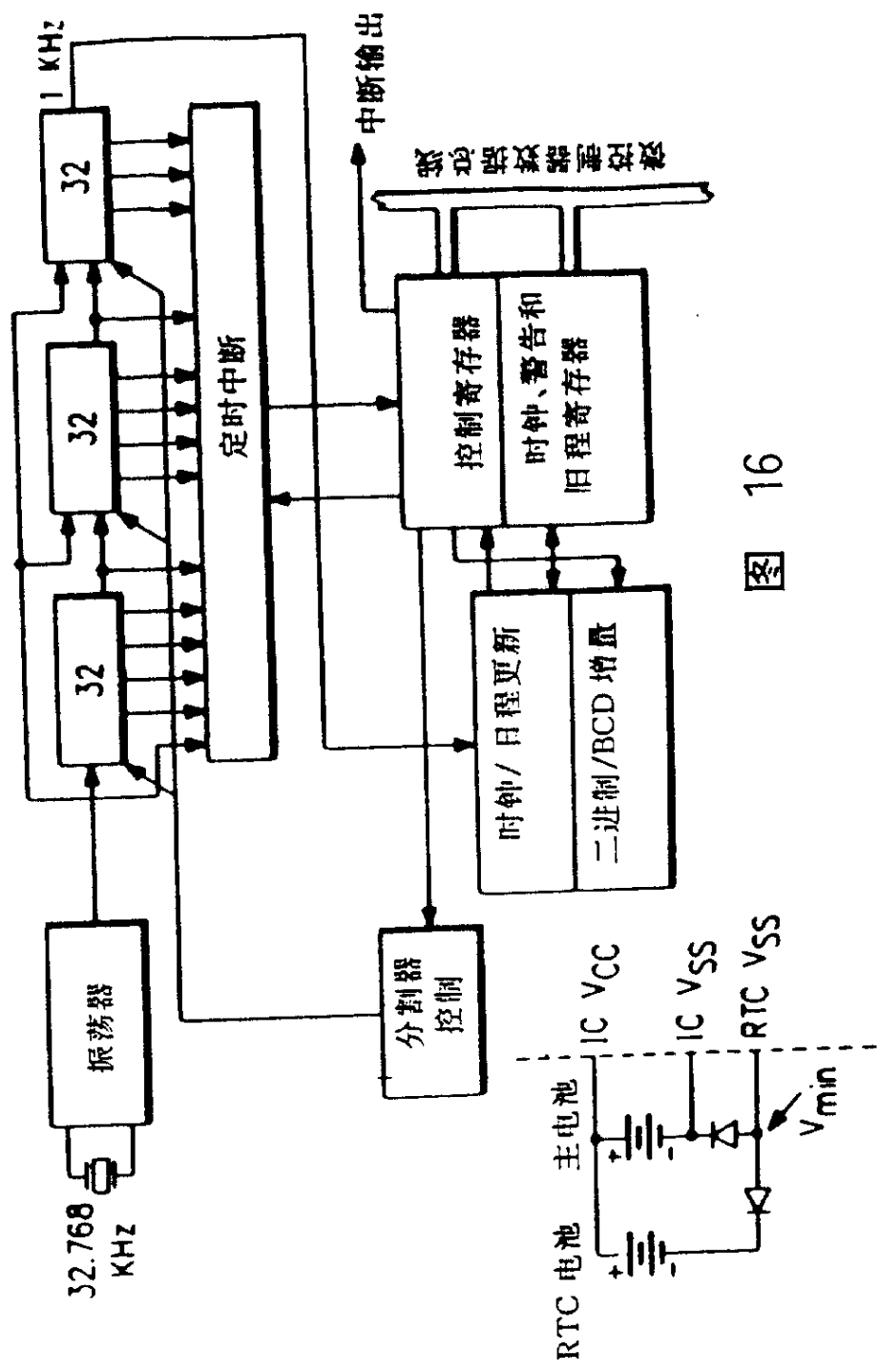


图 16

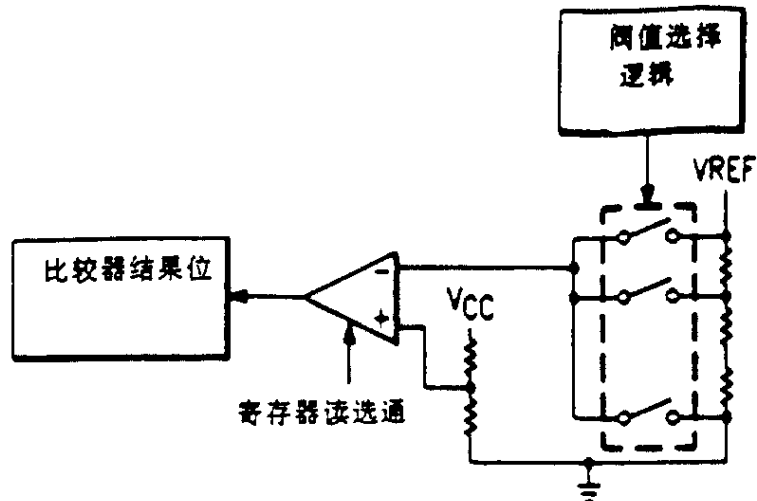


图 17

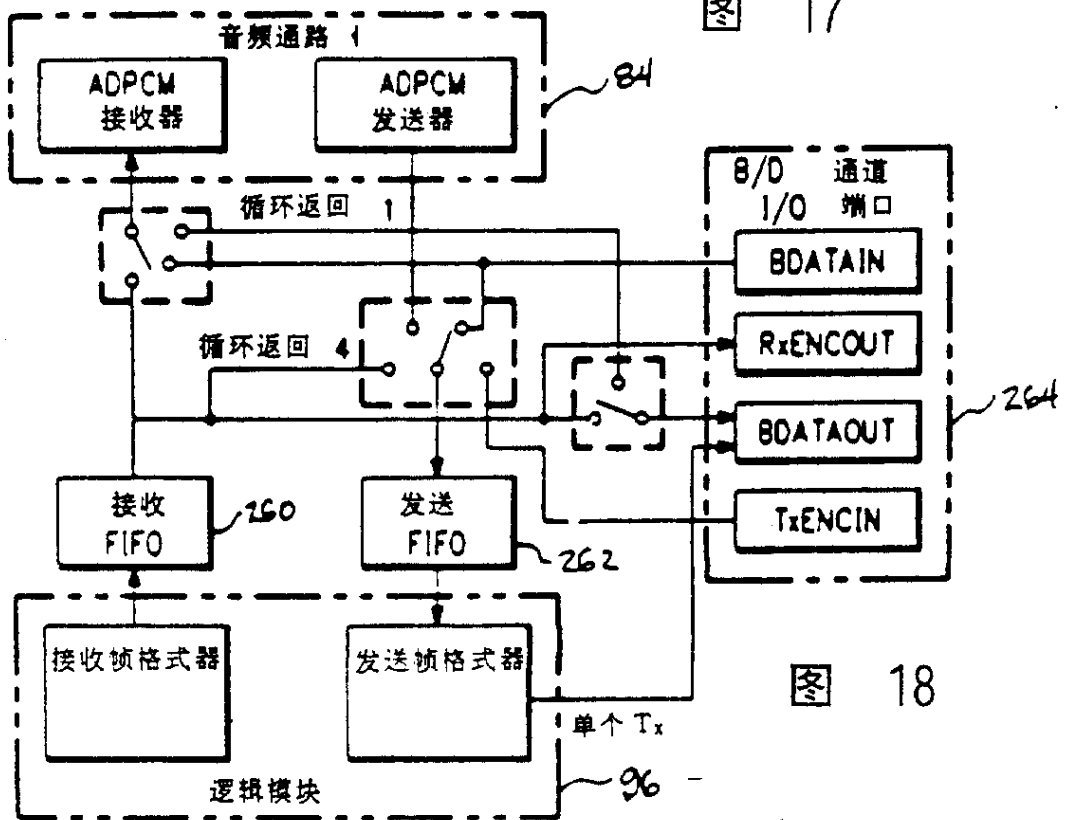


图 18

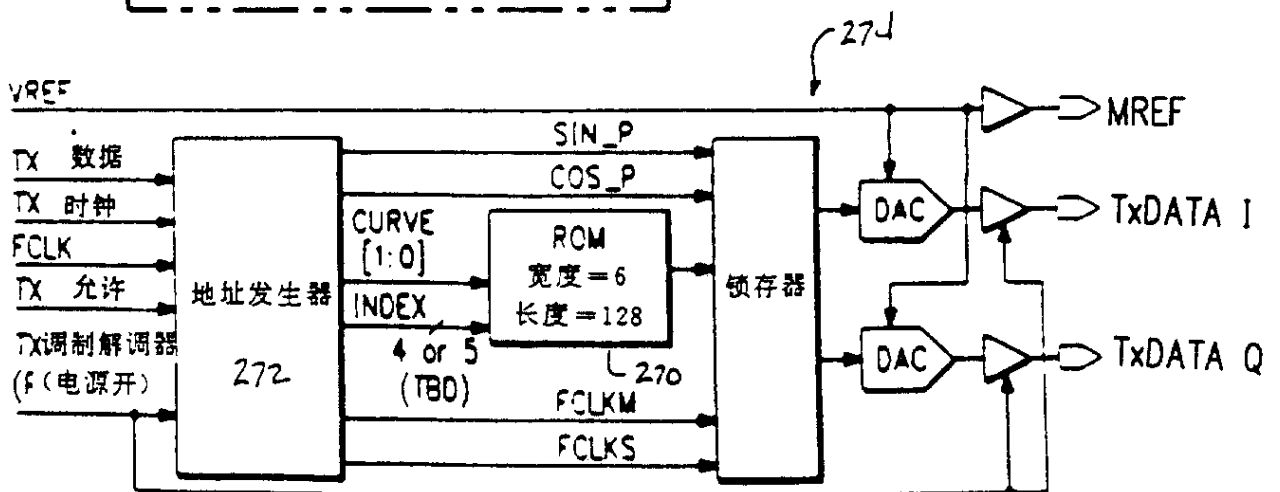


图 19

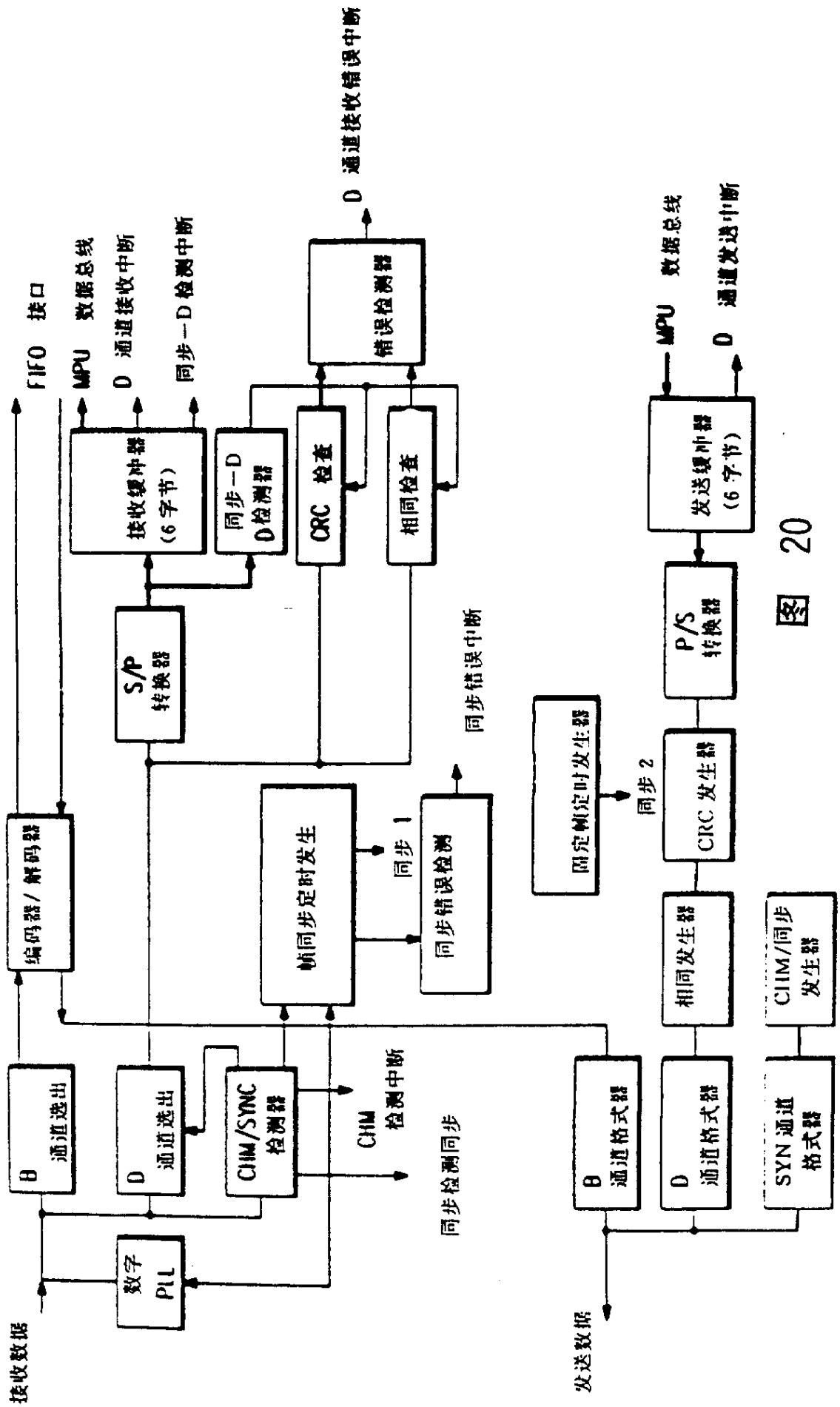


图 20

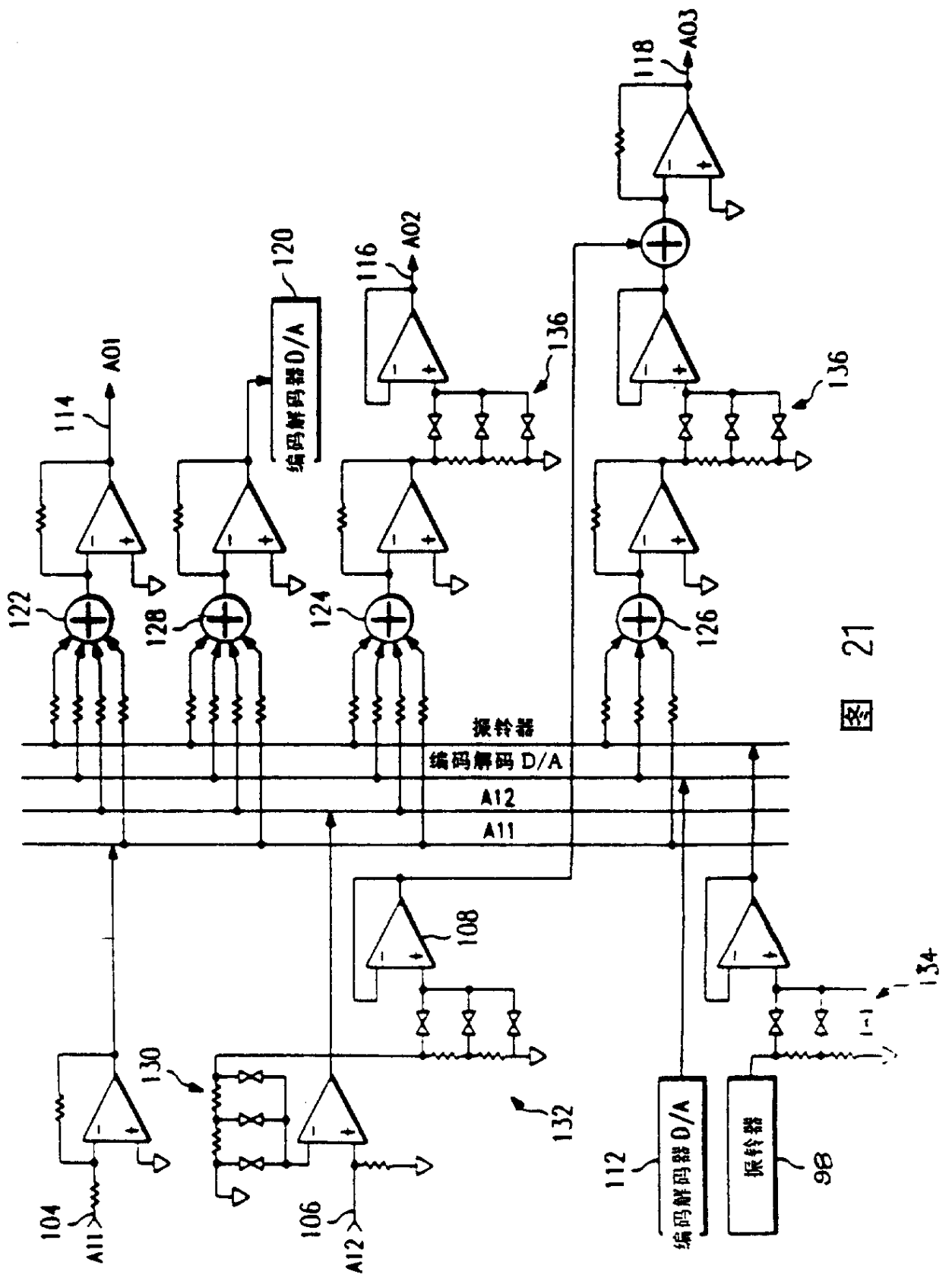


图 21

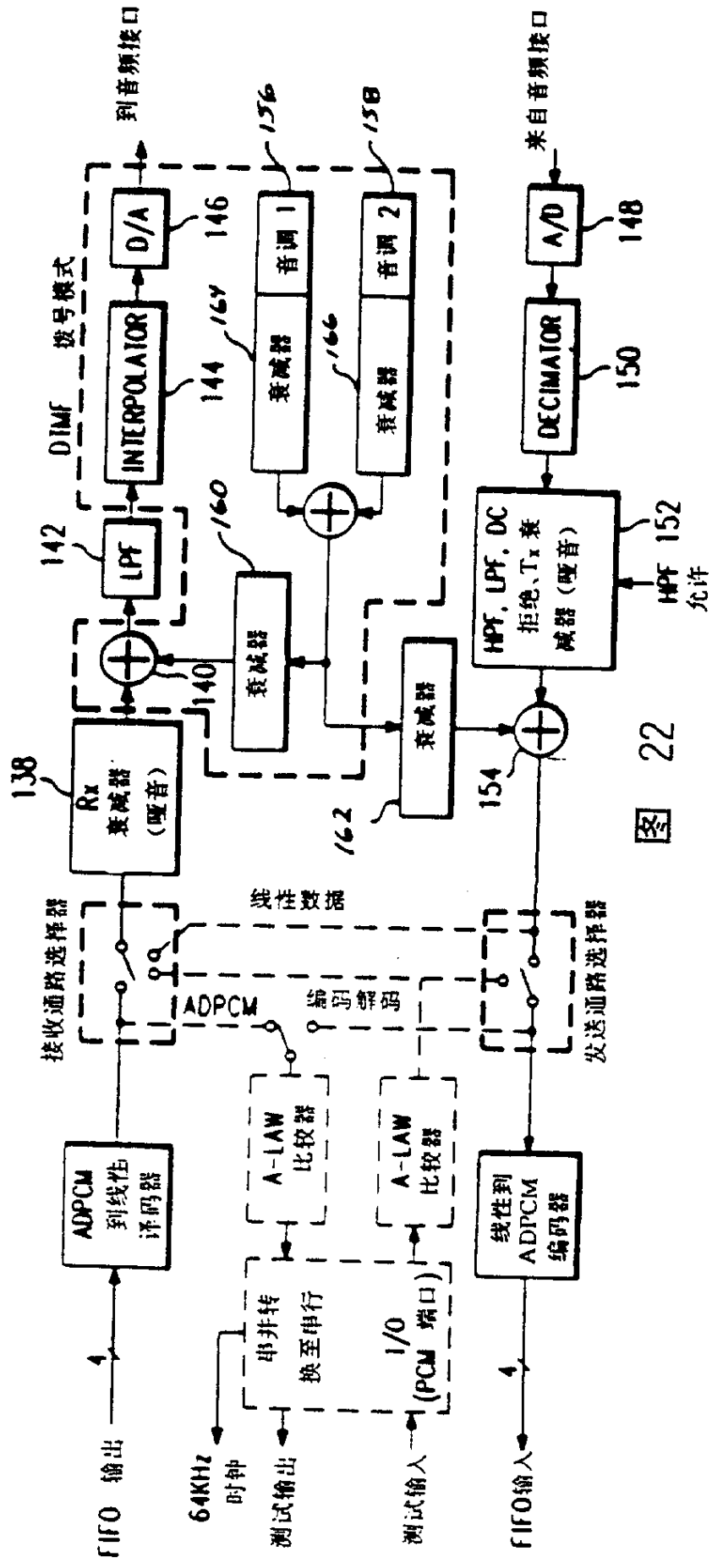


图 22