



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년05월25일  
 (11) 등록번호 10-0898752  
 (24) 등록일자 2009년05월14일

(51) Int. Cl.  
*H01L 27/115* (2006.01) *H01L 21/8247* (2006.01)  
 (21) 출원번호 10-2007-0094687  
 (22) 출원일자 2007년09월18일  
 심사청구일자 2007년09월18일  
 (65) 공개번호 10-2008-0051010  
 (43) 공개일자 2008년06월10일  
 (30) 우선권주장  
 1020060121224 2006년12월04일 대한민국(KR)  
 (56) 선행기술조사문헌  
 JP16296852 A\*  
 JP18120663 A\*  
 KR1020050025096 A  
 JP05129630 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 한국전자통신연구원  
 대전 유성구 가정동 161번지  
 (72) 발명자  
 김태엽  
 서울 은평구 대조동 195-10  
 전명심  
 대전 유성구 신성동 두레아파트 108-306  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인 신성

전체 청구항 수 : 총 8 항

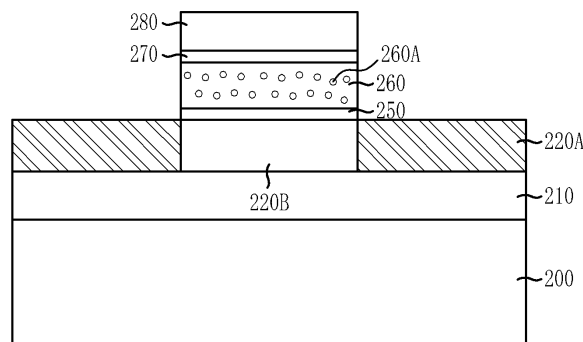
심사관 : 이규재

**(54) 고집적 반도체 메모리 소자 및 그 제조방법**

**(57) 요약**

본 발명은 반도체 메모리 소자의 고집적화에 따른 누설전류(leakage current)의 발생을 억제하여 정확한 데이터 판독이 가능한 고집적 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 이를 위한 본 발명의 고집적 반도체 메모리 소자는 기판에 형성되고, 채널영역과 쇼트키접합(schottky junction)을 형성하는 소스 및 드레인 전극 및 상기 채널영역의 기판 상부에 형성되고, 복수개의 실리콘나노점으로 구성된 플로팅게이트를 포함하고 있으며, 이를 통하여 반도체 메모리 소자의 고집적화에 따른 누설전류의 발생을 억제시켜 정확한 데이터 판독이 가능한 고집적 반도체 메모리 소자를 제공하는 효과가 있다.

**대표도 - 도2**



(72) 발명자

**김약연**

대전 중구 태평동 삼부아파트 35동 63호

**장문규**

대전 유성구 지족동 반석마을 계룡리슈빌 203동  
702호

**최철중**

대전 유성구 노은동 열매마을아파트 909-903호

**이성재**

대전 유성구 신성동 대림아파트 106-1106

**박병철**

대전 동구 관암1동 460번지 미리내아파트 103-1402

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

기관에 채널영역 및 상기 채널영역과 쇼트키접합(schottky junction)을 형성하는 소스 및 드레인 전극을 형성하는 단계;

상기 기관상에 터널링절연막을 형성하는 단계;

상기 터널링절연막 상에 복수개의 실리콘나노점으로 구성된 플로팅게이트를 포함하는 실리콘화합물 기저체(basal body)를 형성하는 단계;

상기 실리콘화합물 기저체 상부에 제어게이트를 형성하는 단계; 및

상기 소스 및 드레인 전극이 노출되도록 상기 제어게이트, 플로팅게이트 및 터널링절연막을 선택적으로 식각하는 단계를 포함하고,

상기 실리콘나노점은 상기 실리콘화합물 기저체를 이용하여 형성된, 고집적 반도체 메모리 소자의 제조방법.

**청구항 11**

제10항에 있어서,

상기 실리콘화합물 기저체 상부에 게이트절연막을 형성하는 단계를 더 포함하는 고집적 반도체 메모리 소자의 제조방법.

**청구항 12**

제10항에 있어서,

상기 실리콘나노점은 상기 실리콘화합물 기저체 내부에서 성장되는 고집적 반도체 메모리 소자의 제조방법.

**청구항 13**

제12항에 있어서,

상기 실리콘화합물 기저체는 실리콘산화물, 실리콘질화물 및 실리콘카본으로 이루어진 그룹으로부터 선택된 어느 하나로 형성하는 고집적 반도체 메모리 소자의 제조방법.

**청구항 14**

제10항에 있어서,

상기 채널영역은 실리콘으로 형성하고, 상기 소스 및 드레인 전극을 금속실리사이드로 형성하는 고집적 반도체 메모리 소자의 제조방법.

**청구항 15**

제10항에 있어서,

전자를 다수캐리어로 사용하는 경우, 상기 소스 및 드레인 전극은 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 가돌륨(Gd), 터븀(Tb) 및 세륨(Ce)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성하는 고집적 반도체 메모리 소자의 제조방법.

**청구항 16**

제10항에 있어서,

정공을 다수캐리어로 사용하는 경우, 상기 소스 및 드레인 전극은 백금(Pt), 납(Pb) 및 이리듐(Ir)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성하는 고집적 반도체 메모리 소자의 제조방법.

**청구항 17**

제10항에 있어서,

상기 기판은 벌크(bulk)실리콘기판 또는 SOI(Silicon On Insulator) 기판으로 형성하는 고집적 반도체 메모리 소자의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 반도체 메모리 소자의 고집적화에 따른 누설전류의 발생을 억제하여 정확한 데이터 판독이 가능한 고집적 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

**배경기술**

<2> 반도체 메모리 소자 중에서 플래시메모리(Flash memory)는 휴대폰, 카메라 그리고 MP3와 같은 휴대기기의 출현으로 지난 몇 년간 폭발적인 성장을 하고 있으며, IT(Information technology)기술과 가전기술의 발달로 인하여 플래시메모리는 이들 분야의 저장매체로서 지속적인 관심을 받고 있다.

<3> 도 1은 종래기술에 따른 플래시메모리를 도시한 단면도이다.

<4> 도 1을 참조하면, 종래기술에 따른 플래시메모리는 채널영역(160)과 채널영역(160) 양측에 서로 접하도록 형성된 소스 및 드레인 영역(110)이 구비된 기판(100), 채널영역(160)의 기판(100)상에 형성된 터널링절연막(tunneling dielectric layer, 120), 터널링절연막(120) 상에 폴리실리콘(poly-Si)으로 형성된 플로팅게이트(floating gate, 130), 플로팅게이트(130) 상에 형성된 게이트절연막(gate dielectric layer, 140) 및 게이트

절연막(140) 상에 형성된 제어게이트(control gate, 150)를 포함한다. 이러한 구성을 갖는 플래시메모리는 플로팅게이트(130)에 전하를 주입 또는 제거하는 것에 의해 트랜지스터의 문턱전압(threshold voltage)이 변화하는 현상을 메모리 동작원리로 적용하고 있다.

- <5> 하지만, 최근 반도체 소자의 디자인 룰(design rule)이 감소함에 따라 플래시메모리 소자의 소스 및 드레인 영역(110) 사이의 간격이 좁아지고, 채널영역(160), 소스 및 드레인 영역(110)의 도핑농도가 증가함에 따라 단채널효과(Short Channel Effect, SCE)가 발생한다. 특히, 단채널효과로 인한 누설전류로 인하여 트랜지스터의 문턱전압이 변화하여 정확한 데이터 판독이 어려워지는 문제점이 있다.
- <6> 또한, 종래기술에 따른 플래시메모리 소자는 전하를 저장하기 위하여 플로팅게이트(130) 내부에 형성된 트랩사이트(trap site)를 이용하는데 정보를 저장하기 위한 충분한 공간 즉, 많은 트랩사이트를 확보하기 위하여 플로팅게이트(130)를 두껍게 형성해야 하기 때문에 플래시메모리 소자의 고집적화를 어렵게 만드는 문제점이 있다. 또한, 트랩사이트에 의한 전하포획(charge trap)은 그 포획력이 약하기 때문에 정보를 저장하는 시간 즉, 리텐션타임(retention time)이 짧은 문제점이 있다.
- <7> 또한, 종래기술에 따른 플래시메모리 소자는 플로팅게이트(130)에 전하를 주입 또는 제거하기 위하여 열전자주입(hot electron injection) 또는 F-N터널링(Fowler-Nordheim tunneling)을 사용하는데 열전자주입 또는 F-N터널링은 고전압 예컨대, 14V ~ 20V 범위의 전압을 요구하는 프로세스이기 때문에 소비전력이 크며, 플로팅게이트(130)에 전하를 주입 또는 제거하는 과정에서 터널링절연막(120)에 가해지는 응력(stress)으로 인하여 터널링절연막(120)의 열화 및 플로팅게이트(130)에 저장된 데이터 즉, 전하가 누설되는 문제점이 있다.

**발명의 내용**

**해결 하고자하는 과제**

- <8> 본 발명은 상기 문제점을 해결하기 위하여 제안된 것으로, 메모리 용량이 증가함에 따라 즉, 반도체 메모리 소자가 고집적화됨에 따라 발생하는 누설전류를 억제함으로써, 정확한 데이터 판독이 가능한 고집적 반도체 메모리 소자 및 그 제조방법을 제공하는데 목적이 있다.
- <9> 또한, 본 발명은 고집적 반도체 메모리 소자의 제조공정을 단순화시킬 수 있는 고집적 반도체 메모리 소자 및 그 제조방법을 다른 목적이 있다.

**과제 해결수단**

- <10> 상기 목적을 달성하기 위한 일 측면에 따른 본 발명의 고집적 반도체 메모리 소자는 기판에 형성되고, 채널영역과 쇼트키접합(schottky junction)을 형성하는 소스 및 드레인 전극 및 상기 채널영역의 기판 상부에 형성되고, 복수개의 실리콘나노점(Si-nanodot)으로 구성된 플로팅게이트를 포함한다. 또한, 상기 플로팅게이트 상부에 형성된 게이트절연막을 더 포함할 수 있다. 또한, 상기 채널영역의 기판과 플로팅게이트 사이에 형성된 터널링절연막 및 상기 플로팅게이트 상부에 형성된 제어게이트를 더 포함할 수 있다.
- <11> 상기 채널영역은 실리콘으로 형성할 수 있고, 상기 소스 및 드레인 전극은 금속실리사이드로 형성할 수 있다. 이때, 전자(electron)를 다수캐리어(majority carrier)로 사용하는 경우, 상기 소스 및 드레인 전극은 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 가돌륨(Gd), 터븀(Tb) 및 세륨(Ce)으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있으며, 정공(hole)을 다수캐리어로 사용하는 경우, 상기 소스 및 드레인 전극은 백금(Pt), 납(Pb) 및 이리듐(Ir)으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다.
- <12> 상기 실리콘나노점은 실리콘화합물을 기저체(basal body)로 형성할 수 있으며, 상기 실리콘화합물 기저체는 실리콘산화물, 실리콘질화물 및 실리콘카본으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다.
- <13> 상기 기판은 벌크(bulk) 실리콘기판 또는 SOI(Silicon On Insulator) 기판을 사용할 수 있다.
- <14> 상기 목적을 달성하기 위한 다른 일 측면에 따른 본 발명의 고집적 반도체 메모리 소자의 제조방법은 기판에 채널영역 및 상기 채널영역과 쇼트키접합을 형성하는 소스 및 드레인 전극을 형성하는 단계; 상기 기판상에 터널링절연막을 형성하는 단계; 상기 터널링절연막상에 복수개의 실리콘나노점으로 구성된 플로팅게이트를 형성하는 단계; 상기 플로팅게이트 상부에 제어게이트를 형성하는 단계 및 상기 소스 및 드레인 전극이 노출되도록 상기 제어게이트, 플로팅게이트 및 터널링절연막을 선택적으로 식각하는 단계를 포함한다. 또한, 상기 플로팅게이트 상부에 게이트절연막을 형성하는 단계를 더 포함할 수 있다.

- <15> 상기 채널영역은 실리콘으로 형성할 수 있으며, 상기 소스 및 드레인 전극은 금속실리사이드로 형성할 수 있다. 이때, 전자를 다수캐리어로 사용하는 경우, 상기 소스 및 드레인 전극은 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 가돌륨(Gd), 터븀(Tb) 및 세륨(Ce)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있으며, 정공을 다수캐리어로 사용하는 경우, 상기 소스 및 드레인 전극은 백금(Pt), 납(Pb) 및 이리듐(Ir)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있다.
- <16> 상기 실리콘나노점은 실리콘화합물을 기저체로 형성할 수 있으며, 상기 실리콘화합물 기저체는 실리콘산화물, 실리콘질화물 및 실리콘카본으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.

**효 과**

- <17> 본 발명은 소스 및 드레인 전극을 금속실리사이드로 형성함으로써, 반도체 메모리 소자가 고집적화됨에 따른 소스 및 드레인 전극 사이 및 플로팅게이트와 소스 및 드레인 전극 사이의 누설전류 발생을 억제하여 반도체 메모리 소자의 문턱전압이 변화하는 것을 방지할 수 있으며, 이를 통하여 정확한 데이터 판독을 가능하게 할 수 있는 효과가 있다.
- <18> 또한, 본 발명은 플로팅게이트를 복수개의 실리콘나노점으로 형성함으로써, 터널링절연막의 열화에 따른 플로팅게이트의 누설전류를 억제할 수 있으며, 플로팅게이트의 크기를 획기적으로 감소시켜 집적도를 향상시킬 수 있다. 또한, 실리콘나노점의 큰 전하포획력으로 인하여 리텐션타임을 증가시킬 수 있는 효과가 있다.
- <19> 또한, 본 발명은 플로팅게이트를 형성하기 위한 실리콘화합물 기저체가 게이트절연막으로 작용함으로써, 공정스텝(process step)을 단축시킬 수 있으며, 이를 통하여 반도체 메모리 소자의 생산비용을 절감할 수 있는 효과가 있다.
- <20> 또한, 본 발명은 반도체 메모리 소자의 고집적화에 따른 누설전류의 발생을 억제함으로써, 터널링절연막 두께를 감소시킬 수 있으며, 이를 통하여 플로팅게이트에 전하를 주입 또는 제거할 때 전하를 직접터널링(direct tunneling)시킬 수 있는 효과가 있다. 여기서, 플로팅게이트에 전하를 주입 또는 제거할 때 직접터널링을 사용할 경우, 터널링절연막의 내구성을 향상, 반도체 메모리 소자의 동작속도를 향상 및 동작전압을 낮출 수 있는 효과가 있다.

<21>

**발명의 실시를 위한 구체적인 내용**

- <22> 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부도면을 참조하여 설명하기로 한다. 또한 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판상에 직접 형성될 수 있거나, 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 또한 명세서 전체에 걸쳐서 동일한 도면번호로 표시된 부분은 동일한 요소를 나타낸다.
- <23> 도 2는 본 발명의 실시예에 따른 고집적 반도체 메모리 소자를 도시한 단면도이다.
- <24> 도 2에 도시된 바와 같이, 본 발명의 고집적 반도체 메모리 소자는 기판에 형성되고, 채널영역(220B)과 쇼트키 접합(schottky junction)을 형성하는 소스 및 드레인 전극(220A) 및 채널영역(220B)의 기판 상부에 형성되고, 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)를 포함한다. 또한, 채널영역(220B)의 기판과 플로팅게이트(260A) 사이에 형성된 터널링절연막(250) 및 플로팅게이트(260A) 상부에 형성된 제어게이트(280)를 더 포함할 수 있다. 또한, 플로팅게이트(260A) 상부에 형성된 게이트절연막(270)을 더 포함할 수 있다.
- <25> 이때, 채널영역(220B)은 실리콘으로 형성할 수 있으며, 소스 및 드레인 전극(220A)을 금속실리사이드로 형성할 수 있다. 이를 통하여 실리콘으로 형성된 채널영역(220B)과 소스 및 드레인 전극(220A) 사이에 쇼트키접합을 형성할 수 있다. 이와 같이, 채널영역(220B)과 소스 및 드레인 전극(220A) 사이에 쇼트키접합을 형성함으로써, 채널영역(220B)과 소스 및 드레인 전극(220A) 사이에 쇼트키장벽(schottky barrier)을 형성할 수 있으며, 이를 통하여 소스 및 드레인 전극(220A) 사이의 누설전류가 발생하는 것을 억제할 수 있다.
- <26> 여기서, 전자를 다수캐리어로 사용하는 경우, 소스 및 드레인 전극(220A)은 전자에 대한 쇼트키장벽이 낮은 물질 예컨대, 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 가돌륨(Gd), 터븀(Tb) 및 세륨(Ce)으로 이루어진 그

룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있다. 또한, 정공을 다수캐리어로 사용하는 경우, 소스 및 드레인 전극은 정공에 대한 쇼트키장벽이 낮은 물질 예컨대, 백금(Pt), 납(Pb) 및 이리듐(Ir)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있다.

- <27> 복수개의 실리콘나노점으로 형성된 플로팅게이트(260A)는 실리콘화합물을 기저체(260)로 형성할 수 있다. 이때, 실리콘화합물 기저체(260)는 실리콘산화물, 실리콘질화물 및 실리콘카본으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있으며, 실리콘나노점에 전하가 주입 또는 제거되면서 데이터를 저장한다.
- <28> 여기서, 실리콘화합물 기저체(260) 예컨대, 실리콘산화물, 실리콘질화물 또는 실리콘카본은 절연물질이기 때문에 게이트절연막으로 작용할 수 있다.
- <29> 한편, 실리콘화합물 기저체(260)가 제공하는 절연특성만으로 제어게이트(280)와 제어게이트(280) 하부구조물 사이의 절연특성이 부족할 경우 도면에 도시된 바와 같이, 제어게이트(280)와 실리콘화합물 기저체(260) 사이에 게이트절연막(270)을 더 형성할 수도 있다.
- <30> 제어게이트(280)는 폴리실리콘, 텅스텐(W) 또는 티타늄(Ti)과 같은 금속물질, 티타늄질화물과 같은 도전성 금속 질화물 및 텅스텐실리사이드 또는 티타늄실리사이드와 같은 금속실리사이드로 이루어진 그룹으로부터 선택된 어느 하나 또는 이들이 적층된 적층막으로 형성할 수 있다.
- <31> 기판은 벌크실리콘기판을 사용할 수 있으며, 바람직하게는 고집적 반도체 메모리 소자의 누설전류를 감소시키고, 구동전류(driving current)를 증가시키기 위하여 SOI 기판을 사용하는 것이 좋다. 이때, SOI 기판은 기계적인 지지를 위한 지지기판(200), 지지기판(200) 상부에 형성된 매립산화층(Buried Oxide Layer, 210), 매립산화층(210) 상부에 형성된 실리콘기판 - 채널영역(220B)과 소스 및 드레인 전극(220A)이 형성된 영역 - 을 포함할 수 있다.
- <32> 여기서, 실리콘기판의 두께는 제어게이트(280)가 제어하는 전계가 채널영역(220B)을 완전히 제어할 수 있는 두께로 형성하는 것이 바람직하다. 이로써, 제어게이트(280)가 제어하는 채널영역(220B)의 두께가 감소하여 반전층(inversion layer)의 형성을 매우 용이하게 조절할 수 있으며, 이는 결과적으로 반도체 메모리 소자의 소스 및 드레인 전극(220A) 간의 누설전류를 감소시키는 효과가 있다.
- <33> 이와 같이, 본 발명은 소스 및 드레인 전극(220A)을 금속실리사이드로 형성함으로써, 반도체 메모리 소자가 고집적화됨에 따른 소스 및 드레인 전극(220A) 사이의 누설전류의 발생을 억제하여 반도체 메모리 소자의 문턱전압이 변화하는 것을 방지할 수 있으며, 이를 통하여 정확한 데이터 판독을 가능하게 할 수 있다. 또한, 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)와 소스 및 드레인 전극(220A) 사이에도 쇼트키장벽이 형성되기 때문에 플로팅게이트(260A)와 소스 및 드레인 전극(220A) 사이에 발생하는 누설전류를 억제할 수 있다.
- <34> 또한, 본 발명은 플로팅게이트(260A)를 복수개의 실리콘나노점으로 형성함으로써, 종래의 플로팅게이트에 비하여 작은 부피로 플로팅게이트(260A)를 형성하더라도 충분한 전하저장공간을 확보할 수 있으며, 이에 따라 플로팅게이트(260A)의 크기를 획기적으로 감소시켜 반도체 메모리 소자의 집적도를 향상시킬 수 있다.
- <35> 또한, 본 발명은 터널링절연막(250)의 열화로 인하여 플로팅게이트(260A)와 소스 및 드레인 전극(220A)간에 단락이 발생하여도 단락된 소수의 실리콘나노점만 영향을 받고, 나머지 다수의 실리콘나노점은 영향을 받지 않으므로 안정적인 소자 동작특성을 확보할 수 있다. 즉, 균일한 문턱전압의 분포를 유지할 수 있다.
- <36> 또한, 본 발명은 전하를 높은 전위장벽(potential barrier)을 갖는 실리콘나노점의 전위우물(potential well) 안에 포획하기 때문에 누설전류의 발생을 방지하고, 리텐션타임을 증가시킬 수 있다.
- <37> 또한, 본 발명의 고집적 반도체 메모리 소자는 소스 및 드레인 전극(220A)을 금속실리사이드로 형성하고, 플로팅게이트(260A)를 복수개의 실리콘나노점으로 형성하여 누설전류의 발생을 억제함으로써, 터널링절연막(250)의 두께를 종래보다 얇게 예컨대, 6nm 이하로 형성할 수 있으며, 이를 통하여 플로팅게이트(260A)에 전하를 주입 또는 제거할 때, 직접터널링 방식을 사용할 수 있다.[S. Lai, "Tunnel oxide and ETOX<sup>tm</sup> flash scaling limitation", in Tech. Dig. of Int'l Nonvolatile Memory Technology Conference(1998), pp. 6-7] 직접터널링 방식을 사용할 경우, 터널링절연막(250)의 내구성을 향상시킬 수 있으며, 반도체 메모리 소자의 동작속도 향상 및 동작전압을 낮출 수 있다. 이는 직접터널링이 종래의 열전자주입 또는 F-N터널링에 비하여 낮은 전압 예컨대, 3V ~ 5V 범위의 전압을 요구하는 프로세스이기 때문이다.
- <38> 이하, 본 발명에 따른 고집적 반도체 메모리 소자의 제조방법에 대한 실시예를 첨부한 도면을 참조하여 상세히

설명한다. 이하의 공정설명에서 반도체 소자의 제조방법이나 이에 관련된 성막방법에 관련된 기술내용 중 알려진 기술에 대해서는 설명하지 아니하였고, 이는 이러한 알려진 기술들에 의해 본 발명의 기술적 범위가 제한되지 않음을 의미한다.

- <39> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 반도체 메모리 소자의 제조방법을 도시한 공정단면도이다.
- <40> 도 3a에 도시된 바와 같이, 기계적인 지지를 위한 지지기판(200), 지지기판(200) 상에 형성된 매립산화층(210) 및 매립산화층(210) 상에 형성된 실리콘기판(220)을 포함하는 SOI 기판을 제공한다. 이때, SOI 기판 대신에 벌크실리콘기판을 사용할 수도 있다.
- <41> 여기서, 실리콘기판(220)의 두께는 후속 공정을 통하여 형성될 제어게이트가 제어하는 전계가 채널영역을 완전히 조절할 수 있는 두께로 형성하는 것이 바람직하다. 이로써, 제어게이트가 제어하는 채널영역의 두께가 감소하여 반전층의 형성을 매우 용이하게 조절할 수 있으며, 이를 통하여 고집적 반도체 메모리 소자의 소스 및 드레인 전극간의 누설전류를 감소시킬 수 있다.
- <42> 다음으로, 실리콘기판(220) 상에 희생막을 형성한 후, 희생막을 선택적으로 식각하여 소스 및 드레인 전극이 형성될 영역을 오픈(open)하는 희생막패턴(230)을 형성한다. 이때, 희생막패턴(230)이 덮고 있는 실리콘기판(220)이 후속 공정을 통하여 채널영역으로 작용한다.(도 3b 참조)
- <43> 다음으로, 희생막패턴(230)을 포함하는 실리콘기판(220) 전면에 금속막(240)을 형성한다. 이때, 금속막(240)은 소스 및 드레인 전극을 금속실리사이드로 형성하기 위한 것으로, 본 발명의 고집적 메모리 소자가 전자를 다수 캐리어로 사용하는 경우, 금속막(240)은 전자에 대한 쇼트키장벽이 낮은 물질 예컨대, 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 가돌륨(Gd), 터븀(Tb) 및 세륨(Ce)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있으며, 정공을 다수캐리어로 사용하는 경우, 정공에 대한 쇼트키장벽이 낮은 물질 예컨대, 백금(Pt), 납(Pb) 및 이리듐(Ir)으로 이루어진 그룹으로부터 선택된 어느 하나를 사용하여 형성할 수 있다.
- <44> 도 3b에 도시된 바와 같이, 소스 및 드레인 전극(220A)을 금속실리사이드로 형성하기 위하여 열처리를 실시한다. 이때, 열처리는 실리콘기판(220)과 금속막(240)을 서로 반응시켜 금속실리사이드로 변환시키기 위한 것으로, 급속열처리방법(Rapid Thermal Annealing, RTA), 퍼니스열처리방법(furnace annealing) 및 레이저열처리방법(laser annealing)으로 이루어진 그룹으로부터 선택된 어느 한 방법을 사용하여 실시할 수 있다. 예를 들어, 금속막(240)을 어븀(Er)으로 형성한 후, 급속열처리방법을 사용하여 500℃ ~ 600℃ 범위의 온도에서 열처리하면 소스 및 드레인 전극(220A)을 어븀실리사이드로 형성할 수 있다.
- <45> 여기서, 금속실리사이드로 형성되는 소스 및 드레인 전극(220A)의 저부(바닥)가 SOI 기판의 매립산화층(210)의 상부와 접할 수 있도록 충분한 시간동안 반응시키는 것이 바람직하다.
- <46> 다음으로, 열처리 과정에서 반응하지 않은 미반응 금속막을 제거한다. 이때, 미반응 금속막은 습식식각법 또는 건식식각법으로 제거할 수 있다. 여기서, 습식식각법을 사용할 경우, 염산(HCl)과 질산(HNO<sub>3</sub>)이 혼합된 왕수(aqua regia) 또는 황산(H<sub>2</sub>SO<sub>4</sub>)과 과산화수소(H<sub>2</sub>O<sub>2</sub>)가 혼합된 SPM(sulfuric peroxide mixture) 용액을 사용하여 제거할 수 있으며, 건식식각법을 사용할 경우, 아르곤 가스 스퍼터링방법을 사용하여 제거할 수 있다.
- <47> 다음으로, 희생막패턴(230)을 제거한다.
- <48> 상술한 공정과정을 통하여 실리콘기판(220)에 채널영역(220B) 및 채널영역(220B)과 쇼트키접합을 형성하는 소스 및 드레인 전극(220A)을 형성할 수 있다.
- <49> 도 3c에 도시된 바와 같이, 채널영역(220B) 및 소스 및 드레인 전극(220A)이 구비된 실리콘기판 상에 터널링절연막(250)을 형성한다. 이때, 터널링절연막(250)은 공지된 다양한 성막 기술을 사용하여 형성할 수 있으며, 우수한 품질의 절연막을 형성하기 위하여 열산화법(thermal oxidation)을 사용하여 실리콘산화막으로 형성할 수 있다.
- <50> 여기서, 본 발명은 소스 및 드레인 전극(220A)을 금속실리사이드로 형성하고, 후속 공정을 통하여 형성될 플로팅게이트를 복수개의 실리콘나노점으로 형성함으로써, 누설전류의 발생을 억제할 수 있으며, 이를 통하여 터널링절연막(250)의 두께를 감소시킬 수 있다.
- <51> 다음으로, 터널링절연막(250) 상에 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)를 형성한다. 이때, 플로팅게이트(260A)는 실리콘화합물을 기저체(260)로 하여 형성할 수 있으며, 실리콘화합물 기저체(260)는 실리콘산화물, 실리콘질화물 및 실리콘카본으로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.



- <52> 이하, 실리콘화합물을 기저체(260)로 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)를 형성하는 방법에 대하여 보다 자세히 설명한다. 여기서, 실리콘화합물 기저체(260)로 실리콘질화물을 사용한다.
- <53> 플라즈마화학기상증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD)법을 사용하여 아르곤가스, 실리콘소스가스 예컨대, 실란(silane)가스 및 질소를 포함하는 가스 예컨대, N<sub>2</sub>가스 또는 NH<sub>3</sub>가스가 혼합된 혼합가스를 사용하여 실리콘질화물을 기저체(260)로 실리콘질화물 내부에 분산되어 있는 복수개의 실리콘나노점을 성장시킬 수 있다.(도 4 참조) 이때, 실리콘질화물 내부에 우수한 나노 결정구조를 갖는 실리콘나노점을 형성하기 위해서는 천천히 예컨대, 1.3nm/min ~ 1.8nm/min 범위의 성장속도로 제어하는 것이 바람직하다. 이를 위하여 실리콘소스가스를 아르곤가스에 1% ~ 50% 범위의 비율로 희석한 혼합가스를 질소를 포함하는 가스에 비하여 낮은 유량 예컨대, 1sccm ~ 50sccm 범위의 유량으로 반응챔버에 주입하고, 질소를 포함하는 가스를 500sccm 이상 반응챔버에 주입하면서, 플라즈마 파워를 5W이하로 제어하여 플라즈마에 의해 생성되는 반응기(radical)의 농도를 줄임으로써, 실리콘질화물을 천천히 성장시킬 수 있다.
- <54> 상술한 방법으로 형성된 실리콘나노점은 종래의 화학기상증착법(Chemical Vapor Deposition, CVD)을 사용하여 형성된 실리콘나노점에 비하여 실리콘 나노 결정구조가 우수하기 때문에 열처리공정과 같은 후처리(post treatment)과정을 실시하지 않아도 된다.(도 4 참조)
- <55> 도 3d에 도시된 바와 같이, 플로팅게이트(260A) 상부에 게이트절연막(270)을 형성한다. 이때, 게이트절연막(270) 저압화학기상증착법(Low Pressure Chemical Vapor Deposition, LPCVD)을 사용하여 실리콘산화막으로 형성할 수 있다.
- <56> 한편, 실리콘화합물 기저체(260) 예컨대, 실리콘산화물, 실리콘질화물 또는 실리콘카본은 절연물질이기 때문에 게이트절연막으로 작용할 수 있으며, 실리콘화합물 기저체(260)만으로 후속 공정을 통하여 형성될 제어게이트(280)와 제어게이트(280) 하부구조물 사이의 절연특성을 확보할 수 있다면, 게이트절연막(270)을 형성하는 공정을 생략할 수 있다.
- <57> 다음으로, 게이트절연막(270) 상에 제어게이트(280)를 형성한다. 이때, 제어게이트(280)는 폴리실리콘, 텅스텐(W) 또는 티타늄(Ti)과 같은 금속물질, 티타늄질화물과 같은 도전성 금속질화물 및 텅스텐실리사이드 또는 티타늄실리사이드와 같은 금속실리사이드로 이루어진 그룹으로부터 선택된 어느 하나로 형성할 수 있다.
- <58> 다음으로, 제어게이트(280) 상에 하드마스크패턴을 형성한 후, 하드마스크패턴을 식각장벽(etch barrier)으로 제어게이트(280), 게이트절연막(270), 실리콘화합물 기저체(260) 및 터널링절연막(250)을 식각하여 소스 및 드레인 전극(220A)이 형성된 영역의 실리콘기판을 노출시킨다.
- <59> 상술한 공정과정을 통하여 금속실리사이드로 형성된 소스 및 드레인 전극(220A) 및 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)를 포함하는 고집적 반도체 메모리 소자를 형성할 수 있다.
- <60> 이와 같이, 본 발명은 복수개의 실리콘나노점으로 구성된 플로팅게이트(260A)를 형성하기 위한 실리콘화합물 기저체(260)가 게이트절연막으로 작용함으로써, 공정스텝을 단축시킬 수 있으며, 이를 통하여 반도체 메모리 소자의 생산비용을 절감할 수 있다.
- <61> 또한, 본 발명은 소스 및 드레인 전극(220A)을 금속실리사이드로 형성함으로써, 반도체 메모리 소자가 고집적화에 따른 소스 및 드레인 전극(220A) 사이 및 소스 및 드레인 전극(220A)과 플로팅게이트(260A) 사이의 누설전류 발생을 억제하여 반도체 메모리 소자의 문턱전압이 변화하는 것을 방지할 수 있으며, 이를 통하여 정확한 데이터 관독을 가능하게 할 수 있다.
- <62> 또한, 본 발명은 플로팅게이트(260A)를 복수개의 실리콘나노점으로 형성함으로써, 터널링절연막(250)의 열화에 따른 플로팅게이트(260A)의 누설전류를 억제할 수 있으며, 플로팅게이트(260A)의 크기를 획기적으로 감소시켜 집적도를 향상시킬 수 있다. 또한, 실리콘나노점의 큰 전하포획력으로 인하여 리텐션타임을 증가시킬 수 있다.
- <63> 또한, 본 발명은 반도체 메모리 소자의 고집적화에 따른 누설전류의 발생을 억제함으로써, 터널링절연막(250) 두께를 감소시킬 수 있으며, 이를 통하여 플로팅게이트(260A)에 전하를 주입 또는 제거할 때 전하를 직접터널링시킬 수 있는 효과가 있다. 여기서, 플로팅게이트(260A)에 전하를 주입 또는 제거할 때 직접터널링을 사용할 경우, 터널링절연막(250)의 내구성을 향상, 반도체 메모리 소자의 동작속도를 향상 및 동작전압을 낮출 수 있다.
- <64> 도 4는 본 발명의 실시예에 따라 형성된 실리콘나노점과 실리콘질화물 기저체를 나타낸 주사 전자 현미경(Scanning Electron Microscopy, SEM) 이미지이다.

<65> 도 4를 참조하면, 실리콘질화물 기저체(260) 내부에 플로팅게이트(260A)로 작용하는 복수개의 실리콘나노점이 형성된 것을 확인할 수 있다. 실리콘나노점의 크기는 평균적으로 4.6nm 이며, 밀도(density)는  $6.0 \times 10^{11} / \text{cm}^2$  이다.

<66> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**도면의 간단한 설명**

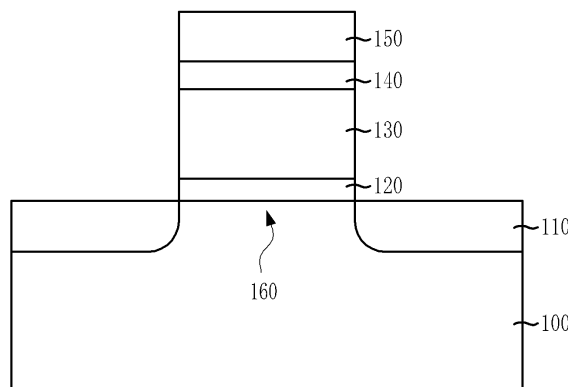
<67> 도 1은 종래기술에 따른 플래시메모리를 도시한 단면도.  
 <68> 도 2는 본 발명의 실시예에 따른 고집적 반도체 메모리 소자를 도시한 단면도.  
 <69> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 고집적 반도체 메모리 소자의 제조방법을 도시한 공정단면도.  
 <70> 도 4는 본 발명의 실시예에 따라 형성된 실리콘나노점과 실리콘질화물 기저체를 나타낸 주사 전자 현미경 이미지.

<71> \*\*\*도면 주요 부분에 대한 부호 설명\*\*\*

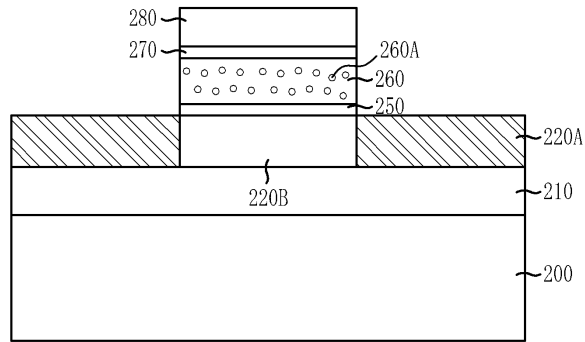
- |      |                                 |                    |
|------|---------------------------------|--------------------|
| <72> | 200 : 지지기판                      | 210 : 매립산화층        |
| <73> | 220 : 실리콘기관                     | 220A : 소스 및 드레인 전극 |
| <74> | 220B : 채널영역                     | 230 : 희생막패턴        |
| <75> | 240 : 금속막                       | 250 : 터널링절연막       |
| <76> | 260 : 실리콘화합물 기저체                |                    |
| <77> | 260A : 복수개의 실리콘나노점으로 구성된 플로팅게이트 |                    |
| <78> | 270 : 게이트절연막                    | 280 : 제어게이트        |

**도면**

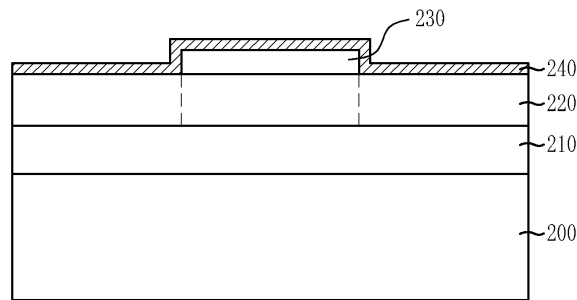
**도면1**



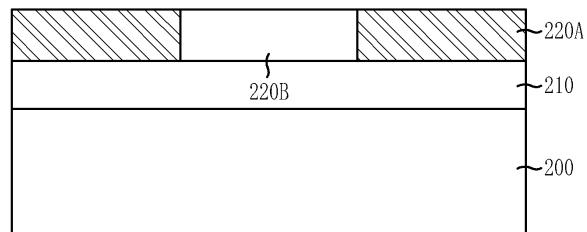
도면2



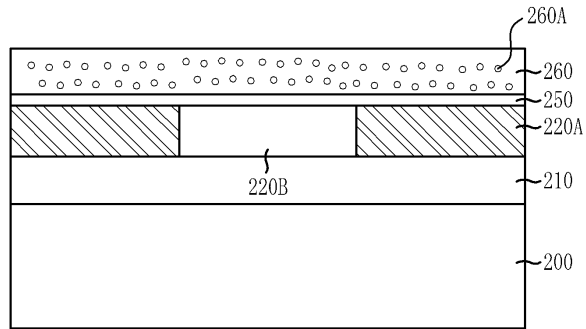
도면3a



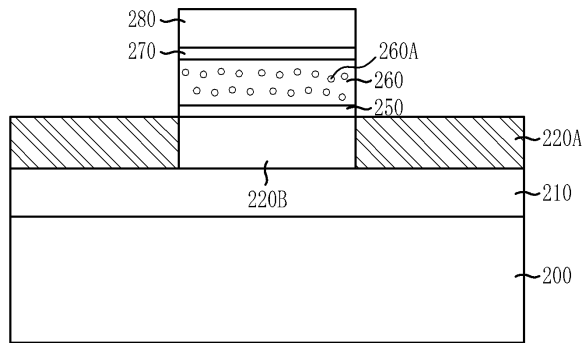
도면3b



도면3c



도면3d



도면4

