

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3661890号
(P3661890)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int.Cl. ⁷	F I
HO4N 7/24	HO4N 7/13 Z
HO3M 7/14	HO3M 7/14 B
HO4L 7/10	HO4L 7/10
HO4L 25/49	HO4L 25/49 A

請求項の数 8 (全 12 頁)

(21) 出願番号 特願平7-347780	(73) 特許権者 000002185
(22) 出願日 平成7年12月15日(1995.12.15)	ソニー株式会社
(65) 公開番号 特開平9-168147	東京都品川区北品川6丁目7番35号
(43) 公開日 平成9年6月24日(1997.6.24)	(74) 代理人 100082740
審査請求日 平成13年7月13日(2001.7.13)	弁理士 田辺 恵基
	(72) 発明者 菊池 秀和
	東京都品川区北品川6丁目7番35号ソニー株式会社内
	審査官 清水 祐樹
	最終頁に続く

(54) 【発明の名称】 画像データ送信方法及び画像データ受信方法

(57) 【特許請求の範囲】

【請求項1】

mビット単位の画像データを送信するための画像データ送信方法であつて、
上記画像データの同期タイミングを設定させるための同期データを送信せずにmビット
の上記画像データを送信する場合には、mビットの上記画像データを変換することにより
n（但しn>m）ビットの変換後データを生成し、当該生成した変換後データを直列送信
する第1のステップと、
上記同期データとmビットの上記画像データとを送信する場合には、mビットの上記画
像データに対して上記同期データを示すn-mビットの直列コードを付加することにより
nビットの付加後データを生成し、当該生成した付加後データを直列送信する第2のステ
ップと
を有し、
上記第1のステップでは、
mビットのデータと、いかなる組み合わせで順次直列送信されても同一論理ビットがk
（但しk<n-m）個以上連続しないように選択されたnビットのデータとを対応付けて
なる変換表に基づいて、mビットの上記画像データを変換することによりnビットの上記
変換後データを生成し、
上記第2のステップでは、
mビットの上記画像データに対して、上記同一論理ビットがk個以上連続した特定ビッ
ト列を含む上記直列コードを付加することにより、nビットの上記付加後データを生成す

る

ことを特徴とする画像データ送信方法。

【請求項 2】

上記変換表は、

上記 m ビットのデータと上記 n ビットのデータとをそれぞれ分割して対応付けていることを特徴とする請求項 1 に記載の画像データ送信方法。

【請求項 3】

上記直列コードは、直列化された上記画像データの前に対して付加されることを特徴とする請求項 1 に記載の画像データ送信方法。

【請求項 4】

上記同期データは、垂直同期データ及び水平同期データであることを特徴とする請求項 1 に記載の画像データ送信方法。

【請求項 5】

m ビット単位の画像データを受信するための画像データ受信方法であつて、

伝送路を介して直列受信した n (但し $n > m$) ビットの受信データから、上記画像データの同期タイミングを設定させるための同期データを示す $n - m$ ビットの直列コードを検出する第 1 のステップと、

上記第 1 のステップによつて n ビットの上記受信データから上記直列コードを検出した場合には、上記同期タイミングを設定すると共に n ビットの上記受信データから上記直列コードを除くことにより m ビットの上記画像データを得る第 2 のステップと、

上記第 1 のステップによつて n ビットの上記受信データから上記直列コードを検出しない場合には、 n ビットの上記受信データを変換することにより m ビットの上記画像データを得る第 3 のステップと

を有し、

上記第 1 のステップでは、

n ビットの上記受信データから、同一論理ビットが k (但し $k < n - m$) 個以上連続した特定ビット列が含まれる上記直列コード中の上記特定ビット列を検出することにより上記直列コードを検出し、

上記第 3 のステップでは、

いかなる組み合わせで順次直列送信されても上記同一論理ビットが k 個以上連続しないように選択された n ビットのデータと、 m ビットのデータとを対応付けてなる変換表に基づいて、 n ビットの上記受信データを変換することにより m ビットの上記画像データを得る

る

ことを特徴とする画像データ受信方法。

【請求項 6】

上記変換表は、

上記 m ビットのデータと上記 n ビットのデータとをそれぞれ分割して対応付けていることを特徴とする請求項 5 に記載の画像データ受信方法。

【請求項 7】

上記直列コードが検出された上記受信データは、直列化された上記画像データの前に対して上記直列コードが付加されてなる

ことを特徴とする請求項 5 に記載の画像データ受信方法。

【請求項 8】

上記同期データは、垂直同期データ及び水平同期データである

ことを特徴とする請求項 5 に記載の画像データ受信方法。

【発明の詳細な説明】

【0001】

【目次】

以下の順序で本発明を説明する。

発明の属する技術分野

10

20

30

40

50

従来の技術（図 6 及び図 7）

発明が解決しようとする課題（図 8 及び図 9）

課題を解決するための手段（図 5）

発明の実施の形態（図 1 ～ 図 5）

（ 1 ）実施例の構成

（ 1 - 1 ）画像表示システムの構成

（ 1 - 2 ）画像データ変換の規則

（ 2 ）実施例の動作

（ 3 ）実施例の効果

（ 4 ）他の実施例

10

発明の効果

【 0 0 0 2 】

【発明の属する技術分野】

本発明は画像データ送信方法及び画像データ受信方法に関し、例えばコンピュータで処理する画像を表示する液晶表示装置に代表されるデジタル制御の表示装置に画像データを伝送する際に適用し得る。

【 0 0 0 3 】

【従来の技術】

図 6 に示すように、この種の液晶表示装置 1 は、一般に、コンピュータで処理するデジタルの 3 原色画像データ S 1 ～ S 6 をそれぞれの原色毎にアナログ化した画像信号 S 1 0 ～ S 1 2 が伝送される。液晶表示装置 1 は、この画像信号 S 1 0 ～ S 1 2 をアナログデジタルコンバータ 5 ～ 7 によつてデジタルの画像データ S 1 3 ～ S 1 8 に戻してリアルタイムで画像の表示状態を制御している。

20

【 0 0 0 4 】

この方法は、表示画素数及び階調の増加に応じて高速、多ビットのアナログデジタルコンバータが必要になるため、液晶表示装置の製造コストが増大するという欠点があつた。このため、図 7 に示すように、コンピュータ内で並列に処理されている画像データ S 2 1 ～ S 2 6 を並列で液晶表示装置 1 0 に伝送する方法が一部で採用されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

30

ところで、図 8 に示すように、複数の芯線を束ねた伝送ケーブル 1 3 で画像データ S 2 7 ～ S 3 2 を並列に伝送する場合は、伝送された画像データ S 2 7 ～ S 3 2 間の相互干渉によつてスキュー（同期ずれ）やクロストークが発生する。このため、伝送ケーブル 1 3 の伝送容量及び伝送距離が制限されると共に、伝送ケーブル 1 3 やコネクタが大型化するという問題があつた。

これを避けるため、画像データを直列化して伝送することが考えられる。この方法によれば、画像データのスキューやクロストークを排除して画像データを伝送することができる。

【 0 0 0 6 】

ところが、図 9（B）に示すように、従来の直列化では、1 枚の画像のそれぞれの画素（0, 0）～（X, Y）の画像データを単純にあるビット数で 1 ワードとなる直列の画像データに変換していた。因みに、図 9（A）に示すように、1 枚の画像は、水平及び垂直方向にそれぞれ X 個及び Y 個の画素で構成されている。

40

この変換方法では、ヘッダと呼ばれる制御データを画像データに付加して、受信した直列の画像データを再び画素毎の画像データに戻すときのワード同期を確立する必要があつた。

【 0 0 0 7 】

ところが、このヘッダの 1 ワードは、画像データの 1 ワードを構成するビット数と異なるビット数で構成されていた。このため、液晶表示装置内の画像制御回路は、直列の画像データからワード長さが異なるヘッダを識別して取り出す必要があるため、複雑な構成とな

50

るという欠点がある。

【0008】

この方法では、ヘッドを取り出すとき画像データが中断され、安定して受信できないという問題があった。さらにデジタルの画像データを並列に伝送する方法でも、画像データを伝送するケーブルに加えて、垂直同期データ及び水平同期データを伝送するそれぞれ専用のケーブルが別個に必要であるため、コネクタや伝送ケーブルが大きくなつて取扱いが煩雑になるという欠点があった。

【0009】

本発明は以上の点を考慮してなされたもので、画像データの送受信を中断させずに画像データ及び同期データを1つの伝送路によつて送受信し得る画像データ送信方法及び画像データ受信方法を提案しようとするものである。

10

【0010】

【課題を解決するための手段】

かかる課題を解決するため本発明においては、 m ビット単位の画像データを送信するための画像データ送信方法であつて、画像データの同期タイミングを設定させるための同期データを送信せずに m ビットの画像データを送信する場合には、 m ビットの画像データを変換することにより n （但し $n > m$ ）ビットの変換後データを生成し、当該生成した変換後データを直列送信する第1のステップと、同期データと m ビットの画像データとを送信する場合には、 m ビットの画像データに対して同期データを示す $n - m$ ビットの直列コードを付加することにより n ビットの付加後データを生成し、当該生成した付加後データを直列送信する第2のステップとを有し、第1のステップでは、 m ビットのデータと、いかなる組み合わせで順次直列送信されても同一論理ビットが k （但し $k < n - m$ ）個以上連続しないように選択された n ビットのデータとを対応付けてなる変換表に基づいて、 m ビットの画像データを変換することにより n ビットの変換後データを生成し、第2のステップでは、 m ビットの画像データに対して、同一論理ビットが k 個以上連続した特定ビット列を含む直列コードを付加することにより、 n ビットの付加後データを生成するようにした。

20

【0011】

また本発明においては、 m ビット単位の画像データを受信するための画像データ受信方法であつて、伝送路を介して直列受信した n （但し $n > m$ ）ビットの受信データから、画像データの同期タイミングを設定させるための同期データを示す $n - m$ ビットの直列コードを検出する第1のステップと、第1のステップによつて n ビットの受信データから直列コードを検出した場合、同期タイミングを設定すると共に n ビットの受信データから直列コードを除くことにより m ビットの画像データを得る第2のステップと、第1のステップによつて n ビットの受信データから直列コードを検出しない場合、 n ビットの受信データを変換することにより m ビットの画像データを得る第3のステップとを有し、第1のステップでは、 n ビットの受信データから、同一論理ビットが k （但し $k < n - m$ ）個以上連続した特定ビット列が含まれる直列コード中の特定ビット列を検出することにより直列コードを検出し、第3のステップでは、いかなる組み合わせで順次直列送信されても同一論理ビットが k 個以上連続しないように選択された n ビットのデータと、 m ビットのデータとを対応付けてなる変換表に基づいて、 n ビットの受信データを変換することにより m ビットの画像データを得るようにした。

30

40

【0012】

この結果、送信側から直列送信される n ビットのデータには常に画像データが含まれる。これにより受信側は、送信側から直列受信した n ビットのデータから常に画像データを得ることができる。

【0013】

【発明の実施の形態】

以下図面について、本発明の一実施例を詳述する。

【0014】

50

(1) 実施例の構成

(1 - 1) 画像表示システムの構成

図 1 は全体として画像表示システム 2 0 を示し、本体 2 1 においてデータクロック S 4 0 と m ビット並列の画像データ S 4 1 ~ S 5 7 とこれの同期データ S 5 8 及び S 5 9 とを時分割多重によつて重畳して n ビット直列のデータコード S 6 0 を生成する。画像表示システム 2 0 は、このデータコード S 6 0 を 1 本の伝送路としての伝送ケーブル 2 2 を介して液晶表示装置 2 3 に与えて、データコード S 6 0 をデータブロック S 6 1 と m ビット並列の画像データ S 6 2 ~ S 7 8 とこれの同期データ S 7 9 及び S 8 0 とに戻す。

これにより、画像表示システム 2 0 は、本体 2 1 において並列処理している画像を液晶表示装置 2 3 の画像表示部 2 4 上に表示する際の表示状態を画素毎の画像データを途切れさせずにリアルタイムで制御する。

10

【 0 0 1 5 】

本体 2 1 は、マイクロコンピュータ (図示せず) で制御され、外部より与えられた画像データをビデオ RAM (図示せず) に展開している。本体 2 1 は、ビデオ RAM 上の画素毎の m ビット並列の画像データをそれぞれのビットでなる画像データ S 4 0 ~ S 5 7 によつて、集積回路構成の符号化回路 2 5 に与える。これにより、本体 2 1 は、符号化回路 2 5 において画素毎の m ビットを $m < n$ である n ビットコードに変換して、それぞれの n ビットコードで 1 ワードを構成したデータコード S 6 0 を生成させる。

【 0 0 1 6 】

但し、同期データ S 5 8 及び S 5 9 を伝送するとき、本体 2 1 は、符号化回路 2 5 において同期データ S 5 8 及び S 5 9 を、 $k < n - m$ として同一論理ビットが k 個連続した特定ビット列を含む n - m ビットコードに符号化する。またこのとき本体 2 1 は、画素の画像データの符号化を停止させる。続いて、本体 2 1 は、符号化回路 2 5 において同期データ S 5 8 又は S 5 9 を示す n - m ビットコードを、符号化しなかつた m ビットの画像データの先頭に付加して、他のワードと同一の n ビットでワードを構成する。

20

【 0 0 1 7 】

液晶表示装置 2 3 は、集積回路構成の復号化回路 2 6 において直列のデータコード S 6 0 から同期データを得て、この同期データに基づいたタイミングでデータコード S 6 0 を n ビット毎に区切つてそれぞれのワードを弁別する。データコード S 6 0 の全てのワードが n ビットで構成されていることにより、復号化回路 2 6 内のワードを弁別する回路を簡易に構成することができる。液晶表示装置 2 3 は、復号化回路 2 6 においてそれぞれのワードを n ビットコードから m ビットに戻し、m ビットのそれぞれのビットでなる並列の画像データ S 6 1 ~ S 7 8 を画像制御回路 2 7 に与える。

30

【 0 0 1 8 】

但し、ワードの先頭側の n - m ビットから同一論理ビットが k 個連続した特定ビット列を復号化回路 2 6 において検出すると、液晶表示装置 2 3 は同期データを得たと判断する。これにより、液晶表示装置 2 3 は、特定ビット列に応じて垂直同期データ S 7 9 や水平同期データ S 8 0 を復号化回路 2 6 において生成して、画像制御回路 2 7 に与える。

【 0 0 1 9 】

続いて、液晶表示装置 2 3 は、特定ビット列を含む n - m ビットコードを除いた m ビットを復号化回路 2 6 において復号することなく画像制御回路 2 7 に与える。これにより、液晶表示装置 2 3 は、途切れのない m ビット並列の画素データ S 6 1 ~ S 7 8 のタイミングを画像制御回路 2 7 において垂直同期データ S 7 9 や水平同期データ S 8 0 によつて制御して、画像を画像表示部 2 4 に表示させる。

40

【 0 0 2 0 】

復号化回路 2 6 は、例えば k が 5 である場合、図 2 に示す同期データ検出回路 2 8 を有し、直列のデータコード S 6 0 をこの同期データ検出回路 2 8 に与えて、同一論理ビットが 5 個連続した特定ビット列を検出する。同期データ検出回路 2 8 は、データコード S 6 0 を 4 つの D フリップフロップ 2 9 ~ 3 2 で順次遅延させて 1 クロック期間 ~ 4 クロック期間遅延させた遅延画像データ S 8 1 ~ S 8 4 を生成する。

50

【0021】

同期データ検出回路28は、現在のデータコードS60と遅延画像データS81～S84とをアンド回路33及びナンド回路34に条件入力として与える。

同期データ検出回路28は、4入力アンド回路33及び4入力ナンド回路34のそれぞれの出力S85及びS86をオア回路35に条件入力として与える。これにより、同期データ検出回路28は、データコードS60の論理「1」が5個連続した特定ビット列と、論理「0」が5個連続した特定ビット列とを検出することができる。

【0022】

(1-2) 画像データ変換の規則

本体21は、符号化回路25においてmビットをnビットコードに変換する際に、所定の
10 変換表を使用して、データコードS60が以下に示す第1～第4の条件を満たすよう変換している。液晶表示装置23は、この所定の変換表を使用して、データコードS60のそれぞれのワードのnビットコードをmビットに逆変換する。

【0023】

この所定の変換表は、mビットをnビットコードに変換したときのnビットコードの全ての組合せにおいて同一論理ビットの最大連続数jがj<kを満たすようにnビットの任意の論理配列のみが採用されている。またこの所定の変換表によつて任意のmビットと任意のnビットコードとが重複しないよう対応付けられる。

【0024】

符号化回路25は、第1～第4の条件に加えて、上述したように、直列のデータコードS
20 60のそれぞれのワードを常にnビットで構成すると共に、全てのワードに画素データを含ませて画素データの伝送を途切れさせないように処理している。

【0025】

第1の条件は、直列のデータコードS60からクロックを抽出し易くするため、データコードS60が多量のデータ遷移を含んでいることである。第2の条件は、データコードS60の論理「1」及び論理「0」の比が同等又はこれに近いことである。第3の条件は、データコードS60のnビットコードをmビットに戻すときのそれぞれのワードの区切りを検出できる性質をデータコードS60が有することである。第4の条件は、直列化のため冗長ビットを元データに付加する場合、付加ビット数が元データに比して少ないことである。
30

【0026】

第1の条件は、電圧が昇降を繰り返す直列のデータコードS60から直列データの論理「0」と論理「1」とを切り出すタイミング信号、即ちクロックを復号化回路26において抽出するために必要である。復号化回路26は、クロックをPLL(Phase Locked Loop)回路やSAWフィルタ共振等で抽出する。ところが、データ遷移が少ないと、PLL回路は離調し易くなり、フィルタの出力は低下する。このためデータ遷移は、4～5ビット毎に1回以上発生することが望ましい。

【0027】

例えば、撮像対象を撮像して得たいわゆる生の画像データでは、黒色を表示画面全面に表示した完全な黒色画像に対応した画像データが有り得るため、データ遷移が極端に少なくなることがある。このため、並列の画像データを直列に変換するとき、元の画像データは一般に何らかのデータ列に変換(コーディング)されてデータ遷移が増やされる。
40

【0028】

データ遷移を増やす際には、一般にスクランブルやmビットnビット変換が使用される。前者は、疑似乱数発生回路を用いて、同一論理ビットが長時間継続するデータが発生することを確率的に阻止する方法である。後者は、mビットの元データのある規則に従つてnビットのデータに変換することによつて、データ遷移を強制的に発生させる方法である。受信側においては、これらの逆変換によつて元データを再生する。
50 上述したように、符号化回路25は、後者を採用している。

【0029】

第2の条件は、直列データを高い伝送レートで伝送する過程で発生する信号波形の歪みや減衰に対して、受信マージンを確保する、即ち直流レベルを容易に再生するための条件である。この第2の条件を満たすには、論理「1」と論理「0」との比が1:7~7:1以内であることが望ましい。

【0030】

第3の条件は、送信側において、ある時点の画素データとして1つのセットであつた多ビットのデータ(ワード)を受信側において1つのセットとして切り出すタイミングを検出するための条件である。この第3の条件を満たすには、一般に直列データのどこかに直列データの他の部分には絶対に存在しない、又は極めて稀にしか存在しない特定ビット列を含むデータ列いわゆるヘッダが挿入される。この直列コードとしてのヘッダによつて、ワードを切り出すタイミングを送信側から受信側に伝送することができる。上述したように、符号化回路25は、同一論理ビットがk個連続した特定ビット列を含むn-mビットコードをヘッダとして挿入して同期タイミングを伝える。

10

【0031】

第4の条件は、上述した第3の条件を満たす目的で付加されるビット、例えばmビットnビット変換で増えるビットやヘッダのビットが元データに比して少量であるということである。この第4の条件は、直列データの伝送レートが過度に上昇することを抑えて、直列伝送ハードウェアの負担を軽くするための条件であり、元データの1.4倍を越えないことが望ましい。

【0032】

20

(2) 実施例の動作

以上の構成において、液晶表示装置23の表示画面の横及び縦の画素数がそれぞれ1024及び768であるとし、画素毎に赤色、緑色及び青色のそれぞれの階調を6ビットで表示して $6 \times 3 = 18$ ビット分の262,144色を表示するとする。また表示速度は80〔画面/秒〕であるとし、同期データが垂直同期データ及び水平同期データで構成されるとする。この表示を実現する際、本体21は、80〔画面/秒〕 \times 1024〔列〕 \times 768〔行〕 62.9×10^6 〔個/秒〕の画素の画像データを画像制御回路27に与える必要がある。

【0033】

このとき図3に示すように、本体21は、1枚の画像毎に走査線上の最初の画素(0,0)から最後の画素(1023,767)までの画素毎の18ビットの画像データを独立に、又は水平同期データや垂直同期データと共に、同期データの論理レベルに応じた異なる手順に従つて24ビットデータコードに変換して伝送する。

30

【0034】

まず水平同期データ及び垂直同期データが論理「0」レベルである(以下、これを同期データが不活性であるという)ときを説明する。このとき、本体21は、符号化回路25において画素毎の18ビット画像データを3ビット毎に区分し、それぞれの3ビットを図4で示す符号化変換表としての変換表TBL1に従つて対応付けて4ビットコードに変換する。

【0035】

続いて、本体21は、18ビットに対応して得た6つの4ビットコードを順次直列に並べて24ビットコードのワードを生成する。これにより、画素毎の画像データは18ビットから24ビットに変換されたことになる。ここで、 $m = 18$ 、 $n = 24$ であり、これは、 $m < n$ を満たしている。

40

因みに、変換表TBL1上の4ビットコード「0010」、「0011」、「0101」、「0110」、「1001」、「1010」、「1011」及び「1100」は、任意の3ビットデータとそれぞれ対応付けて良い。

【0036】

次に、水平同期データ又は垂直同期データが1である(以下、これを同期データが活性であるという)ときを説明する。図3に示すように、このときは、水平同期データだけが論理「1」である状態と、水平同期データ及び垂直同期データが同時に論理「1」である状

50

態とが存在する。

【0037】

同期データが活性であるとき、本体21は、符号化回路25において $n - m = 6$ ビットコードでなるヘッダの後に、18ビット画素データを順次並べて24ビットコードを生成する。水平同期データだけが論理「1」であるとき、本体21は、符号化回路25においてヘッダをビット列「100000」で構成する。また両方の同期データが論理「1」であるとき、本体21は、符号化回路25においてヘッダをビット列「011111」で構成する。

【0038】

これにより、ヘッダには論理「0」又は論理「1」が5個連続した特定ビット列が含まれていることになる。従つて、 $k = 5$ となり、これは、 $k < n - m$ を満たしている。このようにして図5に示すように、本体21は、18ビット画像データをヘッダと共に全て24ビットコードに変換して順次連結し、画素毎の画像データが途切れない直列のデータコードS60を生成する。

10

【0039】

次に、図5に示す直列のデータコードS60が、上述した第1の条件～第4の条件を満たしていることを説明する。まず、直列のデータコードS60を構成する1024ワードのうち、同期データが不活性であるときに対応したワードが圧倒的な比率（1023 / 1024）を占めることが分かる。図4に示した変換表TBL1では、4ビットコードのデータ遷移が少なくとも1回発生している。これにより、直列のデータコードS60は、全体として最低25%の確率でデータ遷移を発生させてクロックを容易に抽出することができ、第1の条件を満足させている。

20

【0040】

また変換表TBL1の4ビットコードで最も論理「1」又は論理「0」に偏つたコードでも論理「1」と論理「0」との比は1 : 3である。これにより、画像データが特定の4ビットコードに全て変換されても、論理「1」と論理「0」との比は1 : 3 ~ 3 : 1に限定される。従つて、データコードS60は、直流レベルを容易に再生することができ、第2の条件を満足させている。

【0041】

次に、変換表TBL1上の4ビットコードは、いずれをどの順序で組合せて直列に並べても論理「1」が $k = 5$ 個以上連続することも、論理「0」が $k = 5$ 個以上連続することも無い。これにより、24ビットコードの先頭6ビットから論理「1」又は論理「0」が5個連続した特定ビット列を検出したとき、液晶表示装置23は、ヘッダが挿入されて同期データが活性であるタイミングを伝送されたと判断することができる。

30

【0042】

従つて、液晶表示装置23は、画素の画像データを中断することなく、このヘッダを、直列のデータコードS60の1ワード = 24ビットの区切りを認識して n ビット直列コードを m ビット並列の画像データS61 ~ S78に戻すためのワード同期を確立する基準として使用することができる。また液晶表示装置23は、ヘッダを受信しているときも画素の画像データを中断することがないことにより、画素の画像データを常に安定して受信することができる。

40

伝送中に画像データが途切れても、液晶表示装置23は、特定ビット列を検出することによつて、新しい水平走査線の同期タイミングを容易に得ることができる。従つて、データコードS60は、第3の条件を満足させている。

【0043】

また、データコードS60のワード長さが全て同一であることにより、ヘッダのワードと画像データのワードとを別個にカウントする必要がなく、ワードをカウントする回路を簡易に構成することができる。

【0044】

因みに、同期データが活性であるとき、ヘッダに続いて、変換されていない18ビットの画

50

像データが伝送される。この18ビットの画像データによつて、偶然論理「1」が5個以上連続したり、論理「0」が5個以上連続することがあり得る。このため、同期データ検出回路28においてヘッダ内の特定ビット列を一度検出した後、少なくとも次のワードに切り換わる迄、同期データ検出回路28の検出機能を停止して、同期データが活性であるタイミングの誤検出を防止することができる。

【0045】

最後に、データコードS60は、画素毎のデータが元の画像データに比して6ビット増加している。このときのデータコードS60の伝送レートは、 $62.9 \times 10^6 \times 24 = 1.51 \times 10^9$ ビット/秒となる。一方、元の画像データの伝送レートは、 $62.9 \times 10^6 \times 18 = 1.13 \times 10^9$ (ビット/秒)となる。データコードS60と元の画像データとの伝送レートの比は1.33となり、元データの1.4倍を越えない。この比は、ハードウェアの負担の観点から、実際上、許容される。これにより、データコードS60は第4の条件を満足させている。

【0046】

(3) 実施例の効果

以上の構成によれば、 $n > m$ 及び $k < n - m$ として、同期データを送信しないときは、画素毎のmビットの画像データを、いかなる組み合わせで順次直列に送信しても同一論理ビットがk個以上連続しないnビットコードS60に変換してこれを直列に送信し、同期データを送信するときは、画素のmビットの画像データをコード化しないで直接直列に並べ、これに同一論理ビットがk個連続した特定ビット列を含む $n - m$ ビットを直列に並べたヘッダを付加することにより、並列の画像データの送受信を中断させずに並列の画像データ及び同期データを1つの伝送ケーブル22によつて送受信することができる。

【0047】

また液晶表示装置23への画像データの伝送距離を並列デジタルやアナログで伝送する場合に比して一段と大きくすることができる。

さらに低コストで小さなコネクタと、1本だけであることによる一段と大きな柔軟性に富んだ伝送ケーブルとによつて画像データを伝送することができる。

【0048】

(4) 他の実施例

なお上述の実施例においては、 $m = 18$ 、 $n = 24$ 、 $k = 5$ 及び $j = 4$ とする場合について述べたが、本発明はこれに限らず、 n 、 m 、 k 及び j を $n > m$ 、 $k < n - m$ 及び $j < k$ となる条件下で任意の数に設定しても良い。

【0049】

また上述の実施例においては、18ビットから24ビットコードに変換する際、3ビットから4ビットコードに変換し、この4ビットコードを組合せて24ビットコードを得る場合について述べたが、本発明はこれに限らず、任意の数のビットコードを組合せて目的のビット数のコードを得る場合にも適用できる。

【0050】

さらに上述の実施例においては、液晶表示装置を使用する場合について述べたが、本発明はこれに限らず、画像をデジタル信号で制御する任意の画像表示装置、例えばプラズマディスプレイを使用する場合にも適用できる。

【0051】

さらに上述の実施例においては、直列のデータコードS60を伝送ケーブル13によつて伝送する場合について述べたが、本発明はこれに限らず、直列化した画像データを電波や赤外線で伝送する場合にも適用できる。

【0052】

【発明の効果】

上述のように本発明によれば、送信側から直列送信されるnビットのデータには常に画像データが含まれるので、これにより受信側は送信側から直列受信したnビットのデータから常に画像データを得ることができ、かくして画像データを安定して受信することができる画像データ送信方法及び画像データ受信方法を実現することができる。

【図面の簡単な説明】

【図 1】本発明による画像データ送信方法及び画像データ受信方法の一実施例による画像表示システムの構成を示す略線的ブロック図である。

【図 2】同期データ検出回路の説明に供する接続図である。

【図 3】画素毎の並列画像データ及び同期データのタイミングを示すタイミング図である。

【図 4】3 ビットデータと 4 ビットコードとを対応付けた変換表を示す図表である。

【図 5】直列画像データのデータ配列を示す略線図である。

【図 6】従来の画像データ伝送方法を示す略線図である。

【図 7】従来の画像データ伝送方法を示す略線図である。

【図 8】並列伝送によるスキュー及びクロストークを示す波形図である。

【図 9】画素配置及び従来の直列化による画像データの配列を示す略線図である。

【符号の説明】

1、10 …… 液晶表示装置、2～4 …… デジタルアナログコンバータ、5～7 …… アナログデジタルコンバータ、8、11、27 …… 画像制御回路、9、12、24 …… 画像表示部、13、22 …… 伝送ケーブル、20 …… 画像表示システム、21 …… 本体、23 …… 液晶表示装置、25 …… 符号化回路、26 …… 復号化回路、28 …… 同期データ検出回路、29～32 …… D フリップフロップ、33 …… アンド回路、34 …… ナンド回路、35 …… オア回路。

【図 1】

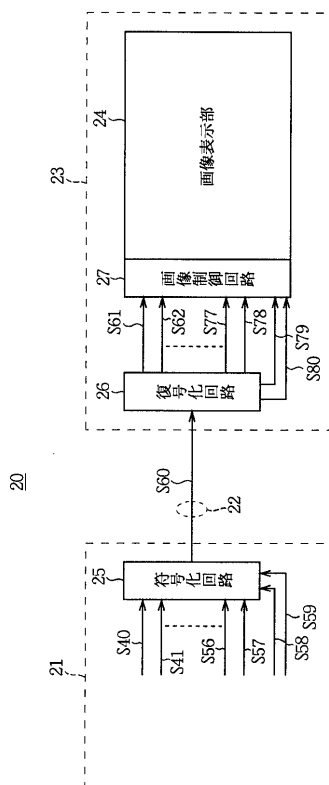


図 1 実施例による画像表示システム

【図 2】

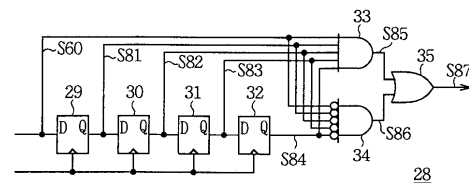


図 2 同期データ検出回路

【図 3】



図 3 画素毎の並列画像データ及び同期データのタイミング

【図 4】

元データ (3ビット)	データコード (4ビット)	TBL1
000	0010	
001	0011	
010	0101	
011	0110	
100	1001	
101	1010	
110	1011	
111	1100	

図4 変換表

【図 5】

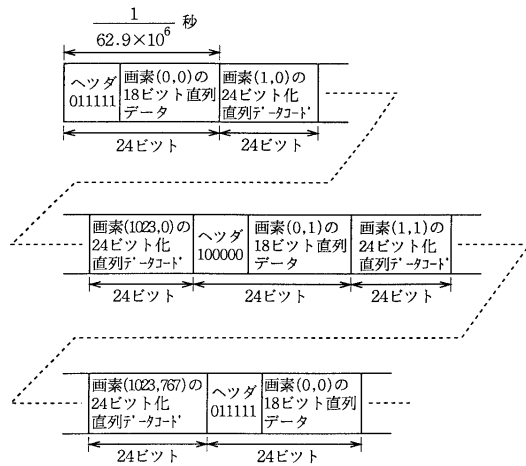


図5 直列画像データのデータ配列

【図 6】

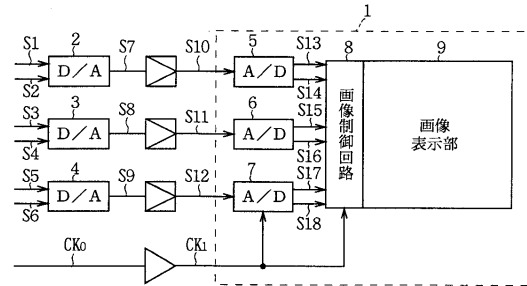


図6 従来の画像データ伝送方法

【図 7】

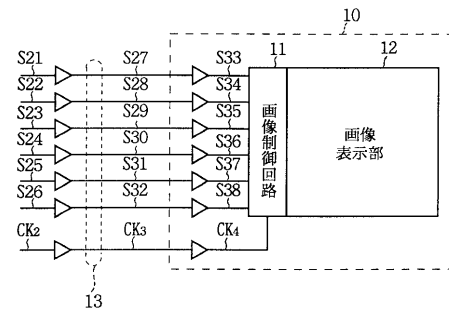


図7 従来の画像データ伝送方法

【図 8】

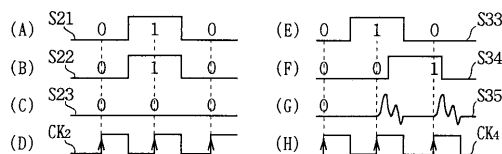


図8 並列伝送によるスキュー及びクロストーク

【図 9】

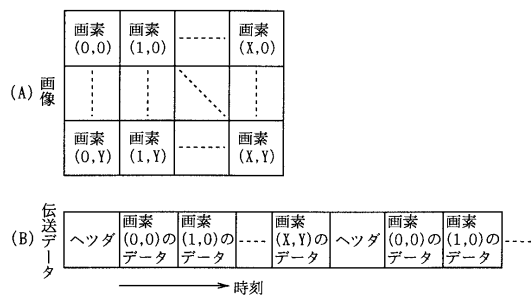


図9 画素配置及び従来の直列化による画像データの配列

フロントページの続き

- (56)参考文献 特開平04 - 113563 (JP, A)
特開平02 - 227880 (JP, A)
特開昭63 - 020920 (JP, A)
特開昭62 - 032737 (JP, A)
実開昭59 - 174758 (JP, U)

(58)調査した分野(Int.Cl.⁷, DB名)

H04N 7/00 - 7/088

H04N 7/12

H04N 7/24 - 7/68

H04L 7/00 - 7/10

H04L 25/00 - 25/66

H04M 3/00 - 11/00

JSTPlusファイル(JOIS)