I312463

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95114995

※ 申請日期：95.4.27　※IPC 分類：G06F12/00 (2006.01)

一、發明名稱：（中文/英文）

第一有效 NAND 指令之配置完成

CONFIGURATION FINALIZATION ON FIRST VALID NAND COMMAND

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

麥克隆科技公司

MICRON TECHNOLOGY, INC.

代表人：（中文/英文）

魯塞爾 D. 史利佛

SLIFER, RUSSELL D.

住居所或營業所地址：（中文/英文）

美國愛達華州 83716 波思市,南聯邦路 8000 號

8000 South Federal Way, Boise, Idaho 83716, U.S.A.

國　籍：（中文/英文）

美國 / USA

三、發明人：（共 1 人）

姓　名：（中文/英文）

法蘭基 F.　羅帕閥

ROOHPARVAR, FRANKIE F.

國　籍：（中文/英文）

美國 / USA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，

其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

美國、 2005.4.29、 11/119,321

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體上關於記憶體，更特別地，本發明關於一種記憶體電路之啟動配置。

【先前技術】

反及(NAND)元件越來越普及，並開始進入嵌入式的競爭領域。這類電路的電壓操作範圍正由典型的 3 伏特範圍朝向 1.8 伏特範圍擴展。針對那個操作區域，在積體電路或反及元件開始操作前先重置所有電路之開機重置(POR)電路必須在非常低的電壓下開始動作。因為處理程序及溫度的變化，這些電路的電壓行經點顯著地改變，在某些例子中甚至達到約 1 伏特的範圍。這個對於記憶體電路的可靠操作而言是非常低的。許多配置暫存器及其它構件需在電源啟動時進行設定，包含例如不限於冗餘熔絲、其它功能熔絲、或需在電源啟動時被偵測以改變該元件與外界通訊方式之接腳。

因這些類型的記憶體元件之電流消耗係非常低的，故熔絲的讀取又具有風險。在某些例子中，該電流消耗係低於一微安培。在非常低電壓下以非常低的電流讀取或配置這類電路係高度不可靠的，且可能引起許多潛在性地問題。

利用反及元件的問題之一係在於既然它們具有平均小於一微安培之非常低的功率消耗，當每個或近乎每個電路不需操作時則必須被關閉。再者，存在有接面漏電問題。

因為某些電路構件、節點及元件需在操作前先設定前置條件，而使每個電路關閉成為一個問題。

在典型電路中會遭遇到一些困難區域。內部熔絲是其中之一。在許多例子中，在電源啟動時讀取熔絲。一記憶體之內部熔絲被使用以設定該記憶體內部的電壓或其它條件。在電源啟動時利用反或(NOR)胞格技術以閂鎖器及雷同者來叫醒電路構件、節點及雷同者。在電源啟動或開機重置時，閂鎖器一側被下拉以反轉該閂鎖器。參考至第 1 圖，具有開機重置電路 102、以及程式(P)電路與抹除(E)電路 104 及 106 之閂鎖器 100 被顯示。用以輸入至該閂鎖器 100 之一輸入端係一程式輸入端，用以輸入至該閂鎖器之另一輸入端係一抹除輸入端。在使用第 1 圖之閂鎖器及電路之記憶體操作時，第 1 圖電路係可接受的。

然而，該開機重置必須夠低以使它決不會移動至該元件操作範圍。在最低 Vcc 範圍為 1.5 伏特之電路中，由於約為一伏特之十分之三至十分之四之固有處理程序變化及溫度變化，上述會進一步限制開機重置電壓。因此，為了維持開機重置位在操作電壓範圍外，開機重置必須被設定在 1 伏特左右。若元件之臨界電壓為高(於 0.8 至 0.9 伏特等級)，該開機重置電壓係非常接近元件導通時的電壓。使用開機重置來嘗試設定電壓及配置啟動條件與前置條件變得非常困難，因為即使處理程序限度只移動一小量，也可能無法讀取該些熔絲或電路。

在解決這些問題上，如第 2 圖所示，利用低操作電壓

之其它嘗試包含同時消除開機重置。然而，在反及元件中，既然反及係安排成方塊形式，一單胞格無法執行該工作。在這類配置中，一例如 64 個抹除胞格 64E(構件 202)及 64 個程式胞格 64P(構件 204)之小陣列被連接至一閂鎖器 200 之輸入端。若所有的程式設計為抹除程式設計，下降至零之閂鎖器那一側不應受到影響。也就是說，該 64 個抹除胞格會將該閂鎖器的一側下拉至 0，而該閂鎖器另一側理論上變高，因而沒有電流消耗。然而，若在該些胞格中任一者上即使只有一微小漏電，也會在一側拉出一定量的電流，其快速開始消耗 1 微安培左右之有限電流。

另一個收拾該些問題(尤指第 2 圖中的那些)的提案係示於第 3 圖，其中具有透過電阻器 306 及 308 來接地之墊片 302 及 304。若未有東西碰觸著該些墊片，它們兩者皆為低。然而，當該些墊片被堆疊時，其中一些可能在堆疊後被連接至 Vcc。若一墊片被迫轉成高，漏電問題仍舊存在，此係因為透過該電阻器感應出一電流而再次開始消耗該可利用之有限電流。

基於上述理由，以及對那些熟知此項技術之人士因閱讀及了解本說明書而變得顯而易見之下述理由，在此技術中需要一低電流消耗操作反及配置。

【發明內容】

上述元件配置問題及其它問題經由本發明而解決並將經由研讀下面說明書而了解。

在一實施例中，一種配置一記憶體元件之方法包含：

在電源啟動時開始一配置序列，辨識一對於該記憶體元件之第一有效指令，及辨識出該第一有效指令時終止該記憶體元件之配置。

在另一實施例中，一種初始化一反及元件之方法包含：於啟動操作中使用高電流配置電路，直到發出一有效指令為止，及當一有效指令被發出時，關閉該高電流配置電路。

在再一實施例中，一種在啟動期間提供額外電流至一記憶體元件之方法包含：在電源啟動下利用一大於一操作電流消耗位準之第一電流消耗位準開始一配置序列，辨識一對於該記憶體元件之第一有效指令，辨識出該第一有效指令時終止該記憶體元件於第一電流消耗位準之配置，及繼續利用該操作電流消耗位準來操作該記憶體元件。

在又一實施例中，一種操作一反及元件之方法包含：在該反及元件接收一電源啟動訊號，在一大於一第二操作電流消耗位準之第一啟動電流消耗位準下配置各元件構件之操作，監視至該反及元件之各新來的指令，及接收到一至該反及元件之第一有效指令時在該第二操作電流消耗位準下配置該些元件構件之操作。

在另一實施例中，一種用於一記憶體元件之電源啟動配置電路包含：一或(OR)閘，其連接至用於該記憶體元件之指令訊號，以及一閂鎖器，其具有連接至一用於該記憶體元件之電源啟動訊號之一第一輸入端，以在接收該電源啟動訊號時將一有效訊號鎖在一第一邏輯位準，及具有連接至該或閘輸出端之一第二輸入端，以在該或閘接收一第

一有效指令時將該有效訊號鎖在一第二互補性邏輯位準。

在又一實施例中，一種記憶體元件包含：一記憶體胞格陣列，用以讀、寫及抹除該些記憶體胞格之控制電路，用以鎖住位址輸入連線上所提供之位址訊號之位址電路，及用以啟動該記憶體元件中至少一節點所連接之一電源啟動配置電路。該電源啟動配置電路包含：一或閘，其連接至用於該記憶體元件之指令訊號，以及一閂鎖器，其具有連接至一用於該記憶體元件之電源啟動訊號之一第一輸入端，以在接收該電源啟動訊號時將一有效訊號鎖在一第一邏輯位準，及具有連接至該或閘輸出端之一第二輸入端，以在該或閘接收一第一有效指令時將該有效訊號鎖在一第二互補性邏輯位準。

在再一實施例中，一種處理系統包含：一處理器，及耦接至該處理器以儲存由該處理器所提供之資料並提供資料給該處理器之一記憶體元件。該記憶體元件包含一記憶體胞格陣列，用以讀、寫及抹除該些記憶體胞格之控制電路，用以鎖住位址輸入連線上所提供之位址訊號之位址電路，及用以啟動該記憶體元件中至少一節點所連接之一電源啟動配置電路，該電源啟動配置電路包含：一或閘，其連接至用於該記憶體元件之指令訊號，以及一閂鎖器，其具有連接至一用於該記憶體元件之電源啟動訊號之一第一輸入端，以在接收該電源啟動訊號時將一有效訊號鎖在一第一邏輯位準，及具有連接至該或閘輸出端之一第二輸入端，以在該或閘接收一第一有效指令時將該有效訊號鎖在

一第二互補性邏輯位準。

其它實施例被說明並申請專利範圍。

【實施方式】

在下列本發明詳細說明中，係參考構成本發明一部分之附圖，且其中舉例顯示可實現本發明之特定實施例。在該些圖式中，整個該些圖形的雷同編號實質上說明類似構件。這些實施例被相當詳細說明以使那些熟知此項技術之人士能實現本發明。其它實施例可被利用，且結構性、邏輯性及電性改變可被產生卻不偏離本發明範圍。

因此，下列詳細說明未被視為限制意圖，且本發明範圍只受所附上之申請專利範圍以及這類申請專利範圍所賦予之各等效者之全部範圍所定義。

本發明實施例允許在電源啟動時使用高電流配置電路，並在偵測到一至該系統之第一有效指令時終止這些電流消耗電路之高電流操作。電流消耗規格未規定或典型地限制有效操作開始之前一啟動模式中的可用電流量。因此，該電流備用規格係未受到本發明方法及電路實施例所危害。本發明實施例之優勢包含對於在電源啟動時需要偵測之電路提供更可靠的電路配置。

本發明實施例將一第一有效指令使用於該電路來終止該些電路之配置，以取代使用一開機重置訊號。這個達成二件事情。第一，有效指令只在電壓為有效時才被發出，上述可使電路操作非常可靠。第二，一高很多的電流可在電源啟動期間被指定給這類電路。接著，依據該第一有效

指令，該高電流消耗被關閉。因為電流消耗規格未規定該操作模式，故該系統未注意到電源啟動時的額外電流。為了高電流操作而引出之電流不會過多。然而，設定這些電流之值係較一般操作所引出之例如一微安培之電流值高，但不致於高到影響系統操作。

在該些實施例之一電路電源啟動時，一閂鎖器被設定為一第一邏輯值(使之有效)。該有效訊號之第一邏輯值係指示所有電路可進入啟動模式，用以引出所指定之電流，即使該些電流超過一般操作中的可用電流亦然。針對任何有效指令來監視該電路之指令線，並在接收到任何有效指令時設定該閂鎖器為一互補性邏輯訊號，以改變該有效訊號之邏輯狀態。當上述發生時，操作於一啟動模式中而引出超額電流之電路被指示在一般操作電流下操作。

有許多方式可決定何時接收到一有效訊號。到達一記憶體元件之典型指令係具有一確認之多重循環指令。一控制器可決定何謂有效指令，例如，利用一指令應出現形式之認知來決定。基於本發明實施例之目的，一控制器或雷同者可決定何時接收到一有效指令，並以一高邏輯訊號形式發出指示一有效指令之訊號給如底下所述之電源啟動配置電路。應了解，若該電源啟動配置電路之邏輯被改變，則其它訊號可被使用，而且這類改變係落在本發明範圍內。此時，既然一有效指令已被呈現，一有效 Vcc 係同時出現，並發生低電流消耗之一般操作。

在一實施例中，為了決定何時接收到一有效指令，來

例如一記憶體或雷同者之電路中各種構件之啟動程序。第4A圖顯示例如第4圖之電源啟動配置電路400所產生之一有效訊號狀態。在本實施例中，有效訊號在收到一啟動訊號時被鎖定為高，並維持在高直到接收到一第一有效指令為止。當第一有效指令被接收時，該有效訊號下降，且一般操作電流下之操作開始執行。應了解，二互補性邏輯狀態間之任何切換為收到一第一有效指令之可接受指示，且使用一不同組的邏輯狀態組係落在熟知此項技術之人士所知之範圍內，因此也落在本發明範圍內。

有效指令只在該處理系統已決定有效指令可被送出時才被送出，上述典型地依據至該系統之供應電壓強度之評量而定，或依據來自開機重置電路指示著一充足的操作電壓已到達而定。接收到第一有效指令時，該系統供應一充足的供應電壓 Vcc，且可開始實際的資料操作。直到那時之前，該系統係處於電源啟動模式中，且只要系統操作未受額外電流引取影響且該電源供應不吃緊，該電流規格未規定有多少電流被消耗之電流引取上之限制。在該些啟動操作期間，引出 10 至 20 微安培等級之電流而不影響電路操作係可行的。因此，必須啟動許多構件並設定一定的前置條件之啟動電路可使用越來越高的電流，直到發出該第一有效指令為止。

因此，一有效指令被接收的該第一時間係在該系統上的該電源係真正地有效時。該控制器決定有充足且穩定之供應電壓後，該控制器開始送出 活動(live)指令。那時且

只有在那時才開始實際資料之鎖住操作。接收到第一有效指令時，該系統係處在一充足電壓下，且當該電流規格規定有關電流消耗之限制時，額外電流引取就被終止。在本方式中，該系統不需依賴不可靠的1伏特開機重置電路。

第5圖係本發明一實施例之例如快閃記憶體元件之記憶體元件500之功能性方塊圖，其係耦接至一處理器510。該記憶體元件500及該處理器510可構成部分電子系統520。該記憶體元件500已被簡化以聚焦在有助於了解本發明之記憶體特徵。該記憶體元件包含一記憶體胞格陣列530。該記憶體陣列530被安排成行列形式之排組。

提供一位址緩衝電路540以鎖住位址輸入連線A0-Ax 542上所提供之位址訊號。位址訊號由一列解碼器544及一行解碼器546接收並進行解碼以存取該記憶體陣列530。那些熟知此項技術之人士會理解本說明書之好處在於該些位址輸入連線的數量視該記憶體陣列之密度及架構而定。也就是說，該些位址的數量隨著記憶體胞格數及排組及方塊數兩者之增加而增加。

該記憶體元件使用感測/閂鎖電路550來感測該記憶體陣列各行之電壓或電流變化，以讀取該陣列530中之資料。在一實施例中，該感測/閂鎖電路被耦接以讀取並鎖住來自該記憶體陣列之資料列。包含資料輸入及輸出緩衝電路560以透過複數個資料(DQ)連線562與該處理器510進行雙向資料通訊，並被連接至寫入電路555及讀取/閂鎖電路550以對該記憶體500執行讀取及寫入操作。

指令控制電路 570 解碼由該處理器 510 所提供於各控制連線 572 上之訊號。這些訊號被使用以控制該記憶體陣列 530 上之操作，包含資料讀取、資料寫入及抹除操作。一類比電壓及電流供應器 580 被連接至控制電路 570、列解碼器 544、寫入電路 555 及讀取/閂鎖電路 550。在一快閃記憶體元件中，由於操作一快閃記憶體需要內部高電壓，故類比電壓及電流供應器 580 係重要的。該快閃記憶體元件已被簡化以協助對該記憶體特徵之一基本了解。快閃記憶體之內部電路及功能之更詳細了解對於那些熟知此項技術之人士而言為已知。

所示之一啟動電路 571 係連接至控制電路 570、位址電路 540、及類比電壓及電流供應器 580。該啟動電路 570 被使用於各種實施例之記憶體元件及包含處理器 510 之處理系統中，以啟動該記憶體元件或該系統內部電路之各種節點。應了解，需被啟動之這類記憶體元件或處理系統中之任何電路或節點可以本發明實施例來啟動，且在不是所有連線被顯示下，這類連線及本發明啟動電路實施例之使用係落在本發明範圍內。也應了解，在一般性記憶體元件被顯示下，本發明啟動電路實施例可與許多積體電路及包含但不限於動態隨機存取記憶體(DRAM)、同步式動態隨機存取記憶體、快閃記憶體及雷同者之其它記憶體元件配合使用。

例如第 4 圖所示電路 400 之電源啟動配置電路被連接至該啟動電路 571，以提供它的有效訊號給啟動電路 571。

電源啟動配置電路也被連接以透過控制電路 570 自指令線 572 接收指示。當自該處理器接收一電源啟動訊號或該控制電路產生一電源啟動訊號時，該電源啟動訊號被提供至電源啟動配置電路 400 以如上述般地操作，以沿著線路 573 傳送它的有效訊號至啟動電路 571，以開始在較一般操作電流還高之電流下之電源啟動操作。電源啟動配置電路 400 監視透過控制電路 570 所接收之指令，並於接收到第一有效指令時沿著線路 573 傳送它的有效訊號。另外，該有效訊號亦可改為透過控制電路 570 來提供，其根據來自電源啟動配置電路 400 之有效訊號狀態來發出指令至啟動電路 571 及其餘系統構件。

結論

電源啟動配置方法及電路已被說明，其包含在電源啟動時使用額外電源來配置一記憶體元件，直到收到一有效指令為止。本發明之實施例監視所接收之指令，並允許在電源啟動期間有較操作電流消耗還高之電流消耗，直到收到一有效指令為止。

雖然各特定實施例已在此被示範並說明，那些熟知此項技術之人士應理解，為了達到相同目的所計算之任何配置可取代所示之特定實施例。本案係想要涵蓋本發明各種調適例或變化例。因此，顯然地意圖使本發明只受到申請專利範圍及其等效者所限制。

【圖式簡單說明】

第 1 圖係一典型開機重置配置之方塊圖。

第 2 圖係一具有程式胞格方塊及抹除胞格方塊之開機重置配置之方塊圖。

第 3 圖係一具有墊片之開機重置配置之方塊圖。

第 4 圖係根據本發明一實施例之電源啟動配置之方塊圖。

第 4A 圖係顯示由第 4 圖實施例所產生之一有效訊號之狀態圖。

第 5 圖係根據本發明另一實施例之記憶體元件及處理器之方塊圖。

【主要元件符號說明】

100、200、408	閂鎖器
102	開機重置電路
104	程式電路
106	抹除電路
202	抹除胞格
204	程式胞格
302、304	墊片
306、308	電阻器
400	電源啟動配置電路
402	指令線
404	或閘
500	記憶體元件
510	處理器
520	電子系統

530	記憶體胞格陣列
540	位址緩衝電路
542	位址輸入連線
544	列解碼器
546	行解碼器
550	讀取/閂鎖電路
555	寫入電路
560	資料輸入及輸出緩衝電路
562	資料連線
570	指令控制電路
571	啟動電路
572	控制連線
573	線路
580	類比電壓及電流供應器

五、中文發明摘要：

一種允許一低操作電壓記憶體元件(例如反及元件)之啟動程序消耗高電流之啟動方法及電路，直到接收一對此記憶元件的有效指令為止。接收到一有效指令時，結束在該高電流消耗下之啟動功能，並開始一般操作而不需在重置電路上使用一不可靠的低電壓電源。

六、英文發明摘要：

A startup method and circuit to allow high current consumption for startup processes of a low operating voltage memory device such as a NAND device until the receipt of a valid command to the memory device. Upon receipt of a valid command, startup functions are ceased at the high current consumption, and normal operation begins without the need for using an unreliable low voltage power on reset circuit.

七、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明:

400~電源啟動配置電路

402~指令線

404~或閘

408~閂鎖器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

98年4月30日修正替換頁

自一控制器並指示著指令線上的訊號之所有指令線或訊號係結合於一或閘。當該或閘變高以指示一有效指令時，該有效閂鎖器被設定為與其第一邏輯值互補之第二邏輯值，且用以引出超過一般操作電流之啟動電路被切換至一般操作電流條件，或於不需要一般操作時被完全地關閉。執行上述操作以取代使用一開機重置訊號來鎖住該些程式及抹除胞格，並於一有限電流消耗未被用於電源啟動時之電流消耗之規格所規定時允許額外電流之消耗。

參考至第 4 圖，根據本發明一實施例 400 顯示一電源啟動配置。該電源啟動配置 400 之指令線 402(或指示該些指令線上之指令之訊號)係結合於一或閘 404。或閘 404 及一電源啟動初始化訊號被提供至閂鎖器 408。在電源啟動時，也就是在接收到該電源啟動訊號時，該閂鎖器 408 被設定為第一邏輯狀態。來自閂鎖器 408 之第一邏輯狀態有效訊號被提供至需在啟動期間先設定前置條件或啟動之高電流消耗啟動電路。當該或閘 404 指示一有效指令被接收到時，閂鎖器 408 被翻轉以切換該有效訊號至第二互補性邏輯狀態。當該有效訊號變成第二邏輯狀態時，若是該高電流消耗啟動電路不需要用於一般操作，則該高電流消耗啟動電路被關閉，或者，若是被使用於一般操作，則切換至低電流消耗，並開始鎖住實際資料。該有效訊號係提供於各實施例中以控制一記憶體電路，以使需前置條件之電路或其它高電流操作係可接受之電路使用額外電流。另外，該有效訊號亦可改為直接提供給一啟動電路，其控制

98年4月30日修正替換頁

十、申請專利範圍：

1.一種配置一記憶體元件之方法，包括：

在電源啟動時開始一配置序列，包括開始於一大於一操作電流消耗位準之第一電流消耗位準；

辨識一對於該記憶體元件之第一有效指令；及

在辨識出該第一有效指令時終止該記憶體元件之配置。

2.根據申請專利範圍第1項之方法，其中，辨識一第一有效指令步驟包括：

結合所有指令線至一或閘(OR)電路中；及

為了一有效指令訊號而監視該或閘電路。

3.根據申請專利範圍第1項之方法，其中，在電源啟動時開始配置步驟包括：

在該第一有效指令之前消耗超過一操作電流之電流。

4.根據申請專利範圍第3項之方法，其中，終止配置步驟又包括：

在接收到第一有效指令時關閉超額電流消耗。

5.根據申請專利範圍第1項之方法，其中，該記憶體元件係一反及(NAND)元件。

6.根據申請專利範圍第1項之方法，其中，

開始一配置序列包括於電源啟動操作中使用高電流配置電路，直到發出一有效指令為止。

7.根據申請專利範圍第6項之方法，其中，終止一配置步驟又包括：

98年4月30日修正替換頁

當一有效指令被發出時，關閉該高電流配置電路。

8.根據申請專利範圍第6項之方法，其中，決定何時一有效指令被發出步驟包括：

結合指令訊號至一或閘中。

9.根據申請專利範圍第6項之方法，又包括：

當高電流消耗係可被接受時，設定一有效訊號為一第一邏輯位準；及

當高電流消耗係不被接受時，設定該有效訊號為一互補的第二邏輯位準。

10.根據申請專利範圍第9項之方法，又包括：

使用一閂鎖器來提供該有效訊號。

11.根據申請專利範圍第1項之方法，其中，終止該記憶體元件之配置步驟包括在辨識出該第一有效指令時終止在該第一電流消耗位準之配置；且該方法又包括：

以該操作電流消耗位準繼續該記憶體元件之操作。

12.根據申請專利範圍第1項之方法，又包括：

在電源啟動時以一大於一操作電流消耗位準之第一電流消耗位準開始一配置序列；

在辨識出該第一有效指令時終止在該第一電流消耗位準之記憶體元件配置；及

以該操作電流消耗位準繼續該記憶體元件之操作。

13.根據申請專利範圍第1項之方法，其中，辨識一第一有效指令包括：

結合所有指令線至一或閘電路中；及

98年4月30日修正替換頁

為了一來自複數個指令中任一個之有效指令而監視該或閘電路。

14.根據申請專利範圍第13項之方法，又包括：

當第一電流消耗係可被接受時，發出一有效訊號；及

當第一電流消耗係不被接受時，終止該有效訊號。

15.根據申請專利範圍第1項之方法，其中，開始一配置序列步驟又包括：

於一反及元件接收一電源啟動訊號；及

在大於一第二操作電流消耗位準之一第一啟動電源消耗位準下配置該元件的各構件之操作。

16.根據申請專利範圍第15項之方法，其中，終止配置步驟又包括：

監視至該反及元件之新來的指令；及

在接收到一至該反及元件之第一有效指令時在該第二操作電流消耗位準下配置該些元件構件之操作。

17.根據申請專利範圍第15項之方法，其中，辨識一第一有效指令步驟包括：

結合所有新來的指令至一或閘電路中；及

為了一來自該些新來指令中任一個之有效指令而監視該或閘電路。

18.根據申請專利範圍第15項之方法，其中，以一第一電流消耗位準配置該些元件構件操作之步驟包括在接收到電源啟動訊號時設定一閂鎖器為一第一邏輯位準。

19.根據申請專利範圍第18項之方法，其中，以該第二

電流消耗位準配置該些元件構件操作之步驟包括在接收到第一有效指令時設定該閂鎖器為一第二互補性邏輯位準。

20.根據申請專利範圍第6項之方法，其中，開始一配置序列步驟又包括：

在接收一初始化訊號時將一第一邏輯位準之有效訊號鎖至一閂鎖器中；及

以一第一高電流消耗位準來操作記憶體元件構件，以回應該第一邏輯位準之有效訊號。

21.根據申請專利範圍第20項之方法，其中，該終止步驟又包括：

為了一有效指令而監視至該記憶體元件之所有新來指令線；

在接收到一有效指令時鎖住一第二互補性邏輯位準之有效訊號至該閂鎖器中；及

以一第二操作電流消耗位準來操作記憶體元件構件，以回應該第二邏輯位準之有效訊號。

22.根據申請專利範圍第21項之方法，其中，監視所有新來指令線包括：

結合所有新來的指令至一或閘電路中。

23.一種用於一記憶體元件之電源啟動配置電路，包括：

一或閘，其連接至用於該記憶體元件之複數個指令訊號；以及

一閂鎖器，其具有連接至一用於該記憶體元件之電源啟動訊號之一第一輸入端，以在接收該電源啟動訊號時將

一有效訊號鎖在一第一邏輯位準，並具有連接至該或閘輸出端之一第二輸入端，以在該或閘接收到一第一有效指令時將該有效訊號鎖在一第二互補性邏輯位準；

一控制電路，以在該有效訊號係在該第一邏輯位準時監視該閂鎖器輸出，以允許額外電流引入該記憶體元件。

24.根據申請專利範圍第23項之電源啟動配置電路，其中，該電路配置於一記憶體元件，該記憶體元件具有：一記憶體胞格陣列，用以讀、寫及抹除該些記憶體胞格之控制電路，用以鎖住位址輸入連線上所提供之位址訊號之位址電路，及該電源啟動配置電路被連接以啟動該記憶體元件中至少一節點。

25.根據申請專利範圍第23項之電源啟動配置電路，其中，該電路配置於一處理系統，該系統具有：一處理器及耦接至該處理器以儲存由該處理器所提供之資料並提供資料給該處理器之一記憶體元件；該記憶體元件包含：一記憶體胞格陣列，用以讀、寫及抹除該些記憶體胞格之控制電路，用以鎖住位址輸入連線上所提供之位址訊號之位址電路，及該電源啟動配置電路被連接以啟動該記憶體元件中至少一節點。

26.根據申請專利範圍第23至25項任一項之電源啟動配置電路，其中，該記憶體元件係一反及元件。

27.根據申請專利範圍第24或25項之電源啟動配置電路，又包括：

控制電路，以在該有效訊號係在該第一邏輯位準時監

98年4月30日修正替換頁

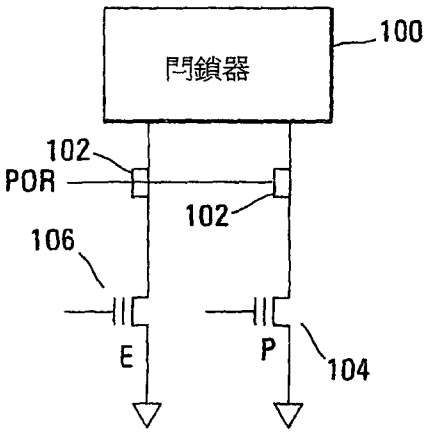
視該閂鎖器輸出，以允許額外電流引入該記憶體元件。

十一、圖式：

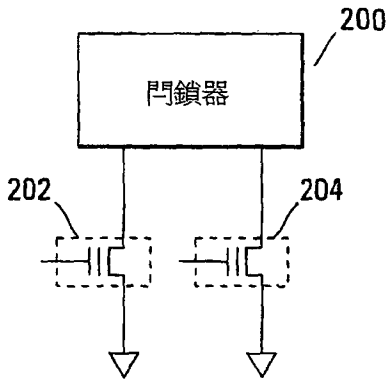
如次頁

98年4月3日修正替換頁

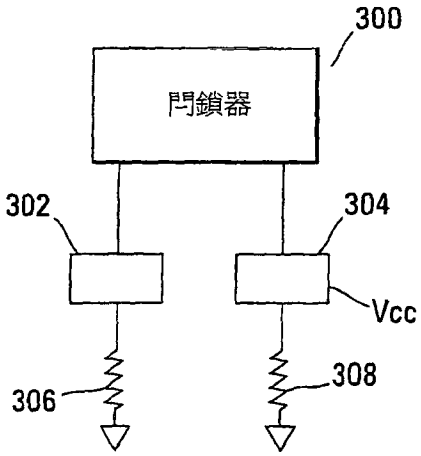
第 1 圖

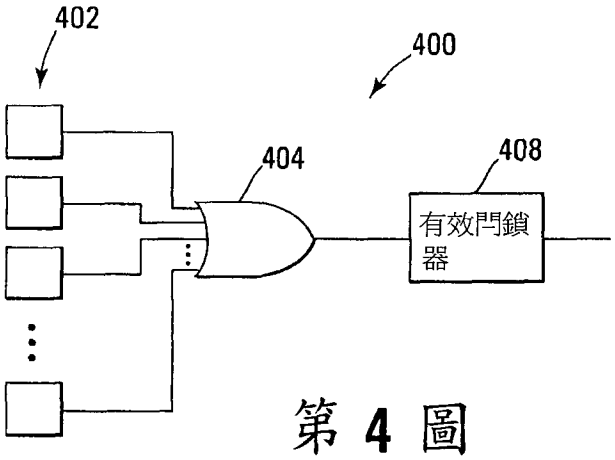


第 2 圖

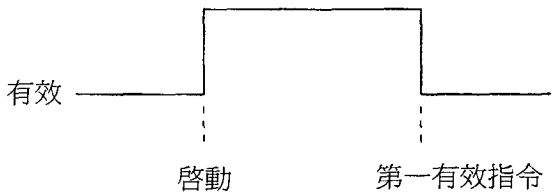


第 3 圖

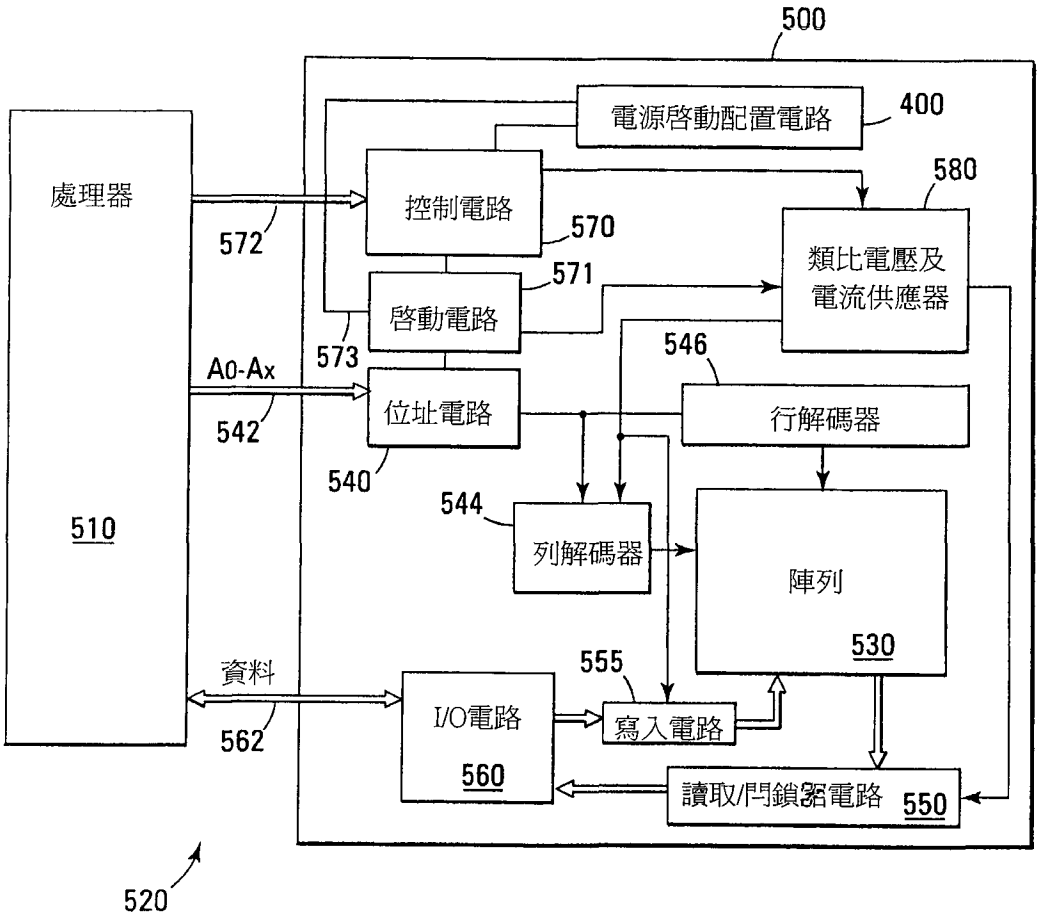




第 4 圖



第 4A 圖


500
電源啓動配置電路
400
處理器
控制電路
580
572
570
類比電壓及
電流供應器
571
啓動電路
573
546
A0-Ax
位址電路
行解碼器
542
540
544
510
列解碼器
陣列
530
資料
555
I/O電路
560
寫入電路
562
讀取/閂鎖器電路
550
520

第 5 圖