

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年10月20日(2005.10.20)

【公開番号】特開2003-288062(P2003-288062A)

【公開日】平成15年10月10日(2003.10.10)

【出願番号】特願2003-12351(P2003-12351)

【国際特許分類第7版】

G 09 G 3/36

G 02 F 1/133

G 09 G 3/20

【F I】

G 09 G 3/36

G 02 F 1/133 5 5 0

G 09 G 3/20 6 2 1 L

G 09 G 3/20 6 2 3 R

G 09 G 3/20 6 4 2 E

【手続補正書】

【提出日】平成17年6月24日(2005.6.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】制御信号生成回路、データ線駆動回路、素子基板、電気光学装置、及び電子機器

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

サンプリング信号線を介して供給されるサンプリング信号に基づいて、走査線を介して画素に供給される走査信号またはデータ線を介して画素に供給されるデータ信号の送出を制御する制御信号を出力する制御信号生成回路であって、

第1の端子と第2の端子とを備え、前記第1の端子と前記第2の端子との間に容量が形成される容量素子であって、前記サンプリング信号線に前記第1の端子が接続された容量素子と、

前記第2の端子に接続された第1のスイッチング素子と、を含み、

前記サンプリング信号線を介して供給される前記第1の端子に供給されるサンプリング信号に応答して前記第2の端子に接続された出力端から電圧信号が出力され、当該電圧信号が前記制御信号あるいは前記電圧信号が加工されて前記制御信号として用いられること、

を特徴とする制御信号生成回路。

【請求項2】

請求項2に記載の制御信号生成回路において、

前記第2の端子に接続され、第1の電源線と前記第2の端子との電気的な接続を制御する第1のスイッチング素子をさらに備えていること、

を特徴とする制御信号生成回路。

【請求項 3】

請求項 2 に記載の制御信号生成回路において、  
前記第 2 の端子に接続された、前記第 2 の端子と第 2 の電源線との電気的な接続を制御する第 2 のスイッチング素子をさらに備えていること、  
を特徴とする制御信号生成回路。

【請求項 4】

請求項 2 に記載の制御信号生成回路において、  
前記第 1 のスイッチング素子は、前記第 1 の電源線と前記第 2 の端子とを電気的に接続することにより前記第 2 の端子の電位を所定電位に設定し、  
前記第 1 の端子に前記サンプリング信号が供給されている期間は、前記第 1 の電源線と前記第 2 の端子とを電気的に切断すること、  
を特徴とする制御信号生成回路。

【請求項 5】

請求項 3 に記載の制御信号生成回路において、  
前記第 1 のスイッチング素子及び前記第 2 のスイッチング素子は、当該サンプリング信号線とは異なる、隣接するサンプリング信号線を介して供給されるサンプリング信号によって制御されること、  
を特徴とする制御信号生成回路。

【請求項 6】

請求項 1 乃至 4 のいずれかに記載の制御信号生成回路において、  
前記容量素子の前記第 2 の端子は、バッファ回路に接続されていること、を特徴とする制御信号生成回路。

【請求項 7】

請求項 3 に記載の制御信号生成回路において、  
前記第 1 の電源線の電位は、前記第 2 の電源線の電位とは異なる電位に設定されていること、  
を特徴とする制御信号生成回路。

【請求項 8】

前記サンプリング信号線の各々に対して設けられた請求項  
13 乃至 19 のいずれかに記載の制御信号生成回路と、  
前記サンプリング信号の出力のタイミングを制御するシフトレジスタと、  
前記制御信号生成回路の出力によって制御される少なくとも 1 つのスイッチング素子と、  
を備えたこと、  
を特徴とするデータ線駆動回路。

【請求項 9】

データ線と走査線との交差部に対応して配設された画素回路に画像信号を前記データ線を介して前記画素回路に供給するデータ線駆動回路であって、  
サンプリング信号線を介して供給されるサンプリング信号の出力を制御するシフトレジスタと、

第 1 の端子と第 2 の端子とを備え、前記第 1 の端子と前記第 2 の端子との間に容量が形成された容量素子であって、前記サンプリング信号線に前記第 1 の端子が接続された容量素子と、

画像信号を伝送する画像信号線と、

前記サンプリング信号線を介して供給される前記第 1 の端子に供給されるサンプリング信号に応答して前記第 2 の端子に接続された出力部から出力された制御信号により、制御されるスイッチング素子と、を含み、

前記スイッチング素子は、前記制御信号が供給されて前記スイッチング素子がオン状態となることにより、前記画像信号線に伝送された画像信号を前記スイッチング素子を介し

て前記データ線に送出すること、を特徴とするデータ線駆動回路。

【請求項 10】

請求項 9 に記載のデータ線駆動回路において、

前記制御信号は、前記サンプリング信号が前記第1の端子に供給されている期間のみ出力されること、

を特徴とするデータ線駆動回路。

【請求項 11】

請求項 9 または 10 に記載のデータ線駆動回路において、

前記出力部は、前記第2の端子に接続されたバッファ回路を含み、

前記バッファ回路は前記第1の端子に前記サンプリング信号が供給されている期間における前記第2の端子の電位を前記バッファ回路の入力とした場合の出力と、

前記サンプリング信号が前記第1の端子に供給されていない期間における前記第2の端子の電位を前記バッファ回路の入力した場合の前記バッファ回路の出力と、は互いに異なっていること、

を特徴とするデータ線駆動回路。

【請求項 12】

請求項 11 に記載のデータ線駆動回路において、

前記バッファ回路は、前記第2の端子に接続されたインバータ回路を含み、

前記インバータ回路のインバータ中心の電位は、

前記サンプリング信号が前記第1の端子に供給されている期間の前記第2の端子の電位と、

前記サンプリング信号が前記第1の端子に供給されていない期間の前記第2の端子の電位と、の間の電位に設定されていること、

を特徴とするデータ線駆動回路。

【請求項 13】

基板と、

前記基板上に形成された走査線と、

前記基板上に形成された画素回路と、

前記走査線を介して走査信号を前記画素回路に供給する、前記基板上に形成された走査線駆動回路と、

請求項 9 乃至 12 のいずれかに記載のデータ線駆動回路であって、前記基板上に形成されたデータ線駆動回路と、

前記データ線駆動回路から出力された画像信号を前記画素回路に供給する、前記基板上に形成されたデータ線と、を備えたこと、

を特徴とする素子基板。

【請求項 14】

電気光学素子と、

前記電気光学素子を駆動する画素回路と、

走査線と、

前記走査線を介して走査信号を前記画素回路に供給する走査線駆動回路と、

請求項 9 乃至 12 のいずれかに記載のデータ線駆動回路と、

前記データ線駆動回路から出力された画像信号を前記画素回路に供給するデータ線と、を備えたこと、

を特徴とする電気光学装置。

【請求項 15】

請求項 14 に記載の電気光学装置を備えることを特徴とする電子機器。

【請求項 16】

走査線を介して画素に供給される走査信号またはデータ線を介して画素に供給されるデータ信号の送出を制御する制御信号を出力する制御信号生成回路であって、

前記制御信号は、信号変換部の第1の端子及び第2の端子に入力された信号に基づいて

生成し、

前記第1の端子には第1のサンプリング信号線が接続され、前記第1の端子の電圧は前記第1のサンプリング信号を介して供給される第1のサンプリング信号により制御され、

前記第2の端子の電位は前記第1のサンプリング信号線とは異なる第2のサンプリング信号線を介して供給される第2のサンプリング信号によって制御されること、

を特徴とする制御信号生成回路。