

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6542263号

(P6542263)

(45) 発行日 令和1年7月10日 (2019.7.10)

(24) 登録日 令和1年6月21日 (2019.6.21)

(51) Int. Cl. F I
HO 3M 1/78 (2006.01) HO 3M 1/78
HO 3M 1/68 (2006.01) HO 3M 1/68

請求項の数 11 (全 26 頁)

(21) 出願番号	特願2016-569747 (P2016-569747)	(73) 特許権者	595020643
(86) (22) 出願日	平成27年5月6日 (2015.5.6)		クォアルコム・インコーポレイテッド
(65) 公表番号	特表2017-520172 (P2017-520172A)		QUALCOMM INCORPORATED
(43) 公表日	平成29年7月20日 (2017.7.20)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2015/029535		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02015/183496		ハウス・ドライブ 5775
(87) 国際公開日	平成27年12月3日 (2015.12.3)	(74) 代理人	100108855
審査請求日	平成30年4月10日 (2018.4.10)		弁理士 蔵田 昌俊
(31) 優先権主張番号	62/003,497	(74) 代理人	100109830
(32) 優先日	平成26年5月27日 (2014.5.27)		弁理士 福原 淑弘
(33) 優先権主張国	米国 (US)	(74) 代理人	100158805
(31) 優先権主張番号	14/493,254		弁理士 井関 守三
(32) 優先日	平成26年9月22日 (2014.9.22)	(74) 代理人	100112807
(33) 優先権主張国	米国 (US)		弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 低グリッチノイズのセグメント型DAC用のハイブリッドR-2R構造

(57) 【特許請求の範囲】

【請求項1】

Nビットデジタルアナログコンバータ (DAC) であって、

前記DACのM個の最上位ビットに関連付けられる $(2^M - 1)$ 個の並列段と、前記 $(2^M - 1)$ 個の並列段の各段は、第1の電流を生成するように、また、差分データにตอบสนองしてスイッチの第1の対を介して前記DACの1対の電流加算ノードに前記第1の電流を供給するように構成される、

前記DACの $(N - M)$ 個の最下位ビットに関連付けられる $(N - M)$ 個の段と、前記 $(N - M)$ 個の段の各段は、抵抗ネットワークとスイッチの第2の対とを備え、前記 $(N - M)$ 個の段の各段は、第2の電流を生成するように、また、差分データにตอบสนองしてスイッチの前記第2の対を介して前記段の前記抵抗ネットワークに前記第2の電流を供給するように構成され、前記 $(N - M)$ 個の段の各段は、前記段の前記抵抗ネットワークの第1の抵抗素子と並列に結合された第1の容量素子と、前記段の前記抵抗ネットワークの第2の抵抗素子と並列に結合された第2の容量素子とを備え、ここにおいて、前記 $(N - M)$ 個の段の各々の前記第1および第2の容量素子は、前記DACの集積チップ (IC) レイアウト上で、前記 $(N - M)$ 個の段の前記各々の前記第1および第2の抵抗素子と前記 $(N - M)$ 個の段のうちの隣接する1つの前記第1および第2の抵抗素子との間に位置する、各抵抗ネットワークは、前記抵抗ネットワークに対応する段のバイナリ重みに従って、前記それぞれ供給された電流をスケールリングするように、また、前記1対の電流加算ノードに前記スケールリングされた電流を供給するように構成される、

10

20

を備え、

前記 (N-M) 個の段のうちの少なくとも 1 つが前記 N ビット D A C のすべての残りの段から分離される

N ビット D A C。

【請求項 2】

前記 (N-M) 個の段の各段は、

前記第 1 の容量素子および前記第 1 の抵抗素子と直列をなす第 3 の抵抗素子と、

前記第 2 の容量素子および前記第 2 の抵抗素子と直列をなす第 4 の抵抗素子と

をさらに備える、請求項 1 に記載の N ビット D A C。

【請求項 3】

それぞれの (N-M) 個の段の前記抵抗ネットワークは、それぞれのインピーダンスを有する、請求項 1 に記載の N ビット D A C。

【請求項 4】

前記 1 対の電流加算ノードに結合された差動増幅器を備えるインピーダンス減衰器をさらに備え、前記インピーダンス減衰器は、前記電流加算ノードの各ノードのインピーダンスを維持するように、また、前記差動増幅器の利得によって規定される範囲内に前記電流加算ノード間の電圧差を維持するように構成される、請求項 1 に記載の N ビット D A C。

【請求項 5】

スイッチの前記第 2 の対は M O S トランジスタを備え、

ここにおいて、前記 (N-M) 個の段のうちの 1 つの前記容量素子はそれぞれ、前記 M O S トランジスタの各々のドレイン基板間キャパシタンスの実質的に 2 倍であるキャパシタンスを有する、請求項 1 に記載の N ビット D A C。

【請求項 6】

それぞれの (N-M) 個の段は、前記 D A C の集積チップ (I C) レイアウト上でそれぞれの前記容量素子によって、隣接する (N-M) 個の段から分離されている、請求項 1 に記載の N ビット D A C。

【請求項 7】

前記 (N-M) 個の段のうちの (N-M) 番目の段の前記容量素子は、前記 D A C の集積チップ (I C) レイアウト上で前記 (N-M) 個の段のうちの (N-M-1) 番目の段から前記 (N-M) 番目の段を分離し、前記 (N-M) 番目の段は N 番目のビットに対応する、請求項 1 に記載の N ビット D A C。

【請求項 8】

前記 (2^M-1) 個および (N-M) 個の段に対応するスイッチドライバをさらに備え、

ここにおいて、前記スイッチおよびスイッチドライバは、前記 (2^M-1) 個の段に対応するグリッチノイズを前記 (N-M) 個の段に対応するグリッチノイズに整合させるようにスケーリングされる、請求項 1 に記載の N ビット D A C。

【請求項 9】

N ビットデジタル信号をアナログ信号に変換する方法であって、

前記デジタル信号の M 個の最上位ビットに関連付けられる (2^M-1) 個の並列段の各段において第 1 の電流を生成することと、

差分データにตอบสนองしてスイッチの第 1 の対を介して 1 対の電流加算ノードに前記第 1 の電流の各々を供給することと、

前記デジタル信号の (N-M) 個の最下位ビットに関連付けられる (N-M) 個の段の各段において第 2 の電流を生成することと、前記 (N-M) 個の段のうちの少なくとも 1 つは N ビット D A C のすべての残りの段から分離される、

差分データにตอบสนองしてスイッチの第 2 の対を介して (N-M) 個の抵抗ネットワークの各ネットワークに、その関連する段において生成された前記第 2 の電流を供給することと、各ネットワークは前記 (N-M) 個の段の各々に関連付けられ、前記 (N-M) 個のネットワークの各ネットワークごとに、第 1 の容量素子が、前記抵抗ネットワークの第 1 の

10

20

30

40

50

抵抗素子と並列に結合され、第2の容量素子が、前記抵抗ネットワークの第2の抵抗素子と並列に結合され、ここにおいて、前記(N-M)個の段の各々の前記第1および第2の容量素子は、前記NビットDACの集積チップ(IC)レイアウト上で、前記(N-M)個の段の前記各々の前記第1および第2の抵抗素子と前記(N-M)個の段のうちの隣接する1つの前記第1および第2の抵抗素子との間にある、

前記抵抗ネットワークに対応する段のバイナリ重みに従って、前記それぞれ供給された電流をスケールリングすることと、

前記1対の電流加算ノードに前記スケールリングされた電流を供給することと、

利得値によって規定される範囲内に前記1対の電流加算ノードの各ノードのインピーダンスを維持することと、

10

前記利得値によって規定される範囲内に前記電流加算ノード間の電圧差を維持することと、前記1対の電流加算ノードの異なるノードに供給される前記スケールリングされた電流の差が、前記アナログ信号の値を規定する、

を備える方法。

【請求項10】

前記(N-M)個のネットワークの各ネットワークごとに、

第3の抵抗素子が、前記第1の容量素子および前記第1の抵抗素子と直列に結合され、

第4の抵抗素子が、前記第2の容量素子および前記第2の抵抗素子と直列に結合される、

、

請求項9に記載の方法。

20

【請求項11】

それぞれの(N-M)個の抵抗ネットワークがそれぞれのインピーダンスを有する、請求項9に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001]本出願は、それらの全体が参照により本明細書に明確に組み込まれる、2014年5月27日に提出された「HYBRID R-2R STRUCTURE FOR LOW GLITCH NOISE SEGMENTED DAC」と題する米国仮出願第62/003,497号、および2014年9月22日に提出された「HYBRID R-2R STRUCTURE FOR LOW GLITCH NOISE SEGMENTED DAC」と題する米国特許出願第14/493,254号の利益を主張する。

30

【0002】

[0002]本開示は、一般に通信システムに関し、より詳細には、低グリッチノイズのセグメント型デジタルアナログコンバータ(DAC)用のハイブリッドR-2R構造に関する。

【背景技術】

【0003】

[0003]ワイヤレスデバイス(たとえば、セルラーフォンまたはスマートフォン)は、ワイヤレス通信システムとの双方向通信のためのデータを送信および受信し得る。ワイヤレスデバイスは、データ送信のための送信機と、データ受信のための受信機とを含み得る。データ送信の場合、送信機は、送信局発振器(LO)信号をデータで変調して被変調無線周波数(RF)信号を取得し、被変調RF信号を増幅して所望の出力電力レベルを有する出力RF信号を取得し、アンテナを介して出力RF信号を基地局に送信することができる。追加として、送信機は、送信される出力RF信号の生成を支援するために、DACを含み得る。

40

【0004】

[0004]DACは、デジタル信号に対応する電流または対応するアナログ電圧に変換する(たとえば、4ビットDACは、0110のデジタル信号などの4ビットのデジタルワー

50

ドを変換する)。4ビットDACは、考えられるデジタル値ごとに、異なるアナログ電圧値または異なる電流量を発生させる。すなわち、4ビットDACは、0000～1111までのデジタル信号の各値ごとに、異なる電流またはアナログ電圧を発生させる。

【0005】

[0005]DACがより高いデータ転送速度または帯域幅に合わせて修正されたロングタームエボリューション(LTE(登録商標))など、高度化したワイヤレス規格に対して、低ノイズ、低電力、広帯域、および高分解能のDACがますます求められている。そのようなDACは一般に、アーキテクチャおよび設計の選択を制限することがある。

【0006】

[0006]RFアプリケーションで使用される送信(TX)DACに対しては、特定のオフセット周波数においてDACノイズとも呼ばれる高周波グリッチノイズを最小化することが、広帯域セルラーTX経路での特定の動作上の問題を回避し得る。すなわち、ノイズは関連する受信(RX)チャネルの感度を低下させ得るため、そのようなグリッチノイズを低減すること、または相殺することが有用となり得る。言い換えれば、TXDACからの帯域外ノイズは、RX帯域に入り、それによってRXチャネルの感度を低下させ得る。そのような帯域外ノイズは、表面音響波フィルタレスLTE(SAWレスLTE)システムに対する特に重要な問題となり得る。

【0007】

[0007]グリッチノイズを低減する試みは、DACの最上位ビット(MSB)とDACの最下位ビット(LSB)との間におけるグリッチノイズの不整合に対処し得、慎重なスケールリングを必要とし得、あるいは、プロセス、電圧および温度(PVT)の変動に対するロバストネスを考慮し得る。たとえば、MSBとLSBとの間の遅延を最適化するための手法は、比較的大きなPVTの変動を生じることがあり、ここにおいて、DACは、プロセスの変動、どれほどの時間にわたってDACが動作しているかに応じて、またはDACの温度に応じて、同じデジタル信号に対して、異なるアナログ電圧／電流を発生させ得る。

【0008】

[0008]別の手法は、全体的な量子化ノイズフロアを低下させるように、DACの分解能を増大させることであり得る。しかしながら、そのような実装形態は、結果として面積、電力、または電圧ヘッドルームが著しく増大することが原因で、コストがかかり得る。

【発明の概要】

【0009】

[0009]本開示の一態様では、方法および装置が提供される。本装置はNビットDACであり得る。このNビットDACは、DACのM個の最上位ビットに関連付けられる($2^M - 1$)個の並列段と、DACの(N-M)個の最下位ビットに関連付けられる(N-M)個の段とを含み得る。($2^M - 1$)個の並列段の各段は、第1の電流を生成するように、また、差分データにตอบสนองしてスイッチの第1の対を介してDACの1対の電流加算ノードに第1の電流を供給するように構成され得る。(N-M)個の段の各段は、抵抗ネットワークとスイッチの第2の対とを含み得る。(N-M)個の段の各段は、第2の電流を生成するように、また、差分データにตอบสนองして段のスイッチの第2の対を介して段の抵抗ネットワークに第2の電流を供給するように構成され得る。各抵抗ネットワークは、抵抗ネットワークに対応する段のバイナリ重みに従って、それぞれ供給された電流をスケールリングするように、また、1対の電流加算ノードにそのスケールリングされた電流を供給するように構成され得る。(N-M)個の段のうちの少なくとも1つは、NビットDACのすべての残りの段から分離され得る。

【0010】

[0010]本開示の一態様では、方法および装置が提供される。その方法は、Nビットデジタル信号をアナログ信号に変換する方法であり得る。その方法は、デジタル信号のM個の最上位ビットに関連付けられる($2^M - 1$)個の並列段の各段において第1の電流を生成することと、差分データにตอบสนองしてスイッチの第1の対を介して1対の電流加算ノードに

第1の電流の各々を供給することと、デジタルデータの $(N-M)$ 個の最下位ビットに関連付けられる $(N-M)$ 個の段の各段において第2の電流を生成することと、 $(N-M)$ 個の段のうちの少なくとも1つは N ビットDACのすべての残りの段から分離される、差分データに応答してスイッチの第2の対を介して $(N-M)$ 個の抵抗ネットワークの各ネットワークに、その関連する段において生成された第2の電流を供給することと、各ネットワークは $(N-M)$ 個の段のうちの異なる1つに関連付けられる、抵抗ネットワークに対応する段のバイナリ重みに従って、それぞれ供給された電流をスケールリングすることと、1対の電流加算ノードにそのスケールリングされた電流を供給することと、利得値によって規定される範囲内に1対の電流加算ノードの各ノードのインピーダンスを維持することと、利得値によって規定される範囲内に電流加算ノード間の電圧差を維持することを含む得る。1対の電流加算ノードの異なるノードに供給される、スケールリングされた電流の差が、アナログ信号の値を規定する。

10

【図面の簡単な説明】

【0011】

【図1】[0011]種々のワイヤレス通信システムと通信するワイヤレスデバイスを示す図。

【図2】[0012]ワイヤレスデバイスのブロック図。

【図3】[0013] $R-2R$ 構造の4ビットDACを示す図。

【図4a】[0014]LSBセグメンテーションを用いた $R-2R$ 構造のDACを示す図。

【図4b】[0015]寄生キャパシタンスを用いた、図4aに示すDACを示す図。

【図5】[0016]LSBセグメンテーションと整合インピーダンスとを用いた $R-2R$ 構造のDACの一部分を示す図。

20

【図6】[0017]例示的な実施形態による、RC同調および整合インピーダンスを用いたハイブリッド $R-2R$ 構造のDACの一部分を示す図。

【図7a】[0018]例示的な実施形態による、グリッチノイズ整合のための抵抗器およびキャパシタ値の例示的な構成。

【図7b】例示的な実施形態による、グリッチノイズ整合のための抵抗器およびキャパシタ値の例示的な構成。

【図7c】例示的な実施形態による、グリッチノイズ整合のための抵抗器およびキャパシタ値の例示的な構成。

【図7d】例示的な実施形態による、グリッチノイズ整合のための抵抗器およびキャパシタ値の例示的な構成。

30

【図8】[0019]例示的な実施形態による、8ビット $R-2R$ セグメンテーションを用いた14ビット電流ステアリングDACのレイアウトの図。

【図9】[0020]図8に示す14ビットDACのセグメンテーションを示すレイアウトの図。

【図10】[0021] N ビットデジタル信号をアナログ信号に変換する方法のフローチャート。

【発明を実施するための形態】

【0012】

[0022]添付の図面とともに以下に記載する詳細な説明は、様々な構成の説明するものであり、本明細書で説明する概念が実施され得る唯一の構成を表すものではない。詳細な説明は、種々の概念を完全に理解してもらう目的で、具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実施され得ることは、当業者には明らかであろう。いくつかの事例では、よく知られている構造および構成要素は、そのような概念を不明瞭にすることを避けるためにブロック図の形態で示される。「例示的」という用語は、本明細書では、「例、事例、または例示の働きをすること」を意味するために使用する。本明細書で「例示的」として説明されるすべての設計は、必ずしも、他の設計より好ましいまたは有利と解釈されるべきではない。

40

【0013】

[0023]次に、様々な装置および方法に関して電気通信システムのいくつかの態様が提示

50

される。これらの装置および方法が、以下の発明を実施するための形態において説明され、様々なブロック、モジュール、構成要素、回路、ステップ、プロセス、アルゴリズムなどによって添付の図面に示される。（まとめて「要素」と呼ばれる）。これらの要素は、電子ハードウェア、コンピュータソフトウェア、またはそれらの任意の組合せを使用して実装され得る。そのような要素がハードウェアとして実装されるか、またはソフトウェアとして実装されるかは、特定の適用例および全体的なシステムに課された設計制約に依存する。

【0014】

[0024]例として、要素、または要素の任意の部分、または要素の任意の組合せは、1つまたは複数のプロセッサを含む「処理システム」を用いて実装され得る。プロセッサの例としては、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ(DSP)、フィールドプログラマブルゲートアレイ(FPGA)、プログラマブル論理デバイス(PLD)、状態機械、ゲート論理、個別ハードウェア回路、および本開示全体にわたって説明される様々な機能を実行するために構成された他の好適なハードウェアがある。処理システム中の1つまたは複数のプロセッサはソフトウェアを実行し得る。ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語と呼ばれようと、またはそうでなかろうと、命令、命令セット、コード、コードセグメント、プログラムコード、プログラム、サブプログラム、ソフトウェアモジュール、アプリケーション、ソフトウェアアプリケーション、ソフトウェアパッケージ、ルーチン、サブルーチン、オブジェクト、実行可能ファイル、実行スレッド、プロシージャ、機能、その他を意味すると広く解釈されるものとする。

【0015】

[0025]したがって、1つまたは複数の例示的な実施形態では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実装され得る。ソフトウェアで実装される場合、機能は、コンピュータ可読媒体上に記憶されるか、あるいはコンピュータ可読媒体上に1つまたは複数の命令またはコードとして符号化され得る。コンピュータ可読媒体はコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体とすることができる。限定ではなく、例として、そのようなコンピュータ可読媒体は、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、電子的消去可能プログラマブルROM(EEPROM(登録商標))、コンパクトディスク(CD)ROM(CD-ROM)または他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気ストレージデバイス、あるいは命令またはデータ構造の形態の所望のプログラムコードを搬送または記憶するために使用され得、コンピュータによってアクセスされ得る、任意の他の媒体を備えることができる。本明細書で使用されるディスク(disk)およびディスク(disc)は、CD、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、およびフロッピー(登録商標)ディスク(disk)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、データをレーザで光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲内に含まれるものとする。

【0016】

[0026]図1は、種々のワイヤレス通信システム120、122と通信するワイヤレスデバイス110を示す図100である。ワイヤレスシステム120および122は、それぞれ、符号分割多元接続(CDMA)システム、Global System for Mobile Communications(GSM(登録商標))システム、LTEシステム、ワイヤレスローカルエリアネットワーク(WLAN)システム、または何らかの他のワイヤレスシステムであり得る。CDMAシステムは、広帯域CDMA(WCDMA(登録商標))、CDMA 1Xまたはcdma2000、時分割同期符号分割多元接続(TD-SCDMA)、またはCDMAの何らかの他のバージョンを実装し得る。TD-SCDMAはまた、ユニバーサル地上波無線アクセス(UTRA)時分割複信(TDD)1.28Mcpsオプションまたは低チップレート(LCR)とも呼ばれる。LTEは、

周波数分割複信（FDD）と時分割複信（TDD）の両方をサポートする。たとえば、ワイヤレスシステム120はGSMシステムであってよく、ワイヤレスシステム122はWCDMAシステムであってよい。別の例として、ワイヤレスシステム120はLTEシステムであってよく、ワイヤレスシステム122はCDMAシステムであってよい。

【0017】

[0027]簡単のために、図100は、1つの基地局130と1つのシステムコントローラ140とを含むワイヤレスシステム120と、1つの基地局132と1つのシステムコントローラ142とを含むワイヤレスシステム122とを示す。概して、各ワイヤレスシステムは、任意の数の基地局と、ネットワークエンティティの任意のセットとを含み得る。各基地局は、基地局のカバレッジ内のワイヤレスデバイスのための通信をサポートすることができる。基地局はまた、ノードB、発展型ノードB（eNB）、アクセスポイント、トランシーバ基地局、無線基地局、無線トランシーバ、トランシーバ機能、基本サービスセット（BSS：basic service set）、拡張サービスセット（ESS：extended service set）、または何らかの他の好適な用語で呼ばれることもある。ワイヤレスデバイス110はまた、ユーザ機器（UE）、モバイルデバイス、リモートデバイス、ワイヤレスデバイス、ワイヤレス通信デバイス、局、移動局、加入者局、モバイル加入者局、端末、モバイル端末、リモート端末、ワイヤレス端末、アクセス端末、クライアント、モバイルクライアント、モバイルユニット、加入者ユニット、ワイヤレスユニット、リモートユニット、ハンドセット、ユーザエージェント、または何らかの他の好適な用語で呼ばれることもある。ワイヤレスデバイス110は、セルラーフォン、スマートフォン、タブレット、ワイヤレスモデム、携帯情報端末（PDA）、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレスフォン、ワイヤレスローカルループ（WLL）局、または何らかの他の同様の機能デバイスであり得る。

【0018】

[0028]ワイヤレスデバイス110は、ワイヤレスシステム120および／または122と通信することが可能であり得る。ワイヤレスデバイス110はまた、放送局134などの放送局から信号を受信することも可能であり得る。ワイヤレスデバイス110はまた、1つまたは複数のグローバルナビゲーション衛星システム（GNSS）内の衛星150などの衛星から、信号を受信することも可能であり得る。ワイヤレスデバイス110は、GSM、WCDMA、cdma2000、LTE、802.11など、ワイヤレス通信のための1つまたは複数の無線技術をサポートし得る。「無線技術」、「無線アクセス技術」、「エアインターフェース」、および「規格」という用語は、互換的に使用され得る。

【0019】

[0029]ワイヤレスデバイス110は、ダウンリンクおよびアップリンクを介してワイヤレスシステム中の基地局と通信することができる。ダウンリンク（または順方向リンク）は基地局からワイヤレスデバイスへの通信リンクを指し、アップリンク（または逆方向リンク）はワイヤレスデバイスから基地局への通信リンクを指す。ワイヤレスシステムは、TDDおよび／またはFDDを利用することができる。TDDの場合、ダウンリンクおよびアップリンクは同じ周波数を共有し、ダウンリンク送信およびアップリンク送信は、異なる時間期間において同じ周波数上で送られ得る。FDDの場合、ダウンリンクとアップリンクとは別々の周波数を割り振られる。ダウンリンク送信は1つの周波数上で送られ得、アップリンク送信は別の周波数上で送られ得る。TDDをサポートするいくつかの例示的な無線技術には、GSM、LTE、およびTD-SCDMAがある。FDDをサポートするいくつかの例示的な無線技術には、WCDMA、cdma2000、およびLTEがある。

【0020】

[0030]図2は、ワイヤレスデバイス110などの例示的なワイヤレスデバイスのブロック図200である。ワイヤレスデバイスは、データプロセッサ／コントローラ210と、トランシーバ218と、アンテナ290とを含み、メモリ216をさらに含み得る。トランシーバ218は、双方向通信をサポートする送信機220と受信機250とを含む。送

信機 220 および／または受信機 250 は、スーパーヘテロダイナーキテクチャまたは直接変換アーキテクチャを用いて実装され得る。スーパーヘテロダイナーキテクチャでは、信号が、受信機のために、複数の段において RF とベースバンドとの間で、たとえば、1つの段において RF から中間周波数 (IF: intermediate frequency) に、次いで別の段において IF からベースバンドに周波数変換される。ゼロ IF アーキテクチャとも呼ばれる直接変換アーキテクチャでは、信号が、1つの段において RF とベースバンドとの間で周波数変換される。スーパーヘテロダイナーキテクチャおよび直接変換アーキテクチャは、異なる回路ブロックを使用し、および／または異なる要件を有し得る。図 2 に示された例示的な設計では、送信機 220 および受信機 250 は、直接変換アーキテクチャを用いて実装される。

10

【0021】

[0031] 送信経路では、データプロセッサ／コントローラ 210 は、送信されるべきデータを処理 (たとえば、符号化および変調) し、DAC 230 にそのデータを与えることができる。DAC 230 は、デジタル入力信号をアナログ出力信号に変換する。アナログ出力信号は、TX ベースバンド (低域) フィルタ 232 に与えられ、送信 (TX) ベースバンド (低域) フィルタ 232 は、DAC 230 による事前のデジタルアナログ変換によって引き起こされた画像を除去するために、アナログ出力信号をフィルタ処理することができる。増幅器 (amp) 234 は、TX ベースバンドフィルタ 232 からの信号を増幅し、増幅されたベースバンド信号を与えることができる。アップコンバータ (ミキサ) 236 は、増幅されたベースバンド信号と、TX LO 信号生成器 276 からの TX LO 信号とを受信することができる。アップコンバータ 236 は、TX LO 信号とともに、増幅されたベースバンド信号をアップコンバートし、アップコンバートされた信号を与えることができる。フィルタ 238 は、周波数アップコンバージョンによって引き起こされた画像を除去するために、アップコンバートされた信号をフィルタ処理することができる。電力増幅器 (PA) 240 は、所望の出力電力レベルを取得するためにフィルタ 238 からのフィルタ処理された RF 信号を増幅し、出力 RF 信号を与えることができる。出力 RF 信号は、デュプレクサ／スイッチプレクサ 264 を通してルーティングされ得る。

20

【0022】

[0032] FDD では、送信機 220 および受信機 250 は、デュプレクサ 264 に結合されてよく、デュプレクサ 264 は、送信機 220 のための TX フィルタと、受信機 250 のための RX フィルタとを含み得る。TX フィルタは、送信帯域中の信号成分をパスし、受信帯域中の信号成分を減衰させるために、出力 RF 信号をフィルタ処理することができる。TDD では、送信機 220 および受信機 250 は、スイッチプレクサ 264 に結合され得る。スイッチプレクサ 264 は、アップリンク時間間隔中に送信機 220 からアンテナ 290 へ出力 RF 信号をパスすることができる。FDD と TDD の両方で、デュプレクサ／スイッチプレクサ 264 は、ワイヤレスチャネルを介した送信のために、アンテナ 290 に出力 RF 信号を与えることができる。

30

【0023】

[0033] 受信経路において、アンテナ 290 は、基地局および／または他の送信機局によって送信された信号を受信することができ、受信 RF 信号を与えることができる。受信 RF 信号は、デュプレクサ／スイッチプレクサ 264 を通してルーティングされ得る。FDD では、デュプレクサ 264 内の RX フィルタは、受信帯域中の信号成分をパスし、送信帯域中の信号成分を減衰させるために、受信 RF 信号をフィルタ処理することができる。TDD では、スイッチプレクサ 264 は、ダウンリンク時間間隔中にアンテナ 290 から受信機 250 へ受信 RF 信号をパスすることができる。FDD と TDD の両方で、デュプレクサ／スイッチプレクサ 264 は、受信機 250 に受信 RF 信号を与えることができる。

40

【0024】

[0034] 受信機 250 内で、受信 RF 信号は、低雑音増幅器 (LNA) 252 によって増幅され、入力 RF 信号を取得するために、フィルタ 254 によってフィルタ処理され得る

50

。ダウンコンバータ（ミキサ）256は、入力RF信号と、RX LO信号生成器286からのRX LO信号とを受信することができる。ダウンコンバータ256は、RX LO信号とともに、入力RF信号をダウンコンバートし、ダウンコンバートされた信号を与えることができる。ダウンコンバートされた信号は、増幅器258によって増幅され、アナログ入力信号を取得するために、RXベースバンド（低域）フィルタ260によってさらにフィルタ処理され得る。アナログ入力信号は、アナログデジタルコンバータ（ADC）262に与えられる。ADC262は、アナログ入力信号をデジタル出力信号に変換する。デジタル出力信号は、データプロセッサ／コントローラ210に与えられる。

【0025】

[0035] TX周波数合成器270は、TX位相ロックループ（PLL）272とVCO274とを含み得る。VCO274は、所望の周波数におけるTX VCO信号を生成することができる。TX PLL272は、データプロセッサ／コントローラ210からタイミング情報を受信し、VCO274のための制御信号を生成することができる。制御信号は、TX VCO信号のための所望の周波数を取得するために、VCO274の周波数および／または位相を調節することができる。TX周波数合成器270は、TX LO信号生成器276にTX VCO信号を与える。TX LO信号生成器276は、TX周波数合成器270から受信されたTX VCO信号に基づいて、TX LO信号を生成することができる。

【0026】

[0036] RX周波数合成器280は、RX PLL282とVCO284とを含み得る。VCO284は、所望の周波数におけるRX VCO信号を生成することができる。RX PLL282は、データプロセッサ／コントローラ210からタイミング情報を受信し、VCO284のための制御信号を生成することができる。制御信号は、RX VCO信号のための所望の周波数を取得するために、VCO284の周波数および／または位相を調節することができる。RX周波数合成器280は、RX LO信号生成器286にRX VCO信号を与える。RX LO信号生成器は、RX周波数合成器280から受信されたRX VCO信号に基づいて、RX LO信号を生成することができる。

【0027】

[0037] LO信号生成器276、286は、それぞれ、分周器とバッファなどを含み得る。LO信号生成器276、286は、それぞれTX周波数合成器270およびRX周波数合成器280によって与えられた周波数を分割する場合、分周器と呼ばれることがある。PLL272、282は、それぞれ、位相／周波数検出器と、ループフィルタと、電荷ポンプと、分周器などを含み得る。各VCO信号および各LO信号は、特定の基本周波数をもつ周期信号であり得る。LO生成器276、286からのTX LO信号およびRX LO信号は、TDDでは同じ周波数、またはFDDでは異なる周波数を有し得る。VCO274、284からのTX VCO信号およびRX VCO信号は、（たとえば、TDDでは）同じ周波数、または（たとえば、FDDもしくはTDDでは）異なる周波数を有し得る。

【0028】

[0038] 送信機220および受信機250における信号の調整は、増幅器、フィルタ、アップコンバータ、ダウンコンバータなどの1つまたは複数の段によって実行され得る。これらの回路は、図2に示される構成とは異なって構成され得る。さらに、図2に示されていない他の回路もまた、送信機220および受信機250において信号を調整するために使用され得る。たとえば、インピーダンス整合回路は、PA240の出力において、LNA252の入力において、アンテナ290とデュプレクサ／スイッチプレクサ264との間などに配置され得る。また、図2中のいくつかの回路が省略され得る。たとえば、フィルタ238および／またはフィルタ254が省略され得る。トランシーバ218の全部または一部分は、1つまたは複数のアナログ集積回路（IC）、RF IC（RFIC）、混合信号ICなどの上に実装され得る。たとえば、送信機220中のTXベースバンドフィルタ232からPA240まで、受信機250中のLNA252からRXベースバンド

10

20

30

40

50

フィルタ260まで、PLL272、282、VCO274、284、およびLO信号生成器276、286は、RFIC上に実装され得る。PA240および場合によっては他の回路は、別個のICまたは回路モジュール上にも実装され得る。

【0029】

[0039]データプロセッサ／コントローラ210は、ワイヤレスデバイスのための様々な機能を実行することができる。たとえば、データプロセッサ／コントローラ210は、送信機220を介して送信され、受信機250を介して受信されるデータ用の処理を実行することができる。データプロセッサ／コントローラ210は、送信機220および受信機250内の様々な回路の動作を制御することができる。メモリ212および／またはメモリ216は、データプロセッサ／コントローラ210のためのプログラムコードとデータとを記憶することができる。メモリは、データプロセッサ／コントローラ210の内部（たとえば、メモリ212）であってよく、またはデータプロセッサ／コントローラ210の外部（たとえば、メモリ216）であってよい。メモリは、コンピュータ可読媒体と呼ばれることがある。発振器214は、特定の周波数におけるVCO信号を生成することができる。クロック発生器219は、発振器214からVCO信号を受信することができ、データプロセッサ／コントローラ210内の様々なモジュールのためのクロック信号を生成することができる。データプロセッサ／コントローラ210は、1つまたは複数の特定用途向け集積回路（ASIC）および／または他のIC上に実装され得る。

10

【0030】

[0040]図2に示すDAC 230は、たとえば、R-2R構造を有するNビットDACであってもよい。正確なスイッチのスケーリングを用いずに場合によっては達成され得る、DACにおける前述のグリッチノイズを低減するための手法が、MSBにおける電流源と同じ電流源を有するR-2R構造を使用してLSBにおける電流をスケーリングすることによって、セグメント型DACのグリッチノイズの根本的原因を排除するために用いられ得る。

20

【0031】

[0041]図3は、R-2R構造の4ビットDACを示す図である。R-2R構造を有するDACは、R-2R抵抗器ラダーネットワークと呼ばれるものを利用する。R-2R抵抗器ラダーネットワークは、並列デジタルシンボル（たとえば、b0～b3の4ビット）を、出力231）において測定され得る電流またはアナログ電圧に変換することを可能にする。4つのデジタル入力（b0～b3）の各々は、アナログ出力231にそれぞれの重み付き寄与を加え、異なる2つの4ビットワード（0000から1111）が、結果として、出力231において同じ電流または電圧を生じることはない。

30

【0032】

[0042]ビットb0～b3の各々に対するスイッチ275は、ビットb0～b3のうちの特定の1つにおける値が1または0であるかどうかに従って操作され得る。したがって、DACへのデジタル信号の値は、DACのビットを制御するスイッチ275の操作によって生成され得る。たとえば、特定のビットに対する閉じられたスイッチ275は、デジタルシンボル内のビットの位置に対して「1」を表現するビットに対応し得、開いたスイッチは「0」を表現するビットに対応する。したがって、DACのビットを制御するためのスイッチのすべてが開いている場合（たとえば、4ビットDACの4つのスイッチすべてが、0000のデジタルシンボルを発生させるように開いている場合）、電流は抵抗器ラダーの中に流入せず、また電流または電圧は出力231において発生されない。

40

【0033】

[0043]図3に示す抵抗器ラダーのR-2Rパターンを継続（または低減）することにより、R-2R抵抗器ラダーネットワークは任意のビット数にスケーリングされ得る。さらに、R-2R構造を構築するために、2つの異なる抵抗器値のみが使用される。たとえば、図3の「R」抵抗器の値が3Ωである場合、「2R」で表現される抵抗器の値は6Ω（すなわち、「R」によって表される抵抗器の値の2倍）である。2つの抵抗器の値のみが使用されるため、R-2R抵抗器ラダーネットワークは容易に、そして正確に発生され、

50

回路に組み込まれ得る。

【0034】

[0044]したがって、 $R-2R$ 抵抗器ラダーベースのDAC（たとえば「 $R-2R$ DAC」）を使用することにより、アナログ電圧をデジタル値から発生させることができ、ここにおいて、LSB（たとえばb3）は出力への電流またはアナログ電圧の最大パーセンテージに寄与し、MSB（たとえばb0）は出力への電流またはアナログ電圧の最小パーセンテージに寄与する。

【0035】

[0045]しかしながら、標準的な $R-2R$ DACは寄生キャパシタンスの問題を十分に克服できないことがあり、その寄生キャパシタンスの問題は、そのようなセグメント型DACの実装中に生じるものであり、また、設計された $R-2R$ 値にかかわらず、グリッチエネルギーが不均一に分布していることを原因とするRXバンドノイズの劣化に加えられ得るものである。

【0036】

[0046]図4aは、LSBセグメンテーションを用いた $R-2R$ 構造のDAC 300を示す図である。セグメント型DACは、本質的には、2つ以上の個々のDACを組み合わせるように設計されたDACである。2つ以上のDACは、それら2つ以上のDACが個別には実行できない方式で実行することが可能である、単一のより高い分解能のDACへと組み合わせられる。したがって、セグメント型DACのある部分（たとえば、個々のDACのうちの1つ）は概してMSBを処理し、セグメント型DACの別の部分（たとえば、個々のDACのうちの別の1つ）はLSBを処理する。セグメント型DACを形成するための個々のDACの組み合わせでは、2つの個々のDACの出力（たとえば電圧または電流）は何らかの様式で加算される。

【0037】

[0047]図4aに示すDAC 300は、たとえば、 $R-2R$ 構造を利用する8ビットのLSB 310（たとえば、8つの最下位ビット）と、 $R-2R$ 構造を有さない6ビットのMSB 320（たとえば6つの最上位ビット）とを有する14ビットDACである。新たなワイヤレス規格は高帯域幅と高分解能または低ノイズフロアとを同時に要求するため、広く用いられている電流分割セグメント型アーキテクチャ以外の新たなアーキテクチャ上のブレイクスルーが有用となり得る。考えられる手法は、DACノイズに対処するためにセグメント型電流ステアリングDAC 300を用いることである。

【0038】

[0048]たとえば、セグメント型DAC 300におけるグリッチノイズまたはRXノイズは、主に6つのMSB 320と残りの8つのLSB 310との遅延差によって生じ得る。すなわち、DACのスイッチ（たとえば、図3の抵抗器ラダーのスイッチ375aおよび375b）を操作するとき、それらのスイッチは、入来デジタルデータの各ビット間の時間スキューが原因で同期的に動作しないことがあるため、DACを通る電流の瞬間的なサージが、結果としてグリッチノイズを生じ得る。このノイズは、MSB 320のグリッチノイズをLSB 310のグリッチノイズと整合させることによって低減され得る。前述のように、そのようなグリッチノイズの整合は、MSB 320セグメンテーションとLSB 310セグメンテーションとの間の遅延を設計および調節することによって達成され得るが、そのような解決策は、PVTの変動全体にわたるロバストネスを提供することができない。グリッチノイズはまた、スケールリングによっても対処され得るが、設計には、LSBの電流源、スイッチ、およびスイッチドライバの慎重なスケールリングが必要となり得る。

【0039】

[0049]グリッチノイズは、以下で説明するように、セグメント型DACの実行中に起こり得る寄生キャパシタンスの問題を克服する一方で、LSBに対して $R-2R$ DACセグメンテーションを利用することによって、また設計とレイアウトの双方における柔軟性を可能にするハイブリッド $R-2R$ アーキテクチャを追加的に設けることによって、より

高い周波数において著しく低減され得る。たとえば、グリッチノイズ整合は、電流をスケールリングする一方で、スイッチ375a/375bまでのDACの同じ構造（たとえば、図4aのスイッチ375a/375bの上であり、スイッチ375a/375bを含むDACの部分）を保持することによって達成され得る。すなわち、R-2R構造は、電流のスケールリングのために利用され得る。

【0040】

[0050]たとえば、図4aでは、左端のLSB 310のスイッチ375a/375bの一方を出る電流は、値「MSB」（たとえば電流 I_{MSB} ）によって表現される。ノード350に達すると、R-2R構造により、電流MSBは、1/2のMSBの電流が電流加算ノード370の中に進行し、他の1/2のMSBがVrefに移動するように、理論的には均等に分割される。左端のLSB 310の右側のLSBは、1/4のMSBの電流を電流加算ノード370の中に進行させる一方で、その右側のLSBは、1/8のMSBを電流加算ノード370の中に進行させるなどである。したがって、DACへのデジタルワードの値がいかなるものであっても、異なる電流値が電流加算ノード370の中に進行し（たとえば、スイッチ375a/375bの動作の考えられる構成の各々に対する異なる電流値）、それにより、DACは、すべての考えられるデジタル値を表すために、異なるアナログ値出力（たとえば異なる電流出力）を有することが可能となる。

10

【0041】

[0051]さらに、DAC 300は、1対の電流加算/電流合流ノード370に結合された差動増幅器308を含むインピーダンス減衰器305を利用し得る。インピーダンス減衰器305は、電流加算ノード370の各々のインピーダンスを維持し得、差動増幅器308の利得によって規定された範囲内で電流加算ノード370間の電圧差を維持し得る。

20

【0042】

[0052]DACのビットの各々のそれぞれの電流は、対応するスイッチ出力から電流加算ノード370へと流れ、その時点で、DACのそれぞれのビットに対応するそれぞれの電流が互いに加算される。すなわち、電流加算ノード370は、ビットの各々のスイッチ出力が合流するノードである。したがって、DAC 300のスイッチ「D」の375aが、各ビットが「0」であるデジタル値に応答して開かれた場合、「D」のトランジスタに対応する電流合流ノード370の中にスイッチ375aから進入する電流はない。DACの各ビットに対応するスイッチ375a/375bの対は差動対であり、つまり、あるスイッチ375aがオンであるとき、差動対のもう一方のスイッチ375bはオフであり、その逆も同様であることに留意されたい。したがって、各「D」のスイッチ375aが開いているとき、各「Db」の375bは閉じられることになる。

30

【0043】

[0053]図4bは、寄生キャパシタンスを用いた、図4aに示すDAC 400を示す図である。図4bを参照すると、図4aに示す構造が現実世界の設定で実装されるとき、DAC 400の性能は、寄生キャパシタンス440の問題（たとえば、回路の構造の配線および要素と、それらの配線および要素が配されている基板との間に生じる等価キャパシタンス）を伴い得る。DAC 400の寄生キャパシタンスは、キャパシタ（たとえば寄生キャパシタ）440によって表されるが、これはDACの一部として含められる実際の電子的構成要素ではない。図4bは、R-2Rノード450（すなわち、Rの抵抗器値と2Rの抵抗器値とを有する隣接する抵抗器の間のノード）に付随する寄生キャパシタンス440を示している。図4bに示す構造の全体にわたって生じる様々な程度の寄生キャパシタンスが存在するが、寄生キャパシタンスを表す図示のキャパシタ440は、以下でさらに説明するように、グリッチノイズ低減の観点から特に関心の対象となるものである。

40

【0044】

[0054]DAC 400のグリッチノイズは一般に、大部分がより高い周波数に集中するエネルギーを有する。したがって、DAC 400の様々なビットのスイッチ475a/475bの動作から生成されるグリッチ（たとえば、スイッチ475a/475bがトランジスタ/スイッチ475a/475bのゲートに結合されたスイッチドライバによって

50

駆動されるとき、スイッチ動作の非同期性が原因で生成されるグリッチ)が存在するとき、グリッチノイズのいくつかの部分が、DAC構造の、寄生キャパシタンス440を引き起こす部分に流れる。したがって、グリッチノイズのこの部分は出力/電流加算ノード470に流れないが、MSBセル420からのグリッチノイズの大部分は依然として、電流加算ノード470に流れることになる。各ビットごとのグリッチノイズにおけるこの不一致は、MSB 420とLSB 410との間にインバランスを生じ、これによってグリッチノイズは、グリッチノイズ分布の差異が原因で(すなわち、グリッチノイズが2つの差動的な経路の間で均等に分割されていないことが原因で)増加することになり得る。しかしながら、インピーダンスを整合させるためにキャパシタ(たとえばフィードフォワードキャパシタ)をDAC 400に加えることによって、ノイズは、寄生キャパシタンス440にもかかわらず、より等しく分割され得る。

10

【0045】

[0055]図5は、LSBセグメント化と整合インピーダンスとを用いたR-2R構造のDAC 500の一部分を示す図である。図5を参照すると、前述の寄生キャパシタンス540によって引き起こされたグリッチノイズが、「フィードフォワードキャパシタ」560と呼ばれ得る付加的なキャパシタを設けることによって低減され得る。これらのフィードフォワードキャパシタ560は、それぞれのR-2Rノード550と、それぞれの出力570とに接続され、それによってグリッチエネルギーを「フィードフォワード」し得る。フィードフォワードキャパシタンスが寄生キャパシタンスの2倍であるとき(たとえば、フィードフォワードキャパシタ560のキャパシタンスが2C、またはたとえば60fFであり、寄生キャパシタンス540がC、またはたとえば30fFであるとき)、LSB 510の左端のLSBのスイッチ出力(電流加算ノード570に直接、接続されているスイッチ出力)における全インピーダンスは、Vrefノード552と電流加算/電流合流ノード570の双方に対して、2Cと並列のRに等価な値である(RはR-2R構造における第1の抵抗器の抵抗値を表す)。

20

【0046】

[0056]フィードフォワードキャパシタ560をDAC 500に加えることにより、帯域外ノイズが、寄生キャパシタンスなしのシミュレーションと同様の方法で、あるレベルにまで低減されることがシミュレーションによって示される(たとえば、コンピュータシミュレーションがDACの回路図上で実行されるとき、ここにおいて、コンピュータシミュレーションは、寄生キャパシタンスを含まない理論的な帯域外ノイズレベルを測定するために、寄生キャパシタンスを除外する)。フィードフォワードキャパシタ560は寄生キャパシタンス540の一部またはすべてを事実上、相殺することによって、インピーダンスを平衡させるため、フィードフォワードキャパシタ560は帯域外ノイズを低減する。したがって、2つの分岐の間のインピーダンス整合は、時間のかかる過渡的なシミュレーションの代わりにACシミュレーションを用いることによって達成され、それによって、DACを設計する際の時間とコストが低減され得る。

30

【0047】

[0057]2つの分岐の間のインピーダンス整合は、整合したインピーダンスを有する従来のR-2R LSBセグメンテーションを使用して達成され得るが、R-2Rにおける抵抗器のサイズは、R-2RセグメンテーションのMSBの整合要件によって支配されることになる。したがって、従来のR-2R構造の全体的な回路レイアウト面積は好ましくない場合がある。

40

【0048】

[0058]図6は、例示的な実施形態による、RC同調および整合インピーダンスを用いたハイブリッドR-2R構造のDAC 600の一部分を示す図である。図6を参照すると、例示的な実施形態が、整合インピーダンスを有するハイブリッドR-2R LSBセグメント型構造を利用するNビットDAC 600の一部分を示している。NビットDAC 600は、電流DACまたは電流モードDACであり、これは出力電流を発生させるために電流ラダー(たとえば抵抗器ラダー)を使用するものであり、また電圧DACと区別

50

可能であることに留意されたい。図 4 a、4 b、および 5 における D A C 3 0 0、4 0 0、および 5 0 0 とは異なり、L S B の一部は直列チェーンにおいて接続されないことにさらに留意されたい。追加的に、L S B の各々は、同じ電流源（たとえば I_{MSB} ）に、また同じ電圧源（たとえば V_{pm} ）に、同様にして接続されている。

【0049】

[0059] 図 6 に示すセグメント型アーキテクチャにより、抵抗器 6 6 5 のサイズまたは値は、D A C 6 0 0 のビット 6 1 2 の各々の整合要件に従って個別に調整され得る。すなわち、ビットの各々で使用する種々の抵抗器およびフィードフォワードキャパシタは、異なるそれぞれの値（たとえば、左側のビットにおける $2R$ 、 $2R$ 、および $C/2$ 、中央のビットに対する $3R$ 、 R 、および $C/6$ 、ならびに右側のビットに対する $7R$ 、 R 、および $C/14$ ）を有するように設計され得る。したがって、この整合要件は、非セグメント型 $R-2R$ 構造と比較すると、D A C の下位ビット（たとえば L S B）に対しては厳しくないため、下位ビットは、抵抗器ラダーの全体にわたって同じ抵抗器値（すなわち R および $2R$ ）を使用することによって可能となる反復的でコンパクトな設計／レイアウトを利用するために、従来の $R-2R$ 構造を依然として利用し得る。

10

【0050】

[0060] 追加的に、本例示的な実施形態のセグメント型アーキテクチャでは、D A C 6 0 0 のビット（たとえば 6 1 2）の各々が分離されているため、D A C 6 0 0 のレイアウトはチップ全体にわたって広げられ得る。すなわち、下位ビット（たとえば L S B）6 1 2 に対応する D A C 6 0 0 の様々な段は、D A C 6 0 0 の回路レイアウトにおいて互いから物理的に分離され得、それによって回路レイアウトの他の構成要素がそれぞれの段の間に置かれ、それによってレイアウトの面積の制約を緩和することが可能となる。さらに、各ビットの電子的構成要素は、他のビットの調整に影響を与えることなく調整され得、それによって、さもなければ存在するレイアウトの制約が緩和される。追加的に、ビット間における抵抗器整合の重要性は、あまり重大ではなくなる。

20

【0051】

[0061] さらに、例示的な実施形態のより下位のビットは相対的により小さな抵抗器値を有し得るため、より下位のビットに対するヘッドルームが改善され得る。対照的に、従来の $R-2R$ アーキテクチャの場合、抵抗器値がビットごとに固定されるため、D A C の最後のビットに対応する最後の段に対するヘッドルームは、 $R-2R$ 構造全体の抵抗器値に対応する制約によって決まる。

30

【0052】

[0062] 例示的な実施形態において示した構造に関して言えば、セグメント型アーキテクチャによってもたらされるグリッチノイズを整合させるとき、D A C の種々のビットに対応する種々の段に対する抵抗器およびフィードフォワードキャパシタ値を決定することに関して、抵抗器およびキャパシタに対する所望の構成を選択する上で、広範な許容度が存在することに留意されたい。抵抗器およびキャパシタの値は、たとえば、シミュレーションおよび／または他の既知の設計慣習によって、当業者にはいかなる不適切な実験もなしに決定され得る。

40

【0053】

[0063] 図 7 a ~ 7 d は、例示的な実施形態による、グリッチノイズ整合のための抵抗器およびキャパシタ値の例示的な構成である。図 7 a ~ 7 d を参照すると、例示的な実施形態による整合インピーダンスを有するハイブリッド $R-2R$ L S B セグメント型構造を利用する N ビット D A C 7 0 0 a ~ 7 0 0 d（それらのうちの一部分が図 7 a ~ 7 d に示されている）を設計するとき、抵抗器およびキャパシタ値を決定する上で考慮すべきいくつかの要因が存在し得る。たとえば、外側から見える合計の等価抵抗器値が、電流計算ノード 3 7 0 の両端間に結合され得る歪み相殺回路（D C C）内の抵抗の値を決定し得る。

【0054】

[0064] たとえば、図 4 a のインピーダンス減衰器 3 0 5 は、 $R-2R$ 構造によって引き

50

起こされる、電流加算ノード370における等価抵抗の一部を相殺する一方で、電流加算ノード370におけるインピーダンスを増大させ、それによって歪みを低減する。すなわち、電流加算ノード370から見たインピーダンスは、電流加算ノード370において導入される歪みに反比例する。さらに、インピーダンス減衰器305からMSBに向かって上方に見たインピーダンスは相対的に高くなる。DACのビットに向かって見た合計の等価抵抗器値を決定することが可能であることにより、電流加算ノード370から見たDACのビットの等価インピーダンスおよび抵抗に基づいて決定される、予想される歪み量を相殺するように、適切なDCCが設計され得る。

【0055】

[0065]図7a～7dに示す値は、例示的な実施形態を實踐するための例として与えられたものにすぎず、抵抗器およびキャパシタ値を決定する上で考慮すべき要因を示すものである。図7aに示すDAC 700aの構成は、最初の2ビットに対する一定の4Rの出力抵抗を有し、等価な出力抵抗および時定数はそれぞれ、 $8R/5$ および $8R/5 \times 5C/8 = RC$ である。図7bに示すDAC 700bの構成は、最初の2ビットに対する一定の入力/出力時定数RCを有し、等価な出力抵抗および時定数はそれぞれ、 $2R$ および $5RC/4$ である。図7cに示すDAC 700cの構成は、最初の2ビットに対する一定の入力RおよびCと、RCの一定の出力時定数とを有し、等価な出力抵抗および時定数はそれぞれ、 $16R/9$ および $11RC/9$ である。最後に、図7dに示すDAC 700dの構成は、RC値がDAC 700dの実際の実装形態を考慮して調整された後の、図7cに示すDAC 700cの構成を示している。

【0056】

[0066]図8は、例示的な実施形態による、8ビットR-2Rセグメンテーションを用いた14ビット電流ステアリングDACのレイアウト800の図である。この例示的な実施形態のレイアウト800は、6ビットのMSB 820と、8ビットのセグメント型LSB 810とを有している。グリッチエネルギーを整合させるために、同じスイッチドライバ890がMSB 820とLSB 810の両方に対して使用されている。スイッチドライバ890は、スイッチ（たとえばスイッチ375、475、および575）を構成するトランジスタのゲートに結合されている。したがって、スイッチを動作させるためのスイッチドライバ890からの信号は、DACに入力されたデジタル信号に対応することになる。さらに、1つのクロックツリー895が、MSB 820とLSB 810の両方にサービスする。

【0057】

[0067]図9は、図8に示す14ビットDACのセグメンテーションを示すレイアウト900の図である。並列/フィードフォワードキャパシタ960は、レイアウト上で抵抗器965の間に置かれる。先に説明したように、LSBの間の抵抗器整合は、セグメント型R-2Rアーキテクチャによって与えられる要件ではないので、LSBの最初の3ビット（たとえば、第5ビット、第6ビット、および第7ビット、つまりb5、b6、およびb7）は広げられ得る。整合要件により、最初の3ビットはレイアウト900のうちの比較的大きな面積を占めるので、これらのビットをセグメント化することによって、かなりの柔軟性がもたらされる。LSBの最後の4ビット（たとえば第4ビット～第0ビット）はすべて、従来のR-2Rアーキテクチャにより、互いに比較的近接して配置されている。第4ビット～第0ビットに対する抵抗器は、緩和された整合要件により、比較的小さいため、緊密なレイアウトは問題ではない。

【0058】

[0068]したがって、例示的な実施形態に関して説明したように、R-2R LSBを有するセグメント型DACは、RX帯域付近の高周波数におけるグリッチノイズを低減するが、さもないと寄生キャパシタンスがこの低減を妨害し得る。グリッチの整合、分離、およびレイアウトの柔軟性を考慮して、これらの例示的な実施形態は、ハイブリッドセグメント型R-2R方式を提供するが、ここにおいて、整合要件は各ビットごとに個別に調整され得、ビット間の不整合は分離され、また、各ビットのレイアウトがDACの他のビ

ットに影響を与えることなく調整され得るので、レイアウトは広げられ、より容易に配列され得る。さらに、それらのビットに対応する後方の段のヘッドルームは、より下位のビット抵抗値が低下され得るため、緩和され得る。

【0059】

[0069]図10は、Nビットデジタル信号をアナログ信号に変換する方法のフローチャート1000である。この方法は、例示的な実施形態に関して上記で説明したハイブリッドR-2Rセグメント型DACのうちの1つまたは複数などの装置によって実施され得る。この装置はNビットデジタル信号をアナログ信号に変換する。この装置は、デジタルデータのM個の最上位ビットに関連付けられる $(2^M - 1)$ 個の並列段を有し得る。この装置は、 $(N - M)$ 個の段のうちの少なくとも1つがNビットDACのすべての残りの段から分離されるように、デジタルデータの $(N - M)$ 個の最下位ビットに関連付けられる $(N - M)$ 個の段を有し得る。この装置は、各々が $(N - M)$ 個の段のうちの異なる1つに関連付けられる $(N - M)$ 個の抵抗ネットワークを有し得る。

10

【0060】

[0070]1002では、装置は、 $(2^M - 1)$ 個の段の各々において電流を生成し得る。1004では、装置は、差分データにตอบสนองしてスイッチの第1の対を介して1対の電流加算ノードに電流を供給し得る。1006では、装置は、 $(N - M)$ 個の段の各々において電流を生成し得る。1008では、装置は、差分データにตอบสนองしてスイッチの第2の対を介して $(N - M)$ 個の抵抗ネットワークの各々に、その関連する段において生成された電流を供給し得る。1010では、装置は、抵抗ネットワークに対応する段のバイナリ重みに従って、供給された電流をスケールし得る。1012では、装置は、1対の電流加算ノードに、スケールされた電流を供給し得る。1014では、装置は、利得値によって規定される範囲内に電流加算ノードの各々のインピーダンスを維持し得る。1016では、装置は、利得値によって規定される範囲内に電流加算ノード間の電圧差を維持し得る。電流加算ノードに供給される電流の差が、アナログ信号の値を規定する。

20

【0061】

[0071]この装置は、 $(N - M)$ 個のネットワークの各々に対して、抵抗ネットワークの第1の抵抗素子と並列に結合された第1の容量素子と、抵抗ネットワークの第2の抵抗素子と並列に結合された第2の容量素子と、第1の容量素子および第1の抵抗素子と直列に結合された第3の抵抗素子と、第2の容量素子および第2の抵抗素子と直列に結合された第4の抵抗素子とを有し得る。この装置は、集積チップ(IC)レイアウト上で、 $(N - M)$ 個の段の各々の抵抗素子と $(N - M)$ 個の段のうちの隣接する1つの抵抗素子の間に、 $(N - M)$ 個の段の各々の容量素子を有し得る。この装置は、種々のインピーダンスを有する種々の $(N - M)$ 個の抵抗ネットワークを有し得、また、 $(N - M)$ 個の最下位ビットの整合仕様に従って、 $(N - M)$ 個の抵抗ネットワークのうちの1つまたは複数の、個別に調整された抵抗素子または容量素子を有し得る。この装置は、第2の対のスイッチとしてMOSトランジスタを有し得、 $(N - M)$ 個の抵抗ネットワークのうちの1つの容量素子を有し得、MOSトランジスタの各々のドレイン基板間キャパシタンスの実質的に2倍のキャパシタンスをそれぞれが有し得る。この装置は、ICレイアウト上でそれぞれの容量素子をそれらの間に有する隣接する $(N - M)$ 個の段から分離されたそれぞれの $(N - M)$ 個の段を有し得る。この装置は、ICレイアウト上で $(N - M)$ 個の段のうちの $(N - M)$ 番目の段と $(N - M - 1)$ 番目の段との間に、 $(N - M)$ 個の段のうちの $(N - M)$ 番目の段に関連付けられる容量素子を有し得る。この装置は、 $(2^M - 1)$ 個の段に対応するグリッチノイズを $(N - M)$ 個の段に対応するグリッチノイズに整合させるように、様々な段に対応してスケールされたスイッチおよびスイッチドライバを有し得る。

30

40

【0062】

[0072]一構成では、NビットDAC（たとえば、それぞれ、図4aの300、図4bの400、図5の500、図6の600、または図7a~7dの700a~700d）が、デジタルデータ（たとえば、DAC 300、400、500、600、または700a

50

～700dに入力されたデジタルデータまたはデジタル信号)のM個の最上位ビット(たとえば、図4aのMSBビット320に関連付けられる段、図4bのMSBビット420に関連付けられる段、または図8のMSBビット820に関連付けられる段)に関連付けられる $(2^M - 1)$ 個の並列段と、 $(2^M - 1)$ 個の段の各々において第1の電流(たとえば、図4aのビット320または図4bのビット420に関連付けられるVddおよび段)を生成するための手段と、差動データ(たとえば、図4aまたは4bのD、Dbに対応するデータ)にตอบสนองして、第1の対のスイッチ(たとえば、図4aの374a、374bまたは図4bの474a、474b)を介して1対の電流加算ノード(たとえば、図4aの370または図4bの470)に、生成された第1の電流を供給するための手段と、
 (N-M)個の段のうちの少なくとも1つ(たとえば、図6の中央ビット612に関連付けられる段または図9の7番目のビットに関連付けられる段)がNビットDACのすべての残りの段から分離されるように、デジタルデータの(N-M)個の最下位ビット(たとえば、図4aの310、図4bの410、図5の510、図6の612、または図8の810)に関連付けられる(N-M)個の段と、(N-M)個の段の各々において第2の電流(たとえば、図4aのビット320、図4bの420、もしくは図5の520に関連付けられるVddおよび段、または、図6のビット612に関連付けられる電流源 I_{MSB} および段)を生成するための手段と、(N-M)個の段のうちの異なる1つにそれぞれが関連付けられる(N-M)個の抵抗ネットワーク(たとえば、図4a、4b、もしくは5の抵抗器Rおよび2Rを含んだネットワーク、または、図6の抵抗器665を含んだネットワーク)と、差分データ(たとえば、図4a、4b、または5のD、Dbに対応するデータ)にตอบสนองしてスイッチの第2の対(たとえば、図4aの375a、375b、または図4bの475a、475b、または図5の575a、575b)を介して(N-M)個の抵抗ネットワークの各々に、その関連する段において生成された第2の電流を供給するための手段と、抵抗ネットワークの対応する段のバイナリ重みに従って、各抵抗ネットワークに供給されるそれぞれの電流をスケールリングするための手段と、電流加算ノード(たとえば、図4aの370、図4bの470、または図5の570)の対にスケールリングされた電流を供給するための手段と、利得値(たとえば、図4aの差動増幅器308または図4bの差動増幅器408の利得値)によって規定された範囲内に電流加算ノード(370、470、または570)の各々のインピーダンス(たとえば、図4aの305、または図4bの405)を維持するための手段と、利得値によって規定される範囲内に電流加算ノード(370または470)間の電圧差(305または405)を維持するための手段とを含み、電流加算ノード(370、470、または570)に供給される電流の差が、アナログ信号(たとえば、DAC 300、400、500、600、または700a～700dによって発生されるアナログ信号)の値を規定する。 $(2^M - 1)$ 個の段の各々において第1の電流を生成するための手段は、 $(2^M - 1)$ 個の段(たとえば、MSBビット320、420、または820に関連付けられるVddおよび段)の各々である。スイッチの第1の対(374a、374bまたは474a、474b)を介して1対の電流加算ノード(370、または470)に、生成された第1の電流を供給するための手段は、スイッチの第1の対(374a、374bまたは474a、474b)およびそれらに接続された配線である。(N-M)個の段(たとえば、ビット310、410、510、または612に関連付けられる段)の各々において第2の電流を生成するための手段は、(N-M)個の段(たとえば、ビット310、410、もしくは510に関連付けられるVddおよび段、またはビット612に関連付けられる電流源 I_{MSB} および段)の各々である。スイッチの第2の対(375a、375b、または475a、475b、または575a、575b)を介して(N-M)個の抵抗ネットワークの各々に、その関連する段において生成された第2の電流を供給するための手段は、スイッチの第2の対(375a、375b、または475a、475b、または575a、575b)およびそれらに接続された配線である。抵抗ネットワークに対応する段のバイナリ重みに従って、各抵抗ネットワークに供給される電流をスケールリングするための手段は、DAC(300、400、500、600、または700a～700d)のR-2R構造(たとえば、図3～7dに

10

20

30

40

50

示すR-2R構造)である。1対の電流加算ノード(370、470、または570)にスケーリングされた電流を供給するための手段は、1対の電流加算ノード(370、470、または570)に接続された配線である。電流加算ノードの各々のインピーダンスを維持するための手段は、インピーダンス減衰器(305または405)である。電流加算ノード間の電圧差を維持するための手段は、インピーダンス減衰器(305または405)である。1対の電流加算ノード(370、470、または570)の種々のノードに供給される、スケーリングされた電流の差は、アナログ信号(DAC 300、400、500、600、または700a~700dによって発生されるアナログ信号)の値を規定する。

【0063】

[0073]開示するプロセスにおけるステップの特定の順序または階層は例示的な手法の一例であることを理解されたい。設計上の選好に基づいて、プロセスにおけるステップの特定の順序または階層は並べ替えられ得ることを理解されたい。さらに、いくつかのステップは組み合わせられるかまたは省略され得る。添付の方法クレームは、様々なステップの要素を例示的な順序で提示したものであり、提示された特定の順序または階層に限定されるものではない。

【0064】

[0074]以上の説明は、当業者が本明細書で説明された様々な態様を実行できるようにするために提供される。これらの態様に対する様々な変更は当業者には容易に明らかであり、本明細書で定義した一般的原理は他の態様に適用され得る。したがって、特許請求の範囲は、本明細書に示された態様に限定されるものではなく、特許請求の言い回しに矛盾しない全範囲を与えられるべきであり、ここにおいて、単数形の要素への言及は、そのように明記されていない限り、「唯一無二の」を意味するものではなく、「1つまたは複数の」を意味するものである。別段に明記されていない限り、「いくつかの(some)」という語は「1つまたは複数の」を表す。当業者に知られている、または後に知られることになる、本開示全体にわたって説明された様々な態様の要素のすべての構造的および機能的均等物は、参照により本明細書に明確に組み込まれ、特許請求の範囲に包含されるものである。その上、本明細書で開示されたいかなることも、そのような開示が特許請求の範囲に明示的に具陳されているかどうかにかかわらず、公に供されるものではない。いかなるクレーム要素も、その要素が「のための手段」という語句を使用して明確に具陳されていない限り、ミーンズプラスファンクションとして解釈されるべきではない。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] Nビットデジタルアナログコンバータ(DAC)であって、

前記DACのM個の最上位ビットに関連付けられる(2^M-1)個の並列段と、前記(2^M-1)個の並列段の各段は、第1の電流を生成するように、また、差分データに応答してスイッチの第1の対を介して前記DACの1対の電流加算ノードに前記第1の電流を供給するように構成される、

前記DACの(N-M)個の最下位ビットに関連付けられる(N-M)個の段と、前記(N-M)個の段の各段は、抵抗ネットワークとスイッチの第2の対とを備え、前記(N-M)個の段の各段は、第2の電流を生成するように、また、差分データに応答してスイッチの前記第2の対を介して前記段の前記抵抗ネットワークに前記第2の電流を供給するように構成され、各抵抗ネットワークは、前記抵抗ネットワークに対応する段のバイナリ重みに従って、前記それぞれ供給された電流をスケーリングするように、また、前記1対の電流加算ノードに前記スケーリングされた電流を供給するように構成される、

前記(N-M)個の段のうちの少なくとも1つが前記NビットDACのすべての残りの段から分離されるNビットDAC。

[C2] 前記(N-M)個の段の各段は、

前記段の前記抵抗ネットワークの第1の抵抗素子と並列に結合された第1の容量素子と、

前記段の前記抵抗ネットワークの第2の抵抗素子と並列に結合された第2の容量素子と

を備える、C 1 に記載の N ビット D A C。

[C 3] 前記 (N-M) 個の段の各段は、

前記第 1 の容量素子および前記第 1 の抵抗素子と直列をなす第 3 の抵抗素子と、

前記第 2 の容量素子および前記第 2 の抵抗素子と直列をなす第 4 の抵抗素子とをさらに備える、C 2 に記載の N ビット D A C。

[C 4] 各々前記 (N-M) 個の段の前記第 1 および第 2 の容量素子は、前記 D A C の集積チップ (I C) レイアウト上で、前記 (N-M) 個の段の前記各々の前記第 1 および第 2 の抵抗素子と前記 (N-M) 個の段のうちの隣接する 1 つの前記第 1 および第 2 の抵抗素子の間に位置する、C 2 に記載の N ビット D A C。

[C 5] それぞれの (N-M) 個の段の前記抵抗ネットワークは、それぞれのインピーダンスを有する、C 2 に記載の N ビット D A C。

[C 6] 前記 1 対の電流加算ノードに結合された差動増幅器を備えるインピーダンス減衰器をさらに備え、前記インピーダンス減衰器は、前記電流加算ノードの各ノードのインピーダンスを維持するように、また、前記差動増幅器の利得によって規定される範囲内に前記電流加算ノード間の電圧差を維持するように構成される、C 1 に記載の N ビット D A C。

[C 7] スイッチの前記第 2 の対は M O S トランジスタを備え、

ここにおいて、前記 (N-M) 個の段のうちの 1 つの前記容量素子はそれぞれ、前記 M O S トランジスタの各々のドレイン基板間キャパシタンスの実質的に 2 倍であるキャパシタンスを有する、C 2 に記載の N ビット D A C。

[C 8] それぞれの (N-M) 個の段は、前記 D A C の集積チップ (I C) レイアウト上でそれぞれの容量素子によって、隣接する (N-M) 個の段から分離されている、C 2 に記載の N ビット (D A C)。

[C 9] 前記 (N-M) 個の段のうちの (N-M) 番目の段の容量素子は、前記 D A C の集積チップ (I C) レイアウト上で前記 (N-M) 個の段のうちの (N-M-1) 番目の段から前記 (N-M) 番目の段を分離し、前記 (N-M) 番目の段は N 番目のビットに対応する、C 2 に記載の N ビット D A C。

[C 10] 前記 (2^M-1) 個および (N-M) 個の段に対応するスイッチドライバをさらに備え、

ここにおいて、前記スイッチおよびスイッチドライバは、前記 (2^M-1) 個の段に対応するグリッチノイズを前記 (N-M) 個の段に対応するグリッチノイズに整合させるようにスケールされる、C 1 に記載の N ビット D A C。

[C 11] N ビットデジタル信号をアナログ信号に変換する方法であって、

前記デジタル信号の M 個の最上位ビットに関連付けられる (2^M-1) 個の並列段の各段において第 1 の電流を生成することと、

差分データにตอบสนองしてスイッチの第 1 の対を介して 1 対の電流加算ノードに前記第 1 の電流の各々を供給することと、

前記デジタル信号の (N-M) 個の最下位ビットに関連付けられる (N-M) 個の段の各段において第 2 の電流を生成することと、前記 (N-M) 個の段のうちの少なくとも 1 つは前記 N ビット D A C のすべての残りの段から分離される、

差分データにตอบสนองしてスイッチの第 2 の対を介して (N-M) 個の抵抗ネットワークの各ネットワークに、その関連する段において生成された前記第 2 の電流を供給することと、各ネットワークは前記 (N-M) 個の段の各々に関連付けられる、

前記抵抗ネットワークに対応する段のバイナリ重みに従って、前記それぞれ供給された電流をスケールすることと、

前記 1 対の電流加算ノードに前記スケールされた電流を供給することと、

利得値によって規定される範囲内に前記 1 対の電流加算ノードの各ノードのインピーダンスを維持することと、

前記利得値によって規定される範囲内に前記電流加算ノード間の電圧差を維持することと、前記 1 対の電流加算ノードの異なるノードに供給される前記スケールされた電流

10

20

30

40

50

の差が、前記アナログ信号の値を規定する、を備える方法。

[C 1 2] 前記 (N-M) 個のネットワークの各ネットワークごとに、

第 1 の容量素子が、前記抵抗ネットワークの第 1 の抵抗素子と並列に結合され、

第 2 の容量素子が、前記抵抗ネットワークの第 2 の抵抗素子と並列に結合される、C 1 1 に記載の方法。

[C 1 3] 前記 (N-M) 個のネットワークの各ネットワークごとに、

第 3 の抵抗素子が、前記第 1 の容量素子および前記第 1 の抵抗素子と直列に結合され、

第 4 の抵抗素子が、前記第 2 の容量素子および前記第 2 の抵抗素子と直列に結合される、C 1 2 に記載の方法。

[C 1 4] 前記 (N-M) 個の段の各々の前記第 1 および第 2 の容量素子は、前記 DAC の集積チップ (IC) レイアウト上で、前記 (N-M) 個の段の前記各々の前記第 1 および第 2 の抵抗素子と前記 (N-M) 個の段のうちの隣接する 1 つの前記第 1 および第 2 の抵抗素子との間にある、C 1 2 に記載の方法。

[C 1 5] それぞれの (N-M) 個の抵抗ネットワークがそれぞれのインピーダンスを有する、C 1 2 に記載の方法。

[C 1 6] スイッチの前記第 2 の対は MOS トランジスタを備え、

ここにおいて、前記 (N-M) 個の抵抗ネットワークのうちの 1 つの前記容量素子はそれぞれ、前記 MOS トランジスタの各々のドレイン基板間キャパシタンスの実質的に 2 倍のキャパシタンスを有する、C 1 2 に記載の方法。

[C 1 7] それぞれの (N-M) 個の段は、前記 DAC の集積チップ (IC) レイアウト上で、それらの間に置かれたそれぞれの容量素子によって、隣接する (N-M) 個の段から分離されている、C 1 2 に記載の方法。

[C 1 8] 前記 (N-M) 個の段のうちの (N-M) 番目の段に関連付けられる前記容量素子は、前記 DAC の集積チップ (IC) レイアウト上で、前記 (N-M) 個の段のうちの (N-M) 番目の段と (N-M-1) 番目の段との間に置かれる、C 1 2 に記載の方法。

[C 1 9] 前記スイッチおよびスイッチドライバは、前記 $(2^M - 1)$ 個の段に対応するグリッチノイズを前記 (N-M) 個の段に対応するグリッチノイズに整合させるように、前記様々な段に対応してスケールされる、C 1 1 に記載の方法。

[C 2 0] N ビットデジタルアナログコンバータ (DAC) であって、

デジタルデータの M 個の最上位ビットに関連付けられる $(2^M - 1)$ 個の並列段と、

前記 $(2^M - 1)$ 個の段の各段において第 1 の電流を生成するための手段と、

差分データにตอบสนองしてスイッチの第 1 の対を介して 1 対の電流加算ノードに前記生成された第 1 の電流を供給するための手段と、

前記 (N-M) 個の段のうちの少なくとも 1 つが前記 N ビット DAC のすべての残りの段から分離されるように、前記デジタルデータの (N-M) 個の最下位ビットに関連付けられる (N-M) 個の段と、

前記 (N-M) 個の段の各段において第 2 の電流を生成するための手段と、

各々が前記 (N-M) 個の段の各々に関連付けられる (N-M) 個の抵抗ネットワークと、

差分データにตอบสนองしてスイッチの第 2 の対を介して前記 (N-M) 個の抵抗ネットワークの各ネットワークに、その関連する段において生成された前記第 2 の電流を供給するための手段と、

前記抵抗ネットワークに対応する段のバイナリ重みに従って、各抵抗ネットワークに供給された前記電流をスケールするための手段と、

前記 1 対の電流加算ノードに前記スケールされた電流を供給するための手段と、

利得値によって規定される範囲内に前記 1 対の電流加算ノードの各ノードのインピーダンスを維持するための手段と、

前記利得値によって規定される範囲内に前記電流加算ノード間の電圧差を維持するための手段と、前記 1 対の電流加算ノードの異なるノードに供給される前記スケールされ

10

20

30

40

50

た電流の差が、前記NビットDACによって発生されるアナログ信号の値を規定する、を備えるNビットDAC。

[C 2 1] 前記(N-M)個の抵抗ネットワークの各ネットワークごとに、

第1の容量素子が、前記抵抗ネットワークの第1の抵抗素子と並列に結合され、

第2の容量素子が、前記抵抗ネットワークの第2の抵抗素子と並列に結合される、C 2 0に記載のNビットDAC。

[C 2 2] 前記(N-M)個のネットワークの各ネットワークごとに、

第3の抵抗素子が、前記第1の容量素子および前記第1の抵抗素子と直列に結合され、

第4の抵抗素子が、前記第2の容量素子および前記第2の抵抗素子と直列に結合される、C 2 1に記載のNビットDAC。

10

[C 2 3] 前記(N-M)個の段の各々の前記第1および第2の容量素子は、前記DACの集積チップ(IC)レイアウト上で、前記(N-M)個の段の前記各々の前記第1および第2の抵抗素子と前記(N-M)個の段のうちの隣接する1つの前記第1および第2の抵抗素子との間にある、C 2 1に記載のNビットDAC。

[C 2 4] それぞれの抵抗ネットワークが、それぞれのインピーダンスを有する、C 2 1に記載のNビットDAC。

[C 2 5] 前記(N-M)個の段のうちの1つまたは複数の前記抵抗素子または前記容量素子は、前記(N-M)個の最下位ビットの整合仕様に従って個別に調整される、C 2 4に記載のNビットDAC。

[C 2 6] スイッチの前記第2の対はMOSトランジスタを備え、

20

ここにおいて、前記容量素子のうちの1つは、前記MOSトランジスタのうちの対応する1つのドレイン基板間キャパシタンスの実質的に2倍であるキャパシタンスを有する、C 2 1に記載のNビットDAC。

[C 2 7] それぞれの容量素子は、前記DACの集積チップ(IC)レイアウト上で、それぞれの(N-M)個の段と、隣接する(N-M)個の段との間にある、C 2 1に記載のNビットDAC。

[C 2 8] 前記(N-M)個の段のうちの(N-M)番目の段の前記容量素子は、前記DACの集積チップ(IC)レイアウト上で、前記(N-M)個の段のうちの前記(N-M)番目の段と(N-M-1)番目の段との間にある、C 2 1に記載のNビットDAC。

[C 2 9] 前記様々な段に対応するスイッチを駆動するための手段と、

30

前記スイッチをスケールリングするための手段と、前記($2^M - 1$)個の段に対応するグリッチノイズを前記(N-M)個の段に対応するグリッチノイズに整合させるようにスイッチを駆動するための手段とをさらに備える、C 2 0に記載のNビットDAC。

[C 3 0] 前記(N-M)個の段の前記抵抗ネットワークは、不連続な区分のセグメント型R-2R構造を備える、C 1に記載のNビットDAC。

【図 1】

図 1

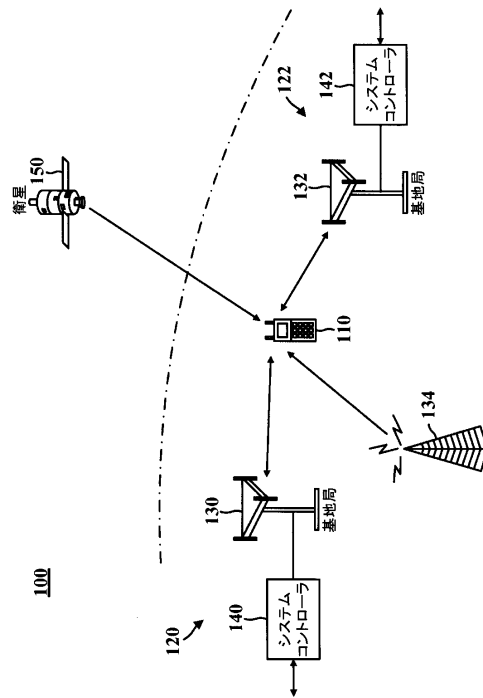


FIG. 1

【図 2】

図 2

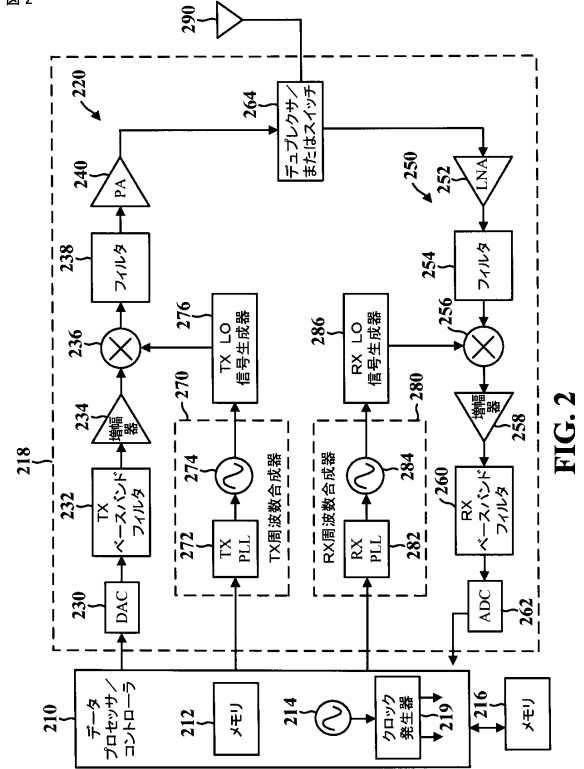


FIG. 2

【図 3】

図 3

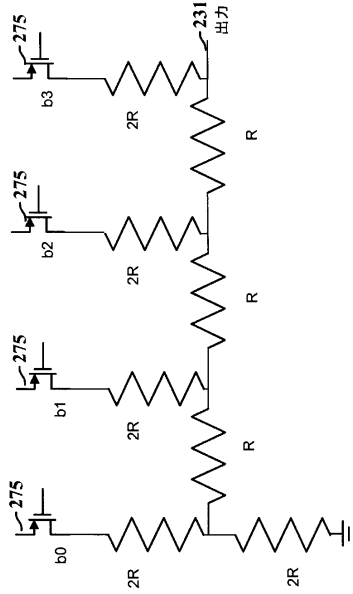


FIG. 3

【図 4 a】

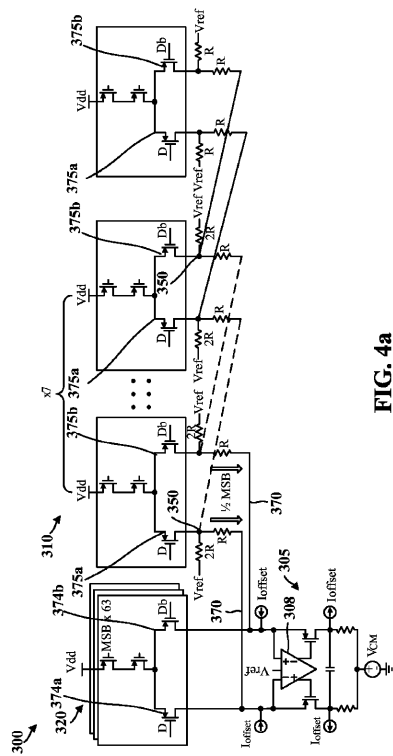


FIG. 4a

【図 4 b】

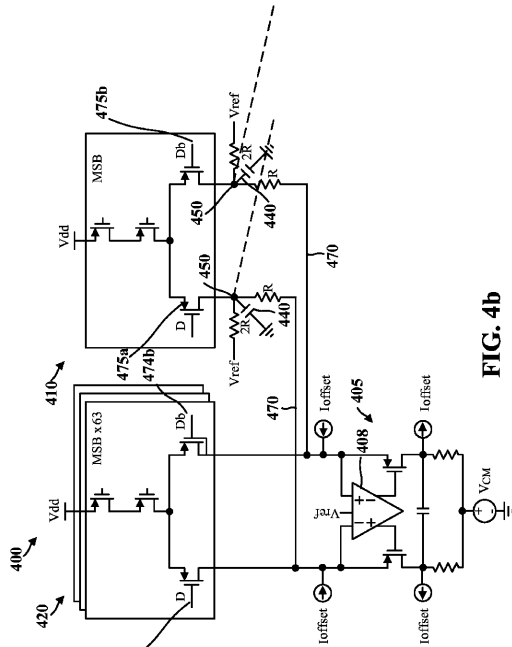


FIG. 4b

【図 5】

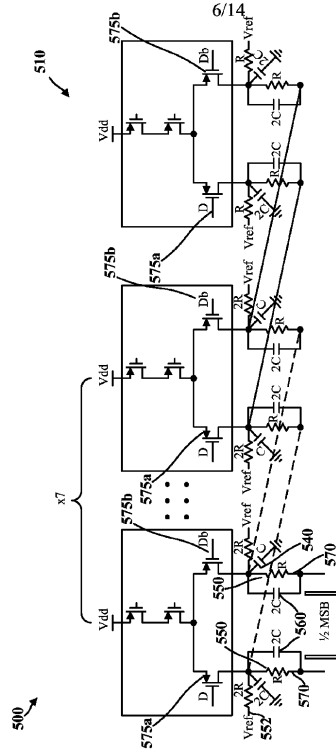


FIG. 5

【図 6】

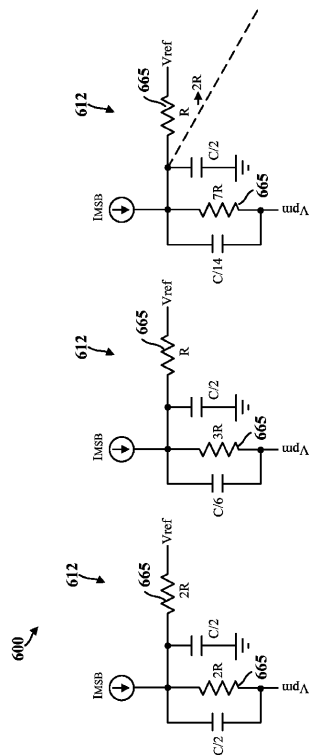


FIG. 6

【図 7 a】

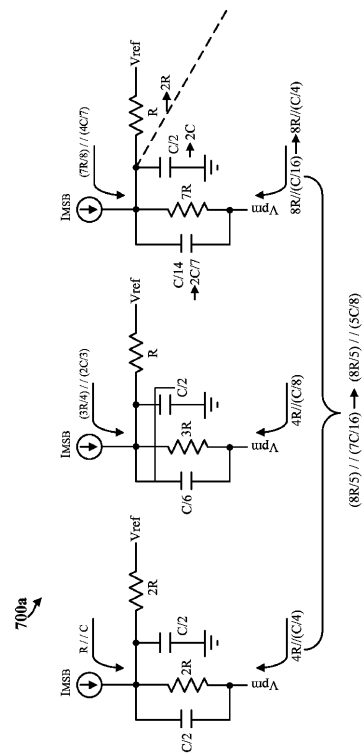
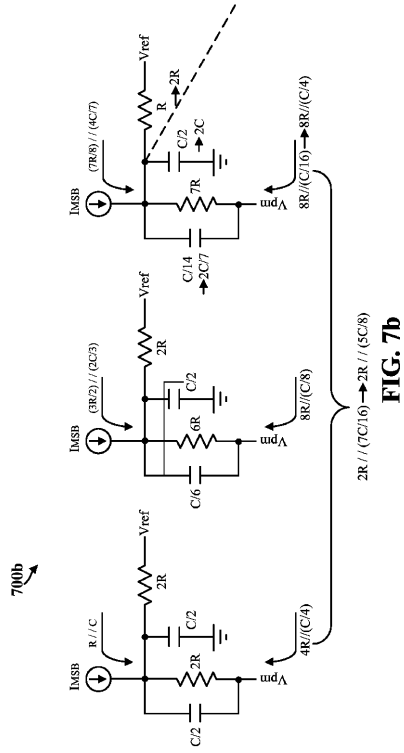
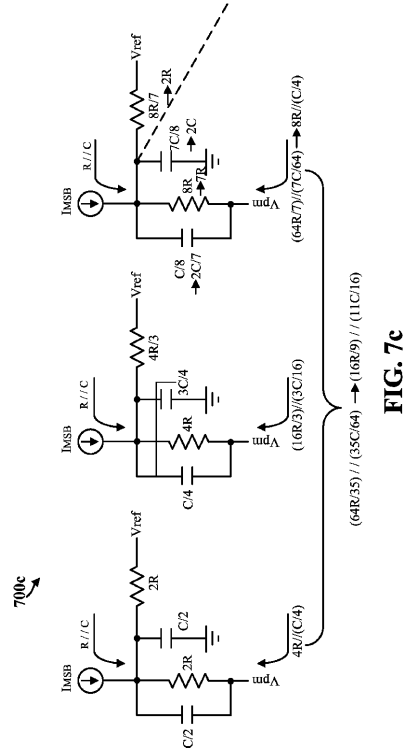


FIG. 7a

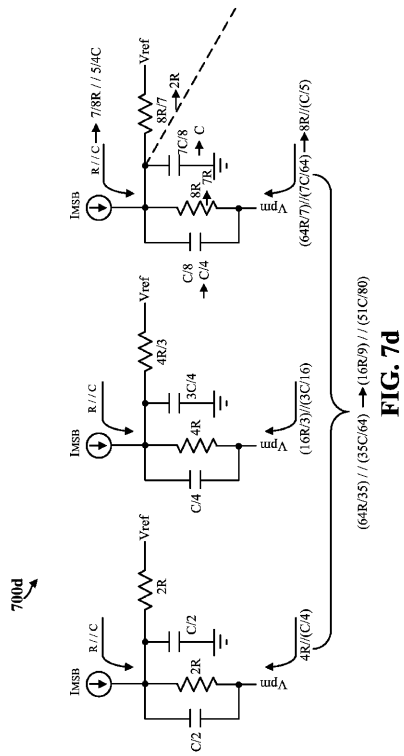
【図 7 b】



【図 7 c】

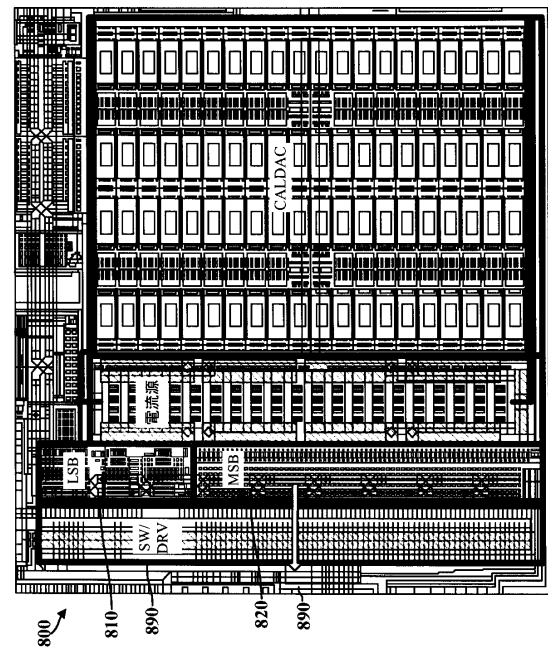


【図 7 d】



【図 8】

図 8



【図 9】

図 9

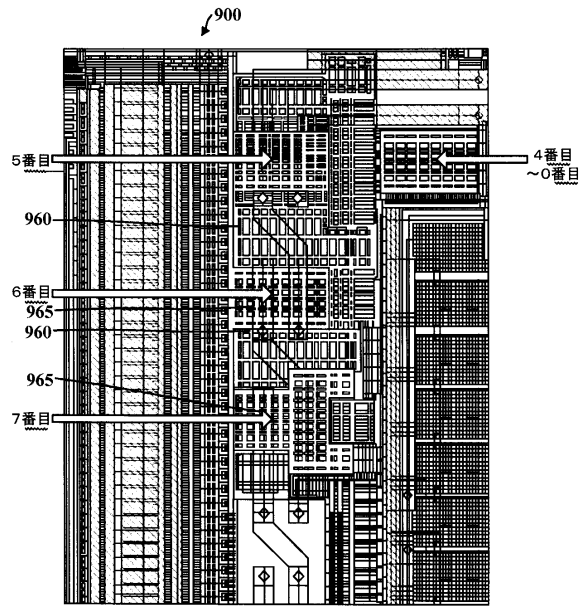


FIG. 9

【図 10】

図 10

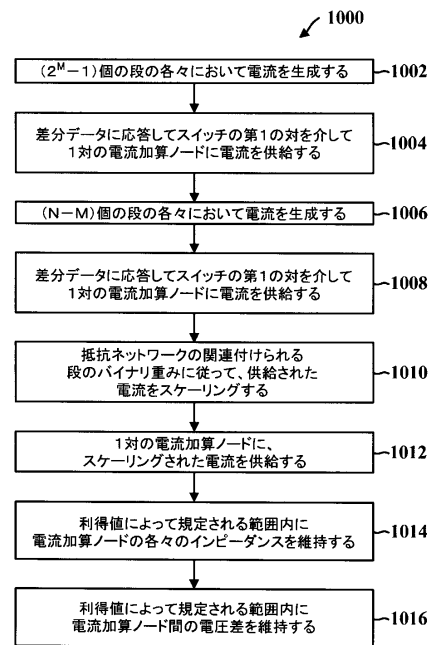


FIG. 10

フロントページの続き

(72)発明者 リ、サン・ミン

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クゥアルコム・インコーポレイテッド気付

(72)発明者 セオ、ドンウォン

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775、クゥアルコム・インコーポレイテッド気付

審査官 小林 正明

(56)参考文献 米国特許出願公開第2006/0092065 (US, A1)

特開昭62-094024 (JP, A)

米国特許出願公開第2011/0037630 (US, A1)

米国特許出願公開第2003/0001765 (US, A1)

米国特許出願公開第2003/0001766 (US, A1)

特表2013-507066 (JP, A)

特開2010-004422 (JP, A)

特開昭61-245718 (JP, A)

特開平10-135836 (JP, A)

特開平10-112654 (JP, A)

特開平09-139674 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/78

H03M 1/68