



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월16일
(11) 등록번호 10-1287097
(24) 등록일자 2013년07월10일

(51) 국제특허분류(Int. Cl.)

H03M 1/38 (2006.01)

(21) 출원번호 10-2012-0005252

(22) 출원일자 2012년01월17일

심사청구일자 2012년01월17일

(56) 선행기술조사문헌

"다양한 회로 공유기법을 사용하는 10비트 100MS/s 27.2mW 0.8mm² 0.18um CMOS Pipeline ADC", 2009년 4월 전자공학회 논문지 제46권 SD편 제4호

JP2007221406 A

KR1020120013121 A

JP2005318582 A

(73) 특허권자

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

이승훈

서울특별시 용산구 동부이촌동 반도아파트 2동 210호

박혜림

서울특별시 서대문구 북가좌1동 한양아파트 4동 1208호

(뒷면에 계속)

(74) 대리인

특허법인충현

전체 청구항 수 : 총 5 항

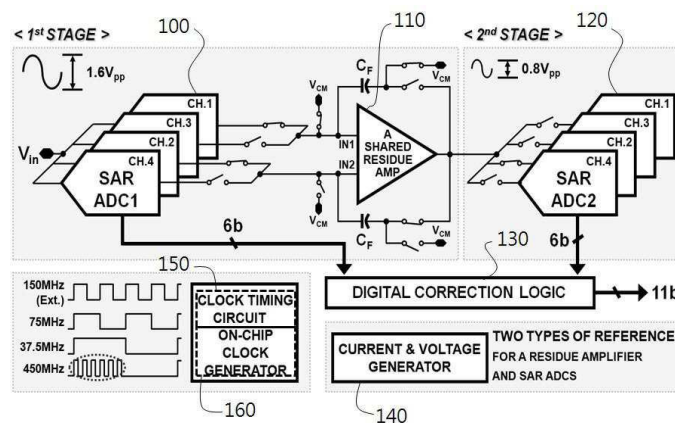
심사관 : 장석환

(54) 발명의 명칭 채널 간 부정합 문제를 최소화한 4 채널 파이프라인 SAR ADC

(57) 요약

본 발명은 4채널 파이프라인 SAR ADC에 관한 것으로서, 병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제1 SAR ADC, 제1 SAR ADC의 출력단에 연결되며 분리된 2쌍의 입력단을 갖는 4개 채널에서 공유된 하나의 잔류전압 증폭기, 잔류전압 증폭기에서 증폭된 잔류전압을 샘플링 하는 병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제2 SAR ADC, 및 제1 SAR ADC와 제2 SAR ADC로부터 출력되는 디지털 출력의 오차를 보정하는 디지털 교정 회로를 포함하고 SAR ADC와 잔류전압 증폭기를 위한 각각의 분리된 두 종류의 기준전압을 생성하는 것을 특징으로 하며, T-I 구조에서의 채널 간 오프셋 부정합 문제, 이득 부정합 문제 및 샘플링 타이밍 부정합 문제를 최소화하며 채널 간 간섭에 의한 기준전압 불안정 문제를 해결하고, 전력소모를 최소화할 수 있다.

대표도 - 도1



(72) 발명자

남상필

경상북도 포항시 남구 지곡동 효자그린2차아파트
224동 104호

송정은

서울특별시 강서구 내발산동 686-6

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF 2010-0007618

부처명 교육과학기술부

연구사업명 한국연구재단 일반연구자지원사업

연구과제명 선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구

주관기관 서강대학교 산학협력단

연구기간 2010.05.01 ~ 2013.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 NIPA-2011-C1090-1101-0003

부처명 지식경제부

연구사업명 지식경제부 대학 IT연구센터 육성지원사업

연구과제명 차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발

주관기관 서강대학교 산학협력단

연구기간 2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제1 SAR ADC;

상기 제1 SAR ADC의 출력단에 연결되며 분리된 2쌍의 입력단을 갖는 4개 채널에서 공유된 하나의 잔류전압 증폭기;

상기 잔류전압 증폭기에서 증폭된 잔류전압을 샘플링 하는 병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제2 SAR ADC; 및

상기 제1 SAR ADC와 상기 제2 SAR ADC로부터 출력되는 디지털 출력의 오차를 보정하는 디지털 교정 회로를 포함하고,

상기 제1 SAR ADC와 상기 제2 SAR ADC에 포함되는 SAR ADC들 중에서 첫번째 채널과 세번째 채널에 대응하는 SAR ADC의 SAR 동작 타이밍이 겹치지 않고, 두번째 채널과 네번째 채널에 대응하는 SAR ADC의 SAR 동작 타이밍이 겹치지 않고,

상기 첫번째 채널과 세번째 채널에 대응하는 SAR ADC는 하나의 기준전압을 공유하고,

상기 두번째 채널과 네번째 채널에 대응하는 SAR ADC는 또 다른 하나의 기준전압을 공유하는 것을 특징으로 하는 4채널 파이프라인 SAR ADC.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 잔류전압 증폭기는 상기 SAR ADC들이 사용하는 기준전압과는 다른 사양을 갖는 하나의 기준전압을 사용하는 것을 특징으로 하는 4채널 파이프라인 SAR ADC.

청구항 4

제1 항에 있어서,

온-칩 클록 생성회로를 더 포함하고,

상기 온-칩 클록 생성회로는 SAR 동작에 사용되는 클록의 듀티 사이클을 조절하는 것을 특징으로 하는 4채널 파이프라인 SAR ADC.

청구항 5

제1 항에 있어서,

상기 제1 SAR ADC로 입력되는 입력신호 범위의 절반을 상기 제2 SAR ADC로 입력되는 입력신호로 사용하는 것을 특징으로 하는 4채널 파이프라인 SAR ADC.

청구항 6

제1 항에 있어서,

상기 제1 SAR ADC와 상기 제2 SAR ADC는 상기 4채널 파이프라인 SAR ADC 동작 속도의 1/4로 샘플링 동작을 수행하고, 상기 샘플링 클록의 폴링 에지를 외부에서 인가된 클록에 동기시키는 것을 특징으로 하는 4채널 파이프라인 SAR ADC.

명세서

기술분야

- [0001] 본 발명은 4채널 time-interleaved (T-I) pipelined (파이프라인) successive-approximation register (SAR) A/D 변환기 (analog-to-digital converter : ADC)에 관한 것으로서, 더욱 상세하게는 T-I 구조에서의 채널 간 오프셋 부정합 문제, 이득 부정합 문제 및 샘플링 타이밍 부정합 문제를 최소화하며 채널 간 간섭에 의한 기준 전압 불안정 문제를 해결하고, 전력소모를 최소화할 수 있는 4채널 파이프라인 SAR ADC에 관한 것이다.

배경기술

- [0002] 높은 선명도와 빠른 동작속도를 요구하는 HDTV와 같은 고화질 영상시스템에는 RGB 신호를 포함한 아날로그 신호를 디지털 신호로 변환하기 위한 ADC가 필수적으로 요구된다. 특히, HDTV 방송 중 가장 널리 사용되는 HD1080i의 경우 10비트 이상의 해상도와 150MS/s 이상의 동작속도를 갖는 ADC를 필요로 하며, 기존에는 이러한 요구사항을 만족하기 위하여 파이프라인 ADC가 많이 사용되었다. 한편, 수백 MS/s 이상의 빠른 동작속도에서도 10비트 이상의 높은 해상도를 갖는 ADC에 대한 수요가 급증함에 따라, 최근에는 파이프라인 구조의 ADC를 병렬로 연결함으로써 전력소모는 최소화하면서도 높은 해상도와 빠른 동작속도를 동시에 얻을 수 있는 T-I 파이프라인 ADC가 많이 제안되고 있다.
- [0003] 일반적인 T-I 구조 기반의 ADC는 낮은 동작속도의 sub-ADC를 병렬로 연결하여 공정의 제약 없이 전력소모는 최적화하면서도 전체 ADC의 동작속도를 향상시킨다. 그러나 채널 간의 오프셋 부정합, 이득 부정합 및 샘플링 타이밍 부정합에 의하여 전체 ADC의 성능이 저하되는 문제점들이 있다. 기존에 발표된 10비트 이상의 해상도를 갖는 T-I ADC의 경우에도 채널 간 부정합으로 인하여 signal-to-noise-and-distortion ratio (SNDR) 성능이 2개의 채널에서도 최대 55.9dB 수준으로 제한되며, 채널이 증가할수록 부정합에 의한 성능은 더욱 줄어든다. 따라서 10비트 이상의 높은 해상도를 얻기 위해서는 채널 간 부정합을 해결하기 위한 보정기법이 필수적이거나 이는 추가적인 회로가 요구되며 복잡하므로 최근에는 다양한 아날로그 회로설계 기법기반의 T-I 파이프라인 ADC가 다양하게 발표되고 있다.
- [0004] 우선 closed-loop 샘플링 기법은 각 채널의 증폭기 오프셋 영향을 제거함으로써 오프셋 부정합 문제를 해결할 수 있다. 그러나 증폭 및 샘플링 동작에서의 루프이득 및 위상 여유의 차이에 의하여 안정성 문제가 발생할 수 있으며, 특히 샘플링 동작이 증폭기의 성능에 의해 제한되는 단점이 있다.
- [0005] 이중 샘플링 기법을 적용한 구조는 두 채널에서 하나의 증폭기만을 사용하여 면적 및 전력소모를 줄이는 동시에 채널 간 증폭기 오프셋 부정합 문제를 제거하였으나, 증폭기가 전체 한 주기 동안 계속 사용되므로 증폭기 입력단이 리셋되는 별도의 시간이 없어서 메모리 효과 (memory effect)가 발생한다. 이로 인해 메모리 효과를 제거하기 위한 추가적인 디지털 영역에서의 보정기법이 필요하다.
- [0006] 오프셋 부정합을 제거하기 위한 또 다른 방법으로는 랜덤 chopping 기법이 있다. 이는 채널 간 오프셋 부정합에 의해 발생하는 톤을 줄임으로써 spurious-free dynamic range (SFDR)는 좋아지지만, 잡음이 증가하여 SNDR은 그대로 유지되므로 높은 SNDR을 얻기 위해서는 오프셋 부정합에 의한 톤을 완벽히 제거해야한다. 한편, 두 개 이상의 채널이 하나의 sample-and-hold amplifier (SHA)를 공유하는 기법을 사용하는 경우에는, 채널 간 오프셋 및 샘플링 타이밍 부정합은 감소하나 전체 주기 동안 동작해야하는 SHA의 요구 사양이 높으며, 채널 수 확장에 제약이 있다. 이를 해결하기 위해 SHA가 없는 구조의 T-I ADC가 제안되었으나 이 구조는 입력신호의 대역폭이 줄어들며, 첫 번째 단 multiplying digital-to-analog converter (MDAC)의 증폭기로 인한 채널 간 부정합 문제는 여전히 존재한다.

발명의 내용

해결하려는 과제

- [0007] 따라서, 본 발명이 해결하고자 하는 과제는 T-I 구조에서의 채널 간 오프셋 부정합 문제, 이득 부정합 문제 및 샘플링 타이밍 부정합 문제를 최소화하며 채널 간 간섭에 의한 기준전압 불안정 문제를 해결하고, 전력소모를 최소화할 수 있는 4채널 파이프라인 SAR ADC를 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명은 상기 과제를 달성하기 위하여, 병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제1 SAR ADC; 상기 제1 SAR ADC의 출력단에 연결되며 분리된 2쌍의 입력단을 갖는 4개 채널에서 공유된 하나의 잔류전압 증폭기; 상기

잔류전압 증폭기에서 증폭된 잔류전압을 샘플링 하는 병렬로 연결된 4개 채널의 SAR ADC들로 구성된 제2 SAR ADC; 및 상기 제1 SAR ADC와 상기 제2 SAR ADC로부터 출력되는 디지털 출력의 오차를 보정하는 디지털 교정 회로를 포함하는 4채널 파이프라인 SAR ADC를 제공한다.

[0009] 본 발명의 일 실시 예에 의하면, 상기 제1 SAR ADC와 상기 제2 SAR ADC에 포함되는 SAR ADC들 중에서 첫번째 채널과 세번째 채널에 대응하는 SAR ADC의 SAR 동작 타이밍이 겹치지 않으며, 두번째 채널과 네번째 채널에 대응하는 SAR ADC의 SAR 동작 타이밍이 겹치지 않으므로, 상기 첫번째 채널과 세번째 채널에 대응하는 SAR ADC는 하나의 기준전압을 공유하고, 상기 두번째 채널과 네번째 채널에 대응하는 SAR ADC는 또 다른 하나의 기준전압을 공유하는 것이 바람직하다.

[0010] 또한, 상기 잔류전압 증폭기는 4개 채널에서 잔류전압 증폭동작 구간이 서로 겹치지 않으므로 하나의 기준전압을 공유하고, 상기 SAR ADC들이 사용하는 기준전압과는 다른 사양을 갖는 하나의 기준전압을 사용하는 것이 바람직하다.

[0011] 본 발명의 다른 실시 예에 의하면, 높은 주파수 클록을 생성하는 온-칩 클록 생성회로를 더 포함하고, 상기 온-칩 클록 생성회로는 SAR 동작에 사용되는 클록의 듀티 사이클 (duty cycle)을 조절할 수 있도록 구성되어 있다.

[0012] 또한, 상기 제1 SAR ADC로 입력되는 입력신호 범위의 절반을 상기 제2 SAR ADC로 입력되는 입력신호로 사용할 수 있다.

[0013] 본 발명의 또 다른 실시 예에 의하면, 상기 제1 SAR ADC와 상기 제2 SAR ADC는 상기 4채널 파이프라인 SAR ADC 동작 속도의 1/4로 샘플링 동작을 수행하고, 상기 샘플링 클록의 폴링 에지 (falling edge)를 외부에서 인가된 클록에 동기시킬 수 있다.

발명의 효과

[0014] 본 발명에 따르면, SHA를 제거하는 대신 파이프라인 SAR 구조를 선택하고, 4개의 채널이 하나의 잔류전압 증폭기를 공유함으로써, 채널 간 증폭기 오프셋 부정합 문제를 제거하고, 전력소모와 면적을 최소화할 수 있다.

[0015] 또한, 본 발명에 따르면, 증폭 동작과 SAR 동작시 사용하는 기준전압을 분리하고 모든 채널이 잔류전압 증폭동작 시 동일한 하나의 기준전압을 사용하도록 구현함으로써, 채널 간 기준전압 불안정 문제와 이득 부정합 문제를 동시에 해결할 수 있다.

[0016] 나아가, 본 발명에 따르면, 샘플링 클록의 폴링 에지를 외부에서 인가된 클록에 동기시킴으로써, 채널 간의 샘플링 타이밍 부정합의 영향을 최소화할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 바람직한 일 실시 예에 따른 4채널 파이프라인 SAR ADC의 구성도이다.

도 2는 본 발명의 바람직한 일 실시 예에 따른 4채널 파이프라인 SAR ADC의 전체 타이밍 도를 도시한 것이다.

도 3은 기존의 4채널 11비트 파이프라인 ADC의 첫번째 단과 본 발명의 일 실시 예에 따른 4채널 11비트 파이프라인 SAR ADC의 첫번째 단을 도시한 것이다.

도 4는 4개의 채널에서 하나의 기준전압을 공유하는 경우와 각 채널마다 분리된 기준전압을 사용하는 경우의 문제점을 도시한 것이다.

도 5는 별도의 사양을 갖는 두 개의 분리된 기준전압을 사용하는 본 발명의 일 실시 예에 따른 ADC를 도시한 것이다.

도 6은 본 발명의 일 실시 예에 따른 ADC에 포함된 온-칩 클록 생성회로의 구조와 동작을 도시한 것이다.

도 7은 서로 다른 두 가지 사양의 기준전압을 사용하는 첫 번째 단을 도시한 것이다.

도 8은 레인지-스케일링 (range-scaling) 기법 기반의 SAR ADC2를 도시한 것이다.

도 9는 분리된 두 쌍의 입력단 기반의 잔류전압 증폭기를 도시한 것이다.

도 10은 본 발명의 실시 예에 따른 ADC의 샘플링 주파수에 따른 SNDR와 SFDR, 입력 주파수에 따른 SNDR와 SFDR을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [0019] 본 발명에서는 특별한 보정기법 없이 다양한 아날로그 회로기반의 설계기법을 적용하여 채널 간 부정합 문제를 최소화한 4채널 파이프라인 SAR 11비트 150MS/s ADC를 제시한다.
- [0020] 채널 간 입력 오프셋 부정합 문제를 해결하기 위하여 입력단 SHA를 제거하였다. 그러나 기존의 SHA-free 파이프라인 ADC에서는 flash ADC와 MDAC에서 각각 입력신호를 샘플링 함으로써, 높은 주파수의 입력신호 처리 시 각각 샘플링되는 입력신호에 부정합이 발생하여 해상도가 제한되는 문제점이 있었다. 본 발명에 따른 ADC는 이러한 문제 해결을 위하여 flash ADC 대신 SAR 기반의 ADC를 사용하는 파이프라인 SAR 구조를 적용하였으며, SHA가 없는 구조에서 입력신호의 대역폭이 제한되는 문제를 해결하였다.
- [0021] 동시에 하나의 샘플링 커패시터를 통해 입력 신호를 샘플링하여 SAR 동작과 MDAC 동작이 모두 가능하도록 하였다.
- [0022] 또한, 입력단 SHA를 제거해도 여전히 존재하는 첫 번째 단 MDAC의 증폭기에 의한 각종 비선형적인 문제를 해결하기 위하여 하나의 잔류전압 증폭기를 4개의 채널이 순차적으로 공유하게 하였다.
- [0023] 한편, 본 발명에 따른 ADC는 증폭 동작 및 SAR 동작 시 사용하는 기준전압을 별도로 분리하여 증폭동작 시 다른 채널의 SAR 동작으로 인해 발생하는 기준전압 불안정 문제를 줄였다.
- [0024] 또한, 모든 채널이 증폭 동작 시 동일한 기준전압을 사용하도록 구현하여 채널 간 이득 부정합 문제를 최소화하였다.
- [0025] 샘플링 타이밍의 경우 4개의 채널에서 사용하는 클록에 싱글 클록-에지 (single clock-edge) 샘플링 기법을 적용하여 부정합을 최소화하였다.
- [0026] 또한, 칩 내부에서 높은 주파수의 클록을 생성하는 온-칩 클록 생성회로를 사용하였으며, 특히 기준전압 샘플링 및 프리앰프 증폭 동작 구간을 최대화하기 위하여 필요시 외부에서 듀티 사이클을 조절할 수 있도록 회로를 구현하였다.
- [0027] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 상세히 설명한다. 그러나 이들 실시 예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0028] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시 예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0029] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할 때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 또는 "포함하는 (comprising)"은 언급된 구성요소, 단계, 동작, 또는 소자 외에 하나 이상의 다른 구성요소, 단계, 동작, 또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0030] 도 1은 본 발명의 바람직한 일 실시 예에 따른 4채널 파이프라인 SAR ADC의 구성도이다.
- [0031] 도 1에는 본 발명의 일 실시 예로서, 4채널 T-I 구조 기반의 11비트 150MS/s 파이프라인 SAR ADC를 나타내고 있다.
- [0032] 도 1을 참조하면, 본 실시 예에 따른 4채널 파이프라인 SAR ADC는 첫 번째 단의 4개의 6비트 SAR ADC(100), 잔류전압 증폭기(110), 두 번째 단의 4개의 6비트 SAR ADC(120), 디지털 교정회로(130), 기준전류 및 기준전압 발

생기(140), 클록 및 타이밍 회로(150), 및 온-칩 클록 생성회로(160)로 구성된다.

[0033] 첫 번째 단의 4개의 6비트 SAR ADC(100, 이하, SAR ADC1)는 입력신호를 4개 채널에 순차적으로 샘플링하고, SAR 동작을 통해 상위 6비트의 디지털 코드로 변환한다.

[0034] 잔류전압 증폭기(110)는 입력신호와 상위 6비트 디지털 코드에 의해 결정된 기준전압의 차이인 잔류전압을 증폭하여 두 번째 단의 4개의 6비트 SAR ADC(120)로 순차적으로 전달한다.

[0035] 이때, 잔류전압 증폭기(110)는 두 쌍의 분리된 입력단을 갖고 있으며, 4개 채널은 하나의 잔류전압 증폭기(110)를 공유하고 있다.

[0036] 두 번째 단의 4개의 6비트 SAR ADC(120, 이하, SAR ADC2)는 증폭된 잔류전압을 샘플링 한 후, SAR 동작을 통해 하위 6비트 디지털 코드를 출력한다.

[0037] 디지털 교정회로(130)는 SAR ADC1(100)과 SAR ADC2(120)로부터 출력되는 디지털 출력의 오차를 보정하여 출력한다. 즉, SAR ADC1(100)로부터 상위 6비트의 디지털 코드를 입력받고, SAR ADC2(120)로부터 하위 6비트 디지털 코드를 입력받은 다음 11비트를 출력한다.

[0038] 기준전류 및 기준전압 발생기(140)는 ADC 칩 내부에 집적되어 있으며, SAR ADC(100, 120)와 잔류전압 증폭기(110)에서 각각 사용하기 위한 두 종류의 서로 다른 사양의 기준전압을 생성한다.

[0039] 클록 및 타이밍 회로(150)는 외부로부터 인가된 150MHz 클록을 분주하여 75MHz와 37.5MHz의 나머지 두 클록을 생성한다.

[0040] 온-칩 클록 생성회로(160)는 450MHz의 빠른 주파수를 요구하는 SAR ADC(100, 120)의 동작을 위해 ADC 칩 내부에서 자체적으로 높은 주파수의 클록을 생성한다.

[0041] 한편, 제안하는 ADC는 레인지-스케일링 기법을 적용하여 증폭기 closed-loop 이득을 감소시켜 증폭기의 전력소모를 최적화하였다.

[0042] 도 2는 본 발명의 바람직한 일 실시 예에 따른 4채널 파이프라인 SAR ADC의 전체 타이밍 도를 도시한 것이다.

[0043] 도 2를 참조하면, 4개 채널이 각각 독립적으로 37.5MS/s로 동작하여 전체 ADC는 150MS/s($=37.5\text{MS/s} \times 4\text{채널}$)의 동작속도를 얻을 수 있다.

[0044] 첫 번째 단인 SAR ADC1(100)의 각 4개 채널에 순차적으로 샘플링된 입력신호는 SAR 동작을 통해 상위 6비트의 디지털 코드로 변환되며, 입력신호와 상위 6비트 코드에 의해 결정된 기준전압의 차이인 잔류전압은 증폭되어 두 번째 단인 SAR ADC2(120)로 순차적으로 전달된다.

[0045] SAR ADC2(120)는 잔류전압 증폭기(110)로부터의 증폭된 잔류전압을 샘플링한 후, SAR 동작을 통해 하위 6비트의 디지털 코드를 출력한다. 두 번째 단은 첫 번째 단과는 달리 잔류전압 증폭구간이 존재하지 않으므로 그만큼 SAR 동작시간을 증가시킬 수 있으나, 하나의 온-칩 클록 생성회로(160) 사용을 위해 첫 번째 단과 동일한 속도의 SAR 동작을 수행하도록 설계하였다.

[0046] 한편, 도 2의 상단에 있는 첫 번째 단의 타이밍 도에서 보듯이 각 채널의 잔류전압 증폭동작 구간이 서로 겹치지 않으므로, 4개 채널 각각은 증폭동작을 위해 11비트 해상도를 갖는 하나의 기준전압을 공유할 수 있다.

[0047] 또한, 채널 1과 채널 3, 채널 2와 채널 4는 SAR 동작 구간이 서로 다르므로 각각 두 그룹의 채널이 6비트 해상도를 갖는 별도의 기준전압을 공유하여 저 전력과 함께 사양 분리를 통한 높은 성능을 구현하였다.

[0048] 본 발명에서는 T-I 구조에서의 채널 부정합 문제를 해결하기 위해 이하에서 기술하는 구성을 포함하는 것을 특징으로 한다.

[0049] 첫째, 오프셋 부정합 문제를 줄이기 위해 하나의 잔류전압 증폭기를 공유한 4채널 T-I 구조를 갖는다.

[0050] 도 3은 기존의 4채널 11비트 파이프라인 ADC의 첫번째 단과 본 발명의 일 실시 예에 따른 4채널 11비트 파이프라인 SAR ADC의 첫번째 단을 도시한 것이다.

[0051] 도 3의 오른쪽을 참조하면, 하나의 잔류전압 증폭기를 공유한 4채널 T-I 구조가 도시되어 있다.

[0052] 표 1은 도 3에 도시된 각 ADC의 첫번째 단을 기반으로 오프셋 부정합의 영향을 비교 분석한 것이다.

표 1

	Conventional Pipelined ADC	Proposed Pipelined SAR ADC
Number of Amplifiers	≥ 8	1
Offset Mismatch by Residue Amplifiers	Remain	Removed

[0053]

[0054]

도 3에 도시된 기존의 4채널 11비트 파이프라인 ADC의 경우, 각 채널의 입력 단 SHA와 첫 번째 단 MDAC 증폭기의 오프셋이 전체 ADC의 오프셋을 결정하는 가장 큰 요인이며, 각 채널 간의 증폭기 오프셋 정합은 11비트 수준 이상으로 설계되어야 한다. 그러나 기존의 파이프라인 ADC는 4채널 구현을 위해 각 단에서 결정하는 비트수에 따라 다르겠지만 최소한 각 채널당 2개 이상, 총 8개 이상의 잔류 증폭기가 필요하며, 추가적인 보정회로 없이는 11비트 수준의 정합을 얻기는 어렵다. 그 반면, 본 발명의 일 실시 예에 따른 4채널 11비트 파이프라인 SAR ADC의 첫 번째 단은 파이프라인 SAR 구조를 사용하여 SHA의 기능을 SAR 구조로 대체하면서 도 3의 오른쪽과 같이 4개의 채널이 하나의 잔류전압 증폭기만을 공유하므로 4개 채널 간 증폭기 오프셋 부정합 문제를 근본적으로 제거하면서 동시에 전력소모와 면적도 최소화하였다.

[0055]

둘째, 이득 부정합 문제를 최소화하기 위해 두 가지 사양의 분리된 기준전압을 사용한다.

[0056]

도 4는 4개의 채널에서 하나의 기준전압을 공유하는 경우와 각 채널마다 분리된 기준전압을 사용하는 경우를 도시한 것이다.

[0057]

일반적으로 기존의 T-I ADC에서 기준전압에 의한 이득 부정합을 해결하는 가장 간단한 방법은 모든 채널에서 동일한 하나의 기준전압을 공유하는 것이다. 그러나 본 발명에 따른 ADC의 경우 파이프라인 SAR의 구조적 특징에 의하여 도 4(a)에서 보듯이 4개의 채널에서 하나의 기준전압을 공유하였을 때 채널 간 신호간섭에 의한 기준전압 불안정 문제가 발생하여 성능에 제약을 받는다. 즉, 한 채널이 잔류전압 증폭 동작 시 450MHz의 빠른 SAR 동작을 하는 다른 채널과의 간섭으로 인해 기준전압이 불안정해짐에 따라 안정적인 증폭동작이 어려우며, 특히 잔류전압 증폭기는 11비트의 높은 해상도가 요구되므로 기준전압 불안정 문제는 전체 ADC 성능 저하에 큰 영향을 미친다.

[0058]

도 4(b)는 4개의 채널이 하나의 기준전압을 공유할 경우 발생하는 기준전압 불안정 문제 해결을 위해 각 채널마다 서로 다른 기준전압을 사용하는 경우이다. 그러나 각 채널이 서로 다른 기준전압을 사용하는 경우에는 채널 간의 기준전압 부정합으로 인한 또 다른 형태의 이득 부정합 문제가 발생한다.

[0059]

본 발명의 실시 예에 따른 ADC는 기존의 T-I 파이프라인 SAR의 구조적 특징에 의해 발생하는 기준전압 불안정 문제와 이득 부정합 문제를 동시에 해결하기 위하여, 증폭 동작과 SAR 동작 시 사용하는 기준전압을 각각 다른 사양을 갖는 2가지 다른 구조로 분리하였다.

[0060]

도 5는 별도의 사양을 갖는 두 개의 분리된 기준전압을 사용하는 본 발명의 실시 예에 따른 ADC를 도시한 것이다.

[0061]

전체 ADC 성능에 가장 큰 영향을 미치는 기준전압 부정합 요인은 잔류전압 증폭 시 사용하는 11비트의 높은 정확도가 요구되는 기준전압에 의한 것이며, 본 발명에 따른 ADC에서는 하나의 잔류전압 증폭기를 공유하여 모든 채널에서 동일한 하나의 기준전압을 사용하여 증폭 동작을 수행함으로써 채널 간 기준전압 부정합 문제를 최소화하였다. 한편, SAR ADC 블록들에서 사용하는 기준전압 부정합은 전체 ADC 성능 측면에서 볼 때 기존의 파이프라인 구조에서 낮은 해상도의 flash ADC의 비교기 오프셋 부정합이 있을 때와 유사한 영향을 끼친다.

[0062]

따라서 본 발명에 따른 ADC는 각 채널이 항상 11비트 정확도를 가져야 하는 도 4(b)와는 달리 6비트의 낮은 기준전압 정확도만 필요하며 이는 추가적인 보정기법 없이 구현 가능하다.

[0063]

도 5를 참조하면, 첫 번째와 두 번째 단 각각의 채널 1과 채널 3은 SAR 동작 타이밍이 서로 다르므로 하나의 기준전압을 공유할 수 있으며, 채널 2와 채널 4도 동일한 근거에서 하나의 기준전압 공유가 가능하다. 따라서 제안하는 ADC는 잔류전압 증폭을 위한 11비트 해상도를 갖는 하나의 기준전압과 SAR 동작을 위한 6비트 해상도를 갖는 2개의 기준전압 등 총 3개의 기준전압을 사용하여 전력소모와 면적을 크게 감소시켰다.

- [0064] 셋째, 샘플링 타이밍 부정합 문제를 해결하기 위해 싱글 클록-에지 샘플링 기법을 사용한다.
- [0065] 기존의 다채널 T-I ADC에서 각 채널에 사용하는 샘플링 클록의 폴링 에지에서 클록 지터 등으로 인하여 타이밍 부정합이 발생할 경우, 전체 ADC는 샘플링 시간이 일정하지 않으므로 선형성 등 성능 저하가 발생한다.
- [0066] 한편, 본 발명에 따른 4채널 T-I ADC의 각 채널은 전체 동작속도의 1/4로 샘플링 동작을 수행하므로 위상이 서로 다른 4개의 샘플링 클록이 채널별로 요구되며, 외부로부터 인가된 150MHz의 클록을 분주하여 생성한 75MHz의 클록을 사용하여 각 채널별 샘플링 동작을 수행할 수 있다. 그러나 75MHz 클록의 경우 디지털 논리회로를 통한 분주 과정에서 클록 지터가 크게 발생하며, 이는 T-I 구조에서 샘플링 타이밍 부정합을 초래한다. 따라서 제안하는 ADC에서는 각 채널 샘플링 클록의 폴링 에지를 외부에서 인가된 150MHz의 정확한 클록에 동기시킴으로써, 채널 간의 샘플링 타이밍 부정합의 영향을 최소화하였다. 또한, 레이아웃 시 샘플링 클록 생성회로를 각 채널의 SAR ADC 중앙에 대칭으로 배치하고, 클록 금속선의 길이를 최소화하여 레이아웃 상에서의 기생 커패시턴스와 저항 성분으로 인한 샘플링 타이밍 부정합을 최소화하였다.
- [0067] 이하에서는 본 발명의 일 실시 예에 따른 온-칩 클록 생성회로의 세부 회로를 살펴보기로 한다.
- [0068] 본 발명에 따른 ADC는 빠른 주파수의 SAR ADC 동작을 위한 온-칩 클록 생성 회로를 포함한다.
- [0069] 본 발명에 따른 ADC는 SAR 동작을 위해 450MHz의 높은 주파수의 클록신호가 필요하다. 그러나 샘플링 및 증폭 동작을 위한 150MHz 클록과 SAR 동작을 위한 450MHz 클록을 동시에 외부에서 인가받을 경우에는 두 클록 신호의 동기 문제가 발생하는 단점이 있다.
- [0070] 최근에는 이렇게 외부에서 인가되는 높은 주파수의 클록 문제를 해결하기 위하여 asynchronous 기법을 적용한 SAR ADC가 많이 제안되어 사용되고 있으며, 이는 비교기에서 래치가 동작하는 시간을 최소화하여 전체 SAR ADC의 동작속도를 향상시킬 수 있다. 그러나 asynchronous 기법은 비교기의 입력신호가 매우 작을 때, 하나의 비트를 결정하기 위한 비교기의 동작시간이 길어져 준안정성 문제 및 이로 인해 ADC 출력 디지털 코드에 오차가 발생할 수 있다.
- [0071] 따라서 본 발명에 따른 ADC에서는 이런 문제를 해결하기 위하여 ADC 내부에서 자체적으로 높은 주파수의 클록을 생성하는 온-칩 클록 생성회로를 사용하였다.
- [0072] 도 6은 본 발명의 일 실시 예에 따른 ADC에 포함된 온-칩 클록 생성회로의 구조와 동작을 도시한 것이다.
- [0073] 도 6을 참조하면, 온-칩 클록 생성회로는 일정 시간 동안 약 450MHz의 클록신호를 발생시키며, 특히 기준전압 샘플링 및 프리앰프 증폭동작 구간을 최대화하기 위하여 듀티 사이클을 조절할 수 있도록 구현하였다. 설계된 클록의 듀티 사이클은 약 70% 수준이며, 이를 통해 D/A 변환기 (digital-to-analog converter : DAC), 기준전압 발생기 및 프리앰프의 설계 사양이 완화된 전력소모 및 면적을 최소화하였다. 또한 총 8개의 SAR ADC 각각에 대하여 시간 지연회로가 필요한 asynchronous 회로기법과는 달리 하나의 온-칩 클록 생성회로를 사용하여 2개의 SAR ADC를 동시에 구동하여 총 4개의 시간 지연회로만을 사용함으로써 칩 면적을 줄였다.
- [0074] 본 발명의 일 실시 예에 따른 각 단계 적용된 회로설계기법은 다음과 같다.
- [0075] 도 7은 서로 다른 두 가지 사양의 기준전압을 사용하는 첫 번째 단을 도시한 것이다.
- [0076] 본 발명에 따른 ADC의 첫 번째 단은 두 개의 분리된 기준전압을 사용하기 위해 도 7과 같이 증폭동작과 SAR 동작을 위한 두 개의 control 논리회로와 기준전압을 선택하는 스위치를 추가하였다. 각 동작에 해당하는 control 논리회로로부터 출력되는 디지털 코드에 따라 증폭동작을 위한 기준전압 (VRFP_AMP, VRFN_AMP) 또는 SAR 동작을 위한 기준전압 (VRFP_SAR, VRFN_SAR)을 각각 선택하며, 아날로그 입력 샘플링 스위치에는 $1.6V_{p-p}$ 의 넓은 범위의 입력신호를 왜곡 없이 처리하기 위해 게이트-부트스트래핑 회로를 사용하였다.
- [0077] 도 8은 레인지-스케일링 기법 기반의 SAR ADC2를 도시한 것이다.
- [0078] 본 발명에 따른 ADC는 증폭기 전력소모를 줄이기 위하여 $1.6V_{p-p}$ 의 입력신호를 받아 두 번째 단부터는 $0.8V_{p-p}$ 로 낮추어 처리하는 레인지-스케일링 기법을 사용하며, 이로 인해 증폭기 출력은 입력신호 범위의 절반이 된다. 따라서, 도 8을 참조하면, 두 번째 단 SAR ADC2는 이러한 입력신호를 처리하기 위하여 기준전압을 절반의 커패시터에만 샘플링하는 방식을 적용하였다.
- [0079] 이런 구조는 기존의 SAR ADC에 비해 두 배의 커패시터가 요구되는 단점은 있으나, 기준전압 발생기를 추가하지 않으면서 레인지-스케일링된 신호 처리가 가능하다. 또한, 도 8과 같이 가장 작은 크기의 커패시터는 두 개의

단위 커패시터(CU)를 직렬로 연결하여 CU/2를 하나의 단위 커패시터로 사용함으로써 전체 커패시터 수를 절반으로 감소시켜 레인지-스케일링 기법적용에 따른 추가적인 면적 증가를 방지하였다.

[0080] 한편, 본 발명의 일 실시 예에 따른 ADC는 메모리 효과 제거를 위해 분리된 두 쌍의 입력단을 사용하는 높은 전압이득의 증폭기를 포함한다.

[0081] 도 9는 분리된 두 쌍의 입력단 기반의 잔류전압 증폭기를 도시한 것이다.

[0082] 도 9를 참조하면, 본 발명에 따른 ADC는 T-I 구조에서 고질적인 오프셋 부정합 문제를 해결하기 위하여 4개의 채널이 하나의 잔류전압 증폭기를 공유하는 구조를 적용하였다. 동시에 분리된 두 쌍의 입력단을 사용하여 사용하지 않는 채널의 리셋시간을 확보하여, 기존의 증폭기 공유기법에서 발생하는 메모리 효과를 제거하였다. 또한, 11비트 해상도의 높은 전압이득을 요구하는 잔류전압 증폭기 구현을 위하여 2단 증폭기의 첫 번째 증폭기에는 이득-부스팅 기법을 채용하였다.

[0083] 도 10은 본 발명의 실시 예에 따른 ADC의 샘플링 주파수에 따른 SNDR와 SFDR, 입력 주파수에 따른 SNDR와 SFDR을 도시한 것이다.

[0084] 도 10(a)를 참조하면, 1MHz 차동 입력 주파수에서 샘플링 속도를 160MS/s까지 증가시킬 경우, 채널숫자에 따른 SNDR 및 SFDR이 도시되어 있다. 샘플링 속도가 160MS/s까지 증가하는 동안 본 발명에 따른 ADC는 채널숫자가 증가하더라도 유사한 동작성능을 나타내었으며, 150MS/s 이하의 동작속도에서 SNDR와 SFDR이 4개 채널 사용 시 각각 54.5dB, 65.5dB 이상을 유지하였다. 특히 본 발명에 따른 ADC는 100MS/s 이하의 동작속도에서는 채널숫자에 관계없이 항상 약 60dB 수준의 SNDR이 유지됨으로써 기존에 발표된 T-I ADC에 비하여 상당히 향상된 채널 간 정합 특성을 보인다.

[0085] 한편, 도 10(b)를 참조하면, 4개 채널 사용 시 100MS/s와 150MS/s의 동작속도에서 입력 주파수를 Nyquist 주파수까지 증가시킬 때의 SNDR와 SFDR을 측정한 결과가 도시되어 있다. 우선, 100MS/s의 동작속도에서 입력 주파수가 50MHz까지 증가할 때, 본 발명에 따른 ADC의 SNDR와 SFDR은 각각 54.4dB, 60.7dB 이상을 유지한다. 한편, 150MS/s의 동작속도에서는 입력 주파수가 40MHz까지 증가할 때, SNDR와 SFDR은 각각 50.5dB, 61.3dB 이상을 유지한다.

[0086] 본 발명은 기존의 T-I ADC에서 발생하는 오프셋, 이득 및 샘플링 타이밍 부정합 문제를 해결하기 위하여 추가적인 보정기법 없이 다양한 아날로그 회로설계 기법만을 사용한 4채널 T-I 파이프라인 SAR 11비트 150MS/s ADC에 관한 것이다.

[0087] 본 발명에 따른 ADC는 입력단 SHA 회로를 제거하고 기존의 flash ADC 대신에 SAR ADC를 sub-ADC로 사용하는 파이프라인 SAR 구조를 적용하여 채널 간 오프셋 부정합 문제와 함께 SHA-free 구조에서 흔히 관찰되는 입력신호 주파수 대역폭이 제한되는 문제를 해결한다.

[0088] 또한, 4개 신호채널이 하나의 증폭기를 공유하도록 구현하여 MDAC의 잔류전압 증폭기에 의한 채널 간의 각종 부정합 문제를 근본적으로 제거하며, 분리된 두 쌍의 입력 단을 사용함으로써 증폭기 공유에 따른 메모리 효과 문제도 줄인다.

[0089] 한편, 채널 간 신호간섭에 의한 기준전압 불안정 문제를 해결하기 위해 SAR 동작과 증폭 동작을 위한 각각의 다른 사양을 갖는 기준전압을 분리해서 사용하며, 특히 모든 채널이 잔류전압 증폭 동작 시 동일한 기준전압을 사용함으로써 이득 부정합 문제를 최소화한다. 채널 간 신호 샘플링 타이밍 부정합의 경우, 4개 채널에서 사용하는 클록에 싱글 클록-에지 샘플링 기법을 적용하여 외부에서 인가된 150MHz의 정확한 클록과 폴링 에지를 동기시킴으로써 해결한다.

[0090] 칩 내부에서 생성된 SAR 동작을 위한 450MHz의 클록은 듀티 사이클을 조절하여 DAC, 기준전압 발생기 및 프리앰프의 설계사양을 완화시켰으며, 동시에 전력소모를 최소화한다.

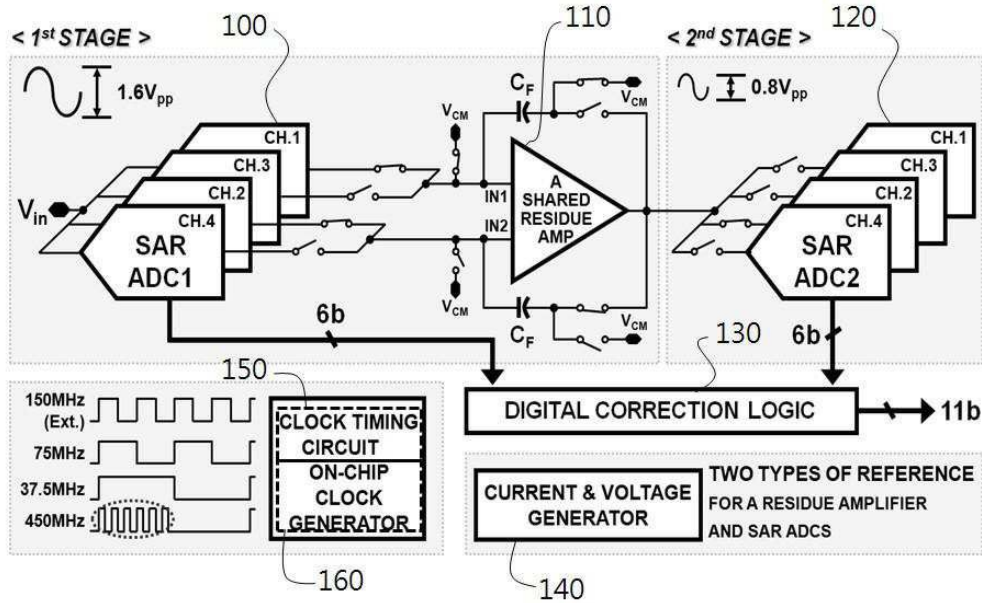
[0091] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

산업상 이용가능성

비선형 에러를 최소화한 4채널 Time-Interleaved 구조기반의 11비트 150MS/s 파이프라인 SAR ADC

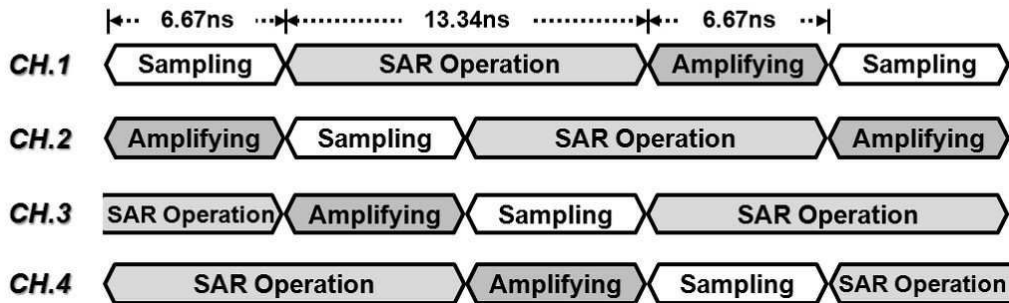
도면

도면1

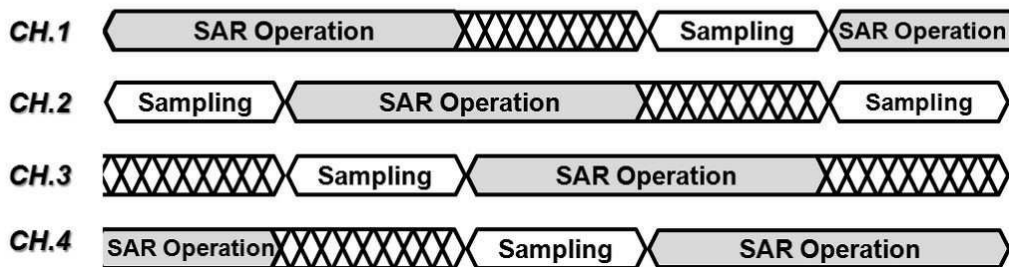


도면2

< 1st STAGE >

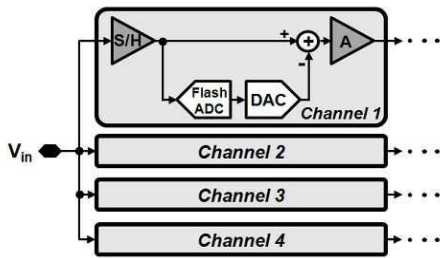


< 2nd STAGE >

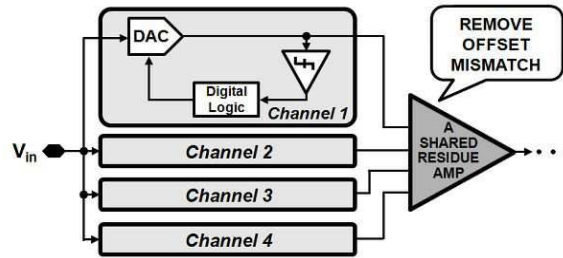


도면3

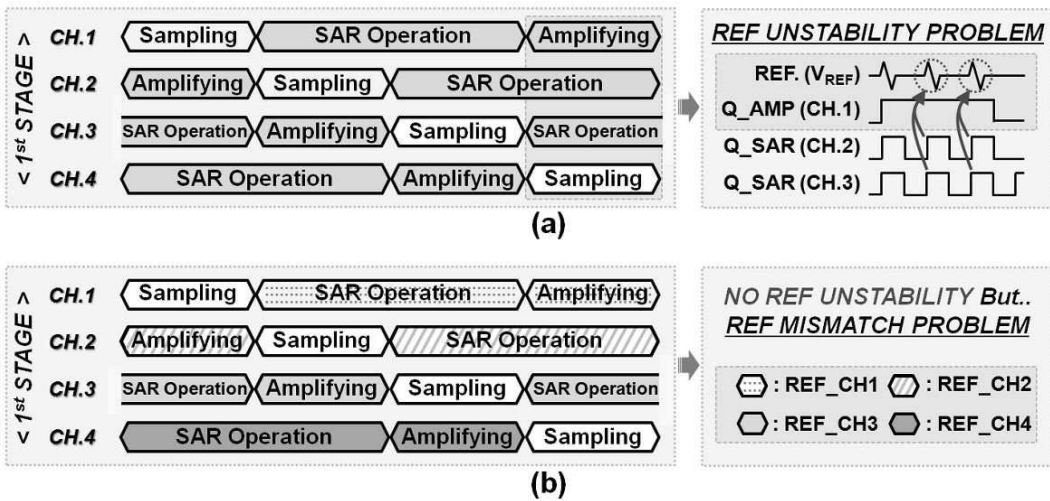
< Conventional 4-ch. 11b pipeline ADC >



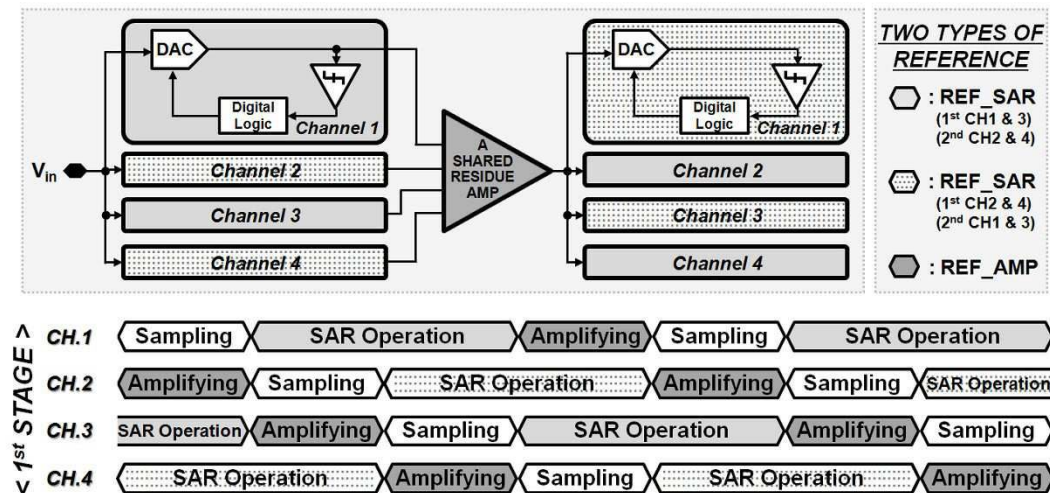
< Proposed 4-ch. 11b pipelined SAR ADC >



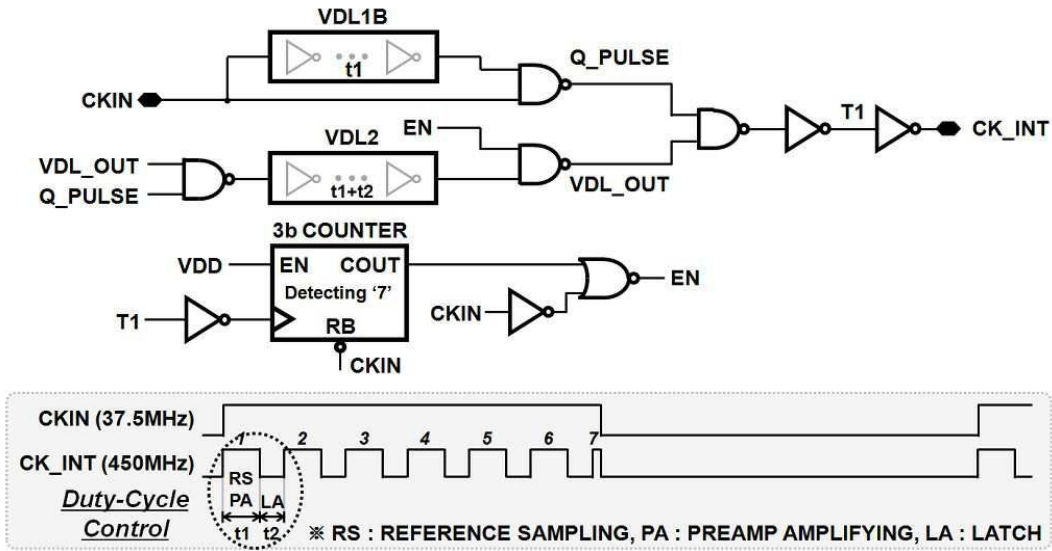
도면4



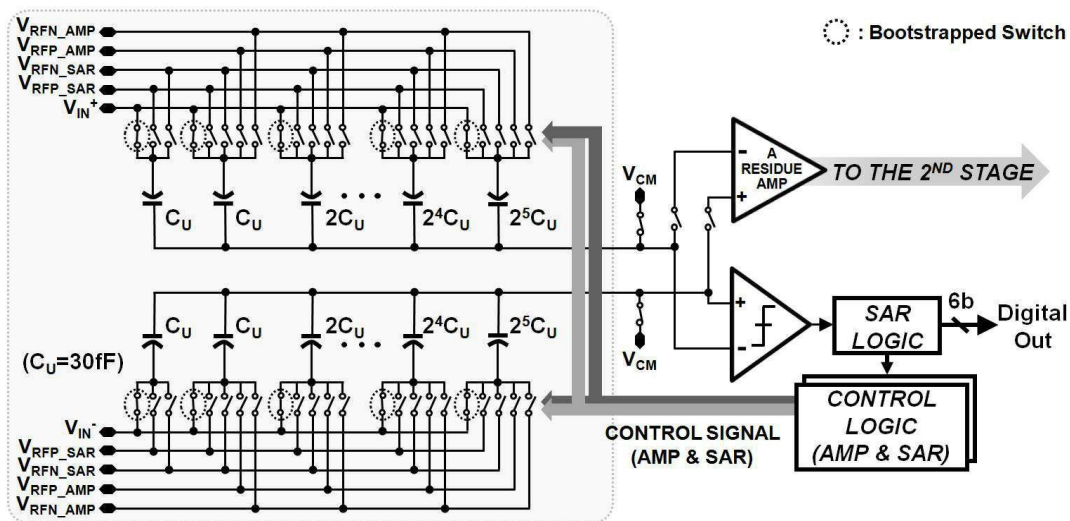
도면5



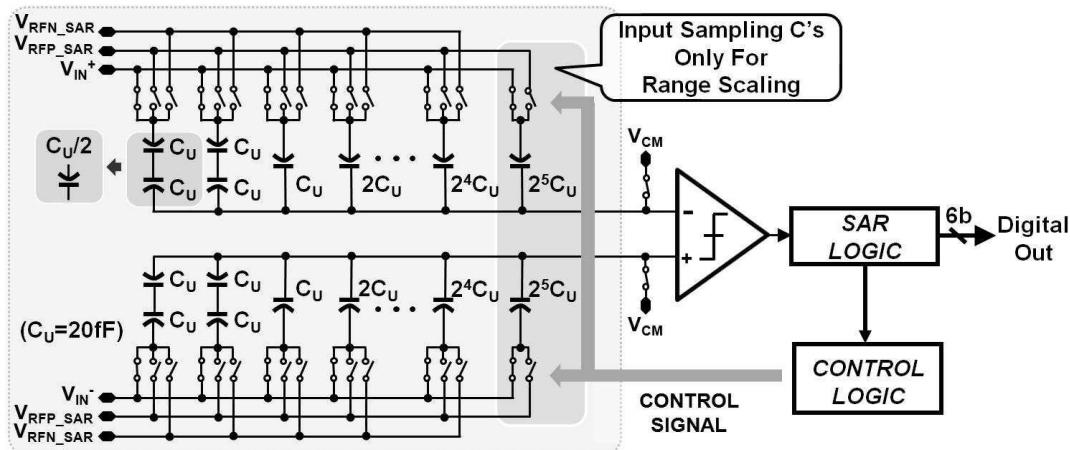
도면6



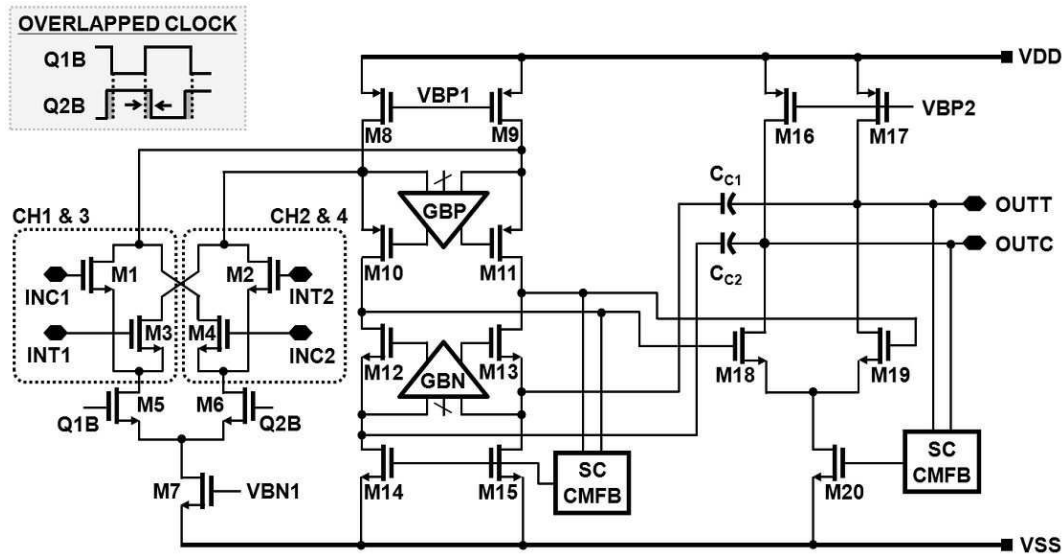
도면7



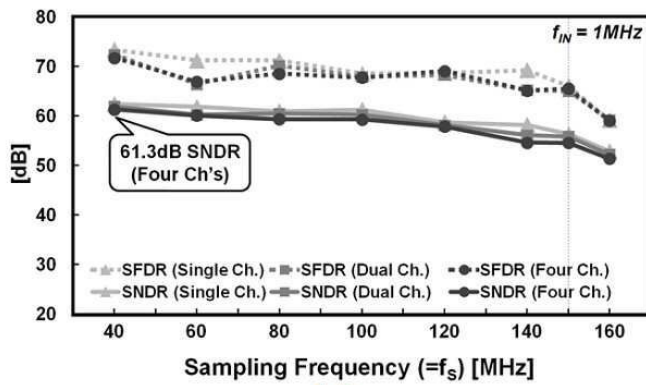
도면8



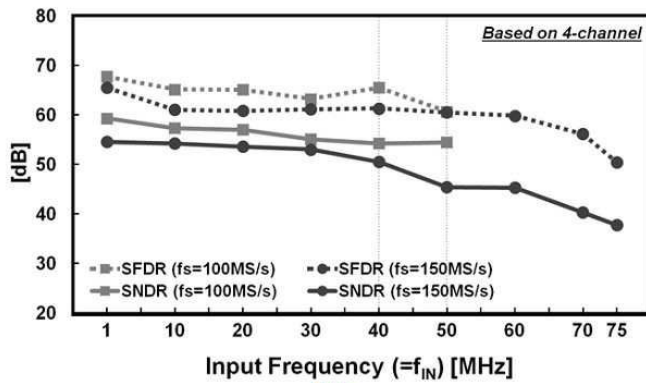
도면9



도면10



(a)



(b)