

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200810085888.8

[51] Int. Cl.

H04L 25/40 (2006.01)

G06F 13/38 (2006.01)

H03K 5/153 (2006.01)

[43] 公开日 2008 年 10 月 1 日

[11] 公开号 CN 101277280A

[22] 申请日 2008.3.28

[21] 申请号 200810085888.8

[30] 优先权

[32] 2007. 3. 30 [33] JP [31] 2007 - 090145

[32] 2008. 2. 6 [33] JP [31] 2008 - 026687

[71] 申请人 精工爱普生株式会社

地址 日本东京

[72] 发明人 南本高志

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 汪惠民

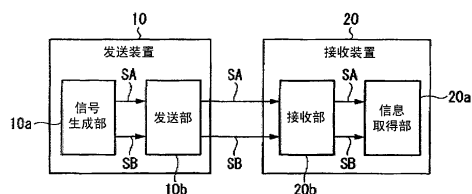
权利要求书 7 页 说明书 22 页 附图 5 页

[54] 发明名称

通信系统、发送装置、接收装置以及通信方法和半导体元件

[57] 摘要

本发明公开一种通信系统、发送装置、接收装置以及通信方法和半导体元件，其中包括：包括：发送装置，其发送以 2 值的状态值规定信息的信息信号；接收装置，其接收所述信息信号；所述发送装置，包含有生成信息解读信号的信号生成单元，并把所述信息解读信号与所述信息信号一起发送，在所述信息信号的状态值变化时所述信息解读信号的状态值不变化，在所述信息信号的状态值没有变化时所述信息解读信号的状态值变化，所述接收装置包含把所接收的所述信息信号和所述信息解读信号的状态值的变化点作为基准，而取得所述信息信号的状态值的信息取得单元。



1、一种通信系统，其中，

包括：

发送装置，其发送以 2 值的状态值规定信息的信息信号；

接收装置，其接收所述信息信号；

所述发送装置，包含有生成信息解读信号的信号生成单元，并把所述信息解读信号与所述信息信号一起发送，在所述信息信号的状态值变化时所述信息解读信号的状态值不变化，在所述信息信号的状态值没有变化时所述信息解读信号的状态值变化，

所述接收装置包含信息取得单元，所述信息取得单元把所接收的所述信息信号和所述信息解读信号的状态值的变化点作为基准，而取得所述信息信号的状态值。

2、一种通信系统，其中，

包括：

发送装置，其发送以 2 值的状态值规定信息的多个信息信号；

接收装置，其接收所述多个信息信号，

所述发送装置，包含生成信息解读信号的信号生成单元，并把所述信息解读信号与所述多个信息信号一起发送，在所述多个信息信号的状态值在相同的定时没有变化的情况下，所述信息解读信号的状态值变化；

所述接收装置包含信息取得单元，所述信息取得单元，把所接收的所述多个信息信号和所述信息解读信号的状态值的变化点作为基准，取得所述多个信息信号的每个的状态值。

3、根据权利要求 1 所述的通信系统，其特征在于，

所述信息取得单元，具有：

第一脉冲发生电路，其与所述信息信号的状态值的变化同步地产生第一脉冲信号；

第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；

或电路，其输出所述第一脉冲信号和所述第二脉冲信号的或信号；

第一延迟电路，其使所述或信号延迟规定时间；

一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述信息信号中包含的1信息的量的位数一致的情况下，输出一致检测信号；

串行一并行变换电路，其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述信息信号进行串行一并行变换；

信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。

4、根据权利要求1所述的通信系统，其特征在于，

所述信息取得单元，具有：

第一脉冲发生电路，其与所述多个信息信号的每个相对应地设置，并与所对应的信息信号的状态值的变化同步地产生第一脉冲信号；

第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；

或电路，其输出与所述多个信息信号的每个相对应的所述第一脉冲信号和所述第二脉冲信号的或信号；

第一延迟电路，其使所述或信号延迟规定时间；

一致检测电路，其与由所述第一延迟电路延迟后的所述或信号相同步地进行计数，在该计数值与所述多个信息信号中所包含的1信息的量的位数一致时，输出一致检测信号；

串行一并行变换电路，其与所述多个信息信号的每个相对应而设置，并把所对应的所述多个信息信号的每个和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述所对应的所述多个信息信号的每个进行串行一并行变换；

信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的每个所述多个信息信号。

5、根据权利要求3或4所述的通信系统，其特征在于，

所述第一脉冲发生电路由以下电路构成：

第二延迟电路，其使所述信息信号延迟规定时间；

第一异或电路，其把所述信息信号和由所述第二延迟电路延迟后的所述信息信号的异或信号，作为所述第一脉冲信号而输出，

所述第二脉冲发生电路由以下电路构成：

第三延迟电路，其使所述信息解读信号延迟规定时间；

第二异或电路，其把所述信息解读信号和由所述第三延迟电路延迟后的所述信息解读信号的异或信号，作为所述第二脉冲信号而输出，

所述一致检测电路由以下电路构成：

计数器电路，其把最大计数值与所述信息信号中包含的1信息的量的位数设定为相同，与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，并把表示计数值的位数据并行输出；

与电路，其把从所述计数器电路并行输出的所述位数据的与信号，作为所述一致检测信号而输出。

6、根据权利要求1~5中的任意一项所述的通信系统，其特征在于，所述发送装置，具有对所述信息信号和所述信息解读信号进行无线发送的无线发送单元；

所述接收装置，具有对所无线发送的所述信息信号和所述信息解读信号进行接收的无线接收单元。

7、一种发送装置，其中，

包括：

发送单元，其对以2值的状态值规定信息的信息信号和信息解读信号进行发送；以及

信号生成单元，其生成所述信息解读信号；

在所述信息信号的状态值变化的情况下维持所述信息解读信号的状态值，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值变化。

8、一种发送装置，其中，

包括：

发送单元，其对以2值的状态值规定信息的多个信息信号和信息解读信号进行发送；

信号生成单元，其生成所述信息解读信号；

在所述多个信息信号的状态值在相同的定时没有变化的情况下，所述信息解读信号的状态值变化。

9、根据权利要求 7 或 8 所述的通信系统，其特征在于，

所述发送单元包含无线发送所述信息信号和所述信息解读信号的无线发送单元。

10、一种接收装置，其中，

包括：

接收单元，其接收以 2 值的状态值规定信息的信息信号、信息解读信号；

信息取得单元，其把所述信息解读信号的状态值的变化点作为基准取得所述信息信号的状态值，

在所述信息信号的状态值变化的情况下维持所述信息解读信号的状态值，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值发生变化。

11、一种接收装置，其中，

包括：

接收单元，其接收以 2 值的状态值规定信息的多个信息信号和信息解读信号；

信息取得单元，其把所述多个信息信号和所述信息解读信号的状态值的变化点作为基准取得所述多个信息信号的每个的状态值，

在所述多个信息信号的状态值在相同的定时没有变化的情况下，所述信息解读信号的状态值发生变化。

12、根据权利要求 10 所述的接收装置，其特征在于，

所述信息取得单元，具有：

第一脉冲发生电路，其与所述信息信号的状态值的变化同步地产生第一脉冲信号；

第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；

或电路，其输出所述第一脉冲信号和所述第二脉冲信号的或信号；

第一延迟电路，其使所述或信号延迟规定时间；

一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述信息信号中包含的1信息的量的位数一致的情况下，输出一致检测信号；

串行一并行变换电路，其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入，并与该或信号同步地对所述信息信号进行串行一并行变换；

信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。

13、根据权利要求11所述的接收装置，其特征在于，

所述信息取得单元，具有：

第一脉冲发生电路，其与所述多个信息信号的每个相对应而设置，并与所对应的信息信号的状态值的变化同步地产生第一脉冲信号；

第二脉冲发生电路，其与所述信息解读信号的状态值的变化相同步地产生第二脉冲信号；

或电路，其输出与所述多个信息信号的每个相对应的所述第一脉冲信号和所述第二脉冲信号的或信号；

第一延迟电路，其使所述或信号延迟规定时间；

一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述多个信息信号中包含的1信息的量的位数一致时，输出一致检测信号；

串行一并行变换电路，其与所述多个信息信号的每个相对应地设置，把所对应的所述多个信息信号的每个和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地，对所对应的所述多个信息信号的每个进行串行一并行变换，

信号处理电路，其与所述一致检测信号同步地取得串行一并行变换的所述多个信息信号。

14、根据权利要求12或13所述的接收装置，其特征在于，

所述第一脉冲发生电路，由以下电路构成：

第二延迟电路，其使所述信息信号延迟规定时间；

第一异或电路，其把所述信息信号和由所述第二延迟电路延迟后的所述信息信号的异或信号，作为所述第一脉冲信号而输出；

所述第二脉冲发生电路由以下电路构成：

第三延迟电路，其使所述信息解读信号延迟规定时间；

第二异或电路，其把所述信息解读信号和由所述第三延迟电路延迟后的所述信息解读信号的异或信号，作为所述第二脉冲信号而输出；

所述一致检测电路由以下电路构成：

计数器电路，其把最大计数值与所述信息信号中包含的1信息的量的位数设定为相同，与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，把表示计数值的位数据并行输出；

与电路，其把从所述计数器电路并行输出的所述位数据的与信号，作为所述一致检测信号而输出。

15、根据权利要求10~14中的任意一项所述的接收装置，其特征在于，

所述接收单元，包含对无线发送的所述信息信号和所述信息解读信号进行接收的无线接收单元。

16、一种通信方法，其中，

从发送侧发送以2值的状态值规定信息的信息信号和信息解读信号；

在接收侧接收所述信息信号和所述信息解读信号，并且在接收侧把所述信息信号和所述信息解读信号的状态值的变化点作为基准，取得所述信息信号的状态值；

在所述信息信号的状态值变化的情况下所述信息解读信号的状态值不变化，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值变化。

17、一种半导体元件，其中，

包括：

信息信号生成电路，其生成以2值的状态值规定信息的信息信号；

信息解读信号生成电路，其生成信息解读信号；

发送电路，其输出所述信息信号和所述信息解读信号，

所述信息解读信号生成电路，具有如下功能：即在所述信息信号的状态

态值变化的情况下不使所述信息解读信号的状态值变化，在所述信息信号的状态值没有变化的情况下使所述信息解读信号的状态值变化。

18、一种半导体元件，其特征在于，

包括：

第一脉冲发生电路，其把以 2 值的状态值规定信息的信息信号和信息解读信号作为输入，与所述信息信号的状态值的变化同步地产生第一脉冲信号；

第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；

或电路，其输出所述第一脉冲信号和所述第二脉冲信号的或信号；

第一延迟电路，其使所述或信号延迟规定时间；

一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述信息信号中包含的 1 信息的量的位数一致的情况下输出一致检测信号；

串行一并行变换电路，其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述信息信号进行串行一并行变换；

信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。

通信系统、发送装置、接收装置以及通信方法和半导体元件

技术领域

本发明涉及通信系统、发送装置、接收装置以及通信方法和半导体元件。

背景技术

例如，在以下的专利文献1中，描述在时钟同步型的通信方式中，发送侧在时钟信号的上升或下降之前确定数据信号的电平，接收侧与时钟信号的上升或下降同步，取得数据信号的电平，把取得的数据信号进行串行—并行变换，进行译码的技术。

〔专利文献1〕特开平6—460461号公报

发明内容

在所述以往技术中，即使是第三者，也容易区别时钟信号和数据信号，所以通过与接收侧同样的程序，能进行数据信号的译码，产生信息的泄漏等安全性上的问题。

本发明是鉴于这样的事情而提出的，其目的在于，提高数据信号等信息信号通信时的安全性。

为了实现所述的目的，本发明的通信系统的特征在于，包括：发送装置，其发送以2值的状态值规定信息的信息信号；接收装置，其接收所述信息信号；所述发送装置，包含有生成信息解读信号的信号生成单元，并把所述信息解读信号与所述信息信号一起发送，在所述信息信号的状态值变化时所述信息解读信号的状态值不变化，在所述信息信号的状态值没有变化时所述信息解读信号的状态值变化，所述接收装置包含信息取得单元，所述信息取得单元把所接收的所述信息信号和所述信息解读信号的状态值的变化点作为基准，而取得所述信息信号的状态值。

根据具有这样的特征的通信系统，难以区别信息信号和信息解读信号以及各信号的任务，即使第三者读取两个信号，也无法进行译码，从而能够防止信息的泄漏。结果，能提高数据信号等信息信号通信时的安全性。

此外，优选为，在本发明的通信系统中，包括：发送装置，其发送以2值的状态值规定信息的多个信息信号；接收装置，其接收所述多个信息信号，所述发送装置，包含生成信息解读信号的信号生成单元，并把所述信息解读信号与所述多个信息信号一起发送，在所述多个信息信号的状态值在相同的定时没有变化的情况下，所述信息解读信号的状态值变化；所述接收装置包含信息取得单元，所述信息取得单元，把所接收的所述多个信息信号和所述信息解读信号的状态值的变化点作为基准，取得所述多个信息信号的每个的状态值。

通过采用这样的结构，从发送装置一侧发送多个信息信号时，也能防止信息的泄漏，结果，能提高信息信号通信时的安全性。

此外，优选为，在本发明的通信系统中，所述信息取得单元，具有：第一脉冲发生电路，其与所述信息信号的状态值的变化同步地产生第一脉冲信号；第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；或电路，其输出所述第一脉冲信号和所述第二脉冲信号的或信号；第一延迟电路，其使所述或信号延迟规定时间；一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述信息信号中包含的1信息的量的位数一致的情况下，输出一致检测信号；串行一并行变换电路，其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述信息信号进行串行一并行变换；信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。

通过采用这样的结构，在接收装置一侧，能用简单的电路结构取得（译码）信息信号，所以能谋求接收装置的低成本化、设计作用效率的提高和设计期间的缩短。

此外，优选为，在本发明的通信系统中，所述信息取得单元，具有：第一脉冲发生电路，其与所述多个信息信号的每个相对应地设置，并与所对应的信息信号的状态值的变化同步地产生第一脉冲信号；第二脉冲发生

电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；或电路，其输出与所述多个信息信号的每个相对应的所述第一脉冲信号和所述第二脉冲信号的或信号；第一延迟电路，其使所述或信号延迟规定时间；一致检测电路，其与由所述第一延迟电路延迟后的所述或信号相同步地进行计数，在该计数值与所述多个信息信号中所包含的1信息的量的位数一致时，输出一致检测信号；串行一并行变换电路，其与所述多个信息信号的每个相对应而设置，并把所对应的所述多个信息信号的每个和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述所对应的所述多个信息信号的每个进行串行一并行变换；信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的每个所述多个信息信号。

通过采用这样的结构，能同时实现从发送装置一侧发送多个信息信号时的安全性的提高、接收装置的低成本化、设计作业效率的提高和设计期间的缩短。

此外，优选为，在本发明的通信系统中，所述第一脉冲发生电路由以下电路构成：第二延迟电路，其使所述信息信号延迟规定时间；第一异或电路，其把所述信息信号和由所述第二延迟电路延迟后的所述信息信号的异或信号，作为所述第一脉冲信号而输出，所述第二脉冲发生电路由以下电路构成：第三延迟电路，其使所述信息解读信号延迟规定时间；第二异或电路，其把所述信息解读信号和由所述第三延迟电路延迟后的所述信息解读信号的异或信号，作为所述第二脉冲信号而输出，所述一致检测电路由以下电路构成：计数器电路，其把最大计数值与所述信息信号中包含的1信息的量的位数设定为相同，与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，并把表示计数值的位数据并行输出；与电路，其把从所述计数器电路并行输出的所述位数据的与信号，作为所述一致检测信号而输出。

使用延迟电路或异或电路、计数器电路、与电路等通用电路构成上述的第一脉冲发生电路、第二脉冲发生电路和一致检测电路，能有助于接收装置的进一步低成本化、设计作业效率的提高和设计期间的缩短。

此外，在本发明的通信系统中，也可以采用如下那样的结构：即所述

发送装置，具有对所述信息信号和所述信息解读信号进行无线发送的无线发送单元；所述接收装置，具有对所述无线发送的所述信息信号和所述信息解读信号进行接收的无线接收单元。

通过采用这样的结构，不仅有线通信，还能提高用无线通信进行信息信号的通信时的安全性。

此外，本发明所涉及的发送装置的特征在于，包括：发送单元，其对以2值的状态值规定信息的信息信号和信息解读信号进行发送；以及信号生成单元，其生成所述信息解读信号；在所述信息信号的状态值变化的情况下维持所述信息解读信号的状态值，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值变化。

根据具有这样的特征的本发明的发送装置，能防止信息的泄漏，能提高数据信号等信息信号通信时的安全性。

此外，优选为，在本发明的发送装置中，包括：发送单元，其对以2值的状态值规定信息的多个信息信号和信息解读信号进行发送；信号生成单元，其生成所述信息解读信号；在所述多个信息信号的状态值在相同的定时没有变化的情况下，所述信息解读信号的状态值变化。

通过采用这样的结构，从发送装置一侧发送多个信息信号时，能防止信息的泄漏，结果，能提高信息信号通信时的安全性。

此外，在本发明的发送装置中，也可以采用如下结构：即所述发送单元包含无线发送所述信息信号和所述信息解读信号的无线发送单元。

通过采用这样的结构，不仅有线通信，还能提高用无线通信进行信息信号的通信时的安全性。

此外，优选为，在本发明的发送装置中，包括：接收单元，其接收以2值的状态值规定信息的信息信号、信息解读信号；信息取得单元，其把所述信息解读信号的状态值的变化点作为基准取得所述信息信号的状态值，在所述信息信号的状态值变化的情况下维持所述信息解读信号的状态值，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值发生变化。

根据具有这样的特征的本发明的接收装置，能防止信息的泄漏，能提高数据信号等信息信号通信时的安全性。

此外,优选为,在本发明的接收装置中,包括:接收单元,其接收以2值的状态值规定信息的多个信息信号和信息解读信号;信息取得单元,其把所述多个信息信号和所述信息解读信号的状态值的变化点作为基准取得所述多个信息信号的每个的状态值,在所述多个信息信号的状态值在相同的定时没有变化的情况下,所述信息解读信号的状态值发生变化。

通过采用这样的结构,从发送装置一侧发送多个信息信号时,能防止信息的泄漏,结果,能提高信息信号通信时的安全性。

此外,优选为,在本发明的接收装置中,所述信息取得单元,具有:第一脉冲发生电路,其与所述信息信号的状态值的变化同步地产生第一脉冲信号;第二脉冲发生电路,其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号;或电路,其输出所述第一脉冲信号和所述第二脉冲信号的或信号;第一延迟电路,其使所述或信号延迟规定时间;一致检测电路,其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作,在计数值与所述信息信号中包含的1信息的量的位数一致的情况下,输出一致检测信号;串行一并行变换电路,其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入,并与该或信号同步地对所述信息信号进行串行一并行变换;信号处理电路,其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。

通过采用这样的结构,在接收装置一侧,能以简单的电路结构取得(译码)信息信号,所以能实现接收装置的低成本化、设计作业效率的提高和设计期间的缩短。

此外,优选为,在本发明的接收装置中,在所述发送装置发送多个所述信息信号时,所述信息取得单元,具有:第一脉冲发生电路,其与所述多个信息信号的每个相对应而设置,并与所对应的信息信号的状态值的变化同步地产生第一脉冲信号;第二脉冲发生电路,其与所述信息解读信号的状态值的变化相同步地产生第二脉冲信号;或电路,其输出与所述多个信息信号的每个相对应的所述第一脉冲信号和所述第二脉冲信号的或信号;第一延迟电路,其使所述或信号延迟规定时间;一致检测电路,其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作,在计数值

与所述多个信息信号中包含的 1 信息的量的位数一致时，输出一致检测信号；串行一并行变换电路，其与所述多个信息信号的每个相对应地设置，把所对应的所述多个信息信号的每个和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地，对所述对应的所述多个信息信号的每个进行串行一并行变换，信号处理电路，其与所述一致检测信号同步地取得串行一并行变换的所述多个信息信号。

通过采用这样的结构，能同时实现从发送装置一侧发送多个信息信号时的安全性的提高、接收装置的低成本化、设计作业效率的提高和设计期间的缩短。

此外，优选为，在本发明的接收装置中，所述第一脉冲发生电路，由以下电路构成：第二延迟电路，其使所述信息信号延迟规定时间；第一异或电路，其把所述信息信号和由所述第二延迟电路延迟后的所述信息信号的异或信号，作为所述第一脉冲信号而输出；所述第二脉冲发生电路由以下电路构成：第三延迟电路，其使所述信息解读信号延迟规定时间；第二异或电路，其把所述信息解读信号和由所述第三延迟电路延迟后的所述信息解读信号的异或信号，作为所述第二脉冲信号而输出；所述一致检测电路由以下电路构成：计数器电路，其把最大计数值与所述信息信号中包含的 1 信息的量的位数设定为相同，与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，把表示计数值的位数据并行输出；与电路，其把从所述计数器电路并行输出的所述位数据的与信号，作为所述一致检测信号而输出。

使用延迟电路或异或电路、计数器电路、与电路等通用电路构成上述的第一脉冲发生电路、第二脉冲发生电路和一致检测电路，能有助于接收装置的进一步低成本化、设计作业效率的提高和设计期间的缩短。

此外，在本发明的接收装置中，所述接收单元，包含对无线发送的所述信息信号和所述信息解读信号进行接收的无线接收单元。

通过采用这样的结构，不仅有线通信，还能提高用无线通信进行信息信号的通信时的安全性。

本发明的通信方法的特征在于，从发送侧发送以 2 值的状态值规定信息的信息信号和信息解读信号；在接收侧接收所述信息信号和所述信息解

读信号，并且在接收侧把所述信息信号和所述信息解读信号的状态值的变化点作为基准，取得所述信息信号的状态值；在所述信息信号的状态值变化的情况下所述信息解读信号的状态值不变化，在所述信息信号的状态值没有变化的情况下所述信息解读信号的状态值变化。

根据具有这样的特征的本发明的通信方法，能防止信息的泄漏，能提高数据信号等信息信号通信时的安全性。

本发明的具有发送功能的半导体元件包括：信息信号生成电路，其生成以 2 值的状态值规定信息的信息信号；信息解读信号生成电路，其生成信息解读信号；发送电路，其输出所述信息信号和所述信息解读信号，所述信息解读信号生成电路，具有如下功能：即在所述信息信号的状态值变化的情况下不使所述信息解读信号的状态值变化，在所述信息信号的状态值没有变化的情况下使所述信息解读信号的状态值变化。通过使用具有这样的发送功能的半导体元件，能构成所述的发送装置。

此外，本发明的具有接收功能的半导体元件的特征在于，包括：第一脉冲发生电路，其把以 2 值的状态值规定信息的信息信号和信息解读信号作为输入，与所述信息信号的状态值的变化同步地产生第一脉冲信号；第二脉冲发生电路，其与所述信息解读信号的状态值的变化同步地产生第二脉冲信号；或电路，其输出所述第一脉冲信号和所述第二脉冲信号的或信号；第一延迟电路，其使所述或信号延迟规定时间；一致检测电路，其与由所述第一延迟电路延迟后的所述或信号同步地进行计数动作，在计数值与所述信息信号中包含的 1 信息的量的位数一致的情况下输出一致检测信号；串行一并行变换电路，其把所述信息信号和由所述第一延迟电路延迟后的所述或信号作为输入，与该或信号同步地对所述信息信号进行串行一并行变换；信号处理电路，其与所述一致检测信号同步地取得串行一并行变换后的所述信息信号。通过使用具有这样的接收功能的半导体元件，能构成所述的接收装置。

附图说明

图 1 是本发明一个实施方式的通信系统的结构框图。

图 2 是本发明一个实施方式的信息取得部 20a 的内部结构框图。

图 3 是表示本发明一个实施方式的通信系统的动作的定时图。

图 4 是在本发明一个实施方式的通信系统中，发送多个信息信号时的结构框图。

图 5 是在本发明一个实施方式的通信系统中，发送多个信息信号时的信息取得部 20a 的内部结构框图。

图 6 是表示在本发明一个实施方式的通信系统中，发送多个信息信号时的动作的定时图。

图 7 是本发明一个实施方式的通信系统的变形例。

图中：10—发送装置；10a、10a'—信号生成部；10b—发送部；10b'—无线发送部；20—接收装置；20a、20a'—信息取得部；20b—接收部；20b'—无线接收部；100、200—第一脉冲发送电路；101—第二脉冲发送电路；102—或电路；103—延迟电路；104—一致检测电路；105、300—移位寄存器；106—控制器；100a、101a、200a—延迟电路；100b、101b、200b—异或电路；104a—计数器电路；104b—与电路。

具体实施方式

以下，参照附图，说明本发明的通信系统、发送装置、接收装置以及通信方法的一个实施方式。另外，在以下，作为本实施方式的通信系统，列举电子电路的电路块彼此间的通信（即有线通信），进行说明。

图 1 是本实施方式的通信系统的结构框图。如图 1 所示，本实施方式的通信系统由发送装置 10 和接收装置 20 构成。发送装置 10 和接收装置 20 是电子电路的发送侧电路块和接收侧电路块，由其他电路构成。发送装置 10 和接收装置 20 通过 2 条信号线彼此连接。此外，发送装置 10 作为其构成要素，具有信号生成部 10a（信号生成单元）和发送部 10b（发送单元），接收装置 20 具有信息取得部 20a（信息取得单元）和接收部（接收单元）20b。

在发送装置 10 中，信号生成部 10a 生成用 2 值的状态值（高电平、低电平）规定信息的信息信号 SA、信息解读信号 SB。这里，在信息信号 SA 的状态值变化时，信息解读信号 SB 的状态值不变化，在信息信号 SA 的状态值没有变化时，信息解读信号 SB 的状态值变化。发送部 10b 把信

息信号 SA 通过一方的信号线向接收装置 20（具体而言，接收部 20b）发送，并且通过另一方的信号线，把信息解读信号 SB 向接收装置 20（具体而言，接收部 20b）发送。这里，信息信号 SA 是串行数据，作为该信息信号中包含的信息，可以是有效载荷（ペイロード）等数据主体、关于标题等通信的的控制的控制信息，此外，也可以是这些数据主体和控制信息的组合。

在接收装置 20，接收部 20b 把从发送装置 10 接收的信息信号 SA 和信息解读信号 SB 对信息取得部 20a 输出。信息取得部 20a 把信息信号 SA 和信息解读信号 SB 的状态值的变化点作为基准，取得信息信号 SA 的状态值（即信息信号 SA 中包含的信息）。以下，参照图 2，详细说明该信息取得部 20a。

图 2 是信息取得部 20a 的内部结构框图。如图 2 所示，信息取得部 20a 由第一脉冲发送电路 100、第二脉冲发送电路 101、或电路 102、延迟电路 103、一致检测电路 104、移位寄存器 105、控制器 106 构成。

第一脉冲发送电路 100 由延迟电路 100a 和异或电路 100b 构成。延迟电路 100a 把信息信号 SA 作为输入，使该信息信号 SA 延迟规定时间，对异或电路 100b 输出。异或电路 100b 把信息信号 SA 和由延迟电路 100a 延迟的信息信号 SA 作为输入，把这两个信号的异或信号作为第一脉冲信号 S1 对或电路 104 输出。即由延迟电路 100a 和异或电路 100b 构成的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步，输出具有与延迟电路 100a 的延迟时间量相当的脉冲宽度的第一脉冲信号 S1。这些延迟电路 100a 和异或电路 100b 是相当于本发明的第二延迟电路和第一异或电路的构成要素。

第二脉冲发送电路 101 由延迟电路 101a 和异或电路 101b 构成。延迟电路 101a 把信息解读信号 SB 作为输入，使该信息解读信号 SB 延迟规定时间，输出到异或电路 101b。异或电路 101b 把信息解读信号 SB 和由延迟电路 101a 延迟的信息信号 SA 作为输入，把这两个信号的异或信号作为第二脉冲信号 S2 输出到或电路 104。即由延迟电路 101a 和异或电路 101b 构成的第二脉冲发送电路 101 与信息解读信号 SB 的状态值的变化同步，输出具有与延迟电路 101a 的延迟时间量相当的脉冲宽度的第二脉冲信号

S2。延迟电路 101a 和异或电路 101b 是相当于本发明的第三延迟电路和第二异或电路的构成要素。

或电路 102 把第一脉冲信号 S1 和第二脉冲信号 S2 的或信号 S3 输出到延迟电路 103。延迟电路 103 使或信号 S3 延迟规定时间，作为延迟脉冲信号 S4，输出到一致检测电路 104 和移位寄存器 105。该延迟电路 103 是相当于本发明的第一延迟电路的构成要素。

一致检测电路 104 由计数器电路 104a 和与电路 104b 构成。计数器电路 104a 把最大计数值与信息信号 SA 中包含的 1 信息的量的位数设定为相同，与延迟脉冲信号 S4 同步，进行计数动作，把表示计数值的位数据并行输出。在本实施方式中，假定信息信号 SA 中包含的 1 信息的位数为 4 位，计数器电路 104a 的最大计数值设定为“4”。即计数器电路 104a 能从“0”～“3”计数，把表示这些“0”（这时的位数据是 00）～“3”（这时的位数据是 11）的 2 位的位数据并行输出到与电路 104b。此外，该计数器电路 104a 在计数到最大计数值时（即“3”），接着自动从“0”开始计数。与电路 104b 把从计数器电路 104a 并行输出的 2 位的位数据的与信号作为一致检测信号 S5 对控制器 106 输出。即与电路 104b 在从计数器电路 104a 并行输出的 2 位的位数据表示“3”时，输出高电平的一致检测信号 S5。一致检测电路 104 与延迟脉冲信号 S4 同步，进行计数动作，计数值与信息信号 SA 中包含的 1 信息的位数“4”一致时，输出高电平的一致检测信号 S5。

移位寄存器 105 是把信息信号 SA 和延迟脉冲信号 S4 作为输入，与延迟脉冲信号 S4 同步，对信息信号 SA 进行串行—并行变换的串行—并行变换电路。即如果假定信息信号 SA 中包含的 1 信息的位数为 4 位，移位寄存器 105 就把串行数据的信息信号 SA 并行变换为第一位的位数据 D₁、第二位的位数据 D₂、第三位的位数据 D₃、第四位的位数据 D₄，对控制器 106 输出。控制器 106 与一致检测信号 S5 同步，取得串行—并行变换的信息信号 SA（即位数据 D₁～位数据 D₄），使用该位数据 D₁～位数据 D₄，进行给定的信号处理。移位寄存器 105 相当于本发明的串行—并行变换电路，控制器 106 是相当于本发明的信号处理电路的构成要素。

另外，在以上的说明中，例示用高电平为有效（アクティブ）状态的

正逻辑电路构成发送装置 10 和接收装置 20 的情形，但是并不局限于此，也可以由负逻辑电路构成。

下面，参照图 3 的时序图，说明按所述构成的本实施方式的通信系统的动作。另外，在以下，假定发送装置 10 的信号生成部 10a 作为信息信号 SA，生成 4 位数据“1010”和“0011”，发送的情形。另外，在初始状态，信息信号 SA 和信息解读信号 SB 为低电平。

首先，在时刻 T_1 ，发送装置 10 的信号生成部 10a 把信息信号 SA 控制为高电平（“1”），通过发送部 10b 发送。这时，信号生成部 10a 因为信息信号 SA 的状态值从上次（初始状态）的状态值变化，所以生成状态值不变化的信息解读信号 SB（即低电平的信息解读信号 SB），通过发送部 10b 发送。在时刻 T_1 ，信息信号 SA 的状态值从低电平变化为高电平，所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步，把高电平的第一脉冲信号 S1 输出到或电路 102。而信息解读信号 SB 维持在低电平，没有变化，所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 输出到或电路 102。

由于对或电路 102 输入了高电平的第一脉冲信号 S1 和低电平的第二脉冲信号 S2，所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间，作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步，进行计数动作，把表示“0”的 2 位的位数据（即“00”）并行输出到与电路 104b。即在该时刻，计数值与信息信号 SA 中包含的 1 信息的位数“4”不一致，所以从与电路 104b 对控制器 106 输出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步地把信息信号 SA 移位时，这里，位数据 D_4 控制为高电平，位数据 $D_3 \sim D_1$ 控制为低电平。另一方面，由于控制器 106 输入低电平的一致检测信号 S5，所以不进行从移位寄存器 105 输出的位数据 $D_1 \sim D_4$ 的取得。

接着，在时刻 T_2 ，发送装置 10 的信号生成部 10a 把信息信号 SA 控制为低电平（“0”），通过发送部 10b 发送。这时，信号生成部 10a 因为信息信号 SA 的状态值从上次的状态值变化，所以生成状态值不变化的信息

解读信号 SB（即低电平的信息解读信号 SB），通过发送部 10b 发送。这样，在时刻 T_2 ，信息信号 SA 的状态值从高电平变为低电平，所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步，把高电平的第一脉冲信号 S1 输出到或电路 102。而信息解读信号 SB 维持在低电平，没有变化，所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 输出到或电路 102。

由于对或电路 102 输入了高电平的第一脉冲信号 S1 和低电平的第二脉冲信号 S2，所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间，作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步，进行计数动作，把表示“1”的 2 位的位数据（即“01”）并行输出到与电路 104b。即在该时刻，计数值与信息信号 SA 中包含的 1 信息的位数“4”不一致，所以低电平的一致检测信号 S5 被从与电路 104b 输出到控制器 106。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时，这里，位数据 D_4 、 D_2 和 D_1 控制为低电平，位数据 D_3 控制为高电平。而控制器 106 输入低电平的一致检测信号 S5，所以不进行从移位寄存器 105 输出的位数据 $D_1 \sim D_4$ 的取得。

接着，在时刻 T_3 ，发送装置 10 的信号生成部 10a 把信息信号 SA 控制为高电平（“1”），通过发送部 10b 发送。这时，信号生成部 10a 因为信息信号 SA 的状态值从上次状态值变化，所以生成状态值不变化的信息解读信号 SB（即低电平的信息解读信号 SB），通过发送部 10b 发送。在时刻 T_3 ，信息信号 SA 的状态值从低电平变为高电平，所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步，把高电平的第一脉冲信号 S1 对或电路 102 输出。另一方面，信息解读信号 SB 维持在低电平，没有变化，所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 输出到或电路 102。

由于对或电路 102 输入了高电平的第一脉冲信号 S1 和低电平的第二脉冲信号 S2，所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间，作为延迟脉

冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步, 进行计数动作, 把表示“2”的 2 位的位数据 (即“10”) 并行输出到与电路 104b。即在该时刻, 计数值与信息信号 SA 中包含的 1 信息的位数“4”不一致, 所以从与电路 104b 对控制器 106 输出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时, 这里, 位数据 D₄、D₂ 控制为高电平, 位数据 D₃ 和 D₁ 控制为低电平。另一方面, 控制器 106 输入低电平的一致检测信号 S5, 所以不进行从移位寄存器 105 输出的位数据 D₁~D₄ 的取得。

接着, 在时刻 T₄, 发送装置 10 的信号生成部 10a 把信息信号 SA 控制为低电平 (“0”), 并通过发送部 10b 发送。这时, 信号生成部 10a 因为信息信号 SA 的状态值从上次状态值变化, 所以生成状态值没有变化的信息解读信号 SB (即低电平的信息解读信号 SB), 通过发送部 10b 发送。在时刻 T₄, 信息信号 SA 的状态值从高电平变为低电平, 所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步, 把高电平的第一脉冲信号 S1 对或电路 102 输出。而信息解读信号 SB 维持在低电平, 没有变化, 所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 对或电路 102 输出。

由于对或电路 102 输入了高电平的第一脉冲信号 S1 和低电平的第二脉冲信号 S2, 所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间, 作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步, 进行计数动作, 把表示“3”的 2 位的位数据 (即“11”) 并行地对与电路 104b 输出。即在该时刻, 计数值与信息信号 SA 中包含的 1 信息的位数“4”一致, 所以从与电路 104b 对控制器 106 输出高电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时, 这里, 位数据 D₄、D₂ 控制为低电平, 位数据 D₃ 和 D₁ 控制为高电平。而控制器 106 输入高电平的一致检测信号 S5, 所以进行从移位寄存器 105 输出的位数据 D₁~D₄ 的取得。即由控制器 106 取得信息信号 SA 中包含的 1

信息量的4位数据“1010”。

接着,在时刻 T_5 ,发送装置10的信号生成部10a发送下一个信息的4位数据“0011”,所以把信息信号SA控制为低电平(“0”),通过发送部10b发送。这时,信号生成部10a因为信息信号SA的状态值没有从上次的状态值变化,所以生成使状态值变化的信息解读信号SB(即高电平的信息解读信号SB),通过发送部10b发送。如此,在时刻 T_5 ,信息信号SA的状态值维持低电平,所以接收装置20的信息取得部20a的第一脉冲发送电路100对或电路102输出低电平的第一脉冲信号S1。而信息解读信号SB的状态值从低电平变为高电平,所以第二脉冲发送电路101与信息解读信号SB的状态值的变化同步,对或电路102输出高电平的第二脉冲信号S2。

由于对或电路102输入了低电平的第一脉冲信号S1和高电平的第二脉冲信号S2,所以从或电路102输出高电平的脉冲信号即或信号S3。延迟电路103使高电平的脉冲信号即或信号S3延迟规定时间,作为延迟脉冲信号S4对计数器电路104a和移位寄存器105输出。计数器电路104a与延迟脉冲信号S4同步,进行计数动作,把表示“0”的2位的位数据(即“00”)并行输出到与电路104b。即在该时刻,计数值与信息信号SA中包含的1信息量的位数“4”不一致,所以从与电路104b对控制器106输出低电平的一致检测信号S5。

移位寄存器105与延迟脉冲信号S5同步地把信息信号SA移位时,这里,位数据 D_4 、 D_3 和 D_1 控制为低电平,位数据 D_2 控制为高电平。而控制器106输入低电平的一致检测信号S5,所以不进行从移位寄存器105输出的位数据 $D_1 \sim D_4$ 的取得。

接着,在时刻 T_6 ,发送装置10的信号生成部10a把信息信号SA控制为低电平(“0”),通过发送部10b发送。这时,信号生成部10a因为信息信号SA的状态值没有从上次的状态值变化,所以把使状态值变化的信息解读信号SB(即低电平的信息解读信号SB)通过发送部10b发送。这样,在时刻 T_6 ,信息信号SA的状态值维持低电平,所以接收装置20的信息取得部20a的第一脉冲发送电路100把低电平的第一脉冲信号S1对或电路102输出。另一方面,由于信息解读信号SB从高电平变化为低电

平,所以第二脉冲发送电路 101 与信息解读信号 SB 的状态值的变化同步,把高电平的第二脉冲信号 S2 对或电路 102 输出。

对或电路 102 输入低电平的第一脉冲信号 S1 和高电平的第二脉冲信号 S2,所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间,作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步,进行计数动作,把表示“1”的 2 位的位数据(即“01”)并行对与电路 104b 输出。即在该时刻,计数值与信息信号 SA 中包含的 1 信息的位数“4”不一致,所以从与电路 104b 对控制器 106 输出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步地把信息信号 SA 移位时,位数据 $D_4 \sim D_2$ 控制为低电平,位数据 D_1 控制为高电平。而由于控制器 106 被输入了低电平的一致检测信号 S5,所以不进行从移位寄存器 105 输出的位数据 $D_1 \sim D_4$ 的取得。

接着,在时刻 T_7 ,发送装置 10 的信号生成部 10a 把信息信号 SA 控制为高电平(“1”),通过发送部 10b 发送。这时,信号生成部 10a 因为信息信号 SA 的状态值从上次状态值变化,所以把状态值不变化的信息解读信号 SB(即低电平的信息解读信号 SB)通过发送部 10b 发送。在时刻 T_7 ,信息信号 SA 的状态值从低电平变为高电平,所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步,把高电平的第一脉冲信号 S1 对或电路 102 输出。另一方面,信息解读信号 SB 维持在低电平,没有变化,所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 对或电路 102 输出。

由于对或电路 102 输入高电平的第一脉冲信号 S1 和低电平的第二脉冲信号 S2,所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间,作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步,进行计数动作,把表示“2”的 2 位的位数据(即“10”)并行输出到与电路 104b。即在该时刻,计数值与信息信号 SA 中包含的 1 信息量的位数“4”不一致,所以从与电路 104b 对控制器 106 输

出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步地把信息信号 SA 移位时，这里，位数据 D₄ 控制为高电平，位数据 D₃~D₁ 控制为低电平。而控制器 106 输入低电平的一致检测信号 S5，所以不进行从移位寄存器 105 输出的位数据 D₁~D₄ 的取得。

接着，在时刻 T₈，发送装置 10 的信号生成部 10a 把信息信号 SA 控制为高电平（“1”），通过发送部 10b 发送。这时，信号生成部 10a 因为信息信号 SA 的没有状态值从上次状态值变化，所以把使状态值变化的信息解读信号 SB（即高电平的信息解读信号 SB）通过发送部 10b 发送。在时刻 T₈，信息信号 SA 的状态值维持高电平，所以接收装置 20 的信息取得部 20a 的第一脉冲发送电路 100 把低电平的第一脉冲信号 S1 输出到或电路 102。另一方面，信息解读信号 SB 的状态值从低电平变化为高电平，所以第二脉冲发送电路 101 与信息解读信号 SB 的状态值的变化同步，对或电路 102 输出高电平的第二脉冲信号 S2。

由于对或电路 102 输入了低电平的第一脉冲信号 S1 和高电平的第二脉冲信号 S2，所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间，作为延迟脉冲信号 S4 对计数器电路 104a 和移位寄存器 105 输出。计数器电路 104a 与延迟脉冲信号 S4 同步，进行计数动作，把表示“3”的 2 位的位数据（即“11”）并行输出到与电路 104b 输出。即在该时刻，计数值与信息信号 SA 中包含的 1 信息的位数“4”一致，所以从与电路 104b 对控制器 106 输出高电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时，这里，位数据 D₄、D₃ 控制为高电平，位数据 D₂ 和 D₁ 控制为低电平。另一方面，由于控制器 106 被输入了高电平的一致检测信号 S5，所以进行从移位寄存器 105 输出的位数据 D₁~D₄ 的取得。

即由控制器 106 取得信息信号 SA 中包含的 1 信息的量的 4 位数据“0011”。以下，按照信息信号 SA 的状态值（信息），重复与上述同样的动作。

如上所述，在本实施方式的通信系统中，在发送装置 10，生成：在信

息信号 SA 的状态值变化时自身的状态值不变化、在信息信号 SA 的状态值变化时自身的状态值变化的信息解读信号 SB, 并与信息信号 SA 一起发送, 在接收装置 20, 把接收的信息信号 SA 和所述信息解读信号 SB 的状态值的变化点作为基准, 取得信息信号 SA 的状态值。据此, 难以区别信息信号 SA 和信息解读信号 SB (即区别哪个表示真正的信息), 难以判别各信号的任务 (即判别两个信号以怎样的协议生成), 即使第三者读取两个信号, 也无法进行译码, 能防止信息的泄漏。结果, 能提高数据信号等信息信号通信时的安全性。

另外, 本发明并不局限于所述实施方式, 也考虑以下的变形例。

(1) 发送多个信息信号 SA 的情形

说明发送多个信息信号 SA 的情形, 即如图 4 所示, 从发送装置 10 发送 2 个信息信号 SA 和 SA' 的情形。这时, 信号生成部 10a' 在 2 个信息信号 SA 和 SA' 的每个在相同的定时状态值不变化的情况下, 生成自身的状态值变化的信息解读信号 SB。而信息取得部 20a' 把收到的 2 个信息信号 SA 和 SA'、信息解读信号 SB 的状态值的变化点作为基准, 取得信息信号 SA 和 SA' 的状态值。以下, 具体说明发送 2 个信息信号 SA 和 SA' 的情形。

图 5 是发送 2 个信息信号 SA 和 SA' 时的信息取得部 20a' 的内部结构框图。另外, 在图 5 中, 对与图 2 同样的构成要素付与相同的符号, 省略说明。如图 5 所示, 与图 2 的不同点在于, 新设置与信息信号 SA' 对应的第一脉冲发送电路 200 和移位寄存器 300。即第一脉冲发送电路 200 与第一脉冲发送电路 100 同样, 由延迟电路 200a 和异或电路 200b 构成, 与信息信号 SA' 的状态值的变化同步, 把具有与延迟电路 200a 的延迟时间量相当的脉冲宽度的第一脉冲信号 S1' 输出到或电路 102。

此外, 移位寄存器 300 是把信息信号 SA' 和延迟脉冲信号 S4 作为输入, 与延迟脉冲信号 S4 同步, 把信息信号 SA' 进行串行一并行变换的串行一并行变换电路。即如果假定信息信号 SA' 中包含的 1 信息的位数为 4 位, 移位寄存器 300 就把串行数据的信息信号 SA' 并行变换为第一位的位数据 D₁'、第二位的位数据 D₂'、第三位的位数据 D₃'、第四位的位数据 D₄', 并输出到控制器 106。

图6是表示发送2个信息信号SA和SA'时的本通信系统的动作的定时图。另外,以下,假定发送装置10的信号生成部10a'作为信息信号SA,生成4位数据“1011”,作为信息信号SA'生成4位数据“1100”,发送的情形,进行说明。另外,在初始状态,信息信号SA和SA'、信息解读信号SB是低电平。

首先,在时刻 T_1 ,发送装置10的信号生成部10a'把信息信号SA和SA'控制为高电平(“1”),并通过发送部10b发送。这时,信号生成部10a'因为信息信号SA和SA'的状态值从上次(初始状态)的状态值变化了,所以把状态值没有变化的信息解读信号SB(即低电平的信息解读信号SB),通过发送部10b发送。在时刻 T_1 ,信息信号SA的状态值从低电平变化为高电平,所以接收装置20的信息取得部20a'的第一脉冲发送电路100与信息信号SA的状态值的变化同步,把高电平的第一脉冲信号S1输出到或电路102输出。此外,第一脉冲发送电路200同样与信息信号SA'的状态值的变化同步,把高电平的第一脉冲信号S1'输出到或电路102。而信息解读信号SB维持在低电平,没有变化,所以第二脉冲发送电路101把低电平的第二脉冲信号S2输出到或电路102。

由于对或电路102输入了高电平的第一脉冲信号S1和S1'以及低电平的第二脉冲信号S2,所以从或电路102输出高电平的脉冲信号即或信号S3。延迟电路103使高电平的脉冲信号即或信号S3延迟规定时间,作为延迟脉冲信号S4对计数器电路104a、移位寄存器105和300输出。计数器电路104a与延迟脉冲信号S4同步,进行计数动作,把表示“0”的2位的位数据(即“00”)并行地输出到与电路104b。即在该时刻,计数值与信息信号SA以及SA'中包含的1信息的位数“4”不一致,所以从与电路104b对控制器106输出低电平的一致检测信号S5。

移位寄存器105与延迟脉冲信号S5同步地把信息信号SA移位时,这里,位数据 D_4 控制为高电平,位数据 $D_3 \sim D_1$ 控制为低电平。此外,移位寄存器300与延迟脉冲信号S5同步把信息信号SA'移位时,这里,位数据 D_4' 控制为高电平,位数据 $D_3' \sim D_1'$ 控制为低电平。而控制器106输入低电平的一致检测信号S5,所以不进行从移位寄存器105和300输出的位数据的取得。

接着,在时刻 T_2 ,送装置 10 的信号生成部 10a' 把信息信号 SA 控制为低电平("0"),把信息信号 SA' 控制为高电平("1"),通过发送部 10b 发送。这时,信号生成部 10a' 因为信息信号 SA 的状态值从上次状态值变化,所以把状态值不变化的信息解读信号 SB(即低电平的信息解读信号 SB),通过发送部 10b 发送。这样,在时刻 T_2 ,信息信号 SA 的状态值从高电平变为低电平,所以接收装置 20 的信息取得部 20a' 的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步,把高电平的第一脉冲信号 S1 对或电路 102 输出。此外,第一脉冲发送电路 200 因为信息信号 SA 的状态值没有变化,所以把低电平的第一脉冲信号 S1' 对或电路 102 输出。而信息解读信号 SB 维持在低电平,没有变化,所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 对或电路 102 输出。

对或电路 102 输入高电平的第一脉冲信号 S1 和低电平的第一脉冲信号 S1' 以及第二脉冲信号 S2,所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间,作为延迟脉冲信号 S4 对计数器电路 104a、移位寄存器 105 和 300 输出。计数器电路 104a 与延迟脉冲信号 S4 同步,进行计数动作,把表示"1"的 2 位的位数据(即"01")并行地输出到与电路 104b。即在该时刻,计数值与信息信号 SA 以及 SA' 中包含的 1 信息的位数"4"不一致,所以从与电路 104b 对控制器 106 输出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时,这里,位数据 D_4 、 D_2 和 D_1 控制为低电平,位数据 D_3 控制为高电平。此外,移位寄存器 300 与延迟脉冲信号 S5 同步地把信息信号 SA' 移位时,这里,位数据 D_4' 、 D_3' 控制为高电平,位数据 D_2' 和 D_1' 控制为低电平。另一方面,由于控制器 106 被输入了低电平的一致检测信号 S5,所以不进行从移位寄存器 105 和 300 输出的位数据的取得。

接着,在时刻 T_3 ,发送装置 10 的信号生成部 10a' 把信息信号 SA 控制为高电平("1"),把信息信号 SA' 控制为低电平("0"),并通过发送部 10b 发送。这时,信号生成部 10a' 因为信息信号 SA 和 SA' 的状态值从上次状态值发生了变化,所以把状态值没有变化的信息解读信号 SB(即低电平的信息解读信号 SB),通过发送部 10b 发送。如此,在时刻 T_3 ,

信息信号 SA 的状态值从低电平变为高电平,所以接收装置 20 的信息取得部 20a' 中的第一脉冲发送电路 100 与信息信号 SA 的状态值的变化同步地把高电平的第一脉冲信号 S1 输出到或电路 102。此外,第一脉冲发送电路 200 也同样与信息信号 SA' 的状态值的变化同步地,把高电平的第一脉冲信号 S1' 输出到或电路 102。另一方面,由于信息解读信号 SB 维持在低电平,没有变化,所以第二脉冲发送电路 101 把低电平的第二脉冲信号 S2 输出到或电路 102。

由于对或电路 102 输入了高电平的第一脉冲信号 S1 和 S1' 以及低电平的第二脉冲信号 S2,所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间,作为延迟脉冲信号 S4 输出到计数器电路 104a、移位寄存器 105 和 300 输出。计数器电路 104a 与延迟脉冲信号 S4 同步,进行计数动作,把表示“2”的 2 位的位数据(即“10”)并行地输出到与电路 104b。即在该时刻,计数值与信息信号 SA 以及 SA' 中包含的 1 信息的量的位数“4”不一致,所以从与电路 104b 对控制器 106 输出低电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步把信息信号 SA 移位时,这里,位数据 D₄、D₂ 控制为高电平,位数据 D₃ 和 D₁ 控制为低电平。此外,移位寄存器 300 与延迟脉冲信号 S5 同步把信息信号 SA' 移位时,这里,位数据 D₄'、D₁' 控制为低电平,位数据 D₃' 和 D₂' 控制为高电平。另一方面,控制器 106 输入低电平的一致检测信号 S5,所以不进行从移位寄存器 105 和 300 输出的位数据的取得。

接着,在时刻 T₄,发送装置 10 的信号生成部 10a' 把信息信号 SA 控制为高电平(“1”),把信息信号 SA' 控制为低电平(“0”),通过发送部 10b 发送。这时,信号生成部 10a' 因为信息信号 SA 和 SA' 的状态值双方都没有从上次的状态值变化,所以把使状态值变化了的信息解读信号 SB(即高电平的信息解读信号 SB)通过发送部 10b 发送。如此,在时刻 T₄,信息信号 SA 的状态值被维持在高电平,所以接收装置 20 的信息取得部 20a' 的第一脉冲发送电路 100,对或电路 102 输出低电平的第一脉冲信号 S1。此外,信息信号 SA' 的状态值维持在低电平,所以第一脉冲发送电路 200 也同样对或电路 102 输出低电平的第一脉冲信号 S1'。而

信息解读信号 SB 从低电平变化为高电平, 所以第二脉冲发送电路 101 与信息解读信号 SB 同步, 把高电平的第二脉冲信号 S2 输出到或电路 102。

由于对或电路 102 输入了低电平的第一脉冲信号 S1 以及 S1' 和高电平的第二脉冲信号 S2, 所以从或电路 102 输出高电平的脉冲信号即或信号 S3。延迟电路 103 使高电平的脉冲信号即或信号 S3 延迟规定时间, 作为延迟脉冲信号 S4 对计数器电路 104a、移位寄存器 105 和 300 输出。计数器电路 104a 与延迟脉冲信号 S4 同步, 进行计数动作, 把表示“3”的 2 位的位数据 (即“11”) 并行输出到与电路 104b。即在该时刻, 计数值与信息信号 SA 以及 SA' 中包含的 1 信息的量的位数“4”一致, 所以从与电路 104b 对控制器 106 输出高电平的一致检测信号 S5。

移位寄存器 105 与延迟脉冲信号 S5 同步地把信息信号 SA 移位时, 这里, 位数据 D₄、D₂、D₁ 控制为高电平, 位数据 D₃ 控制为低电平。此外, 移位寄存器 300 与延迟脉冲信号 S5 同步地把信息信号 SA' 移位时, 这里, 位数据 D₄'、D₃' 控制为低电平, 位数据 D₂' 和 D₁' 控制为高电平。而控制器 106 输入高电平的一致检测信号 S5, 所以进行从移位寄存器 105 和 300 输出的位数据的取得。

即由控制器 106 取得信息信号 SA 中包含的 1 信息的量的 4 位数据“1011”、信息信号 SA' 中包含的 1 信息的 4 位数据“1100”。

如上所述, 发送 2 个信息信号 SA 和 SA' 时, 发送侧在 2 个信息信号 SA 和 SA' 分别在相同的定时状态值不变化时, 发送自身的状态值变化的信息解读信号 SB, 接收侧把接收的 2 个信息信号 SA 和 SA'、信息解读信号 SB 的状态值的变化点作为基准, 取得信息信号 SA 和 SA' 的状态值, 即使发送的信息信号是多个时, 也能防止信息的泄漏, 谋求提高安全性。

另外, 发送比 2 个更多的信息信号时, 设置与各信息信号对应的第一脉冲发送电路和移位寄存器就可以, 并可以只发送一个信息解读信号。

(2) 向其他通信系统的应用

在所述的实施方式中, 作为通信系统的一个例子, 列举电子电路等电路块彼此之间的通信, 而进行说明, 但是本发明也能应用到此外的通信系统中。例如, 在发送装置和接收装置通过使用 IP (Internet Protocol) 网或 LAN (Local Area Network) 的网络相互连接的通信系统中也能应用。在这

样的通信系统中，一般把信息信号信息包化而发送，所以在发送装置一侧把信息信号和信息解读信号分别信息包化而发送，在接收装置一侧进行上述的动作，取得（解码）信息信号。另外，把信息信号和信息解读信号分别信息包化而发送时，在接收装置一侧，有必要以信息信号和信息解读信号变为同相的方式进行对相位后，对信息取得部 20a 输入。

此外，本发明不仅是有线通信系统，在无线通信系统中也能应用。可是，应用到无线通信系统中时，如图 7 所示，有必要在发送装置 10 中设置无线发送部 10b'（无线发送单元），在接收装置 20 设置无线接收部 20b'（无线接收单元）。无线发送部 10b' 进行从信号生成部 10a 输出的信息信号 SA 和信息解读信号 SB 的纠错编码、调制以及向 RF 频带的频率变换，而生成 RF 信号，把该 RF 信号通过发送用天线对接收装置 20 发送。无线接收部 20b' 进行通过接收用天线接收的 RF 信号的向 IF 频带的频率变换、解调、纠错译码，抽出信息信号 SA 和信息解读信号 SB，把抽出的信息信号 SA 和信息解读信号 SB 输出到信息取得部 20a。在无线通信系统中，把这些信息信号 SA 和信息解读信号 SB 分别信息包化，在不同的定时个别发送时，在接收装置一侧，有必要以信息信号和信息解读信号变为同相的方式进行对相位后，输入到信息取得部 20a。

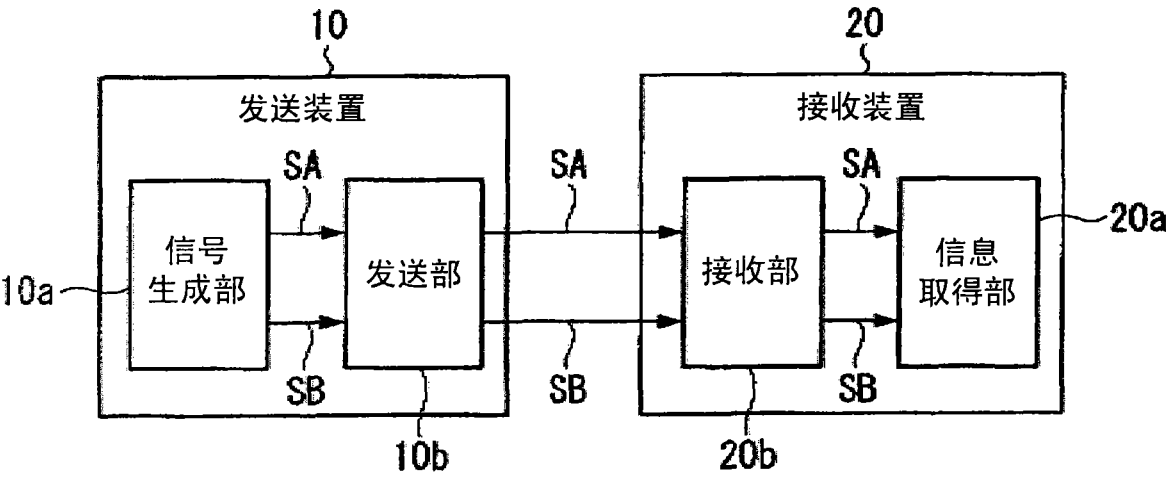


图 1

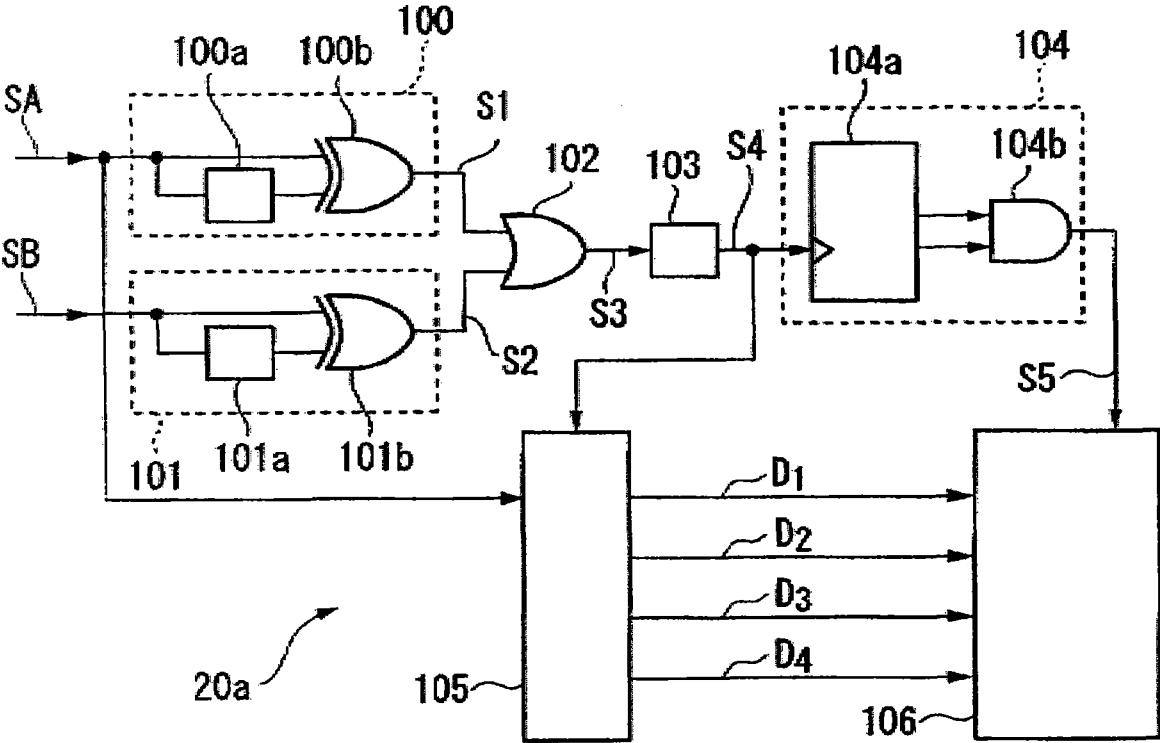


图 2

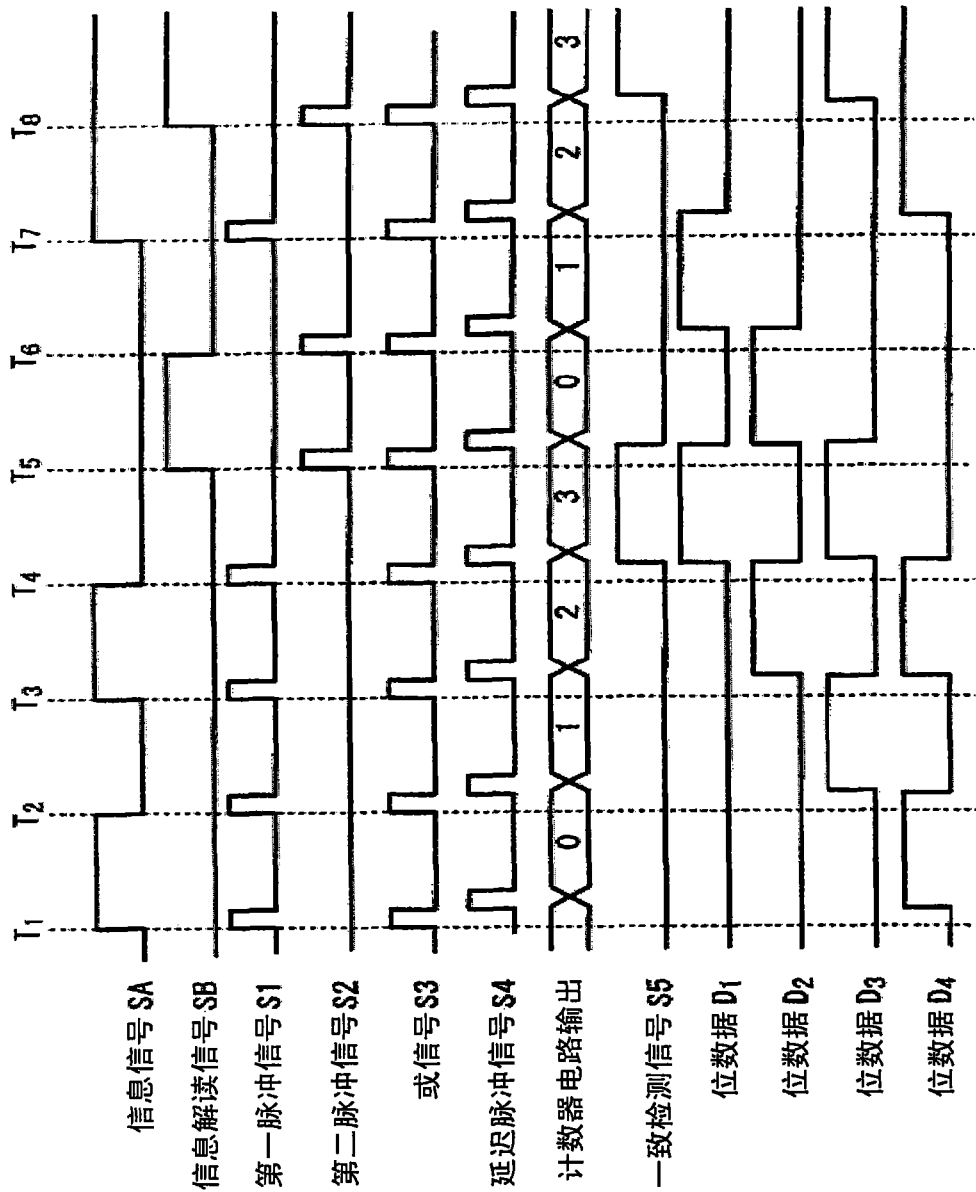


图 3

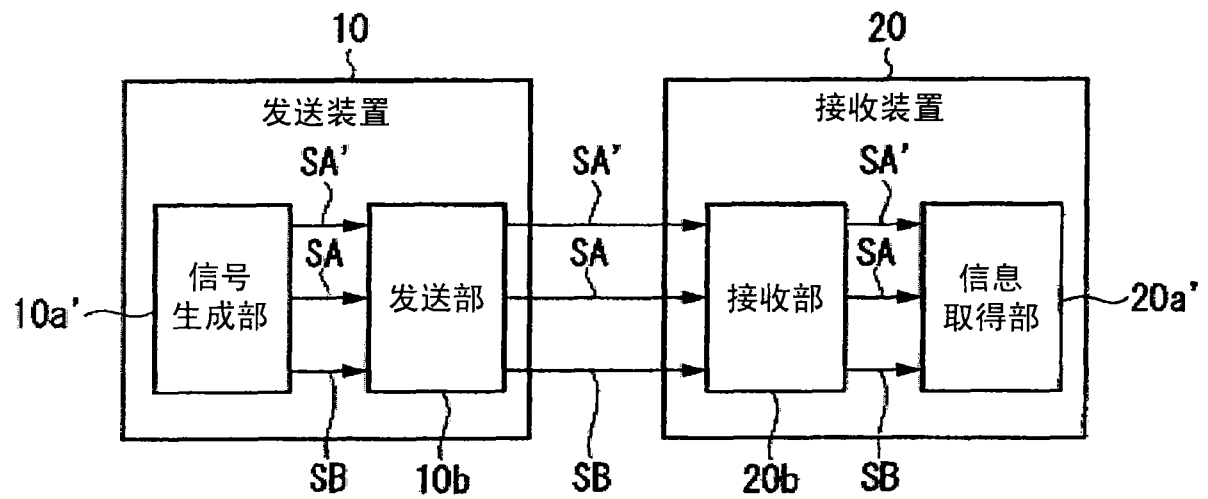


图 4

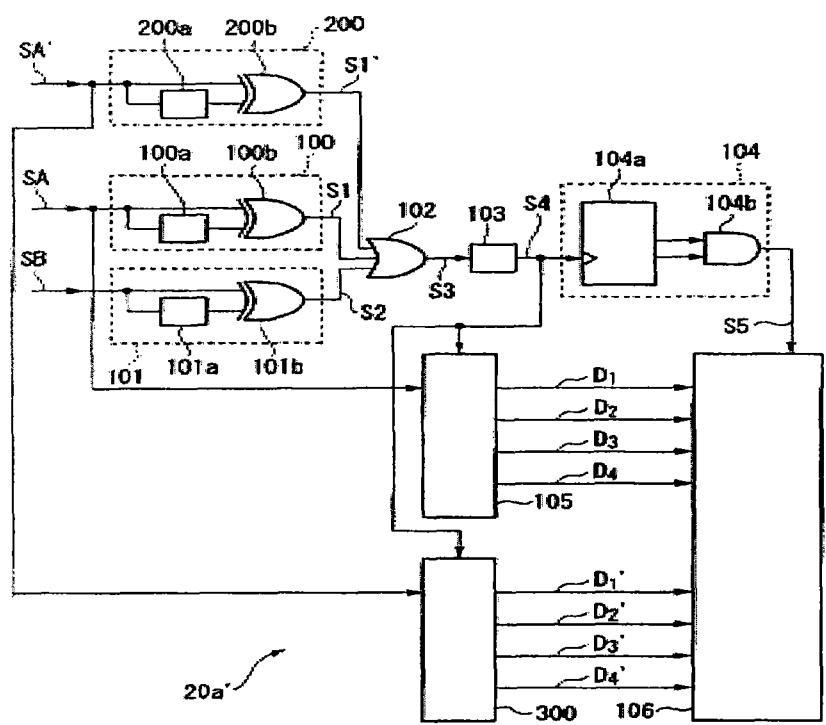


图 5

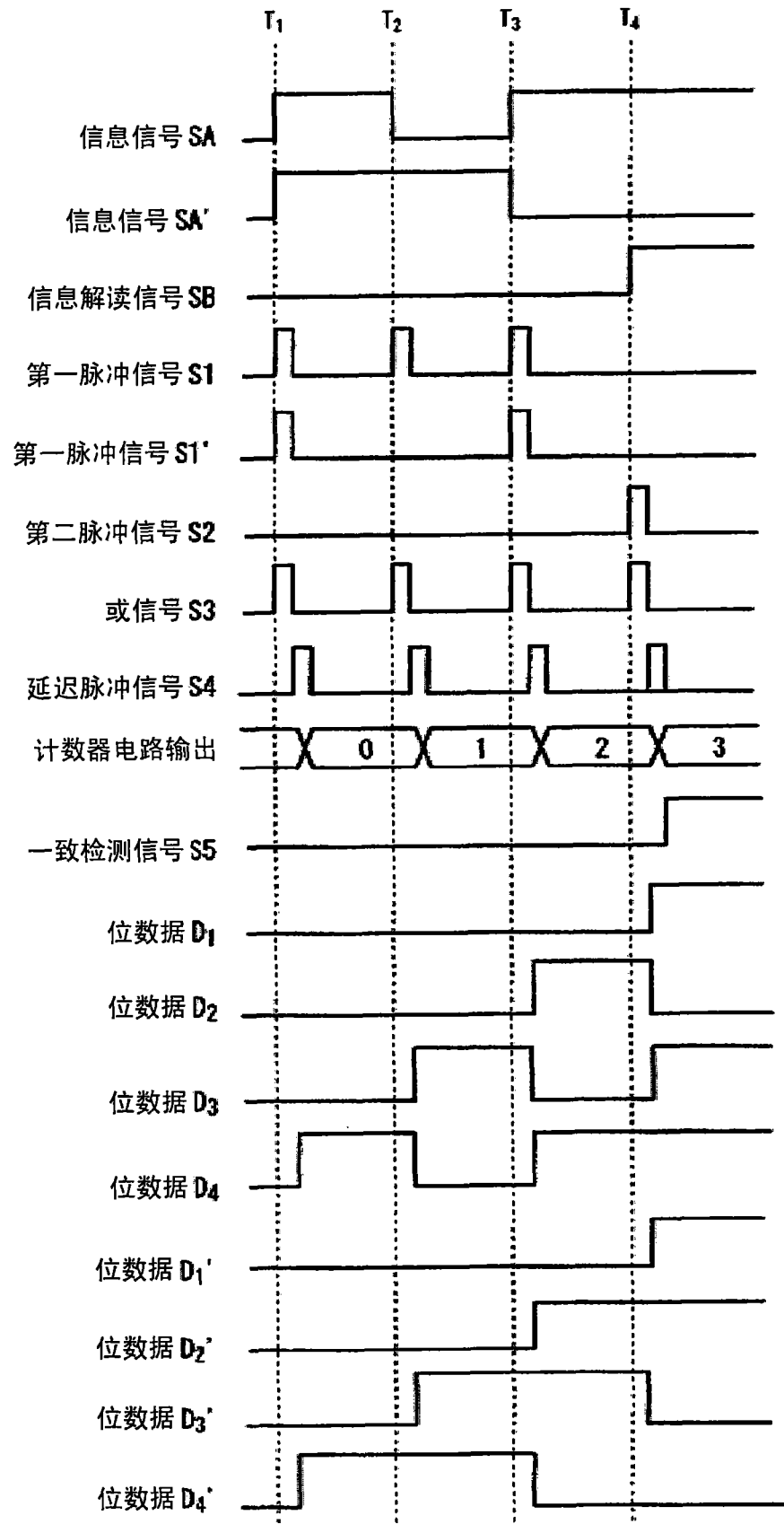


图 6

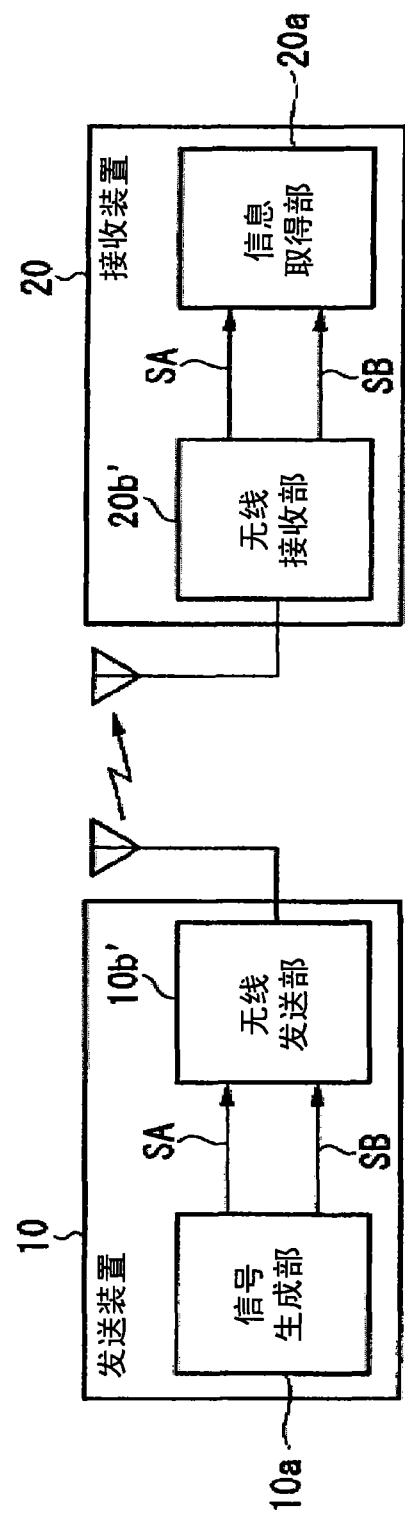


图 7