

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月8日(08.02.2024)



(10) 国際公開番号

WO 2024/029149 A1

(51) 国際特許分類:
H01G 4/30 (2006.01)

(21) 国際出願番号: PCT/JP2023/017199

(22) 国際出願日: 2023年5月2日(02.05.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-123316 2022年8月2日(02.08.2022) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

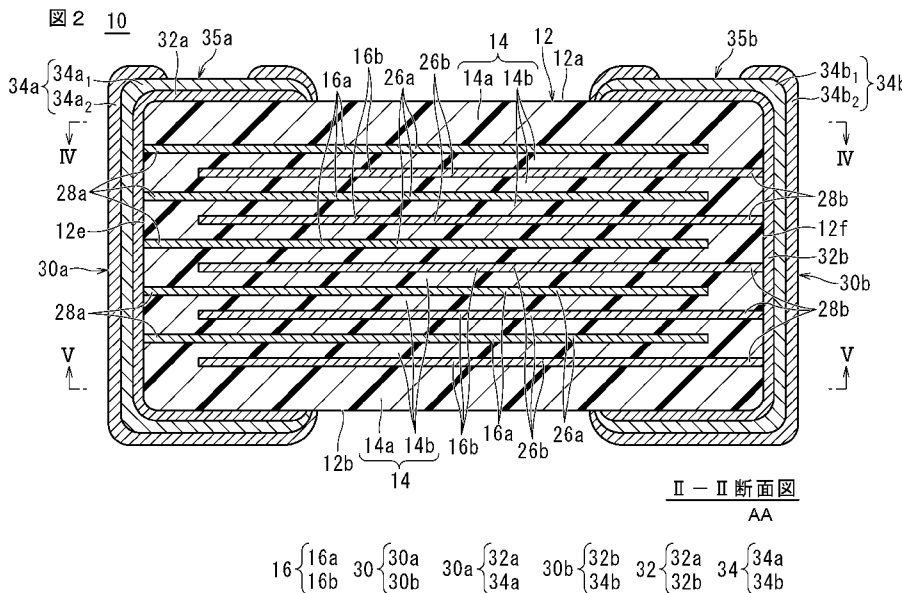
(72) 発明者: 藤原 健太郎 (FUJIWARA, Kentarou);
〒6178555 京都府長岡京市東神足 1 丁目 1
0 番 1 号 株式会社村田製作所内 Kyoto (JP).
安田 辰徳 (YASUDA, Tatsunori); 〒6178555 京
都府長岡京市東神足 1 丁目 1 0 番 1 号 株
式会社村田製作所内 Kyoto (JP).

(74) 代理人: 岡田 全 啓 (OKADA, Masahiro);
〒5410054 大阪府大阪市中央区南本町 4
丁目 2 番 2 1 号 イヨビル 3 階 岡田
特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: MULTILAYER CERAMIC ELECTRONIC COMPONENT AND MOUNTING STRUCTURE OF
MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: 積層セラミック電子部品及び積層セラミック電子部品の実装構造



AA II-II cross section

(57) Abstract: Provided is a multilayer ceramic electronic component capable of suppressing deterioration in insulation resistance due to hydrogen. In a multilayer ceramic electronic component according to the present invention, a first external electrode 30a has: a first base electrode layer 32a; a first lower plating layer 34a₁ disposed on the first base electrode layer 32a; and a first upper plating layer 34a₂ that is disposed on the first lower plating layer 34a₁ excluding a first plating exposed region 35a, such that the first lower plating layer 34a₁

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

has the first plating exposed region 35a exposed to a surface of the first external electrode 30a. A second external electrode 30b has: a second base electrode layer 32b; a second lower plating layer 34b₁ disposed on the second base electrode layer 32b; and a second upper plating layer 34b₂ that is disposed on the second lower plating layer 34b₁ excluding a second plating exposed region 35b, such that the second lower plating layer 34b₁ has the second plating exposed region 35b exposed to a surface of the second external electrode 30b.

(57) 要約: 水素による絶縁抵抗の劣化を抑制することが可能な積層セラミック電子部品を提供する。積層セラミック電子部品では、第1の外部電極30aは、第1の下地電極層32aと、第1の下地電極層32a上に配置された第1の下層めっき層34a₁と、第1の下層めっき層34a₁が第1の外部電極30aの表面に露出された第1のめっき露出領域35aを有するように第1のめっき露出領域35aを除いて第1の下層めっき層34a₁上に配置された第1の上層めっき層34a₂と、を有する。第2の外部電極30bは、第2の下地電極層32bと、第2の下地電極層32b上に配置された第2の下層めっき層34b₁と、第2の下層めっき層34b₁が第2の外部電極30bの表面に露出された第2のめっき露出領域35bを有するように第2のめっき露出領域35bを除いて第2の下層めっき層34b₁上に配置された第2の上層めっき層34b₂と、を有する。

明 細 書

発明の名称：

積層セラミック電子部品及び積層セラミック電子部品の実装構造

技術分野

[0001] この発明は、積層セラミック電子部品及び積層セラミック電子部品の実装構造に関する。

背景技術

[0002] 積層セラミックコンデンサは、積層体と外部電極とを含む。積層体は内層部と外層部とを含む。内層部は、複数のセラミック層と複数の内部電極層とが所定の積層方向に交互に積層されることにより形成されている。外層部は、内層部を積層方向に挟み込むように内層部の表面にセラミック層が配置されることにより形成されている。複数の内部電極層は積層方向に直交する長さ方向の両端面において露出している。外部電極は、端面から露出する内部電極層と電氣的に接続されるように端面の表面に配置されている。この外部電極は、積層セラミックコンデンサを半田を用いて基板に実装する際の半田食われを防止するためのNiめっき層と、半田の塗布性能を向上させるためにNiめっき層の上に配置されたSnめっき層と、を含む。Niめっき層及びSnめっき層は、通常、電解めっきの方法を用いて形成される。

[0003] 特許文献1には、めっき層を形成するめっき工程での化学反応により発生した水素が積層セラミックコンデンサの性能を低下させることが開示されている。具体的に説明すると、めっき工程で発生した水素が内部電極層に吸収されてしまい、この水素が誘電損失や絶縁抵抗を劣化させる等の問題を生じさせる。この問題を解決するために、特許文献1では、例えばAg-Pd合金等を主成分とする内部電極層にNi等の金属を含ませることにより内部電極層に水素が吸収されることを抑制し、セラミック層の劣化を抑制していることが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開昭64－80011号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献1ではNiが水素吸収作用を不活性化すると記載されているものの、本願の発明者らの研究によれば、Ni等が内部電極層及び外部電極等を構成する材料に含まれている場合であっても、内部電極層及び外部電極等に水素が吸収され、温度条件によっては吸収された水素が当該金属から放出され、この水素が絶縁抵抗の劣化を招くことが分かっている。特に、PCBT (Pressure Cooker Bias Test) のような高温高湿負荷試験を行った場合には、水素を吸収した金属から放出される水素により絶縁抵抗の劣化が顕著となり、積層セラミックコンデンサの劣化を招く場合がある。

[0006] それゆえに、この発明の主たる目的は、水素による絶縁抵抗の劣化を抑制することが可能な積層セラミック電子部品及び積層セラミック電子部品の実装構造を提供することである。

課題を解決するための手段

[0007] この発明にかかる積層セラミック電子部品は、複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及び第2の主面と、高さ方向に直交する長さ方向に相対する第1の端面及び第2の端面と、高さ方向及び長さ方向に直交する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、複数のセラミック層上に配置され、第1の端面に引き出された複数の第1の内部電極層と、複数のセラミック層上に配置され、第2の端面に引き出された複数の第2の内部電極層と、第1の端面上に配置され、第1の端面から延伸して第1の主面の一部、第2の主面の一部、第1の側面の一部、第2の側面の一部に配置されており、第1の内部電極層に接続される第1の外部電極と、第2の端面上に配置され、第2の端面から延伸して第1の主面

の一部、第2の主面の一部、第1の側面の一部、第2の側面の一部に配置されており、第2の内部電極層に接続される第2の外部電極と、を備え、第1の外部電極は、積層体上に配置された第1の下地電極層と、第1の下地電極層上に配置された第1の下層めっき層と、第1の下層めっき層が第1の外部電極の表面に露出された第1のめっき露出領域を有するように第1のめっき露出領域を除いて第1の下層めっき層上に配置された第1の上層めっき層と、を有し、第2の外部電極は、積層体上に配置された第2の下地電極層と、第2の下地電極層上に配置された第2の下層めっき層と、第2の下層めっき層が第2の外部電極の表面に露出された第2のめっき露出領域を有するように第2のめっき露出領域を除いて第2の下層めっき層上に配置された第2の上層めっき層と、を有する、積層セラミック電子部品である。

[0008] この発明にかかる積層セラミック電子部品では、第1の下層めっき層は第1のめっき露出領域において第1の外部電極の表面に露出しているため、積層セラミック電子部品内の水素を第1のめっき露出領域から積層セラミック電子部品の外部に放出させることができる。また、第2の下層めっき層は第2のめっき露出領域において第2の外部電極の表面に露出しているため、積層セラミック電子部品内の水素を第2のめっき露出領域から積層セラミック電子部品の外部に放出させることができる。

第1及び第2の下層めっき層、第1及び第2の上層めっき層を形成するためのメッキ工程では化学反応により水素イオンが発生する。この水素イオンは、例えば第1及び第2の下層めっき層、第1及び第2の内部電極層、第1及び第2の下地電極層の少なくともいずれかに水素として吸収される場合がある。上記構成によれば、第1及び第2の下層めっき層、第1及び第2の内部電極層、第1及び第2の下地電極層の少なくともいずれかの層（吸収層）に吸収された水素を、第1及び第2のめっき露出領域から積層セラミック電子部品の外部に放出させることができる。そのため、水素が吸収層に吸収されたままとなることを抑制し、水素による絶縁抵抗の劣化を抑制することができる。特に、吸収層が水素を吸収しづらいNi等の金属を含む場合であつ

ても、第1及び第2のめっき露出領域から積層セラミック電子部品の外部に水素を放出させることによりセラミック層の絶縁抵抗の劣化を抑制することができる。

なお、第1の主面側に第1及び第2のめっき露出領域が形成されており、第2の主面側が積層セラミックコンデンサの実装基板への実装面となり、半田が主として第1、第2の端面側に塗布される場合、半田が塗布されておらず実装基板に面していない第1の主面から第1及び第2のめっき露出領域を介して吸収層の水素を効率よく放出させることができる。

発明の効果

[0009] この発明によれば、水素による絶縁抵抗の劣化を抑制することが可能な積層セラミック電子部品及び積層セラミック電子部品の実装構造を提供することができる。

[0010] この発明の上述の目的、その他の目的、特徴及び利点は、図面を参照して行う以下の発明を実施するための形態の説明から一層明らかとなろう。

図面の簡単な説明

[0011] [図1]この発明の第1の実施の形態に係る積層セラミック電子部品としての2端子型積層セラミックコンデンサの一例を示す外観斜視図である。

[図2]図1の線I-Iにおける断面図である。

[図3]図1の線II-IIにおける断面図である。

[図4]図2の線I-Vにおける断面図である。

[図5]図2の線V-Vにおける断面図である。

[図6]半田を用いて実装基板に搭載された2端子型積層セラミックコンデンサの一例を示す側面図である。

[図7]露出面積の第1の例による算出方法を説明するための説明図である。

[図8]露出面積の第2の例による算出方法を説明するための説明図である。

[図9]下地電極層が露出している態様を示す一部断面図である。

[図10]下地電極層が露出している別の態様を示す一部断面図である。

[図11]この発明の第2の実施の形態に係る3端子型積層セラミックコンデン

サの一例を示す外観斜視図である。

[図12]この発明の第2の実施の形態に係る3端子型積層セラミックコンデンサの一例を示す上面図である。

[図13]この発明の第2の実施の形態に係る3端子型積層セラミックコンデンサの一例を示す正面図である。

[図14]図11の線XⅠV-XⅠVにおける断面図である。

[図15]図11の線XⅤ-XⅤにおける断面図である。

[図16]図14の線XⅤⅠ-XⅤⅠにおける断面図である。

[図17]図14の線XⅤⅠⅠ-XⅤⅠⅠにおける断面図である。

発明を実施するための形態

[0012] A. 第1の実施の形態

1. 2端子型積層セラミックコンデンサ

この発明の第1の実施の形態にかかる積層セラミック電子部品の例として、2端子型積層セラミックコンデンサについて説明する。

[0013] 図1は、この発明の第1の実施の形態に係る積層セラミック電子部品としての2端子型積層セラミックコンデンサの一例を示す外観斜視図である。図2は、図1の線ⅠⅠ-ⅠⅠにおける断面図である。図3は、図1の線ⅠⅠⅠ-ⅠⅠⅠにおける断面図である。図4は、図2の線ⅠⅤ-ⅠⅤにおける断面図である。図5は、図2の線ⅤⅤにおける断面図である。

[0014] 図1ないし図3に示すように、2端子型積層セラミックコンデンサ10は、直方体状の積層体12と、積層体12の両端部に配置される外部電極30を含む。

[0015] (1) 積層体

積層体12は、高さ方向x（積層方向）に相対する第1の主面12a及び第2の主面12bと、高さ方向xに直交する幅方向yに相対する第1の側面12c及び第2の側面12dと、高さ方向x及び幅方向yに直交する長さ方向zに相対する第1の端面12e及び第2の端面12fとを有する。本実施の形態の積層体12には、角部及び稜線部に丸みがつけられている。なお、

角部とは、積層体 1 2 の隣接する 3 面が交わる部分のことであり、稜線部とは、積層体 1 2 の隣接する 2 面が交わる部分のことである。また、第 1 の主面 1 2 a 及び第 2 の主面 1 2 b、第 1 の側面 1 2 c 及び第 2 の側面 1 2 d、ならびに第 1 の端面 1 2 e 及び第 2 の端面 1 2 f の一部又は全部に凹凸などが形成されていてもよい。

[0016] 積層体 1 2 は、複数枚のセラミック層 1 4 から構成される外層部 1 4 a と、単数もしくは複数枚のセラミック層 1 4 とそれらの上に配置される複数枚の内部電極層 1 6 から構成される内層部 1 4 b と、を含む。外層部 1 4 a は、積層体 1 2 の第 1 の主面 1 2 a 側及び第 2 の主面 1 2 b 側に位置する。外層部 1 4 a は、第 1 の主面 1 2 a と最も第 1 の主面 1 2 a に近い内部電極層 1 6 との間に位置する複数枚のセラミック層 1 4（第 1 の外層部）と、及び第 2 の主面 1 2 b と最も第 2 の主面 1 2 b に近い内部電極層 1 6 との間に位置する複数枚のセラミック層 1 4（第 2 の外層部）と、の集合体である。そして、両外層部 1 4 a に挟まれた領域が内層部 1 4 b である。内層部 1 4 b では、セラミック層 1 4 と内部電極層 1 6 が高さ方向 x に交互に積層されている。

[0017] なお、第 1 の外層部と第 2 の外層部とに挟まれており、積層体 1 2 のうち後述の第 1 の内部電極層 1 6 a と後述の第 2 の内部電極層 1 6 b とが対向する部分を対向部（有効層部）という。また、対向部と第 1 の側面 1 2 c との間の部分、及び、対向部と第 2 の側面 1 2 d との間の部分は W ギャップまたはサイドギャップともいう。また、対向部と第 1 の端面 1 2 e との間の部分、及び、対向部と第 2 の端面 1 2 f との間の部分であり、第 1 の内部電極層 1 6 a 及び第 2 の内部電極層 1 6 b のいずれか一方の引出電極部を含む部分を L ギャップまたはエンドギャップともいう。

[0018] 積層体 1 2 の寸法は、特に限定されない。

[0019] セラミック層 1 4 を形成する誘電体材料としては、たとえば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、又は CaZrO_3 などの成分を含む誘電体セラミックを用いることができる。上記の誘電体材料を主成分として含む場合、所

望する積層体 1 2 の特性に応じて、たとえば、Mn 化合物、Fe 化合物、Cr 化合物、Co 化合物、Ni 化合物などの主成分よりも含有量の少ない副成分を添加したものをを用いてもよい。

[0020] なお、セラミック層 1 4 に、圧電体セラミック材料を用いた場合、積層セラミック電子部品は圧電部品として機能する。圧電体セラミック材料の具体例としては、たとえば、PZT（チタン酸ジルコン酸鉛）系セラミック材料などが挙げられる。

また、セラミック層 1 4 に、半導体セラミック材料を用いた場合、積層セラミック電子部品は、サーミスタ素子として機能する。半導体セラミック材料の具体例としては、たとえば、スピネル系セラミック材料などが挙げられる。

また、セラミック層 1 4 に、磁性体セラミック材料を用いた場合、積層セラミック電子部品は、インダクタ素子として機能する。また、インダクタ素子として機能する場合は、内部電極層 1 6 は、コイル状の導体となる。磁性体セラミック材料の具体例としては、たとえば、フェライトセラミック材料などが挙げられる。

[0021] 焼成後のセラミック層 1 4 の厚みは、 $0.35\mu\text{m}$ 以上 $0.60\mu\text{m}$ 以下であることが好ましい。積層されるセラミック層 1 4 の枚数は、10枚以上2000枚以下であることが好ましい。なお、このセラミック層 1 4 の枚数は、内層部 1 4 b のセラミック層 1 4 の枚数と、第 1 の主面 1 2 a 側の外層部 1 4 a 及び第 2 の主面 1 2 b 側の外層部 1 4 a のセラミック層 1 4 の枚数との総数である。

[0022] 積層体 1 2 は、複数の内部電極層 1 6 として、第 1 の端面 1 2 e に引き出される複数の第 1 の内部電極層 1 6 a 及び第 2 の端面 1 2 f に引き出される複数の第 2 の内部電極層 1 6 b を有する。複数の第 1 の内部電極層 1 6 a 及び複数の第 2 の内部電極層 1 6 b は、内層部 1 4 b において積層体 1 2 の高さ方向 x に沿ってセラミック層 1 4 を挟んで等間隔に交互に配置されるように埋設されている。複数の第 1 の内部電極層 1 6 a の表面及び複数の第 2 の

内部電極層 1 6 b の表面は、第 1 の主面 1 2 a 及び第 2 の主面 1 2 b と概ね平行であり、平面視においてたとえば略矩形状である。

[0023] 図 4 に示すように、第 1 の内部電極層 1 6 a は、複数のセラミック層 1 4 上に配置され、積層体 1 2 の内部に位置している。第 1 の内部電極層 1 6 a は、第 2 の内部電極層 1 6 b と対向する第 1 の対向電極部 2 6 a と、第 1 の内部電極層 1 6 a の一端側に位置し、第 1 の対向電極部 2 6 a から積層体 1 2 の第 1 の端面 1 2 e までの第 1 の引出電極部 2 8 a とを有する。第 1 の引出電極部 2 8 a は、その端部が第 1 の端面 1 2 e の表面に引き出され、積層体 1 2 から露出している。つまり、第 1 の引出電極部 2 8 a は、第 1 の主面 1 2 a、第 2 の主面 1 2 b、第 1 の側面 1 2 c、第 2 の側面 1 2 d 及び第 2 の端面 1 2 f において露出されていない。第 1 の対向電極部 2 6 a の端部は、第 2 の端面 1 2 f の表面から幅方向に後退して位置している。

[0024] 第 1 の内部電極層 1 6 a の第 1 の対向電極部 2 6 a の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0025] 第 1 の内部電極層 1 6 a の第 1 の引出電極部 2 8 a の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0026] 第 1 の内部電極層 1 6 a の第 1 の対向電極部 2 6 a の幅と、第 1 の内部電極層 1 6 a の第 1 の引出電極部 2 8 a の幅は、同じ幅で形成されていてもよく、どちらか一方の幅が狭く形成されていてもよい。

[0027] 図 5 に示すように、第 2 の内部電極層 1 6 b は、複数のセラミック層 1 4 上に配置され、積層体 1 2 の内部に位置している。第 2 の内部電極層 1 6 b は、第 1 の内部電極層 1 6 a と対向する第 2 の対向電極部 2 6 b と、第 2 の

内部電極層 1 6 b の一端側に位置し、第 2 の対向電極部 2 6 b から積層体 1 2 の第 2 の端面 1 2 f までの第 2 の引出電極部 2 8 b を有する。第 2 の引出電極部 2 8 b は、その端部が第 2 の端面 1 2 f の表面に引き出され、積層体 1 2 から露出している。つまり、第 2 の引出電極部 2 8 b は、第 1 の主面 1 2 a、第 2 の主面 1 2 b、第 1 の側面 1 2 c、第 2 の側面 1 2 d 及び第 1 の端面 1 2 e において露出されていない。第 2 の対向電極部 2 6 b の端部は、第 1 の端面 1 2 e の表面から幅方向に後退して位置している。

[0028] 第 2 の内部電極層 1 6 b の第 2 の対向電極部 2 6 b の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0029] 第 2 の内部電極層 1 6 b の第 2 の引出電極部 2 8 b の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0030] 第 2 の内部電極層 1 6 b の第 2 の対向電極部 2 6 b の幅と、第 2 の内部電極層 1 6 b の第 2 の引出電極部 2 8 b の幅は、同じ幅で形成されていてもよく、どちらか一方の幅が狭く形成されていてもよい。

[0031] 第 1 の内部電極層 1 6 a 及び第 2 の内部電極層 1 6 b は、たとえば、Ni、Cu、Ag、Pd、Au などの金属や、Ag-Pd 合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成することができる。また、内部電極層 1 6 を含む積層体 1 2 及び積層体 1 2 の表面の外部電極 3 0 を含む一体物を同時に焼成する場合、内部電極層 1 6 を構成する金属は、外部電極 3 0 に含まれる金属と化合物を構成する。

[0032] 内部電極層 1 6、すなわち第 1 の内部電極層 1 6 a 及び第 2 の内部電極層 1 6 b のそれぞれの厚みは、 $0.40\ \mu\text{m}$ 以上 $0.50\ \mu\text{m}$ 以下であること

が好ましい。

また、第1の内部電極層16a及び第2の内部電極層16bの枚数は、合わせて10枚以上2000枚以下であることが好ましい。

[0033] (2) 外部電極

積層体12の第1の端面12e側及び第2の端面12f側には、図1ないし図3に示されるように、外部電極30が配置される。

[0034] 外部電極30は、第1の外部電極30a及び第2の外部電極30bを有する。

[0035] 第1の外部電極30aは、第1の内部電極層16aに接続され、少なくとも第1の端面12eの表面に配置されている。この場合、第1の外部電極30aは、第1の内部電極層16aの第1の引出電極部28aと電氣的に接続される。本実施の形態では、第1の外部電極30aは、積層体12の第1の端面12eから延伸して第1の主面12aの一部及び第2の主面12bの一部、ならびに第1の側面12cの一部及び第2の側面12dの一部にも配置される。

[0036] 第2の外部電極30bは、第2の内部電極層16bに接続され、少なくとも第2の端面12fの表面に配置されている。この場合、第2の外部電極30bは、第2の内部電極層16bの第2の引出電極部28bと電氣的に接続される。本実施の形態では、第2の外部電極30bは、第2の端面12fから延伸して第1の主面12aの一部及び第2の主面12bの一部、ならびに第1の側面12cの一部及び第2の側面12dの一部にも配置される。

[0037] 積層体12内においては、第1の内部電極層16aの第1の対向電極部26aと第2の内部電極層16bの第2の対向電極部26bとがセラミック層14を介して対向することにより、静電容量が形成されている。そのため、第1の内部電極層16aが接続された第1の外部電極30aと第2の内部電極層16bが接続された第2の外部電極30bとの間に、静電容量を得ることができ、コンデンサの特性が発現する。

[0038] 外部電極30は、下地電極層32とめっき層34とから構成されているの

が好ましい。本実施の形態では、外部電極 30 は、金属成分を含む下地電極層 32 と、下地電極層 32 上に配置されるめっき層 34 と、を含む。めっき層 34 は、第 1 のめっき層 34 a と、第 2 のめっき層 34 b と、を含む。

第 1 の外部電極 30 a は、金属成分を含む第 1 の下地電極層 32 a と、第 1 の下地電極層 32 a 上に配置される第 1 の下層めっき層 34 a₁ と、第 1 の下層めっき層 34 a₁ 上に配置される第 1 の上層めっき層 34 a₂ と、を有する。また、第 1 の外部電極 30 a は、第 1 の外部電極 30 a の表面に露出している第 1 のめっき露出領域 35 a を有する。

第 2 の外部電極 30 b は、金属成分を含む第 2 の下地電極層 32 b と、第 2 の下地電極層 32 b 上に配置される第 2 の下層めっき層 34 b₁ と、第 2 の下層めっき層 34 b₁ 上に配置される第 2 の上層めっき層 34 b₂ と、を有する。また、第 2 の外部電極 30 b は、第 2 の外部電極 30 b の表面に露出している第 2 のめっき露出領域 35 b を有する。

[0039] (2-1) 下地電極層

第 1 の下地電極層 32 a は、第 1 の内部電極層 16 a に接続され、第 1 の端面 12 e の表面に配置されている。この場合、第 1 の下地電極層 32 a は、第 1 の内部電極層 16 a の第 1 の引出電極部 28 a と電氣的に接続される。本実施の形態では、第 1 の下地電極層 32 a は、第 1 の端面 12 e から延伸して第 1 の主面 12 a の一部及び第 2 の主面 12 b の一部、ならびに第 1 の側面 12 c の一部及び第 2 の側面 12 d の一部にも配置される。

[0040] 第 2 の下地電極層 32 b は、第 2 の内部電極層 16 b に接続され、第 2 の端面 12 f の表面に配置されている。この場合、第 2 の下地電極層 32 b は、第 2 の内部電極層 16 b の第 2 の引出電極部 28 b と電氣的に接続される。本実施の形態では、第 2 の下地電極層 32 b は、第 2 の端面 12 f から延伸して第 1 の主面 12 a の一部及び第 2 の主面 12 b の一部、ならびに第 1 の側面 12 c の一部及び第 2 の側面 12 d の一部にも配置される。

[0041] 下地電極層 32 は、焼付け層、導電性樹脂層、薄膜層等から選ばれる少なくとも 1 つを含む。

以下、下地電極層 3 2 を上記の焼付け層、導電性樹脂層、薄膜層とした場合の各構成について説明する。

[0042] (下地電極層が焼付け層を含む場合)

焼付け層は、ガラス成分と金属成分とを含む。焼付け層のガラス成分は、B、Si、Ba、Mg、Al、Li等から選ばれる少なくとも1つを含む。焼付け層の金属成分としては、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。焼付け層は、複数層であってもよい。焼付け層は、ガラス成分及び金属成分を含む導電性ペーストを積層体 1 2 に塗布して焼付けたものであり、内部電極層 1 6 及びセラミック層 1 4 と同時焼成したものでもよく、内部電極層 1 6 及びセラミック層 1 4 を焼成した後に焼付けてもよい。なお、焼付け層を内部電極層 1 6 及びセラミック層 1 4 と同時に焼成する場合には、ガラス成分の代わりにセラミック成分を添加して焼付け層を形成することが好ましい。セラミック成分は、セラミック層 1 4 と同種のセラミック材料を用いてもよく、異なる種のセラミック材料を用いてもよい。セラミック成分は、例えば、BaTiO₃、CaTiO₃、(Ba, Ca)TiO₃、SrTiO₃、CaZrO₃等から選ばれる少なくとも1つを含む。焼付け層が、ガラス成分又はセラミック成分を含むことにより、積層体 1 2 と焼付け層である下地電極層 3 2 との密着性を向上させることができる。なお、焼付け層は、ガラス成分とセラミック成分の両方を含んでいてもよい。

[0043] 第1の端面 1 2 e 及び第2の端面 1 2 f に位置する第1及び第2の下地電極層 3 2 a、3 2 b の高さ方向 x 中央部における第1及び第2の焼付け層の厚みは、例えば、3 μm 以上 20 μm 以下程度であることが好ましい。

また、第1の主面 1 2 a 及び第2の主面 1 2 b、第1の側面 1 2 c 及び第2の側面 1 2 d 上に下地電極層 3 2 を設ける場合には、第1の主面 1 2 a 及び第2の主面 1 2 b、第1の側面 1 2 c 及び第2の側面 1 2 d 上に位置する第1及び第2の下地電極層 3 2 a、3 2 b である長さ方向 z の中央部における第1及び第2の焼付け層の厚みは、例えば、1 μm 以上 20 μm 以下程度

であることが好ましい。

[0044] (下地電極層が導電性樹脂層を含む場合)

導電性樹脂層は、複数層であってもよい。

導電性樹脂層は、焼付け層上に焼付け層を覆うように配置されるか、あるいは、導電性樹脂層は、積層体 1 2 上に直接配置されてもよい。

焼付け層上に導電性樹脂層が配置される場合についてさらに説明すると、導電性樹脂層は、焼付け層である下地電極層 3 2 を覆うように配置される。導電性樹脂層は、第 1 の導電性樹脂層と第 2 の導電性樹脂層とを有する。第 1 の導電性樹脂層は第 1 の下地電極層 3 2 a を覆うように配置され、第 2 の導電性樹脂層は第 2 の下地電極層 3 2 b を覆うように配置されている。具体的には、第 1 及び第 2 の導電性樹脂層は、第 1 の端面 1 2 e 及び第 2 の端面 1 2 f 上に位置する第 1 の下地電極層 3 2 a 及び第 2 の下地電極層 3 2 b 上に配置されている。さらに、第 1 及び第 2 の導電性樹脂層は、第 1 の主面 1 2 a 及び第 2 の主面 1 2 b、並びに、第 1 の側面 1 2 c 及び第 2 の側面 1 2 d 上にも至るように配置されていることが好ましい。もっとも、第 1 及び第 2 の導電性樹脂層は、第 1 の端面 1 2 e 及び第 2 の端面 1 2 f 上に位置する第 1 の下地電極層 3 2 a 及び第 2 の下地電極層 3 2 b 上にのみ配置されていてもよい。なお、外部電極 3 0 がめっき層 3 4 を有する場合には、導電性樹脂層は下地電極層 3 2 とめっき層 3 4 との間に位置するように配置されることができる。

[0045] 導電性樹脂層は、熱硬化性樹脂及び金属を含む。

導電性樹脂層は、熱硬化性樹脂を含むため、例えばめっき膜や導電性ペーストの焼成物からなる導電層よりも柔軟性に富んでいる。このため、2 端子型積層セラミックコンデンサ 1 0 に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導電性樹脂層が緩衝層として機能し、2 端子型積層セラミックコンデンサ 1 0 へのクラックを防止することができる。

[0046] 導電性樹脂層に含まれる金属としては、Ag、Cu、Ni、Sn、Bi又は、それらを含む合金を使用することができる。

また、金属粉の表面にA g コーティングされた金属粉を使用することもできる。金属粉の表面にA g コーティングされたものを使用する際には金属粉としてC u、N i、S n、B i又はそれらの合金粉を用いることが好ましい。導電性金属にA gの導電性金属粉を用いる理由としては、A gは金属の中でもっとも比抵抗が低いため電極材料に適しており、A gは貴金属であるため酸化せず耐候性が高いためである。また、A g コーティングされた金属粉を用いる理由としては、前記のA gの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0047] さらに、導電性樹脂層に含まれる金属としては、C u、N iに酸化防止処理を施したものを使用することもできる。

なお、導電性樹脂層に含まれる金属としては、金属粉の表面にS n、N i、C uをコーティングした金属粉を使用することもできる。金属粉の表面にS n、N i、C uをコーティングされたものを使用する際には金属粉としてA g、C u、N i、S n、B i又はそれらの合金粉を用いることが好ましい。

[0048] 導電性樹脂層に含まれる金属は、導電性樹脂全体の体積に対して、35 v o l %以上75 v o l %以下で含まれていることが好ましい。

導電性樹脂層に含まれる金属の平均粒径は、特に限定されない。導電性フィラーの平均粒径は、例えば、0.3 μ m以上10 μ m以下程度であってもよい。

導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラー同士が接触することにより、導電性樹脂層内部に通電経路が形成される。

[0049] 導電性樹脂層に含まれる金属の形状は特に限定されず、球形状、扁平状などのものを用いることができる。導電性樹脂層に含まれる金属として、球形状金属粉と扁平状金属粉とを混合して用いるのが好ましい。

[0050] 導電性樹脂層の樹脂としては、例えば、エポキシ樹脂、フェノキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコーン樹脂、ポリイミド樹脂などの公

知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。

導電性樹脂層に含まれる樹脂は、導電性樹脂全体の体積に対して、25 vol %以上65 vol %以下で含まれていることが好ましい。

[0051] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤としては、フェノール系、アミン系、酸無水物系、イミダゾール系、活性エステル系、アミドイミド系など公知の種々の化合物を使用することができる。

[0052] 第1の端面12e及び第2の端面12fに位置する積層体12の高さ方向x中央部に位置する導電性樹脂層の厚みは、例えば、3 μ m以上30 μ m以下程度であることが好ましい。

[0053] また、第1の主面12a及び第2の主面12b、第1の側面12c及び第2の側面12d上にも導電性樹脂層を設ける場合には、第1の主面12a及び第2の主面12b、第1の側面12c及び第2の側面12dに位置する導電性樹脂層の長さ方向zの中央部における導電性樹脂層の厚みは、例えば、3 μ m以上30 μ m以下程度であることが好ましい。

[0054] (下地電極層が薄膜層を含む場合)

薄膜層は、スパッタリング法又は蒸着法等の薄膜形成法により形成され、金属粒子が堆積された1 μ m以下の層である。

[0055] (2-2) めっき層

続いて、下地電極層32の上に配置されるめっき層34である第1のめっき層34a及び第2のめっき層34bについて、図2～図5を参照して説明する。このめっき層34はめっき露出領域35を有している。

[0056] 第1のめっき層34aは、第1の端面12e側の第1の下地電極層32aを覆うように配置されている。さらに、第1のめっき層34aは、第1の主面12a、第2の主面12b、第1の側面12c及び第2の側面12d側の第1の下地電極層32aを覆うように配置されていてもよい。もっとも、第

1のめっき層34aは、第1の端面12e側の第1の下地電極層32a上のみ配置されていてもよい。この第1のめっき層34aは、第1の下地電極層32a上に配置される第1の下層めっき層34a₁と、第1の下層めっき層34a₁上に配置される第1の上層めっき層34a₂と、を有する。第1の上層めっき層34a₂は、第1の下層めっき層34a₁の一部を露出するように第1の下層めっき層34a₁上に配置される。つまり、第1の上層めっき層34a₂は、第1の下層めっき層34a₁が第1の外部電極30aの表面に露出された第1のめっき露出領域35aを有するように第1のめっき露出領域35aを除いて第1の下層めっき層34a₁上に配置されている。

[0057] 本実施形態では、第1のめっき露出領域35aは第1の主面12a上に配置されている。この場合、図6に示すように、2端子型積層セラミックコンデンサ10の第2の主面12bは実装基板40への実装面となる。図6は、半田を用いてに搭載された2端子型積層セラミックコンデンサの一例を示す側面図である。図6によると、実装基板40には2端子型積層セラミックコンデンサ10を実装するための平面状の一对のランド41が形成されている。2端子型積層セラミックコンデンサ10は、実装基板40の実装面に第2の主面12bが対向し、第1の主面12aが実装面から最も離れた状態で、一对のランド41それぞれに第1の外部電極30a及び第2の外部電極30bが位置するように配置される。この状態で第1の端面12e及び第2の端面12fに半田42が塗布されることにより、2端子型積層セラミックコンデンサ10が実装基板40に実装されている。

[0058] これに限定されないが、第1の上層めっき層34a₂は、第1の下層めっき層34a₁の端部を覆っていることが好ましい。具体的に、第1の下層めっき層34a₁の第2の端面12f側の先端部は、第1の上層めっき層34a₂のうち第2の端面12f側の先端部により覆われていることが好ましい。これにより、第1の下層めっき層34a₁の剥がれを抑制することができる。

[0059] 積層体12の高さ方向xから見たときの第1の主面12a上の第1の外部電極30aの露出領域の面積に対する第1のめっき露出領域35aの面積の

第1の割合は0.4%以上83.4%以下であることが好ましい。第1の割合が0.4%以上であるため、例えば第1、第2の内部電極層16a、16b、第1、第2の下地電極層32a、32b、第1、第2の下層めっき層34a₁、34b₁から放出される水素を第1のめっき露出領域35aから2端子型積層セラミックコンデンサ10の外部へ十分に放出することができ、水素による絶縁抵抗の劣化を抑制することができる。また、第1の割合が83.4%以下であるため、第1の下層めっき層34a₁が第1の上層めっき層34a₂により覆われていない割合を抑制することができる。これにより、第1のめっき露出領域35aから2端子型積層セラミックコンデンサ10内への水蒸気侵入による耐湿性の低下を抑制することができる。

より好ましくは、第1の割合は1.17%以上83.4%以下である。さらに好ましくは、第1の割合は1.40%以上83.4%以下である。さらに好ましくは、第1の割合は1.40%以上25.0%以下である。

[0060] 第1の割合は、第1の例として、次のようにして求めることができる。まず、第1の外部電極30aの露出領域の面積は、第1の外部電極30aが2端子型積層セラミックコンデンサ10の外側に面している領域の面積から求めることができる。例えば、第1の外部電極30aの露出領域の面積は、第1の主面12a、第2の主面12b、第1の端面12e、第1の側面12c、第2の側面12dにおいて第1の外部電極30aが2端子型積層セラミックコンデンサ10の外側に面している領域の面積から求めることができる。また、第1のめっき露出領域35aの面積は、第1の下層めっき層34a₁が2端子型積層セラミックコンデンサ10の外側に面している領域の面積から求めることができる。例えば、第1のめっき露出領域35aの面積は、第1の主面12a、第2の主面12b、第2の端面12f、第1の側面12c、第2の側面12dにおいて第1の下層めっき層34a₁が2端子型積層セラミックコンデンサ10の外側に面している領域の面積から求めることができる。そして、第1の外部電極30aの露出領域の面積に対する、第1のめっき露出領域35aの面積の割合から第1の割合を求めることができる。

[0061] 第1の例の場合、本実施形態では、図7に示すように、第1の外部電極30aの露出領域の面積 S_{30a} は、第1の主面12a側から見た場合に（第1の主面方向視において）、第1の主面12aにおいて第1の外部電極30a（第1の下地電極層32a、第1の下層めっき層34a₁、第1の上層めっき層34a₂）が2端子型積層セラミックコンデンサ10の外側に面している領域から求めることができる。また、本実施形態では、第1のめっき露出領域35aの面積 S_{35a} は、第1の主面12a、第2の主面12b、第1の端面12e、第1の側面12c、第2の側面12dの全ての面において第1の下層めっき層34a₁が2端子型積層セラミックコンデンサ10の外側に面している領域から求めることができる。なお、図7では、第1のめっき露出領域35aが第1の主面12a側にある態様を一例として示している。そして、第1の外部電極30aの露出領域の面積 S_{30a} に対する第1のめっき露出領域35aの面積 S_{35a} の割合から第1の割合を求めることができる。前記の面積 S_{30a} 及び面積 S_{35a} は、例えばマイクロスコプ（例えば、株式会社キーエンス社製のVHXシリーズ（以下、VHX））を用いて、倍率200倍及び明視野にて観察できる。

[0062] また、第1の割合は、第2の例として、次のようにして求めることができる。第1の外部電極30aの露出領域の面積は、第1の例と同様に求める。また、第1の上層めっき層34a₂に加えて第1の下層めっき層34a₁も削れていることにより、第1のめっき露出領域35aが第1の主面12a、第2の主面12b、第1の端面12e、第1の側面12c又は第2の側面12dに対して交差している場合、第1のめっき露出領域35aの面積は、露出している第1の下層めっき層34a₁の厚みと第1のめっき露出領域35aの周囲の長さとの乗算することにより求めることができる。そして、第1の外部電極30aの露出領域の面積に対する、第1のめっき露出領域35aの面積の割合から第1の割合を求めることができる。

[0063] 第2の例の場合、本実施形態では、図7と同様に、第1の外部電極30aの露出領域の面積 S_{30a} は、第1の主面12a側から見た場合に（第1の

主面方向視において）、第1の主面12aにおいて第1の外部電極30aが2端子型積層セラミックコンデンサ10の外側に面している領域から求めることができる。また、第1のめっき露出領域35aの面積 SS_{35a} は、第1のめっき露出領域35aが第1の主面12a、第2の主面12b、第1の端面12e、第1の側面12c又は第2の側面12dに対して交差している場合、露出している第1の下層めっき層34a₁の厚み t_{35a} と、第1のめっき露出領域35aの周囲の長さ（ l_{35a_1} 、 l_{35a_2} 、 l_{35a_3} 、 l_{35a_4} の和）と、を乗算することにより求めることができる。なお、図8では第1のめっき露出領域35aが第1の主面12aに対して交差している態様を一例として示している。そして、第1の外部電極30aの露出領域の面積 S_{30a} に対する第1のめっき露出領域35aの面積 SS_{35a} の割合から第1の割合を求めることができる。前記の長さ $l_{35a_1} \sim l_{35a_4}$ は、例えばマイクロ스코プ（VHX）を用いて倍率200倍及び明視野にて観察できる。また、前記の厚み t_{35a} は、例えば2端子型積層セラミックコンデンサ10の幅方向yのW寸法の例えば1/2寸法まで断面研磨したうえで、マイクロ스코プ（VHX）を用いて倍率2000倍及び明視野にて観察できる。

[0064] 第2のめっき層34bは、第2の端面12f側の第2の下地電極層32bを覆うように配置されている。さらに、第2のめっき層34bは、第1の主面12a、第2の主面12b、第1の側面12c及び第2の側面12d側の第2の下地電極層32bを覆うように配置されていてもよい。もっとも、第2のめっき層34bは、第2の端面12f側の第2の下地電極層32b上のみ配置されていてもよい。この第2のめっき層34bは、第2の下地電極層32b上に配置される第2の下層めっき層34b₁と、第2の下層めっき層34b₁上に配置される第2の上層めっき層34b₂と、を有する。第2の上層めっき層34b₂は、第2の下層めっき層34b₁の一部を露出するように第2の下層めっき層34b₁上に配置される。つまり、第2の上層めっき層34b₂は、第2の下層めっき層34b₁が第2の外部電極30bの表面に露出された

第2のめっき露出領域35bを有するように第2のめっき露出領域35bを除いて第2の下層めっき層34b₁上に配置されている。本実施形態では、第2のめっき露出領域35bは第1の主面12a上に配置されている。この場合、2端子型積層セラミックコンデンサ10の第2の主面12bは実装基板への実装面となる。

[0065] これに限定されないが、第2の上層めっき層34b₂は、第2の下層めっき層34b₁の端部を覆っていることが好ましい。具体的に、第2の下層めっき層34b₁の第1の端面12e側の先端部は、第2の上層めっき層34b₂のうち第1の端面12e側の先端部により覆われていることが好ましい。これにより、第2の下層めっき層34b₁の剥がれを抑制することができる。

[0066] 第1の割合と同様の理由により、積層体12の高さ方向xから見たときの第1の主面12a上の第2の外部電極30bの露出領域の面積に対する第2のめっき露出領域35bの面積の第2の割合は0.4%以上83.4%以下であることが好ましい。第2の割合が0.4%以上であるため、例えば第1、第2の内部電極層16a、16b、第1、第2の下地電極層32a、32b、第1、第2の下層めっき層34a₁、34b₁から放出される水素を第2のめっき露出領域35bから2端子型積層セラミックコンデンサ10の外部へ十分に放出することができ、水素による絶縁抵抗の劣化を抑制することができる。また、第2の割合が83.4%以下であるため、第2のめっき露出領域35bから2端子型積層セラミックコンデンサ10内への水蒸気侵入による耐湿性の低下を抑制することができる。

より好ましくは、第2の割合は1.17%以上83.4%以下である。さらに好ましくは、第2の割合は1.40%以上83.4%以下である。さらに好ましくは、第2の割合は1.40%以上25.0%以下である。

[0067] 第2の割合は、第1の割合と同様に求めることができる。上記の第1の例の場合、本実施形態では、第2の外部電極30bの露出領域の面積は、第1の主面12a側から見た場合に、第1の主面12aにおいて第2の外部電極30b（第2の下地電極層32b、第2の下層めっき層34b₁、第2の上層

めっき層 34 b₂) が 2 端子型積層セラミックコンデンサ 10 の外側に面している領域の面積から求めることができる。また、本実施形態では、第 2 のめっき露出領域 35 b の面積は、第 1 の主面 12 a、第 2 の主面 12 b、第 2 の端面 12 f、第 1 の側面 12 c、第 2 の側面 12 d の全ての面から見た場合に、第 2 の下層めっき層 34 b₁ が 2 端子型積層セラミックコンデンサ 10 の外側に面している領域の面積から求めることができる。

[0068] さらに上記の第 2 の例の場合、本実施形態では、第 2 の外部電極 30 b の露出領域の面積は、第 1 の例と同様に求めることができる。また、本実施形態では、第 2 のめっき露出領域 35 b の面積は、第 2 のめっき露出領域 35 b が第 1 の主面 12 a、第 2 の主面 12 b、第 2 の端面 12 f、第 1 の側面 12 c 又は第 2 の側面 12 d に対して交差している場合、露出している第 2 の下層めっき層 34 b₁ の厚みと第 2 のめっき露出領域 35 b の周囲の長さとを乗算した面積から求めることができる。

そして、第 2 の割合は、第 2 の外部電極 30 b の露出領域の面積に対する第 2 のめっき露出領域 35 b の面積の割合から求めることができる。

[0069] 上記では、露出割合として第 1 の割合及び第 2 の割合をそれぞれ求めているが、露出割合は、第 1 の外部電極 30 a 及び第 2 の外部電極 30 b の露出領域の合計の面積に対する、第 1 のめっき露出領域 35 a 及び第 2 のめっき露出領域 35 b の合計の面積の割合であってもよい。そして、この合計の露出割合が 0.4 % 以上 83.4 % 以下であることが好ましい。

[0070] 第 1 のめっき層 34 a 及び第 2 のめっき層 34 b としては、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd 合金、Au 等から選ばれる少なくとも 1 つを含む。

[0071] 第 1 の下層めっき層 34 a₁ 及び第 2 の下層めっき層 34 b₁ は Ni めっき層であり、第 1 の上層めっき層 34 a₂ 及び第 2 の上層めっき層 34 b₂ は Sn めっき層であることが好ましい。

[0072] Ni めっき層による第 1、第 2 の下層めっき層 34 a₁、34 b₁ は、下地電極層 32 が 2 端子型積層セラミックコンデンサ 10 を実装する際の半田によ

って侵食されることを防止するために用いられる。また、Snめっき層による第1、第2の上層めっき層34a₂、34b₂は、2端子型積層セラミックコンデンサ10を実装する際の半田の濡れ性を向上させて、容易に実装することができるようにするために用いられる。

[0073] 第1の下層めっき層34a₁及び第1の上層めっき層34a₂の第1の主面12a、第2の主面12b、第1の端面12e、第1の側面12c、第2の側面12dにおける厚みは2μm以上7μm以下であることが好ましい。第2の下層めっき層34b₁及び第2の上層めっき層34b₂の第1の主面12a、第2の主面12b、第2の端面12f、第1の側面12c、第2の側面12dにおける厚みは2μm以上7μm以下であることが好ましい。

[0074] なお、下地電極層32上に導電性樹脂層が形成される場合は、めっき層34は導電性樹脂層を覆うように配置される。この場合においても、めっき層34のうち下層めっき層であるNiめっき層は導電性樹脂層が半田によって侵食されることを防止し、上層めっき層であるSnめっき層は半田の濡れ性を向上させる。

[0075] (3) 2端子型積層セラミックコンデンサの寸法

積層体12、第1の外部電極30a及び第2の外部電極30bを含む2端子型積層セラミックコンデンサ10の長さ方向zの寸法をL寸法とし、積層体12、第1の外部電極30a及び第2の外部電極30bを含む2端子型積層セラミックコンデンサ10の高さ方向xの寸法をT寸法とし、積層体12、第1の外部電極30a及び第2の外部電極30bを含む2端子型積層セラミックコンデンサ10の幅方向yの寸法をW寸法とする。

2端子型積層セラミックコンデンサ10の寸法は、長さ方向zのL寸法が0.2mm以上6.5mm以下、幅方向yのW寸法が0.1mm以上5.5mm以下、高さ方向xのT寸法が0.1mm以上6.5mm以下である。また、2端子型積層セラミックコンデンサ10の寸法は、マイクロ스코プにより測定することができる。

[0076] 2. 2端子型積層セラミックコンデンサの製造方法

次に、２端子型積層セラミックコンデンサ１０の製造方法について説明する。

[0077] （工程１）まず、セラミック層１４用の誘電体シート及び内部電極層１６用の導電性ペーストが準備される。誘電体シート及び内部電極層１６用の導電性ペーストは、バインダ及び溶剤を含む。バインダ及び溶剤は、公知のものであってよい。

[0078] （工程２）そして、誘電体シート上に、内部電極層１６用の導電性ペーストが、たとえば、スクリーン印刷やグラビア印刷などにより所定のパターンで印刷される。これにより、第１の内部電極層１６ａのパターンが形成された誘電体シート、及び第２の内部電極層１６ｂのパターンが形成された誘電体シートが準備される。

[0079] また、誘電体シートに関しては、内部電極層のパターンが印刷されていない外層用の誘電体シートも準備される。

[0080] （工程３）内部電極層のパターンが印刷されていない外層用の誘電体シートが所定枚数積層されることにより、第２の主面１２ｂ側の外層部１４ａが形成される（外層部形成工程）。

第２の主面１２ｂ側の外層部１４ａの上に第１の内部電極層１６ａのパターンが印刷された誘電体シート、及び第２の内部電極層１６ｂのパターンが印刷された誘電体シートを本発明の構造となるように順次積層されることにより、内層部１４ｂが形成される（内層部形成工程）。

続いて、内部層の上に内部電極層のパターンが印刷されていない外層用の誘電体シートが所定枚数積層される。これにより、内層部１４ｂの上に第１の主面１２ａ側の外層部１４ａが形成される（外層部形成工程）。

[0081] （工程４）次に、積層シートが静水圧プレスなどの手段により積層方向にプレスされることにより、積層ブロックが作製される。

[0082] （工程５）そして、積層ブロックを所定のサイズにカットされることにより、積層チップが切り出される。このとき、バレル研磨などにより積層チップの角部及び稜線部に丸みをつけてもよい。

[0083] (工程6) 次に、積層チップが焼成されることにより、積層体12が作製される。焼成温度は、誘電体であるセラミック層や内部電極層の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0084] (工程7) 次に、積層体12の両端面12e、12f等に外部電極用の導電性ペーストを塗布することにより下地電極層32を形成する。下地電極層32が焼付け層、導電性樹脂層及び薄膜層である場合のそれぞれについて以下に製造工程を説明する。

[0085] (下地電極層が焼付け層の場合)

下地電極層32が焼付け層である場合には、ガラス成分と金属とを含む導電性ペーストを例えばディッピング及びスクリーン印刷などの方法により、塗布し、その後、焼付け処理を行い、下地電極層32を形成する。このときの焼付け温度は、700℃以上900℃以下であることが好ましい。

[0086] 焼付け層には、ガラス成分の代わりにセラミック成分を含有させてもよいし、その両方を含有させてもよい。セラミック成分は、例えば、積層体と同種のセラミック材料であることが好ましい。なお、焼付け層にセラミック成分を含ませる場合には、焼成前の積層チップに対して、導電性ペーストを塗布し、焼成前の積層チップと焼成前の積層チップに塗布された導電性ペーストを同時に焼付けて（焼成して）、焼付け層が形成された積層体を形成することが好ましい。この時の焼付け処理の温度（焼成温度）は、900℃以上1400℃以下であることが好ましい。

[0087] (下地電極層が導電性樹脂層の場合)

下地電極層32が導電性樹脂層である場合には、熱硬化性樹脂及び金属成分を含む導電性樹脂ペーストを焼付け層上もしくは積層体12上に塗布し、250℃以上550℃以下の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、N₂雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は100ppm以下に抑えることが好ましい。

[0088] (下地電極層が薄膜層の場合)

下地電極層 3 2 が薄膜層である場合は、スパッタリング法又は蒸着法等の薄膜形成法により下地電極層 3 2 を形成することができる。薄膜層で形成された下地電極層 3 2 は金属粒子が堆積された $1\ \mu\text{m}$ 以下の層とする。

[0089] (工程 8) 下地電極層 3 2 の形成後、下地電極層 3 2 の表面にめっき層 3 4 を形成する。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよいが、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを用いることが好ましい。本実施の形態では、下地電極層 3 2 上に、めっき層 3 4 として第 1 の下層めっき層 3 4 a₁ 及び第 2 の下層めっき層 3 4 b₁ (Ni めっき層) と、第 1 の上層めっき層 3 4 a₂ 及び第 2 の上層めっき層 3 4 b₂ (Sn めっき層) とを順次に形成する。

[0090] なお、下地電極層 3 2 上に導電性樹脂層を形成する場合、樹脂成分と金属成分を含む導電性樹脂ペーストを準備し、下地電極層 3 2 上にディッピング工法を用いて導電性樹脂ペーストを塗布する。その後、導電性樹脂層上にめっき層 3 4 が形成される。

[0091] (工程 9) 次に、第 1 の下層めっき層 3 4 a₁ 及び第 2 の下層めっき層 3 4 b₁ (Ni めっき層) が所定の露出割合を有するように、第 1 の上層めっき層 3 4 a₂ 及び第 2 の上層めっき層 3 4 b₂ (Sn めっき層) を処理する。処理の方法としては、例えば、削り取る方法、融解する方法、レーザ加工による方法、レジストを用いた方法等を採用することができる。

削り取る方法では、 $\phi 30\sim 100\ \mu\text{m}$ 程度の金属端子を第 1 の上層めっき層 3 4 a₂ 及び第 2 の上層めっき層 3 4 b₂ (Sn めっき層) に接触させることにより、第 1 の下層めっき層 3 4 a₁ 及び第 2 の下層めっき層 3 4 b₁ (Ni めっき層) が所定の露出割合を有するように柔らかい Sn めっき層を削り取る。

融解する方法では、めっき層 3 4 形成後の成形体をエンストリップ剤 (剥

離剤)に浸漬する。例えば、めっき層34形成後の複数の成形体の高さを整列治具で揃え、成形体の一面をエンストリップ剤に浸漬することにより、第1の下層めっき層34 a₁及び第2の下層めっき層34 b₁(N iめっき層)が所定の露出割合を有するように第1の上層めっき層34 a₂及び第2の上層めっき層34 b₂(S nめっき層)を溶解する。このとき、第1の主面12 a(及び/又は第2の主面12 b)側を浸漬することが好ましい。これにより、第1の端面12 e、第2の端面12 f、第1の側面12 c、第2の側面12 d側の内部電極層16の浸漬を防ぐことができる。

レーザ加工による方法では、めっき層34形成後の複数の成形体を整列し、第1の下層めっき層34 a₁及び第2の下層めっき層34 b₁(N iめっき層)が所定の露出割合を有するように各成形体の第1の上層めっき層34 a₂及び第2の上層めっき層34 b₂(S nめっき層)の所定の面積をレーザにより削り取る。

レジストを用いることによっても、所定の露出割合を有する第1、第2の下層めっき層34 a₁、34 b₁(N iめっき層)を形成することができる。

[0092] 上述のようにして、本実施の形態にかかる2端子型積層セラミックコンデンサ10が製造される。

[0093] 第1の下層めっき層34 a₁は第1のめっき露出領域35 aにおいて第1の外部電極30 aの表面に露出しているため、2端子型積層セラミックコンデンサ10内の水素を第1のめっき露出領域35 aから2端子型積層セラミックコンデンサ10の外部に放出させることができる。同様に、第2の下層めっき層34 b₁は第2のめっき露出領域35 bにおいて第2の外部電極30 bの表面に露出しているため、2端子型積層セラミックコンデンサ10内の水素を第2のめっき露出領域35 bから2端子型積層セラミックコンデンサ10の外部に放出させることができる。さらに説明すると次の通りである。

[0094] 第1及び第2の下層めっき層34 a₁及び34 b₁、第1及び第2の上層めっき層34 a₂及び34 b₂を形成するためのメッキ工程では化学反応により水素イオンが発生する。この水素イオンは、例えば第1及び第2の下層めっき層

3 4 a₁及び3 4 b₁、第 1 及び第 2 の内部電極層 1 6 a 及び 1 6 b、第 1 及び第 2 の下地電極層 3 2 a 及び 3 2 b の少なくともいずれかに水素として吸収される場合がある。上記構成によれば、第 1 及び第 2 の下層めっき層 3 4 a₁ 及び 3 4 b₁、第 1 及び第 2 の内部電極層 1 6 a 及び 1 6 b、第 1 及び第 2 の下地電極層 3 2 a 及び 3 2 b の少なくともいずれかの層（吸収層）に吸収された水素を、第 1 及び第 2 のめっき露出領域 3 5 a 及び 3 5 b から 2 端子型積層セラミックコンデンサ 1 0 の外部に放出させることができる。そのため、水素が吸収層に吸収されたままとなることを抑制し、水素による絶縁抵抗の劣化を抑制することができる。特に、吸収層が水素を吸収しづらい Ni 等の金属を含む場合であっても、第 1 及び第 2 のめっき露出領域 3 5 a 及び 3 5 b から 2 端子型積層セラミックコンデンサ 1 0 の外部に水素を放出させることによりセラミック層 1 4 の絶縁抵抗の劣化を抑制することができる。

なお、第 1 の主面 1 2 a 側に第 1 及び第 2 のめっき露出領域 3 5 a 及び 3 5 b が形成されており、第 2 の主面 1 2 b 側が 2 端子型積層セラミックコンデンサ 1 0 の実装基板への実装面となり、半田が主として第 1、第 2 の端面 1 2 e、1 2 f 側に塗布される場合、半田が塗布されておらず実装基板 4 0 に面していない第 1 の主面 1 2 a から第 1 及び第 2 のめっき露出領域 3 5 a 及び 3 5 b を介して吸収層の水素を効率よく放出させることができる。

[0095] 3. 2 端子型積層セラミックコンデンサの変形例

次に、2 端子型積層セラミックコンデンサ 1 0 の変形例について説明する。

[0096] (1)

上記の第 1 の実施の形態の外部電極 3 0 は、下地電極層 3 2 とめっき層 3 4 とを含む。これとは異なり、外部電極 3 0 は、めっき層 3 4 を含み、下地電極層 3 2 を含まなくてもよい。

以下、図示はしていないが、第 1、第 2 の外部電極 3 0 a、3 0 b について、下地電極層 3 2 を設けずにめっき層 3 4 を設ける構造について説明する。

[0097] 第1、第2の外部電極30a、30bのそれぞれは、下地電極層32が設けられず、めっき層34が積層体12の表面に直接形成されていてもよい。すなわち、2端子型積層セラミックコンデンサ10は、第1の端面12e及び第2の端面12fにめっき処理を施し、第1の内部電極層16aまたは第2の内部電極層16bに電氣的に接続されるめっき層34を形成した構造であってもよい。このような場合、前処理として積層体12の表面に触媒を配設した後で、めっき処理によりめっき層34が形成されてもよい。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよい。但し、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを用いることが好ましい。

[0098] なお、下地電極層32を設けずに積層体12上に直接めっき層34を形成する場合は、下地電極層32の厚みを削減した分を低背化すなわち薄型化または、積層体厚みすなわち有効層部の厚みに転化できるため、積層体12の厚みの設計自由度を向上することができる。

[0099] めっき層34は、積層体12の表面に形成される第1、第2の下層めっき層34a₁、34b₁（下層めっき層）と、第1、第2の下層めっき層34a₁、34b₁の表面に形成される第1、第2の上層めっき層34a₂、34b₂（上層めっき層）とを含む。下層めっき層は、上記の実施形態と同様に上層めっき層により覆われていないめっき露出領域を有する。下層めっき層及び上層めっき層はそれぞれ、例えば、Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi又はZnなどから選ばれる少なくとも1種の金属または当該金属を含む合金を含むことが好ましい。

さらに、下層めっきは、半田バリア性能を有するNiを用いて形成されることが好ましく、上層めっき層は、半田濡れ性が良好なSnやAuを用いて形成されることが好ましい。

[0100] また、例えば、第1の内部電極層16aおよび第2の内部電極層16bが

Niを用いて形成される場合、下層めっき層は、Niと接合性のよいCuを用いて形成されることが好ましい。めっき層34は、上層めっき層を最外層としてもよいし、上層めっき層の表面にさらに他のめっき電極を形成してもよい。

[0101] ここで、下地電極層32を設けずにめっき層34だけで外部電極30を形成する場合、下地電極層32を設けずに配置するめっき層34の1層あたりの厚みは、 $1.0\mu\text{m}$ 以上 $20.0\mu\text{m}$ 以下であることが好ましい。

さらに、めっき層34は、ガラスを含まないことが好ましい。めっき層34の単位体積あたりの金属割合は、99体積%以上であることが好ましい。

[0102] (2)

上記の第1の実施の形態では、第1の下層めっき層34a₁は、第1の上層めっき層34a₂により覆われていない第1のめっき露出領域35aを有し、第2の下層めっき層34b₁は、第2の上層めっき層34b₂により覆われていない第2のめっき露出領域35bを有する。しかし、露出領域の態様はこれに限られず、外部電極30は、下地電極層32がめっき層34により覆われていない下地露出領域36を有していてもよい。

[0103] 具体的に、第1の下地電極層32aは、第1のめっき層34aにより覆われていない第1の下地露出領域36aを有している。このような第1の下地露出領域36aは例えば図9及び図10の態様で形成されることができる。図9では、第1の下層めっき層34a₁の第1の主面12a側が露出するように第1のめっき露出領域35aが形成されており、この第1のめっき露出領域35a内に第1の下地露出領域36aが形成されている。第1の下地露出領域36a内では、第1の下地電極層32aの第1の主面12a側が第1の下層めっき層34a₁、第1の上層めっき層34a₂に覆われておらず露出している。また、図10では、第1の主面12aにおいて、第1のめっき露出領域35a及び第1の下地露出領域36aがそれぞれ異なる位置に配置されている。

[0104] 図9及び図10に示すように、第1の下地露出領域36aは第1の主面1

2 aに配置されていることが好ましい。そして、第2の主面1 2 bが実装面であることが好ましい。これにより、図6に示すように半田が主として第1、第2の端面1 2 e、1 2 f側に塗布される場合、半田が塗布されておらず実装基板4 0に面していない第1の主面1 2 aから第1の下地露出領域3 6 aを介して吸収層の水素を効率よく放出させることができる。

[0105] 第1の下地露出領域3 6 aは、半田が塗布されないのであれば第1の主面1 2 a以外の第2の主面1 2 b、第1の端面1 2 e、第1の側面1 2 c、第2の側面1 2 dのいずれに配置されてもよい。

[0106] また、第1のめっき露出領域3 5 a及び第1の下地露出領域3 6 aがそれぞれ異なる面に形成されてもよい。例えば、第1のめっき露出領域3 5 aが第1の端面1 2 eに配置されており、第1の下地露出領域3 6 aが第1の主面1 2 aに配置されていてもよい。

[0107] また、第1の下地露出領域3 6 aは、第1の下層めっき層3 4 a₁のうち第2の端面1 2 f側の先端部より第1の端面1 2 e側に形成されていることが好ましい。つまり、第1の下地電極層3 2 aの第2の端面1 2 f側の先端部は、第1の下層めっき層3 4 a₁のうち第2の端面1 2 f側の先端部により覆われていることが好ましい。これにより、第1の下地電極層3 2 aの剥がれを抑制することができる。

[0108] 第1の下地露出領域3 6 aは、第1のめっき露出領域3 5 aと同様に、削り取る方法、融解する方法、レーザ加工による方法、レジストを用いた方法等を用いて第1の下層めっき層3 4 a₁及び第1の上層めっき層3 4 a₂を除去することにより形成することができる。

[0109] 図示はしていないが、第2の下地電極層3 2 bも同様に、第2のめっき層3 4 bにより覆われていない第2の下地露出領域を有することができる。

[0110] (3)

上記の第1の実施の形態では、第1の下層めっき層3 4 a₁が第1の上層めっき層3 4 a₂により覆われていない第1のめっき露出領域3 5 aは第1の主面1 2 aに設けられている。同様に、第2の下層めっき層3 4 b₁が第2の上

層めっき層 34 b₂により覆われていない第2のめっき露出領域 35 bは第1の主面 12 aに設けられている。これに限られず、めっき露出領域 35は、第1の主面 12 a、第2の主面 12 b、第1の端面 12 e、第2の端面 12 f、第1の側面 12 c、第2の側面 12 dの少なくともいずれかに設けられていればよい。

[0111] (4) 上記の第1の実施の形態では、第1の外部電極 30 aの第1のめっき露出領域 35 a及び第2の外部電極 30 bの第2のめっき露出領域 35 bが設けられている。しかし、第1のめっき露出領域 35 a及び第2のめっき露出領域 35 bの少なくとも一方が設けられていればよい。

[0112] (5)

上記の第1の実施の形態では、第1の下層めっき層 34 a₁は第1の下地電極層 32 aの全てを覆うように配置され、第2の下層めっき層 34 b₁は第2の下地電極層 32 bの全てを覆うように配置されている。しかし、これに限られず、第1の下層めっき層 34 a₁は第1の下地電極層 32 aの一部を覆うように配置され、第2の下層めっき層 34 b₁は第2の下地電極層 32 bの一部を覆うように配置されていてもよい。

[0113] B. 第2の実施の形態

1. 3端子型積層セラミックコンデンサ

この発明の第2の実施の形態にかかる積層セラミック電子部品の例として、3端子型積層セラミックコンデンサについて説明する。

[0114] 図11は、この発明の第2の実施の形態に係る3端子型積層セラミックコンデンサの一例を示す外観斜視図である。図12は、この発明の第2の実施の形態に係る3端子型積層セラミックコンデンサの一例を示す上面図である。図13は、この発明の第2の実施の形態に係る3端子型積層セラミックコンデンサの一例を示す正面図である。図14は、図11の線XⅠV-XⅠVにおける断面図である。図15は、図11の線XⅤ-XⅤにおける断面図である。図16は、図14の線XⅤⅠ-XⅤⅠにおける断面図である。図17は、図14の線XⅤⅡ-XⅤⅡにおける断面図である。

[0115] 図 1 1 に示すように、3 端子型積層セラミックコンデンサ 1 0 0 は、たとえば、略直方体状の積層体 1 2 と、外部電極 3 0 とを含む。

[0116] (1) 積層体

積層体 1 2 は、積層された複数のセラミック層 1 4 と、セラミック層 1 4 上に積層された複数の内部電極層 1 6 とを有する。セラミック層 1 4 と内部電極層 1 6 は、高さ方向 x に積層される。

[0117] 積層体 1 2 は、高さ方向 x に相対する第 1 の主面 1 2 a および第 2 の主面 1 2 b と、高さ方向 x に直交する幅方向 y に相対する第 1 の側面 1 2 c および第 2 の側面 1 2 d と、高さ方向 x および幅方向 y に直交する長さ方向 z に相対する第 1 の端面 1 2 e および第 2 の端面 1 2 f とを有する。この積層体 1 2 には、角部および稜線部に丸みがつけられている。なお、角部とは、積層体の隣接する 3 面が交わる部分のことであり、稜線部とは、積層体の隣接する 2 面が交わる部分のことである。また、第 1 の主面 1 2 a および第 2 の主面 1 2 b、第 1 の側面 1 2 c および第 2 の側面 1 2 d、ならびに第 1 の端面 1 2 e および第 2 の端面 1 2 f の一部または全部に凹凸などが形成されていてもよい。

なお、積層体 1 2 の長さ方向 z の寸法 L は、幅方向 y の寸法 W よりも必ずしも長いとは限らない。

[0118] 積層体 1 2 は、内層部 1 8 と、積層方向において内層部 1 8 を挟み込むように配置された第 1 の主面側外層部 2 0 a および第 2 の主面側外層部 2 0 b と、を有する。

[0119] 内層部 1 8 は、複数のセラミック層 1 4 と複数の内部電極層 1 6 とを含む。内層部 1 8 は、積層方向において、最も第 1 の主面 1 2 a 側に位置する内部電極層 1 6 から最も第 2 の主面 1 2 b 側に位置する内部電極層 1 6 までを含む。内部電極層 1 6 は、第 1 の端面 1 2 e および第 2 の端面 1 2 f に引き出される第 1 の内部電極層 1 6 a と第 1 の側面 1 2 c および第 2 の側面 1 2 d に引き出される第 2 の内部電極層 1 6 b を有し、内層部 1 8 では、複数枚の第 1 の内部電極層 1 6 a および第 2 の内部電極層 1 6 b がセラミック層 1

4を介して対向している。内層部18は、静電容量を発生させ、実質的にコンデンサとして機能する部分である。

[0120] 積層体12は、第1の主面12a側に位置し、第1の主面12aと第1の主面12a側の内層部18の最表面とその最表面の一直線上との間に位置する複数のセラミック層14から形成される第1の主面側外層部20aを有する。第1の主面側外層部20aは、第1の主面12aと第1の主面12aに最も近い内部電極層16との間に位置する複数のセラミック層14の集合体である。第1の主面側外層部20aで用いられるセラミック層14は、内層部18で用いられるセラミック層14と同じものであってもよい。

同様に、積層体12は、第2の主面12b側に位置し、第2の主面12bと第2の主面12b側の内層部18の最表面とその最表面の一直線上との間に位置する複数のセラミック層14から形成される第2の主面側外層部20bを有する。第2の主面側外層部20bは、第2の主面12bと第2の主面12bに最も近い内部電極層16との間に位置する複数のセラミック層14の集合体である。第2の主面側外層部20bで用いられるセラミック層14は、内層部18で用いられるセラミック層14と同じものであってもよい。

[0121] また、積層体12は、第1の側面12c側に位置し、第1の側面12cと第1の側面12c側の内層部18の最表面との間に位置する複数のセラミック層14から形成される第1の側面側外層部22aを有する。

同様に、積層体12は、第2の側面12d側に位置し、第2の側面12dと第2の側面12d側の内層部18の最表面との間に位置する複数のセラミック層14から形成される第2の側面側外層部22bを有する。

なお、第1の側面側外層部22aおよび第2の側面側外層部22bは、Wギャップまたはサイドギャップともいう。

[0122] さらに、積層体12は、第1の端面12e側に位置し、第1の端面12eと第1の端面12e側の内層部18の最表面との間に位置する複数のセラミック層14から形成される第1の端面側外層部24aを有する。

同様に、積層体12は、第2の端面12f側に位置し、第2の端面12f

と第2の端面12f側の内層部18の最表面との間に位置する複数のセラミック層14から形成される第2の端面側外層部24bを有する。

また、第1の端面側外層部24aおよび第2の端面側外層部24bは、Lギャップまたはエンドギャップともいう。

[0123] 積層体12の寸法は、特に限定されない。

[0124] セラミック層14は、たとえば、セラミック材料として、誘電体材料により形成することができる。このような誘電体材料としては、たとえば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、または CaZrO_3 などの成分を含む誘電体セラミックを用いることができる。上記の誘電体材料を主成分として含む場合、所望する積層体12の特性に応じて、たとえば、Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの主成分よりも含有量の少ない副成分を添加したものを用いてもよい。

[0125] 焼成後のセラミック層14の厚みは、 $0.35\mu\text{m}$ 以上 $0.60\mu\text{m}$ 以下であることが好ましい。積層されるセラミック層14の枚数は、10枚以上2000枚以下であることが好ましい。なお、このセラミック層14の枚数は、内層部18のセラミック層14の枚数と、第1の主面側外層部20aおよび第2の主面側外層部20bのセラミック層14の枚数との総数である。

[0126] 積層体12は、複数の内部電極層16として、複数の第1の内部電極層16aおよび複数の第2の内部電極層16bを有する。

複数の第1の内部電極層16aおよび複数の第2の内部電極層16bは、セラミック層14を介して、交互に積層されていてもよく、第1の内部電極層16aが配置されたセラミック層14が複数枚積層されたのち、第2の内部電極層16bが配置されたセラミック層14が積層されていてもよい。このように、実現したい容量値に応じて積層パターンを変更することができる。

[0127] 図16に示すように、第1の内部電極層16aは、第2の内部電極層16bと対向する第1の対向電極部26a、第1の対向電極部26aから積層体12の第1の端面12eの表面に引き出される第1の引出電極部28a₁およ

び第1の対向電極部26aから積層体12の第2の端面12fの表面に引き出される第2の引出電極部28a₂を備える。具体的には、第1の引出電極部28a₁は、積層体12の第1の端面12eの表面に露出し、第2の引出電極部28a₂は、積層体12の第2の端面12fの表面に露出している。したがって、第1の内部電極層16aは、積層体12の第1の側面12cおよび第2の側面12dの表面には露出していない。

[0128] 第1の対向電極部26aの形状ならびに第1の引出電極部28a₁および第2の引出電極部28a₂の形状は、特に限定されないが、矩形状であることが好ましい。もっとも、コーナー部を丸められていてもよい。

[0129] また、第1の引出電極部28a₁および第2の引出電極部28a₂の幅方向yの長さは、第1の対向電極部26aの幅方向yの長さと同じでもよく、短く形成されていてもよい。

また、第1の引出電極部28a₁および第2の引出電極部28a₂の形状は、テーパ形状であってもよい。

[0130] 図17に示すように、第2の内部電極層16bは、略十字形状であり、第1の内部電極層16aと対向する第2の対向電極部26b、第2の対向電極部26bから積層体12の第1の側面12cの表面に引き出される第3の引出電極部28b₁および第2の対向電極部26bから積層体12の第2の側面12dの表面に引き出される第4の引出電極部28b₂を備える。具体的には、第3の引出電極部28b₁は、積層体12の第1の側面12cの表面に露出し、第4の引出電極部28b₂は、積層体12の第2の側面12dの表面に露出している。したがって、第2の内部電極層16bは、積層体12の第1の端面12eの表面および第2の端面12fの表面には露出していない。

[0131] 第2の対向電極部26bの形状、ならびに第3の引出電極部28b₁および第4の引出電極部28b₂の形状は、矩形状であることが好ましい。もっとも、コーナー部を丸められていてもよい。

[0132] 第2の対向電極部26bの第1の端面12e側の辺と第2の端面12f側の辺とを結ぶ長さ方向zの寸法Aと、第3の引出電極部28b₁および第4の

引出電極部 28 b₂の第1の端面 12 e 側の辺と第2の端面 12 f 側の辺とを結ぶ長さ方向 z の寸法 B との関係は、 $A \geq B$ となることが好ましい。

[0133] 第3の引出電極部 28 b₁の形状は、第1の側面 12 c に向かって幅が狭くなるようなテーパ形状であってもよいし、第4の引出電極部 28 b₂の形状は、第2の側面 12 d に向かって幅が狭くなるようなテーパ形状であってもよい。

[0134] なお、積層体 12 は、対向電極部 27 を有する。対向電極部 27 は、第1の内部電極層 16 a の第1の対向電極部 26 a と第2の内部電極層 16 b の第2の対向電極部 26 b とが対向する部分である。対向電極部 27 は、内層部 18 の一部として構成されている。なお、対向電極部 27 は、コンデンサ有効部ともいう。

[0135] 第1の内部電極層 16 a および第2の内部電極層 16 b は、たとえば、Ni、Cu、Ag、Pd、Auなどの金属や、Ag-Pd合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成することができる。

[0136] 第1の内部電極層 16 a および第2の内部電極層 16 b の枚数は、特に限定されないが、例えば合わせて10枚以上2000枚以下程度であることが好ましい。

[0137] 第1の内部電極層 16 a の厚みは、たとえば、特に限定されないが、例えば0.40 μm以上0.50 μm以下程度であることが好ましい。

第2の内部電極層 16 b の厚みは、たとえば、特に限定されないが、例えば0.40 μm以上0.50 μm以下程度であることが好ましい。

[0138] (2) 外部電極

積層体 12 の第1の端面 12 e 側及び第2の端面 12 f 側、第1の側面 12 c 側及び第2の側面 12 d 側、ならびに第1の主面 12 a 及び第2の主面 12 b には、外部電極 30 が配置される。

[0139] 外部電極 30 は、第1の外部電極 30 a、第2の外部電極 30 b、第3の外部電極 30 c 及び第4の外部電極 30 d を有する。

- [0140] 第1の外部電極30aは、第1の内部電極層16aに接続され、第1の端面12eの表面に配置されている。また、第1の外部電極30aは、積層体12の第1の端面12eから延伸して第1の主面12aの一部及び第2の主面12bの一部、ならびに第1の側面12cの一部及び第2の側面12dの一部にも配置される。この場合、第1の外部電極30aは、第1の内部電極層16aの第1の引出電極部28a₁と電氣的に接続される。
- [0141] 第2の外部電極30bは、第1の内部電極層16aに接続され、第2の端面12fの表面に配置されている。また、第2の外部電極30bは、積層体12の第2の端面12fから延伸して第1の主面12aの一部及び第2の主面12bの一部、ならびに第1の側面12cの一部及び第2の側面12dの一部にも配置される。この場合、第2の外部電極30bは、第1の内部電極層16aの第2の引出電極部28a₂と電氣的に接続される。
- [0142] 第3の外部電極30cは、第2の内部電極層16bに接続され、第1の側面12cの表面に配置されている。また、第3の外部電極30cは、積層体12の第1の側面12cから延伸して第1の主面12aの一部及び第2の主面12bの一部にも配置される。この場合、第3の外部電極30cは、第2の内部電極層16bの第3の引出電極部28b₁と電氣的に接続される。なお、第3の外部電極30cは、第1の側面12cの表面のみに配置されてもよい。
- [0143] 第4の外部電極30dは、第2の内部電極層16bに接続され、第2の側面12dの表面に配置されている。また、第4の外部電極30dは、積層体12の第2の側面12dから延伸して第1の主面12aの一部及び第2の主面12bの一部にも配置される。この場合、第4の外部電極30dは、第2の内部電極層16bの第4の引出電極部28b₂と電氣的に接続される。なお、第4の外部電極30dは、第2の側面12dの表面のみに配置されてもよい。
- [0144] 積層体12内においては、第1の内部電極層16aの第1の対向電極部26aと第2の内部電極層16bの第2の対向電極部26bとがセラミック層

14を介して対向することにより、静電容量が形成されている。そのため、第1の内部電極層16aが接続された第1の外部電極30a及び第2の外部電極30bと第2の内部電極層16bが接続された第3の外部電極30c及び第4の外部電極30dとの間に、静電容量を得ることができ、コンデンサの特性が発現する。

[0145] 外部電極30は、金属成分及びガラス成分を含む下地電極層32と、下地電極層32の表面に配置されるめっき層34とを含む。めっき層34は、下層めっき層と、上層めっき層と、を含む。

第1の外部電極30aは、金属成分を含む第1の下地電極層32aと、第1の下地電極層32a上に配置される第1の下層めっき層34a₁と、第1の下層めっき層34a₁上に配置される第1の上層めっき層34a₂と、を有する。また、第1の外部電極30aは、第1の外部電極30aの表面に露出している第1のめっき露出領域35aを有する。

第2の外部電極30bは、金属成分を含む第2の下地電極層32bと、第2の下地電極層32b上に配置される第2の下層めっき層34b₁と、第2の下層めっき層34b₁上に配置される第2の上層めっき層34b₂と、を含む。また、第2の外部電極30bは、第2の外部電極30bの表面に露出している第2のめっき露出領域35bを有する。

第3の外部電極30cは、金属成分を含む第3の下地電極層32cと、第3の下地電極層32c上に配置される第3の下層めっき層34c₁と、第3の下層めっき層34c₁上に配置される第3の上層めっき層34c₂と、を有する。

第4の外部電極30dは、金属成分を含む第4の下地電極層32dと、第4の下地電極層32d上に配置される第4の下層めっき層34d₁と、第4の下層めっき層34d₁上に配置される第4の上層めっき層34d₂と、を有する。

[0146] (2-1) 下地電極層

下地電極層32は、第1の下地電極層32a、第2の下地電極層32b、

第3の下地電極層32cおよび第4の下地電極層32dを有する。

[0147] 第1の下地電極層32aは、第1の内部電極層16aに接続され、第1の端面12eの表面に配置されている。また、第1の下地電極層32aは、第1の端面12eから延伸して第1の主面12aの一部および第2の主面12bの一部、ならびに第1の側面12cの一部および第2の側面12dの一部にも配置される。この場合、第1の下地電極層32aは、第1の内部電極層16aの第1の引出電極部28a₁と電氣的に接続される。

第2の下地電極層32bは、第1の内部電極層16aに接続され、第2の端面12fの表面に配置されている。また、第2の下地電極層32bは、第2の端面12fから延伸して第1の主面12aの一部および第2の主面12bの一部、ならびに第1の側面12cの一部および第2の側面12dの一部にも配置される。この場合、第2の下地電極層32bは、第1の内部電極層16aの第2の引出電極部28a₂と電氣的に接続される。

[0148] 第3の下地電極層32cは、第2の内部電極層16bに接続され、第1の側面12cの表面に配置されている。また、第3の下地電極層32cは、第1の側面12cから延伸して第1の主面12aの一部および第2の主面12bの一部にも配置される。この場合、第3の下地電極層32cは、第2の内部電極層16bの第3の引出電極部28b₁と電氣的に接続される。

第4の下地電極層32dは、第2の内部電極層16bに接続され、第2の側面12dの表面に配置されている。また、第4の下地電極層32dは、第2の側面12dから延伸して第1の主面12aの一部および第2の主面12bの一部にも配置される。この場合、第4の下地電極層32dは、第2の内部電極層16bの第4の引出電極部28b₂と電氣的に接続される。

[0149] 下地電極層32は、焼付け層、導電性樹脂層、薄膜層等から選ばれる少なくとも1つを含む。

以下、下地電極層32を上記の焼付け層、導電性樹脂層、薄膜層とした場合の各構成について説明する。

[0150] (下地電極層が焼付け層の場合)

焼付け層は、ガラス成分と金属成分とを含む。焼付け層のガラス成分は、B、Si、Ba、Mg、Al、Li等から選ばれる少なくとも1つを含む。焼付け層の金属成分としては、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。焼付け層は、ガラス成分および金属成分を含む導電性ペーストを積層体12に塗布して焼付けたものである。焼付け層は、内部電極層16およびセラミック層14を有する積層チップと積層チップに塗布した導電性ペーストとを同時焼成したものでもよく、内部電極層16およびセラミック層14を有する積層チップを焼成して積層体12を得た後に、積層体12に導電性ペーストを焼付けたものでもよい。なお、焼付け層を内部電極層16およびセラミック層14を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、焼付け層は、ガラス成分の代わりに誘電体材料を添加したものを焼付けて形成することが好ましい。焼付け層は、複数層であってもよい。

[0151] なお、下地電極層32にガラス成分の代わりに誘電体材料を含有させた場合、積層体12と下地電極層32との密着性を向上させることができる。なお、下地電極層32は、ガラス成分と誘電体成分の両方を含んでいてもよい。

[0152] 下地電極層32に含まれる誘電体材料は、セラミック層14と同種の誘電体材料を用いてもよく、異なる種の誘電体材料を用いてもよい。誘電体成分は、例えば、 BaTiO_3 、 CaTiO_3 、 $(\text{Ba}, \text{Ca})\text{TiO}_3$ 、 SrTiO_3 、 CaZrO_3 等から選ばれる少なくとも1つを含む。

[0153] 第1の下地電極層32aを焼付け層で形成した場合、第1の端面12eに位置する第1の下地電極層32aの高さ方向x中央部における長さ方向zの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましい。

また、第2の下地電極層32bを焼付け層で形成した場合、第2の端面12fに位置する第2の下地電極層32bの高さ方向x中央部における長さ方向zの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましい。

[0154] また、第1の主面12a及び第2の主面12b上に焼付け層により下地電極層32を設ける場合には、第1の主面12a及び第2の主面12b上に位置する第1の下地電極層32aの長さ方向zの中央部における第1の主面12a及び第2の主面12bを結ぶ高さ方向xの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましく（e寸中央部分の下地電極層の厚み）、第1の主面12a及び第2の主面12b上に位置する第2の下地電極層32bの長さ方向zの中央部における第1の主面12a及び第2の主面12bを結ぶ高さ方向xの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましい（e寸中央部分の下地電極層の厚み）。

[0155] さらに、第1の側面12c及び第2の側面12d上に焼付け層により下地電極層32を設ける場合には、第1の側面12c及び第2の側面12d上に位置する第1の下地電極層32aの長さ方向zの中央部における第1の側面12c及び第2の側面12dを結ぶ幅方向yの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましく（端面中央部分の下地電極層の厚み）、第1の側面12c及び第2の側面12d上に位置する第2の下地電極層32bの長さ方向zの中央部における第1の側面12c及び第2の側面12dを結ぶ幅方向yの厚みは、例えば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下程度であることが好ましい（側面中央部分の下地電極層の厚み）。

[0156] （下地電極層が導電性樹脂層の場合）

下地電極層32として導電性樹脂層を設ける場合、導電性樹脂層は、焼付け層上に焼付け層を覆うように配置されるか、積層体12上に直接配置されてもよい。

導電性樹脂層は、金属および熱硬化性樹脂を含む。

導電性樹脂層は、下地電極層上を完全に覆っていてもよいし、下地電極層の一部を覆っていてもよい。

[0157] 導電性樹脂層は、熱硬化性樹脂を含むため、例えばめっき膜や導電性ペーストの焼成物からなる導電層よりも柔軟性に富んでいる。このため、3端子型積層セラミックコンデンサ100に物理的な衝撃や熱サイクルに起因する

衝撃が加わった場合であっても、導電性樹脂層が緩衝層として機能し、3端子型積層セラミックコンデンサ100へのクラックを防止することができる。

[0158] 導電性樹脂層に含まれる金属としては、Ag、Cu、Ni、Sn、Biまたは、それらを含む合金を使用することができる。

また、金属粉の表面にAgコーティングされた金属粉を使用することもできる。金属粉の表面にAgコーティングされたものを使用する際には金属粉としてCu、Ni、Sn、Bi又はそれらの合金粉を用いることが好ましい。導電性金属にAgの導電性金属粉を用いる理由としては、Agは金属の中でもっとも比抵抗が低いため電極材料に適しており、Agは貴金属であるため酸化せず耐候性が高いためである。また、Agコーティングされた金属粉を用いる理由としては、上記のAgの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0159] さらに、導電性樹脂層に含まれる金属としては、Cu、Niに酸化防止処理を施したものを使用することもできる。

なお、導電性樹脂層に含まれる金属としては、金属粉の表面にSn、Ni、Cuをコーティングした金属粉を使用することもできる。金属粉の表面にSn、Ni、Cuをコーティングされたものを使用する際には金属粉としてAg、Cu、Ni、Sn、Bi又はそれらの合金粉を用いることが好ましい。

[0160] 導電性樹脂層に含まれる金属は、導電性樹脂全体の体積に対して、35vol%以上75vol%以下で含まれていることが好ましい。

導電性樹脂層に含まれる金属の平均粒径は、特に限定されない。導電性フィラーの平均粒径は、例えば、0.3 μ m以上10 μ m以下程度であってもよい。

導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラー同士が接触することにより、導電性樹脂層内部に通電経路が形成される。

[0161] 導電性樹脂層に含まれる金属は、球形状、扁平状などのものを用いることができるが、球形状金属粉と扁平状金属粉とを混合して用いるのが好ましい。

[0162] 導電性樹脂層の樹脂としては、例えば、エポキシ樹脂、フェノキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。

導電性樹脂層に含まれる樹脂は、導電性樹脂全体の体積に対して、25 vol%以上65 vol%以下で含まれていることが好ましい。

[0163] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤としては、フェノール系、アミン系、酸無水物系、イミダゾール系、活性エステル系、アミドイミド系など公知の種々の化合物を使用することができる。

[0164] 導電性樹脂層は、複数層であってもよい。

[0165] 第1の端面12eおよび第2の端面12fに位置する積層体12の高さ方向x中央部に位置する導電性樹脂層の厚みは、例えば、3 μ m以上30 μ m以下程度であることが好ましい。

[0166] また、第1の主面12aおよび第2の主面12b、第1の側面12cおよび第2の側面12d上にも導電性樹脂層を設ける場合には、第1の主面12aおよび第2の主面12b、第1の側面12cおよび第2の側面12dに位置する導電性樹脂層の長さ方向zの中央部における導電性樹脂層の厚みは、例えば、3 μ m以上30 μ m以下程度であることが好ましい。

[0167] (下地電極層が薄膜層の場合)

下地電極層32として薄膜層を設ける場合は、薄膜層は、スパッタリング法または蒸着法等の薄膜形成法により形成され、金属粒子が堆積された1 μ m以下の層である。

[0168] (2-2) めっき層

下地電極層 3 2 の上に配され得るめっき層 3 4 である第 1 のめっき層 3 4 a、第 2 のめっき層 3 4 b、第 3 のめっき層 3 4 c および第 4 のめっき層 3 4 d について、図 1 4 ～図 1 7 を参照して説明する。このめっき層 3 4 はめっき露出領域 3 5 を有している。

[0169] 第 1 のめっき層 3 4 a は、第 1 の端面 1 2 e 側の第 1 の下地電極層 3 2 a を覆うように配置されている。さらに、第 1 のめっき層 3 4 a は、第 1 の主面 1 2 a、第 2 の主面 1 2 b、第 1 の側面 1 2 c 及び第 2 の側面 1 2 d 側の第 1 の下地電極層 3 2 a を覆うように配置されていてもよい。もっとも、第 1 のめっき層 3 4 a は、第 1 の端面 1 2 e 側の第 1 の下地電極層 3 2 a 上のみ配置されていてもよい。この第 1 のめっき層 3 4 a は、第 1 の下地電極層 3 2 a 上に配置される第 1 の下層めっき層 3 4 a₁と、第 1 の下層めっき層 3 4 a₁上に配置される第 1 の上層めっき層 3 4 a₂と、を有する。第 1 の上層めっき層 3 4 a₂は、第 1 の下層めっき層 3 4 a₁の一部を露出するように第 1 の下層めっき層 3 4 a₁上に配置される。つまり、第 1 の上層めっき層 3 4 a₂は、第 1 の下層めっき層 3 4 a₁が第 1 の外部電極 3 0 a の表面に露出された第 1 のめっき露出領域 3 5 a を有するように第 1 のめっき露出領域 3 5 a を除いて第 1 の下層めっき層 3 4 a₁上に配置されている。本実施形態では、第 1 のめっき露出領域 3 5 a は第 1 の主面 1 2 a 上に配置されている。この場合、3 端子型積層セラミックコンデンサ 1 0 0 の第 2 の主面 1 2 b は実装基板への実装面となる。

[0170] 第 1 の上層めっき層 3 4 a₂は、第 1 の下層めっき層 3 4 a₁の端部を覆っていることが好ましい。これにより、第 1 の下層めっき層 3 4 a₁の剥がれを抑制することができる。

[0171] 積層体 1 2 の高さ方向 x から見たときの第 1 の主面 1 2 a 上の第 1 の外部電極 3 0 a の露出領域の面積に対する第 1 のめっき露出領域 3 5 a の面積の第 1 の割合は 0. 4 % 以上 8 3. 4 % 以下であることが好ましい。第 1 の割合が 0. 4 % 以上であるため、例えば第 1、第 2 の内部電極層 1 6 a、1 6 b、第 1、第 2 の下地電極層 3 2 a、3 2 b、第 1、第 2 の下層めっき層 3

4 a₁、3 4 b₁から放出される水素を第 1 のめっき露出領域 3 5 a から 3 端子型積層セラミックコンデンサ 1 0 0 の外部へ十分に放出することができ、水素による絶縁抵抗の劣化を抑制することができる。また、第 1 の割合が 8 3 . 4 % 以下であるため、第 1 の下層めっき層 3 4 a₁ が第 1 の上層めっき層 3 4 a₂ により覆われていない割合を抑制することができる。これにより、第 1 のめっき露出領域 3 5 a から 3 端子型積層セラミックコンデンサ 1 0 0 内への水蒸気侵入による耐湿性の低下を抑制することができる。

より好ましくは、第 1 の割合は 1 . 1 7 % 以上 8 3 . 4 % 以下である。さらに好ましくは、第 1 の割合は 1 . 4 0 % 以上 8 3 . 4 % 以下である。さらに好ましくは、第 1 の割合は 1 . 4 0 % 以上 2 5 . 0 % 以下である。なお、第 1 の割合の算出方法は第 1 の実施の形態と同様である。

[0172] 第 2 のめっき層 3 4 b は、第 2 の端面 1 2 f 側の第 2 の下地電極層 3 2 b を覆うように配置されている。さらに、第 2 のめっき層 3 4 b は、第 1 の主面 1 2 a、第 2 の主面 1 2 b、第 1 の側面 1 2 c 及び第 2 の側面 1 2 d 側の第 2 の下地電極層 3 2 b を覆うように配置されていてもよい。もっとも、第 2 のめっき層 3 4 b は、第 2 の端面 1 2 f 側の第 2 の下地電極層 3 2 b 上のみ配置されていてもよい。この第 2 のめっき層 3 4 b は、第 2 の下地電極層 3 2 b 上に配置される第 2 の下層めっき層 3 4 b₁ と、第 2 の下層めっき層 3 4 b₁ 上に配置される第 2 の上層めっき層 3 4 b₂ と、を有する。第 2 の上層めっき層 3 4 b₂ は、第 2 の下層めっき層 3 4 b₁ の一部を露出するように第 2 の下層めっき層 3 4 b₁ 上に配置される。つまり、第 2 の上層めっき層 3 4 b₂ は、第 2 の下層めっき層 3 4 b₁ が第 2 の外部電極 3 0 b の表面に露出された第 2 のめっき露出領域 3 5 b を有するように第 2 のめっき露出領域 3 5 b を除いて第 2 の下層めっき層 3 4 b₁ 上に配置されている。本実施形態では、第 2 のめっき露出領域 3 5 b は第 1 の主面 1 2 a 上に配置されている。この場合、3 端子型積層セラミックコンデンサ 1 0 0 の第 2 の主面 1 2 b は実装基板への実装面となる。

[0173] 第 2 の上層めっき層 3 4 b₂ は、第 2 の下層めっき層 3 4 b₁ の端部を覆って

いることが好ましい。これにより、第2の下層めっき層34b₁の剥がれを抑制することができる。

[0174] 第1の割合と同様の理由により、積層体12の高さ方向xから見たときの第1の主面12a上の第2の外部電極30bの露出領域に対する第2のめっき露出領域35bの第2の割合は0.4%以上83.4%以下であることが好ましい。より好ましくは、第2の割合は1.17%以上83.4%以下である。さらに好ましくは、第2の割合は1.40%以上83.4%以下である。さらに好ましくは、第2の割合は1.40%以上25.0%以下である。なお、第2の割合の算出方法は第1の実施の形態と同様である。

[0175] 上記では、露出割合として第1の割合及び第2の割合をそれぞれ求めているが、露出割合は、第1の外部電極30a及び第2の外部電極30bの露出領域の合計の面積に対する、第1のめっき露出領域35a及び第2のめっき露出領域35bの合計の面積の割合であってもよい。そして、この合計の露出割合が0.4%以上83.4%以下であることが好ましい。

[0176] 第3のめっき層34cは、第1の側面12c側の第3の下地電極層32cを覆うように配置されている。さらに、第3のめっき層34cは、第1の主面12a、第2の主面12b側の第3の下地電極層32cを覆うように配置されていてもよい。もっとも、第3のめっき層34cは、第1の側面12c側の第3の下地電極層32c上にのみ配置されていてもよい。この第3のめっき層34cは、第3の下地電極層32c上に配置される第3の下層めっき層34c₁と、第3の下層めっき層34c₁上に配置される第3の上層めっき層34c₂と、を有する。第3の上層めっき層34c₂は第3の下層めっき層34c₁を覆っており、第3の下層めっき層34c₁は露出領域を有していない。

[0177] 第4のめっき層34dは、第2の側面12d側の第4の下地電極層32dを覆うように配置されている。さらに、第4のめっき層34dは、第1の主面12a、第2の主面12b側の第4の下地電極層32dを覆うように配置されていてもよい。もっとも、第4のめっき層34dは、第2の側面12d側の第4の下地電極層32d上にのみ配置されていてもよい。この第4のめ

つき層 34 d は、第 4 の下地電極層 32 d 上に配置される第 4 の下層めっき層 34 d₁ と、第 4 の下層めっき層 34 d₁ 上に配置される第 4 の上層めっき層 34 d₂ と、を有する。第 4 の上層めっき層 34 d₂ は第 4 の下層めっき層 34 d₁ を覆っており、第 4 の下層めっき層 34 d₁ は露出領域を有していない。

[0178] 本実施の形態の 3 端子型積層セラミックコンデンサ 100 においては、第 1 のめっき露出領域 35 a を有する第 1 の外部電極 30 a 及び第 2 のめっき露出領域 35 b を有する第 2 の外部電極 30 b にプラスの電位が印加され、第 3 の外部電極 30 c 及び第 4 の外部電極 30 d にマイナスの電位が印加される。

[0179] 第 1 ～第 4 のめっき層 34 a ～34 d としては、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd 合金、Au 等から選ばれる少なくとも 1 つを含む。

[0180] 第 1 ～第 4 の下層めっき層 34 a₁ ～34 d₁ は Ni めっき層であり、第 1 ～第 4 の上層めっき層 34 a₂ ～34 d₂ は Sn めっき層であることが好ましい。

[0181] Ni めっき層による第 1 ～第 4 の下層めっき層 34 a₁ ～34 d₁ は、下地電極層 32 が 3 端子型積層セラミックコンデンサ 100 を実装する際の半田によって侵食されることを防止するために用いられる。また、Sn めっき層による第 1 ～第 4 の上層めっき層 34 a₂ ～34 d₂ は、3 端子型積層セラミックコンデンサ 100 を実装する際の半田の濡れ性を向上させて、容易に実装することができるようにするために用いられる。

[0182] 第 1 の下層めっき層 34 a₁ 及び第 1 の上層めっき層 34 a₂ の第 1 の主面 12 a、第 2 の主面 12 b、第 1 の端面 12 e、第 1 の側面 12 c、第 2 の側面 12 d における厚みは 2 μm 以上 7 μm 以下であることが好ましい。第 2 の下層めっき層 34 b₁ 及び第 2 の上層めっき層 34 b₂ の第 1 の主面 12 a、第 2 の主面 12 b、第 2 の端面 12 f、第 1 の側面 12 c、第 2 の側面 12 d における厚みは 2 μm 以上 7 μm 以下であることが好ましい。また、第 3 の下層めっき層 34 c₁ 及び第 3 の上層めっき層 34 c₂ の第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c における厚みは 2 μm 以上 7 μm 以下

であることが好ましい。第4の下層めっき層 $34d_1$ 及び第4の上層めっき層 $34d_2$ の第1の主面12a、第2の主面12b、第2の側面12dにおける厚みは $2\mu\text{m}$ 以上 $7\mu\text{m}$ 以下であることが好ましい。

[0183] なお、下地電極層32上に導電性樹脂層が形成される場合は、めっき層34は導電性樹脂層を覆うように配置される。この場合においても、めっき層34のうち下層めっき層であるNiめっき層は導電性樹脂層が半田によって侵食されることを防止し、上層めっき層であるSnめっき層は半田の濡れ性を向上させる。

[0184] (3) 3端子型積層セラミックコンデンサの寸法

積層体12、第1の外部電極30aないし第4の外部電極30dを含む3端子型積層セラミックコンデンサ100の長さ方向zの寸法をL寸法とし、積層体12、第1の外部電極30aないし第4の外部電極30dを含む3端子型積層セラミックコンデンサ100の高さ方向xの寸法をT寸法とし、積層体12、第1の外部電極30aないし第4の外部電極30dを含む3端子型積層セラミックコンデンサ100の幅方向yの寸法をW寸法とする。

3端子型積層セラミックコンデンサ100の寸法は、特に限定されないが、長さ方向zのL寸法が 0.2mm 以上 6.5mm 以下、幅方向yのW寸法が 0.1mm 以上 5.5mm 以下、高さ方向xのT寸法が 0.1mm 以上 6.5mm 以下である。なお、3端子型積層セラミックコンデンサ100の寸法は、マイクロ스코プにより測定することができる。

[0185] 2. 3端子型積層セラミックコンデンサの製造方法

次に、3端子型積層セラミックコンデンサの製造方法について説明する。

[0186] (工程1) まず、セラミック層用の誘電体シートおよび内部電極層用の導電性ペーストが準備される。誘電体シートおよび内部電極層用の導電性ペーストは、バインダおよび溶剤を含む。バインダおよび溶剤は、公知のものであってよい。

[0187] (工程2) そして、誘電体シート上に、内部電極層用の導電性ペーストが、たとえば、スクリーン印刷やグラビア印刷などにより所定のパターンで印

刷される。これにより、第1の内部電極層のパターンが形成された誘電体シート、および第2の内部電極層のパターンが形成された誘電体シートが準備される。より具体的には、第1の内部電極層を印刷するためのスクリーン版と、第2の内部電極層を印刷するためのスクリーン版を別々に準備し、2種類のスクリーン版をそれぞれ別々に印刷できる印刷機を使用して、各内部電極層のパターンを印刷することができる。

[0188] (工程3) 続いて、内部電極層のパターンが印刷されていない外層用の誘電体シートが所定枚数積層されることにより、第2の主面側の第2の主面側外層部となる部分が形成される。そして、第2の主面側外層部となる部分の上に第1の内部電極層のパターンが印刷された誘電体シート、および第2の内部電極層のパターンが印刷された誘電体シートを本発明の構造となるように順次積層されることにより、内層部となる部分が形成される。この内層部となる部分の上に、内部電極層のパターンが印刷されていない外層用の誘電体シートが所定枚数積層されることにより、第1の主面側の第1の主面側外層部となる部分が形成される。これにより、積層シートが作製される。

[0189] (工程4) 次に、積層シートが静水圧プレスなどの手段により積層方向にプレスされることにより、積層ブロックが作製される。

[0190] (工程5) そして、積層ブロックを所定のサイズにカットされることにより、積層チップが切り出される。このとき、バレル研磨などにより積層チップの角部および稜線部に丸みをつけてもよい。

[0191] (工程6) 続いて、切り出された積層チップが焼成されることにより、積層体が作製される。焼成温度は、セラミック層や内部電極層の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0192] (工程7) 次に、焼成して得られた積層体12の第1の側面12c上に第3の外部電極30cの第3の下地電極層32cが形成され、積層体12の第2の側面12d上に第4の外部電極30dの第4の下地電極層32dが形成される。

(下地電極層が焼付け層の場合)

第3の下地電極層32c及び第4の下地電極層32dとして焼付け層を形成する場合には、ガラス成分と金属成分とを含む導電性ペーストを塗布し、その後、焼付け処理を行い下地電極層が形成される。この時の焼付け処理の温度は、700℃以上900℃以下であることが好ましい。

[0193] ここで、焼付け層の形成方法としては、様々な方法を用いることができる。たとえば、導電性ペーストをスリットから押し出して塗布する工法を用いることができる。この工法の場合、導電性ペーストの押し出し量を多くすることで、第1の側面12c上および第2の側面12d上だけでなく、第1の主面12aの一部および第2の主面12bの一部にまで下地電極層32を形成することができる。

また、ローラー転写法を用いて形成することもできる。ローラー転写法の場合、第1の側面12c上および第2の側面12d上だけでなく、第1の主面12aの一部および第2の主面12bの一部にまで下地電極層32を形成するとき、ローラー転写の際の押し付け圧力を強くすることで第1の主面12aの一部および第2の主面12bの一部にまで下地電極層32を形成することが可能となる。

[0194] 次に、焼成して得られた積層体に第1の端面12e上に第1の外部電極30aの第1の下地電極層32a、第2の端面12f上に第2の外部電極30bの第2の下地電極層32bを形成する。

第3の下地電極層32c及び第4の下地電極層32dと同様、第1の下地電極層32a及び第2の下地電極層32bとして焼付け層を形成する場合には、ガラス成分と金属成分とを含む導電性ペーストを塗布し、その後、焼付け処理を行い下地電極層が形成される。この時の焼付け処理の温度は、700℃以上900℃以下であることが好ましい。

積層体の両端面に対する導電性ペーストの塗布の方法としては、たとえば、ディップ法やスクリーン印刷法などの方法が用いられる。

[0195] なお、焼付け処理において、第3の下地電極層32c、第4の下地電極層32d、第1の下地電極層32a及び第2の下地電極層32bを同時に焼付

けてもよいし、両側面 1 2 c 及び 1 2 d 側と両端面 1 2 e 及び 1 2 f 側とでそれぞれで焼付けてもよい。

[0196] また、下地電極層を焼付け層で形成する場合は、焼付け層は誘電体成分を含有させてもよい。この場合、ガラス成分の代わりに誘電体成分を含有させてもよいし、その両方を含有させてもよい。

[0197] 誘電体成分は、例えば、積層体と同種の誘電体材料であることが好ましい。なお、焼付け層に誘電体成分を含ませる場合には、焼成前の積層チップに対して導電性ペーストを塗布し、焼成前の積層チップと焼成前の積層チップに塗布された導電性ペーストを同時に焼付けて（焼成して）、焼付け層が形成された積層体を形成することが好ましい。この時の焼付け処理の温度（焼成温度）は、900℃以上1400℃以下であることが好ましい。

[0198] （下地電極層が導電性樹脂層の場合）

なお、下地電極層 3 2 を導電性樹脂層で形成する場合は、以下の方法で導電性樹脂層を形成することができる。なお、導電性樹脂層は、焼付け層の表面に形成されてもよく、焼付け層を形成せずに導電性樹脂層を単体で積層体 1 2 上に直接形成してもよい。

[0199] 導電性樹脂層の形成方法としては、熱硬化性樹脂および金属成分を含む導電性樹脂ペーストを焼付け層上もしくは積層体 1 2 上に塗布し、250℃以上550℃以下の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、N₂雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は100ppm以下に抑えることが好ましい。

[0200] なお、導電性樹脂ペーストの塗布方法としては、下地電極層 3 2 を焼付け層で形成する方法と同様、たとえば、導電性樹脂ペーストをスリットから押し出して塗布する工法やローラー転写法を用いて形成することができる。

[0201] （下地電極層が薄膜層の場合）

また、下地電極層 3 2 を薄膜層で形成する場合は、マスキングなどを行い、外部電極 3 0 を形成したいところにスパッタリング法または蒸着法等の薄

膜形成法により下地電極層を形成することができる。薄膜層で形成された下地電極層は金属粒子が堆積された $1\text{ }\mu\text{m}$ 以下の層とする。

[0202] (工程8)

次に、めっき層34が形成される。めっき層34は、下地電極層32の表面に形成される。より詳細には、下地電極層32上に下層めっき層としてNiめっき層が形成され、上層めっき層としてSnめっき層が形成される。本実施の形態では、下地電極層32上に、めっき層34として、Niめっき層である第1の下層めっき層34a₁、第2の下層めっき層34b₁、第3の下層めっき層34c₁、第4の下層めっき層34d₁と、Snめっき層である第1の上層めっき層34a₂、第2の上層めっき層34b₂、第3の上層めっき層34c₂、第4の上層めっき層34d₂とを順次に形成する。Niめっき層およびSnめっき層は、たとえばバレルめっき法により、順次形成される。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよい。ただし、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。従って、通常は、電解めっきを採用することが好ましい。

[0203] (工程9) 次に、第1、第2の下層めっき層34a₁、34b₁(Niめっき層)が所定の露出割合を有するように、第1、第2の上層めっき層34a₂、34b₂(Snめっき層)を処理する。処理の方法としては、例えば、削り取る方法、融解する方法、レーザ加工による方法、レジストを用いた方法等を採用することができる。

削り取る方法では、 $\phi 30\sim 100\text{ }\mu\text{m}$ 程度の金属端子を第1、第2の上層めっき層34a₂、34b₂に接触させることにより、第1、第2の下層めっき層34a₁、34b₁(Niめっき層)が所定の露出割合を有するように柔らかいSnめっき層を削り取る。

融解する方法では、めっき層34形成後の成形体をエンストリップ剤(剥離剤)に浸漬する。例えば、めっき層34形成後の複数の成形体の高さを整列治具で揃え、成形体の一面をエンストリップ剤に浸漬することにより、第

1、第2の下層めっき層34 a₁、34 b₁（Niめっき層）が所定の露出割合を有するようにS_nめっき層を溶解する。このとき、第1の主面12 a（及び／又は第2の主面12 b）側を浸漬することが好ましい。これにより、第1の端面12 e、第2の端面12 f、第1の側面12 c、第2の側面12 d側の内部電極層16の浸漬を防ぐことができる。

レーザ加工による方法では、めっき層34形成後の複数の成形体を整列し、第1、第2の下層めっき層34 a₁、34 b₁（Niめっき層）が所定の露出割合を有するように各成形体のS_nめっき層の所定の面積をレーザにより削り取る。

また、レジストを用いることによっても、所定の露出割合を有する第1、第2の下層めっき層34 a₁、34 b₁（Niめっき層）を形成することができる。

[0204] 上述のようにして、本実施の形態にかかる3端子型積層セラミックコンデンサ100が製造される。

[0205] 本実施の形態にかかる3端子型積層セラミックコンデンサ100は、第1の実施の形態の2端子型積層セラミックコンデンサ10と同様の作用効果を有する。

[0206] 3．3端子型積層セラミックコンデンサの変形例

次に、3端子型積層セラミックコンデンサ100の変形例について説明する。

[0207] （1）

上記の第2の実施の形態の外部電極30は、下地電極層32とめっき層34とを含む。これとは異なり、外部電極30は、めっき層34を含み、下地電極層32を含まなくてもよい。

以下、図示はしていないが、第1～第4の外部電極30 a～30 dについて、下地電極層32を設けずにめっき層34を設ける構造について説明する。

[0208] 第1～第4の外部電極30 a～30 dのそれぞれは、下地電極層32が設

けられず、めっき層 3 4 が積層体 1 2 の表面に直接形成されていてもよい。すなわち、3 端子型積層セラミックコンデンサ 1 0 0 は、第 1 の端面 1 2 e、第 2 の端面 1 2 f、第 1 の側面 1 2 c、第 2 の側面 1 2 d にめっき処理を施し、第 1 の内部電極層 1 6 a または第 2 の内部電極層 1 6 b に電氣的に接続されるめっき層 3 4 を形成した構造であってもよい。このような場合、前処理として積層体 1 2 の表面に触媒を配設した後で、めっき処理によりめっき層 3 4 が形成されてもよい。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよい。但し、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。めっき工法としては、バレルめっきを用いることが好ましい。

[0209] なお、下地電極層 3 2 を設けずに積層体 1 2 上に直接めっき層 3 4 を形成する場合は、下地電極層 3 2 の厚みを削減した分を低背化すなわち薄型化または、積層体厚みすなわち有効層部の厚みに転化できるため、積層体 1 2 の厚みの設計自由度を向上することができる。

[0210] めっき層 3 4 は、積層体 1 2 の表面に形成される第 1 ～第 4 の下層めっき層 3 4 a₁ ～ 3 4 d₁（下層めっき層）と、第 1 ～第 4 の下層めっき層 3 4 a₁ ～ 3 4 d₁ の表面に形成される第 1 ～第 4 の上層めっき層 3 4 a₂ ～ 3 4 d₂（上層めっき層）とを含む。第 1、第 2 の下層めっき層 3 4 a₁、3 4 b₁ は、上記の実施の形態と同様に上層めっき層により覆われていないめっき露出領域を有する。下層めっき層及び上層めっき層はそれぞれ、例えば、Cu、Ni、Sn、Pb、Au、Ag、Pd、Bi 又は Zn などから選ばれる少なくとも 1 種の金属または当該金属を含む合金を含むことが好ましい。

さらに、下層めっき層は、半田バリア性能を有する Ni を用いて形成されることが好ましく、上層めっき層は、半田濡れ性が良好な Sn や Au を用いて形成されることが好ましい。

[0211] また、例えば、第 1 の内部電極層 1 6 a および第 2 の内部電極層 1 6 b が

Niを用いて形成される場合、下層めっき層は、Niと接合性のよいCuを用いて形成されることが好ましい。めっき層は、上層めっき層を最外層としてもよいし、上層めっき層の表面にさらに他のめっき電極を形成してもよい。

[0212] ここで、下地電極層32を設けずにめっき層34だけで外部電極30を形成する場合、下地電極層32を設けずに配置するめっき層34の1層あたりの厚みは、 $1.0\mu\text{m}$ 以上 $20.0\mu\text{m}$ 以下であることが好ましい。

さらに、めっき層34は、ガラスを含まないことが好ましい。めっき層34の単位体積あたりの金属割合は、99体積%以上であることが好ましい。

[0213] (2)

上記の第2の実施の形態では、第1の下層めっき層34a₁は、第1の上層めっき層34a₂により覆われていない第1のめっき露出領域35aを有し、第2の下層めっき層34b₁は、第2の上層めっき層34b₂により覆われていない第2のめっき露出領域35bを有する。しかし、露出領域の態様はこれに限られず、第1の実施の形態の変形例において説明した通り（図9及び図10参照）、外部電極30は、下地電極層32がめっき層34により覆われていない下地露出領域36を有していてもよい。例えば、第1の下地電極層32aは、第1のめっき層34aにより覆われていない第1の下地露出領域を有していてもよい。また、第2の下地電極層32bは、第2のめっき層34bにより覆われていない第2の下地露出領域を有していてもよい。このとき、第1の外部電極30aは第1のめっき露出領域35aとともに第1の下地露出領域36aを有しており、第2の外部電極30bは第2のめっき露出領域35bとともに第2の下地露出領域を有しており、第1の外部電極30a及び第2の外部電極30bにプラスの電位が印加される。

[0214] 下地露出領域36は第1の主面12aに配置されていることが好ましい。そして、第2の主面12bが実装面であることが好ましい。これにより、図6に示すように半田が主として第1、第2の端面12e、12f側に塗布される場合、半田が塗布されておらず実装基板40に面していない第1の主面

1 2 a から下地露出領域 3 6 を介して吸収層の水素を効率よく放出させることができる。

[0215] 下地露出領域 3 6 は、半田が塗布されないのであれば第 1 の主面 1 2 a 以外の第 2 の主面 1 2 b、第 1 の端面 1 2 e、第 2 の端面 1 2 f、第 1 の側面 1 2 c、第 2 の側面 1 2 d のいずれに配置されてもよい。

[0216] また、第 1 のめっき露出領域 3 5 a 及び第 1 の下地露出領域 3 6 a がそれぞれ異なる面に形成されてもよい。

[0217] また、第 1 の下地露出領域 3 6 a は、第 1 の下層めっき層 3 4 a₁ のうち第 2 の端面 1 2 f 側の先端部より第 1 の端面 1 2 e 側に形成されていることが好ましい。

[0218] 第 1 の下地露出領域 3 6 a は、第 1 のめっき露出領域 3 5 a と同様の方法により形成することができる。

[0219] 図示はしていないが、第 3 の下地電極層 3 2 c は、第 3 のめっき層 3 4 c により覆われていない第 3 の下地露出領域を有していてもよく、第 4 の下地電極層 3 2 d は、第 4 のめっき層 3 4 d により覆われていない第 4 の下地露出領域を有していてもよい。

[0220] (3)

上記の第 2 の実施の形態では、第 1 の下層めっき層 3 4 a₁ が第 1 の上層めっき層 3 4 a₂ により覆われていない第 1 のめっき露出領域 3 5 a は第 1 の主面 1 2 a に設けられている。同様に、第 2 の下層めっき層 3 4 b₁ が第 2 の上層めっき層 3 4 b₂ により覆われていない第 2 のめっき露出領域 3 5 b は第 1 の主面 1 2 a に設けられている。これに限らず、めっき露出領域 3 5 は、第 1 の主面 1 2 a、第 2 の主面 1 2 b、第 1 の端面 1 2 e、第 2 の端面 1 2 f、第 1 の側面 1 2 c、第 2 の側面 1 2 d の少なくともいずれかに設けられていればよい。

[0221] (4) 上記の第 2 の実施の形態では、第 1 の外部電極 3 0 a の第 1 のめっき露出領域 3 5 a 及び第 2 の外部電極 3 0 b の第 2 のめっき露出領域 3 5 b が設けられている。しかし、第 1 の外部電極 3 0 a の第 1 のめっき露出領域

35 a 及び第2の外部電極30 bの第2のめっき露出領域35 bに加えて、さらに第3の外部電極30 cに第3の下層めっき層34 c₁が第3の上層めっき層34 c₂に覆われていない第3のめっき露出領域が設けられ、第4の外部電極30 dに第4の下層めっき層34 d₁が第4の上層めっき層34 d₂に覆われていない第4のめっき露出領域が設けられてもよい。この場合、第1、第2の外部電極30 a、30 b又は第3、第4の外部電極30 c、30 dのいずれか一方にプラスの電位が印加され、他方にマイナスの電位が印加される。

[0222] 第1の主面方向視における第1の主面12 aにおける第3の外部電極30 cの露出領域の面積に対する第3のめっき露出領域の面積の第3の割合が0.4%以上83.4%以下であることが好ましい。同様に、第1の主面方向視における第1の主面12 aにおける第4の外部電極30 dの露出領域の面積に対する第4のめっき露出領域の面積の第4の割合が0.4%以上83.4%以下であることが好ましい。また、第1～第4の外部電極30 a～30 dの露出領域の合計に対して、第1～第4のめっき露出領域35 a～35 dの合計の割合が0.4%以上83.4%以下であることが好ましい。

[0223] さらに、第1の外部電極30 aに第1のめっき露出領域35 aが設けられず、及び第2の外部電極30 bに第2のめっき露出領域35 bが設けられず、第3の外部電極30 cに第3の下層めっき層34 c₁が第3の上層めっき層34 c₂に覆われていない第3のめっき露出領域が設けられ、第4の外部電極30 dに第4の下層めっき層34 d₁が第4の上層めっき層34 d₂に覆われていない第4のめっき露出領域が設けられてもよい。この場合、第3、第4の外部電極30 c、30 dにプラスの電位が印加される。

[0224] (5)

上記の第2の実施の形態では、第1～第4の下層めっき層34 a₁～34 d₁は第1～第4の下地電極層32 a～32 dの全てを覆うように配置されている。しかし、これに限られず、第1の下層めっき層34 a₁は第1の下地電極層32 aの一部を覆うように配置され、第2の下層めっき層34 b₁は第2の

下地電極層 3 2 b の一部を覆うように配置され、第 3 の下層めっき層 3 4 c₁ は第 3 の下地電極層 3 2 c の一部を覆うように配置され、第 4 の下層めっき層 3 4 d₁ は第 4 の下地電極層 3 2 d の一部を覆うように配置されていてもよい。

[0225] C. 実験例

(1) 実験例の試料

まず、上述した積層セラミックコンデンサの製造方法にしたがって以下のような仕様の実施例に係る 2 端子型積層セラミックコンデンサを作製した。

[0226] ◎積層セラミックコンデンサの構造：2 端子（図 1 を参照）

◎積層セラミックコンデンサの寸法 $L \times W \times T$ （設計値を含む）：1. 1 3 mm $\times$ 0. 6 3 mm $\times$ 0. 6 3 mm

◎セラミック層の材料：BaTiO₃

◎静電容量：2 2 μ F

◎定格電圧：4 V

[0227] ◎外部電極の構造

・下地電極層：導電性金属（Cu）とガラス成分とを含む電極

・端面の下地電極層の膜厚：第 1 の端面及び第 2 の端面に位置する下地電極層の高さ方向中央部における下地電極層の膜厚 = 1 2 μ m

・主面、側面の下地電極層の膜厚：第 1 の主面及び第 2 の主面、第 1 の側面及び第 2 の側面に位置する下地電極層の長さ方向中央部における下地電極層の膜厚 = 1 2 μ m

・めっき層：Niめっき層およびSnめっき層の 2 層構造

・端面のNiめっき層の膜厚：第 1 の端面及び第 2 の端面に位置するNiめっき層の高さ方向中央部におけるNiめっき層の膜厚 = 2 μ m

・主面、側面のNiめっき層の膜厚：第 1 の主面及び第 2 の主面、第 1 の側面及び第 2 の側面に位置するNiめっき層の長さ方向中央部におけるNiめっき層の膜厚 = 2 μ m

・端面のSnめっき層の膜厚：第 1 の端面及び第 2 の端面に位置するS

nめっき層の高さ方向中央部におけるS nめっき層の膜厚 = $3\ \mu\text{m}$

・主面、側面のS nめっき層の膜厚：第1の主面及び第2の主面、第1の側面及び第2の側面に位置するS nめっき層の長さ方向中央部におけるS nめっき層の膜厚 = $3\ \mu\text{m}$

[0228] ◎ 第1の下層めっき層及び第2の下層めっき層（Niめっき層）の第1の主面における露出割合

・露出割合 = (第1の下層めっき層及び第2の下層めっき層の露出面積) / 第1の外部電極及び第2の外部電極の第1の主面における面積 $\times 100$

・第1の外部電極及び第2の外部電極の第1の主面における面積は、それぞれ $L\ (200\ \mu\text{m}) \times W\ (600\ \mu\text{m})$ とした。

実施例1～8、比較例1の露出割合は以下の通りである。

(実施例1) 0.2%

(実施例2) 0.4%

(実施例3) 1.17%

(実施例4) 1.4%

(実施例5) 1.67%

(実施例6) 25%

(実施例7) 83.4%

(実施例8) 89.2%

(比較例1) 0%

[0229] (2) 実験結果

実施例1～8、比較例1のそれぞれ100個の試料について、半田実装においてPCBT試験（125℃、95%RH、2V、72hr）による絶縁抵抗（IR）の劣化を確認し、劣化した個数を計数した。

表1に実験結果を示す。

[0230]

[表1]

	露出割合 (%)	絶縁抵抗(IR)の劣化 (個)
比較例1	0.00	11/100
実施例1	0.20	5/100
実施例2	0.40	2/100
実施例3	1.17	1/100
実施例4	1.40	0/100
実施例5	1.67	0/100
実施例6	25.00	0/100
実施例7	83.40	4/100
実施例8	89.20	8/100

[0231] 表1の結果から、比較例1では、絶縁抵抗の劣化と判断された個数は100個中11個であった。一方、実施例1～8では絶縁抵抗の劣化と判断された個数は100個中8個以下であった。また、実施例2～7では絶縁抵抗の劣化と判断された個数は100個中4個以下であり、実施例3～7においても絶縁抵抗の劣化と判断された個数は100個中4個以下であった。さらには、実施例4～6では絶縁抵抗の劣化と判断された個数は100個中0個であった。

よって、露出割合が0%より大きい場合に絶縁抵抗の劣化が抑制されていることが分かった。また、露出割合が0.4%以上83.4%以下では絶縁抵抗の劣化がより抑制されていることが分かった。また、露出割合が1.17%以上83.4%以下の範囲においても、さらに露出割合が1.40%以上83.4%以下の範囲においても絶縁抵抗の劣化が抑制されていることが分かった。さらには露出割合が1.40%以上25.0%以下の場合にはさらに絶縁抵抗の劣化が抑制されていることが分かった。

[0232] なお、以上のように、本発明の実施の形態は、前記記載で開示されているが、本発明は、これに限定されるものではない。

すなわち、本発明の技術的思想及び目的の範囲から逸脱することなく、以上説明した実施の形態に対し、機序、形状、材質、数量、位置又は配置等に関して、様々の変更を加えることができるものであり、それらは、本発明に含まれるものである。

[0233] <1>

複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及び第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面及び第2の端面と、前記高さ方向及び前記長さ方向に直交する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第2の端面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第2の内部電極層に接続される第2の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、前記第1の下層めっき層が前記第1の外部電極の表面に露出された第1のめっき露出領域を有するように前記第1のめっき露出領域を除いて前記第1の下層めっき層上に配置された第1の上層めっき層と、を有し、前記第2の外部電極は、前記積層体上に配置された第2の下地電極層と、前記第2の下地電極層上に配置された第2の下層めっき層と、前記第2の下層めっき層が前記第2の外部電極の表面に露出された第2のめっき露出領域を有するように前記第2のめっき露出領域を除いて前記第2の下層めっき層上に配置された第2の上層めっき層と、を有する、積層セラミック電子部品。

[0234] <2>

複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及

び第2の主面と、前記高さ方向に直交する長さ方向に相對する第1の端面及び第2の端面と、前記高さ方向及び前記長さ方向に直交する幅方向に相對する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面及び前記第2の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第1の側面及び前記第2の側面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第2の外部電極と、

前記第1の側面上に配置され、前記第1の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第3の外部電極と、

前記第2の側面上に配置され、前記第2の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第4の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、前記第1の下層めっき層が前記第1の外部電極の表面に露出された第1のめっき露出領域を有するように前記第1のめっき露出領域を除いて前記第1の下層めっき層上に配置された第1の上層めっき層と、を有し、

前記第2の外部電極は、前記積層体上に配置された第2の下地電極層と、前記第2の下地電極層上に配置された第2の下層めっき層と、前記第2の下

層めっき層が前記第2の外部電極の表面に露出された第2のめっき露出領域を有するように前記第2のめっき露出領域を除いて前記第2の下層めっき層上に配置された第2の上層めっき層と、

前記第3の外部電極は、前記積層体上に配置された第3の下地電極層と、前記第3の下地電極層上に配置された第3の下層めっき層と、前記第3の下層めっき層上に配置された第3の上層めっき層と、を有し、

前記第4の外部電極は、前記積層体上に配置された第4の下地電極層と、前記第4の下地電極層上に配置された第4の下層めっき層と、前記第4の下層めっき層上に配置された第4の上層めっき層と、を有する、積層セラミック電子部品。

[0235] <3>

前記第3の下層めっき層が前記第3の外部電極の表面に露出された第3のめっき露出領域を有するように、前記第3の上層めっき層が前記第3のめっき露出領域を除いて前記第3の下層めっき層上に配置されており、

前記第4の下層めっき層が前記第4の外部電極の表面に露出された第4のめっき露出領域を有するように、前記第4の上層めっき層が前記第4のめっき露出領域を除いて前記第4の下層めっき層上に配置されている、<2>に記載の積層セラミック電子部品。

[0236] <4>

複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及び第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面及び第2の端面と、前記高さ方向及び前記長さ方向に直交する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面及び前記第2の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第1の側面及び前記第2の側面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主

面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第2の外部電極と、

前記第1の側面上に配置され、前記第1の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第3の外部電極と、

前記第2の側面上に配置され、前記第2の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第4の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、記第1の下層めっき層上に配置された第1の上層めっき層と、を有し、

前記第2の外部電極は、前記積層体上に配置された第2の下地電極層と、前記第2の下地電極層上に配置された第2の下層めっき層と、前記第2の下層めっき層上に配置された第2の上層めっき層と、を有し、

前記第3の外部電極は、前記積層体上に配置された第3の下地電極層と、前記第3の下地電極層上に配置された第3の下層めっき層と、前記第3の下層めっき層が前記第3の外部電極の表面に露出された第3のめっき露出領域を有するように前記第3のめっき露出領域を除いて前記第3の下層めっき層上に配置された第3の上層めっき層と、を有し、

前記第4の外部電極は、前記積層体上に配置された第4の下地電極層と、前記第4の下地電極層上に配置された第4の下層めっき層と、前記第4の下層めっき層が前記第4の外部電極の表面に露出された第4のめっき露出領域を有するように前記第4のめっき露出領域を除いて前記第4の下層めっき層

上に配置された第4の上層めっき層と、を有する、積層セラミック電子部品。

[0237] <5>

前記第1の主面方向視における前記第1の主面における前記第1の外部電極の露出領域の面積に対する前記第1のめっき露出領域の面積の第1の割合は0.4%以上83.4%以下であり、前記第1の主面方向視における前記第1の主面における前記第2の外部電極の露出領域の面積に対する前記第2のめっき露出領域の面積の第2の割合は0.4%以上83.4%以下である、<1>乃至<3>のいずれかに記載の積層セラミック電子部品。

[0238] <6>

前記第1の割合及び前記第2の割合は1.17%以上83.4%以下である、<5>に記載の積層セラミック電子部品。

[0239] <7>

前記第1の割合及び前記第2の割合は1.40%以上83.4%以下である、<6>に記載の積層セラミック電子部品。

[0240] <8>

前記第1の割合及び前記第2の割合は1.40%以上25.0%以下である、<7>に記載の積層セラミック電子部品。

[0241] <9>

前記第1のめっき露出領域は前記第1の主面に配置されている、<1>乃至<8>のいずれかに記載の積層セラミック電子部品。

[0242] <10>

前記第1の下層めっき層の厚みは、2 μ m以上7 μ m以下である、請求項<1>乃至<9>のいずれかに記載の積層セラミック電子部品。

[0243] <11>

前記第1の下地電極層の一部は前記第1の主面において露出されている、<1>乃至<10>のいずれかに記載の積層セラミック電子部品。

[0244] <12>

前記第 1 の主面方向視における前記第 1 の主面における前記第 3 の外部電極の露出領域の面積に対する前記第 3 のめっき露出領域の面積の第 3 の割合及び／又は前記第 1 の主面方向視における前記第 1 の主面における前記第 4 の外部電極の露出領域の面積に対する前記第 4 のめっき露出領域の面積の第 4 の割合は 0.4 % 以上 83.4 % 以下である、＜3＞又は＜4＞に記載の積層セラミック電子部品。

[0245] <13>

<1>乃至<12>のいずれかに記載の積層セラミック電子部品と、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 1 のめっき露出領域は前記第 1 の主面に配置されており、前記第 2 の主面が前記実装基板と対向するように前記積層セラミック電子部品が実装されている、積層セラミック電子部品の実装構造。

[0246] <14>

<2>、<3>、<12>のいずれかに記載の積層セラミック電子部品と、
、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 1 の外部電極及び前記第 2 の外部電極はプラスの電位が印加される電極である、積層セラミック電子部品の実装構造。

[0247] <15>

<4>に記載の積層セラミック電子部品と、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 3 の外部電極及び前記第 4 の外部電極はプラスの電位が印加される電極である、積層セラミック電子部品の実装構造。

符号の説明

[0248] 10 : 2 端子型積層セラミックコンデンサ

1 2	: 積層体
1 2 a	: 第 1 の主面
1 2 b	: 第 2 の主面
1 2 c	: 第 1 の側面
1 2 d	: 第 2 の側面
1 2 e	: 第 1 の端面
1 2 f	: 第 2 の端面
1 4	: セラミック層
1 4 a	: 外層部
1 4 b	: 内層部
1 6	: 内部電極層
1 6 a、1 6 b	: 第 1、第 2 の内部電極層
1 8	: 内層部
2 0 a	: 第 1 の主面側外層部
2 0 b	: 第 2 の主面側外層部
2 2 a	: 第 1 の側面側外層部
2 2 b	: 第 2 の側面側外層部
2 4 a	: 第 1 の端面側外層部
2 4 b	: 第 2 の端面側外層部
2 6 a	: 第 1 の対向電極部
2 6 b	: 第 2 の対向電極部
2 7	: 対向電極部
2 8 a	: 第 1 の引出電極部
2 8 b	: 第 2 の引出電極部
2 8 a 1	: 第 1 の引出電極部
2 8 a 2	: 第 2 の引出電極部
2 8 b 1	: 第 3 の引出電極部
2 8 b 2	: 第 4 の引出電極部

3 0	: 外部電極
3 0 a ~ 3 0 d	: 第 1 ~ 第 4 の外部電極
3 2	: 下地電極層
3 2 a ~ 3 2 d	: 第 1 ~ 第 4 の下地電極層
3 4	: めっき層
3 4 a ~ 3 4 d	: 第 1 ~ 第 4 のめっき層
3 4 a 1 ~ 3 4 d 1	: 第 1 ~ 第 4 の下層めっき層
3 4 a 2 ~ 3 4 d 2	: 第 1 ~ 第 4 の上層めっき層
3 5	: めっき露出領域
3 5 a ~ 3 5 d	: 第 1 ~ 第 4 のめっき露出領域
3 6	: 下地露出領域
3 6 a	: 第 1 の下地露出領域
4 0	: 実装基板
4 1	: ランド
4 2	: 半田
1 0 0	: 3 端子型積層セラミックコンデンサ

請求の範囲

[請求項1]

複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及び第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面及び第2の端面と、前記高さ方向及び前記長さ方向に直交する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第2の端面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第2の内部電極層に接続される第2の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、前記第1の下層めっき層が前記第1の外部電極の表面に露出された第1のめっき露出領域を有するように前記第1のめっき露出領域を除いて前記第1の下層めっき層上に配置された第1の上層めっき層と、を有し、

前記第2の外部電極は、前記積層体上に配置された第2の下地電極層と、前記第2の下地電極層上に配置された第2の下層めっき層と、前記第2の下層めっき層が前記第2の外部電極の表面に露出された第2のめっき露出領域を有するように前記第2のめっき露出領域を除い

て前記第2の下層めっき層上に配置された第2の上層めっき層と、を有する、積層セラミック電子部品。

[請求項2]

複数の積層されたセラミック層を有し、高さ方向に相対する第1の主面及び第2の主面と、前記高さ方向に直交する長さ方向に相対する第1の端面及び第2の端面と、前記高さ方向及び前記長さ方向に直交する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面及び前記第2の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第1の側面及び前記第2の側面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第2の外部電極と、

前記第1の側面上に配置され、前記第1の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第3の外部電極と、

前記第2の側面上に配置され、前記第2の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第4の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、前記第1の下層めっき層が前記第1の外部電極の表面に露出された第

1 のめっき露出領域を有するように前記第 1 のめっき露出領域を除いて前記第 1 の下層めっき層上に配置された第 1 の上層めっき層と、を有し、

前記第 2 の外部電極は、前記積層体上に配置された第 2 の下地電極層と、前記第 2 の下地電極層上に配置された第 2 の下層めっき層と、前記第 2 の下層めっき層が前記第 2 の外部電極の表面に露出された第 2 のめっき露出領域を有するように前記第 2 のめっき露出領域を除いて前記第 2 の下層めっき層上に配置された第 2 の上層めっき層と、を有し、

前記第 3 の外部電極は、前記積層体上に配置された第 3 の下地電極層と、前記第 3 の下地電極層上に配置された第 3 の下層めっき層と、前記第 3 の下層めっき層上に配置された第 3 の上層めっき層と、を有し、

前記第 4 の外部電極は、前記積層体上に配置された第 4 の下地電極層と、前記第 4 の下地電極層上に配置された第 4 の下層めっき層と、前記第 4 の下層めっき層上に配置された第 4 の上層めっき層と、を有する、積層セラミック電子部品。

[請求項3] 前記第 3 の下層めっき層が前記第 3 の外部電極の表面に露出された第 3 のめっき露出領域を有するように、前記第 3 の上層めっき層が前記第 3 のめっき露出領域を除いて前記第 3 の下層めっき層上に配置されており、

前記第 4 の下層めっき層が前記第 4 の外部電極の表面に露出された第 4 のめっき露出領域を有するように、前記第 4 の上層めっき層が前記第 4 のめっき露出領域を除いて前記第 4 の下層めっき層上に配置されている、請求項 2 に記載の積層セラミック電子部品。

[請求項4] 複数の積層されたセラミック層を有し、高さ方向に相対する第 1 の主面及び第 2 の主面と、前記高さ方向に直交する長さ方向に相対する第 1 の端面及び第 2 の端面と、前記高さ方向及び前記長さ方向に直交

する幅方向に相対する第1の側面及び第2の側面とを有する積層体と、

前記複数のセラミック層上に配置され、前記第1の端面及び前記第2の端面に引き出された複数の第1の内部電極層と、

前記複数のセラミック層上に配置され、前記第1の側面及び前記第2の側面に引き出された複数の第2の内部電極層と、

前記第1の端面上に配置され、前記第1の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第1の外部電極と、

前記第2の端面上に配置され、前記第2の端面から延伸して前記第1の主面の一部、前記第2の主面の一部、前記第1の側面の一部、前記第2の側面の一部に配置されており、前記第1の内部電極層に接続される第2の外部電極と、

前記第1の側面上に配置され、前記第1の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第3の外部電極と、

前記第2の側面上に配置され、前記第2の側面から延伸して前記第1の主面の一部及び前記第2の主面の一部に配置されており、前記第2の内部電極層に接続される第4の外部電極と、を備え、

前記第1の外部電極は、前記積層体上に配置された第1の下地電極層と、前記第1の下地電極層上に配置された第1の下層めっき層と、前記第1の下層めっき層上に配置された第1の上層めっき層と、を有し、

前記第2の外部電極は、前記積層体上に配置された第2の下地電極層と、前記第2の下地電極層上に配置された第2の下層めっき層と、前記第2の下層めっき層上に配置された第2の上層めっき層と、を有し、

前記第3の外部電極は、前記積層体上に配置された第3の下地電極層と、前記第3の下地電極層上に配置された第3の下層めっき層と、前記第3の下層めっき層が前記第3の外部電極の表面に露出された第3のめっき露出領域を有するように前記第3のめっき露出領域を除いて前記第3の下層めっき層上に配置された第3の上層めっき層と、を有し、

前記第4の外部電極は、前記積層体上に配置された第4の下地電極層と、前記第4の下地電極層上に配置された第4の下層めっき層と、前記第4の下層めっき層が前記第4の外部電極の表面に露出された第4のめっき露出領域を有するように前記第4のめっき露出領域を除いて前記第4の下層めっき層上に配置された第4の上層めっき層と、を有する、積層セラミック電子部品。

[請求項5] 前記第1の主面方向視における前記第1の主面における前記第1の外部電極の露出領域の面積に対する前記第1のめっき露出領域の面積の第1の割合は0.4%以上83.4%以下であり、

前記第1の主面方向視における前記第1の主面における前記第2の外部電極の露出領域の面積に対する前記第2のめっき露出領域の面積の第2の割合は0.4%以上83.4%以下である、請求項1乃至3のいずれかに記載の積層セラミック電子部品。

[請求項6] 前記第1の割合及び前記第2の割合は1.17%以上83.4%以下である、請求項5に記載の積層セラミック電子部品。

[請求項7] 前記第1の割合及び前記第2の割合は1.40%以上83.4%以下である、請求項6に記載の積層セラミック電子部品。

[請求項8] 前記第1の割合及び前記第2の割合は1.40%以上25.0%以下である、請求項7に記載の積層セラミック電子部品。

[請求項9] 前記第1のめっき露出領域は前記第1の主面に配置されている、請求項1乃至8のいずれかに記載の積層セラミック電子部品。

[請求項10] 前記第1の下層めっき層の厚みは、2 μ m以上7 μ m以下である、

請求項 1 乃至 9 のいずれかに記載の積層セラミック電子部品。

[請求項11] 前記第 1 の下地電極層の一部は前記第 1 の主面において露出されている、請求項 1 乃至 10 のいずれかに記載の積層セラミック電子部品。

[請求項12] 前記第 1 の主面方向視における前記第 1 の主面における前記第 3 の外部電極の露出領域の面積に対する前記第 3 のめっき露出領域の面積の第 3 の割合及び／又は前記第 1 の主面方向視における前記第 1 の主面における前記第 4 の外部電極の露出領域の面積に対する前記第 4 のめっき露出領域の面積の第 4 の割合は 0.4 % 以上 83.4 % 以下である、請求項 3 又は 4 に記載の積層セラミック電子部品。

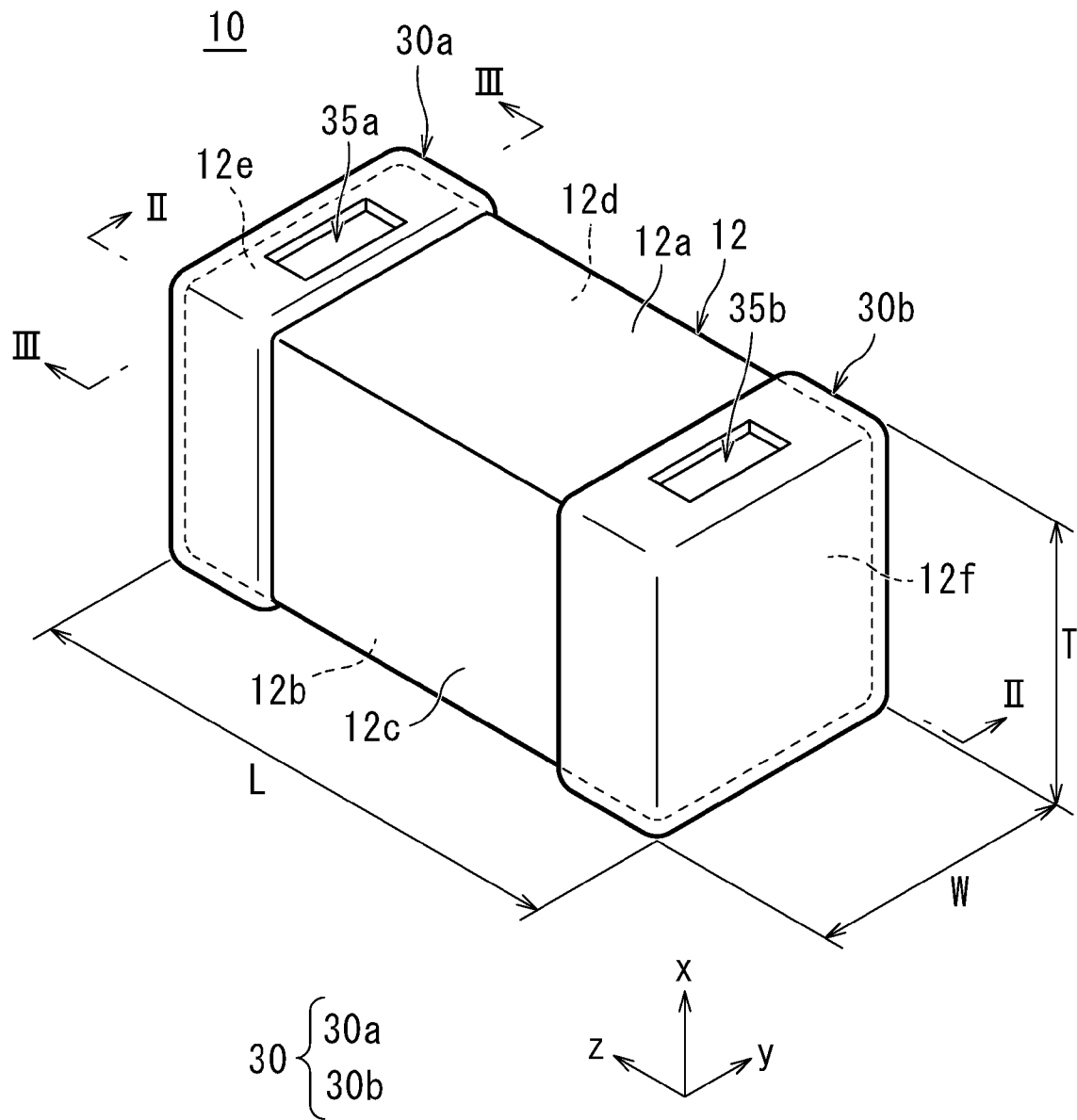
[請求項13] 請求項 1 乃至 12 のいずれかに記載の積層セラミック電子部品と、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 1 のめっき露出領域は前記第 1 の主面に配置されており、前記第 2 の主面が前記実装基板と対向するように前記積層セラミック電子部品が実装されている、積層セラミック電子部品の実装構造。

[請求項14] 請求項 2、3 及び 12 のいずれかに記載の積層セラミック電子部品と、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 1 の外部電極及び前記第 2 の外部電極はプラスの電位が印加される電極である、積層セラミック電子部品の実装構造。

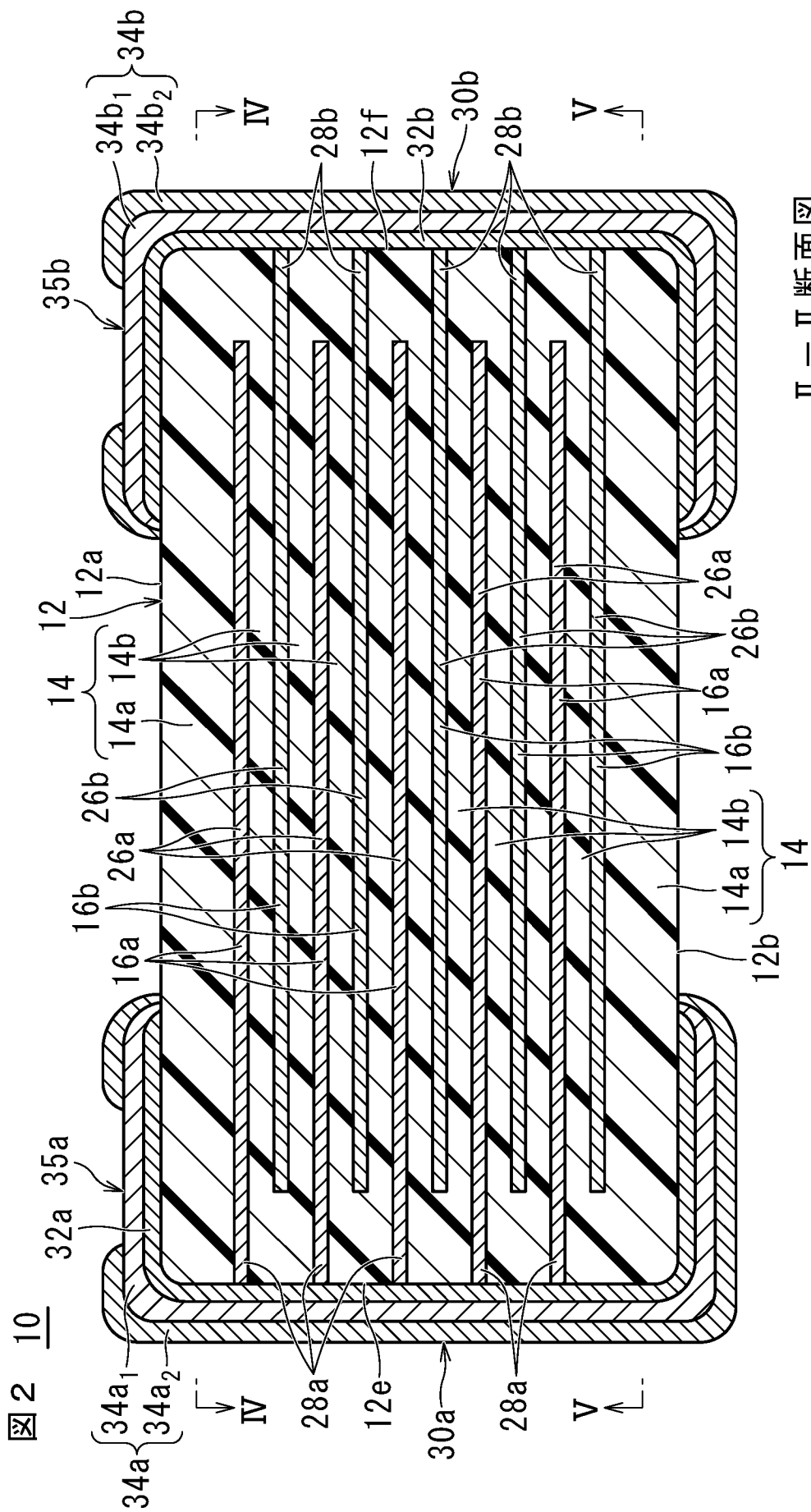
[請求項15] 請求項 4 に記載の積層セラミック電子部品と、
前記積層セラミック電子部品が実装されている実装基板と、を備える積層セラミック電子部品の実装構造であって、
前記第 3 の外部電極及び前記第 4 の外部電極はプラスの電位が印加される電極である、積層セラミック電子部品の実装構造。

[図1]

図 1



[図2]

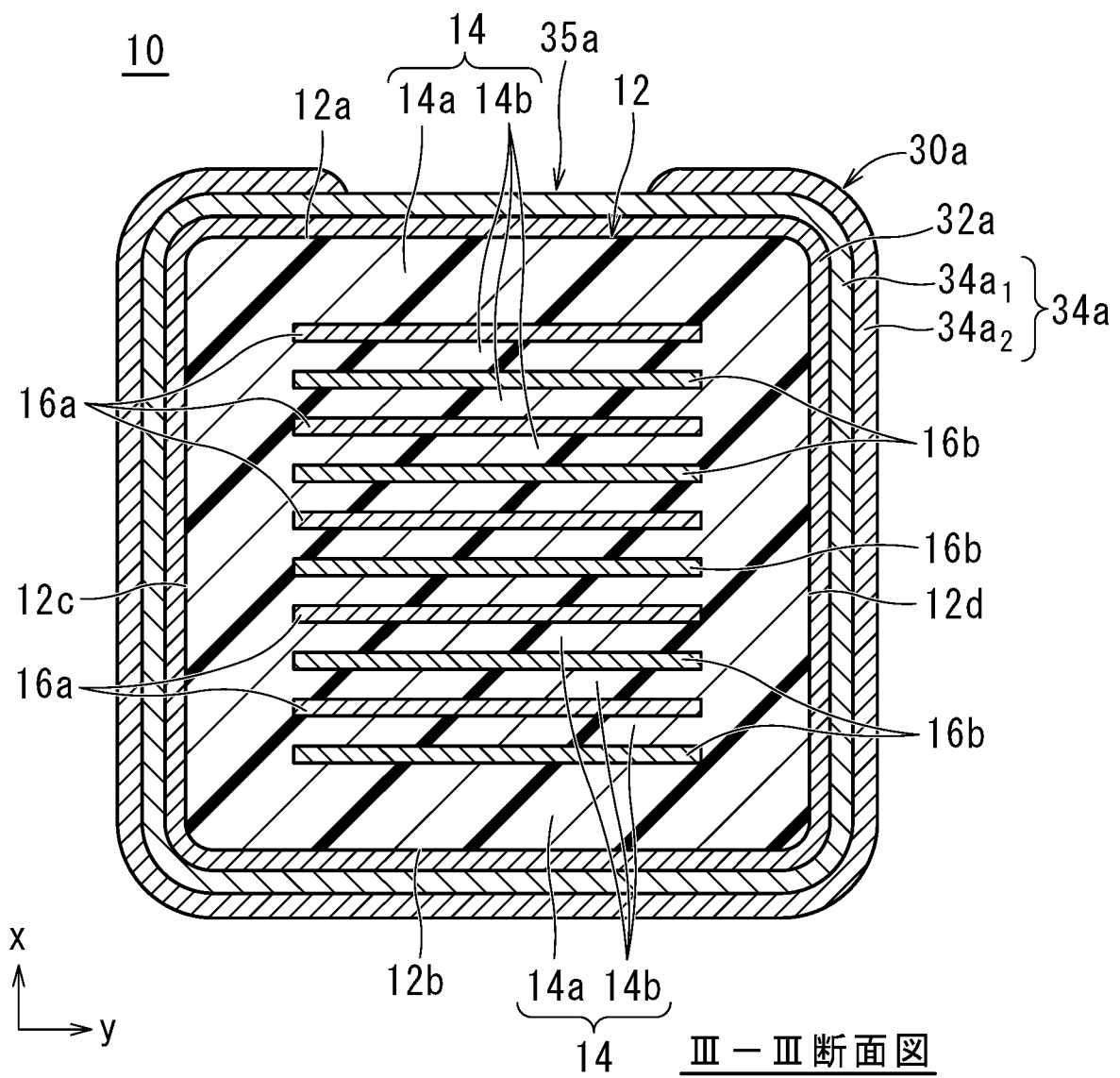


II-1 断面図

$$16 \left\{ \begin{matrix} 16a \\ 16b \end{matrix} \right\} 30 \left\{ \begin{matrix} 30a \\ 30b \end{matrix} \right\} 30a \left\{ \begin{matrix} 32a \\ 34a \end{matrix} \right\} 30b \left\{ \begin{matrix} 32b \\ 34b \end{matrix} \right\} 32 \left\{ \begin{matrix} 32a \\ 32b \end{matrix} \right\} 34 \left\{ \begin{matrix} 34a \\ 34b \end{matrix} \right\}$$

[図3]

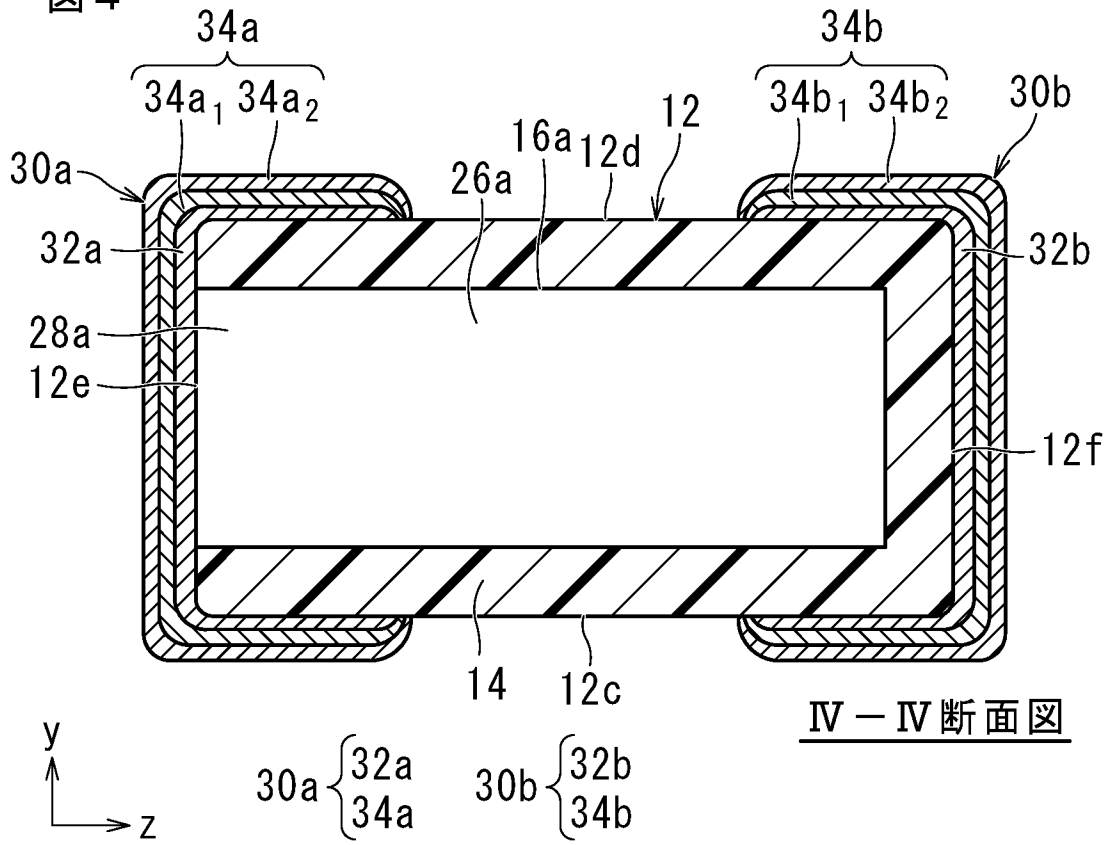
図 3



$$16 \begin{cases} 16a \\ 16b \end{cases} \quad 30a \begin{cases} 32a \\ 34a \end{cases}$$

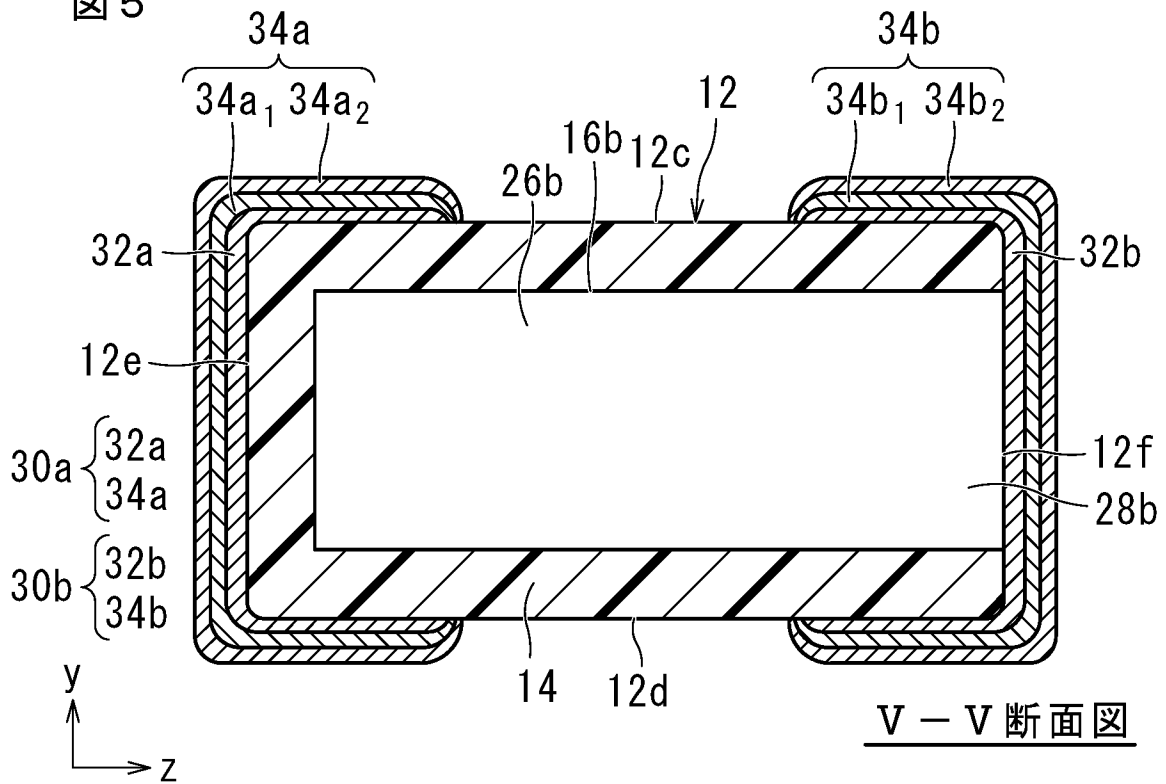
[図4]

図 4



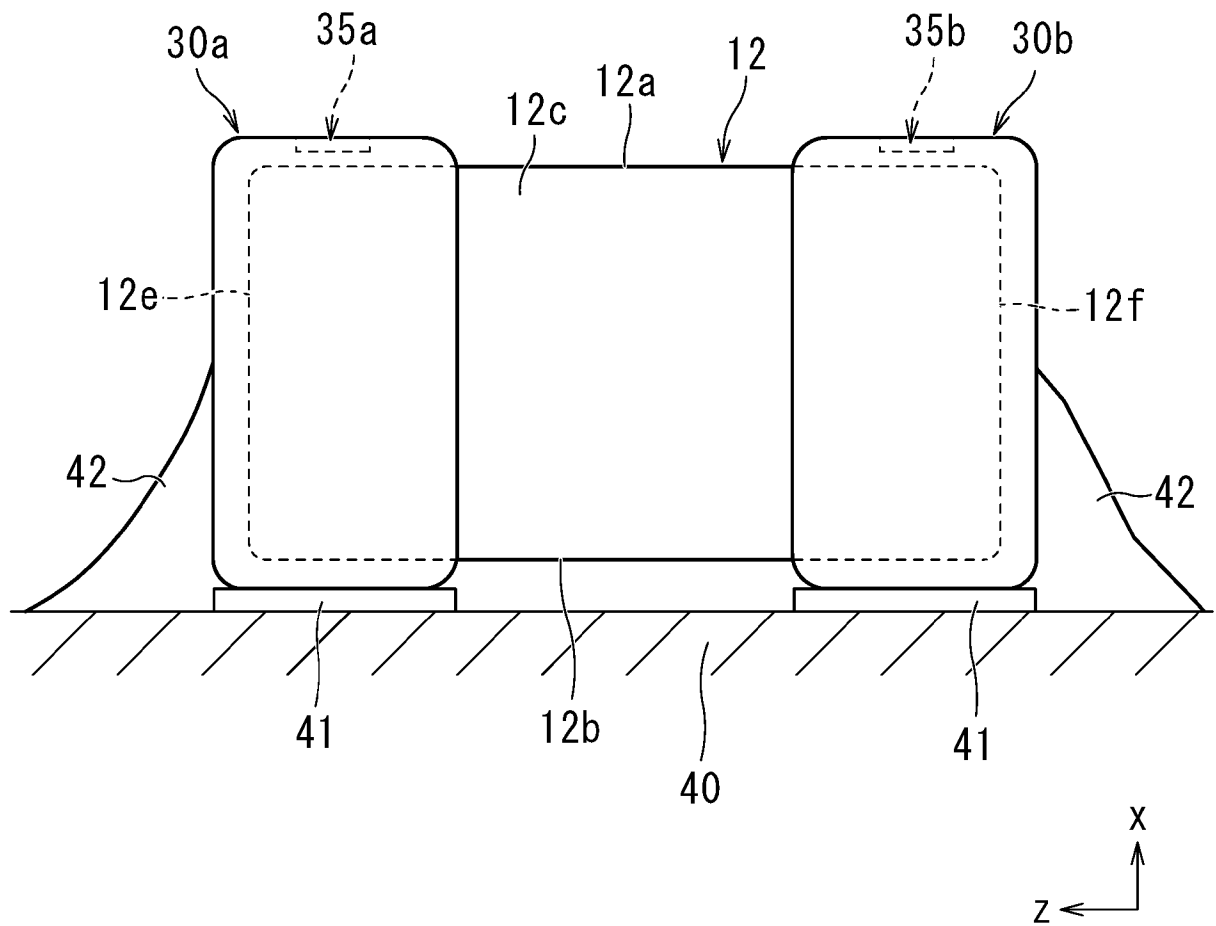
[図5]

図 5



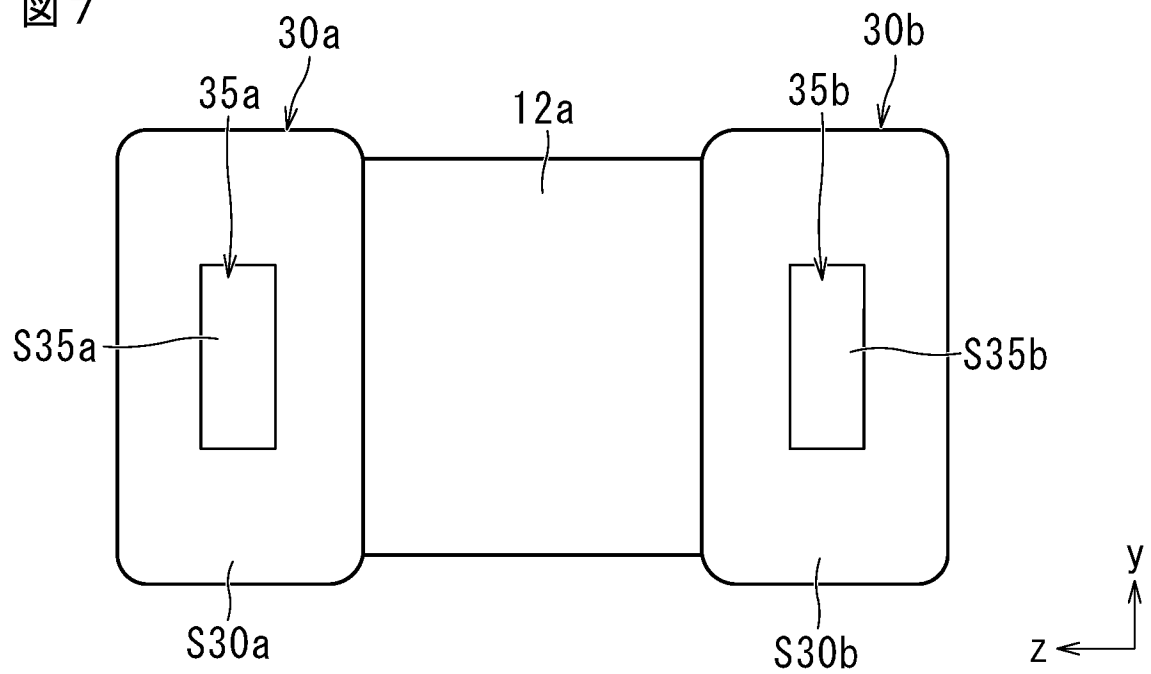
[図6]

図 6



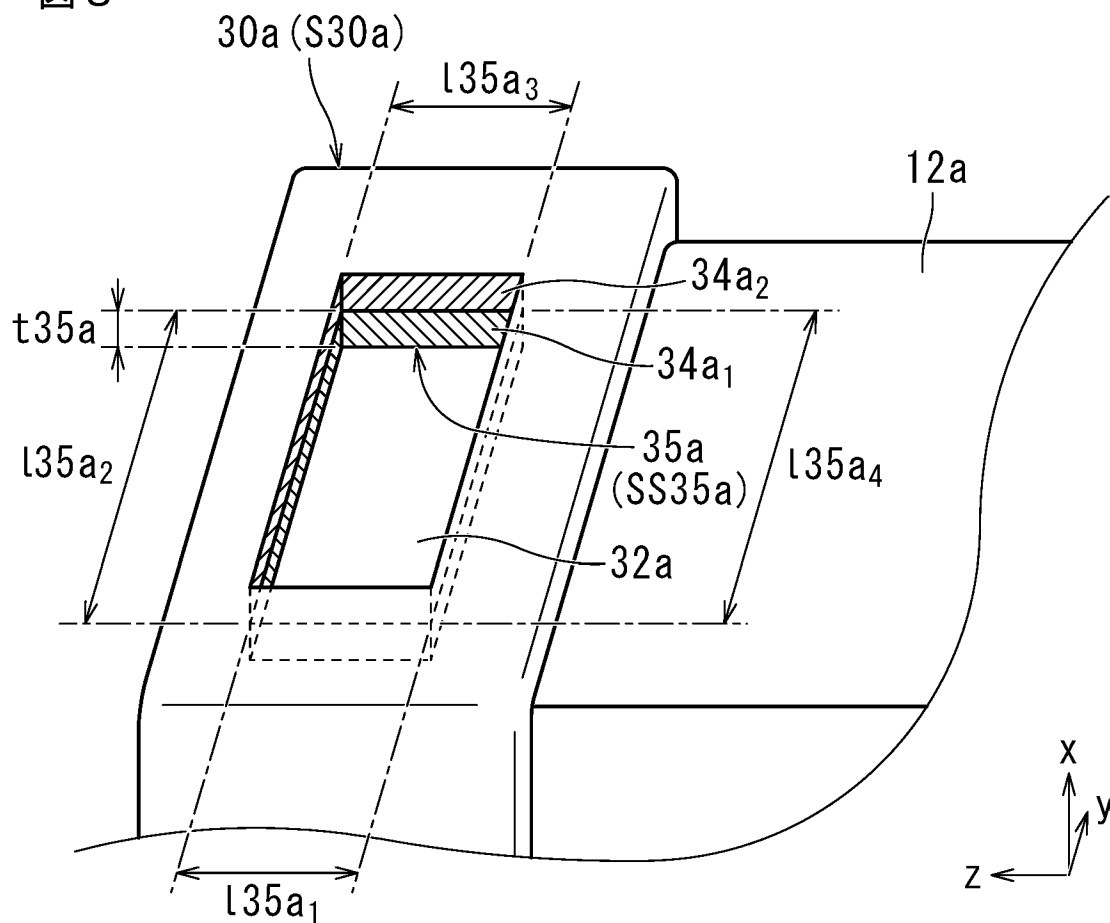
[図7]

図 7



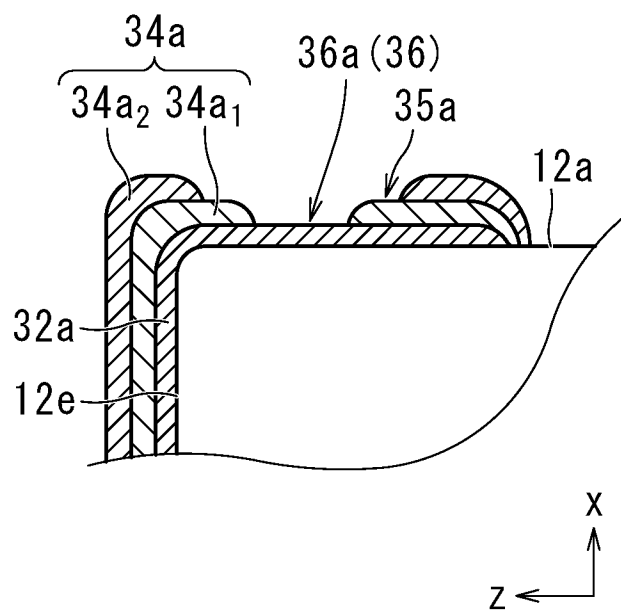
[図8]

図 8



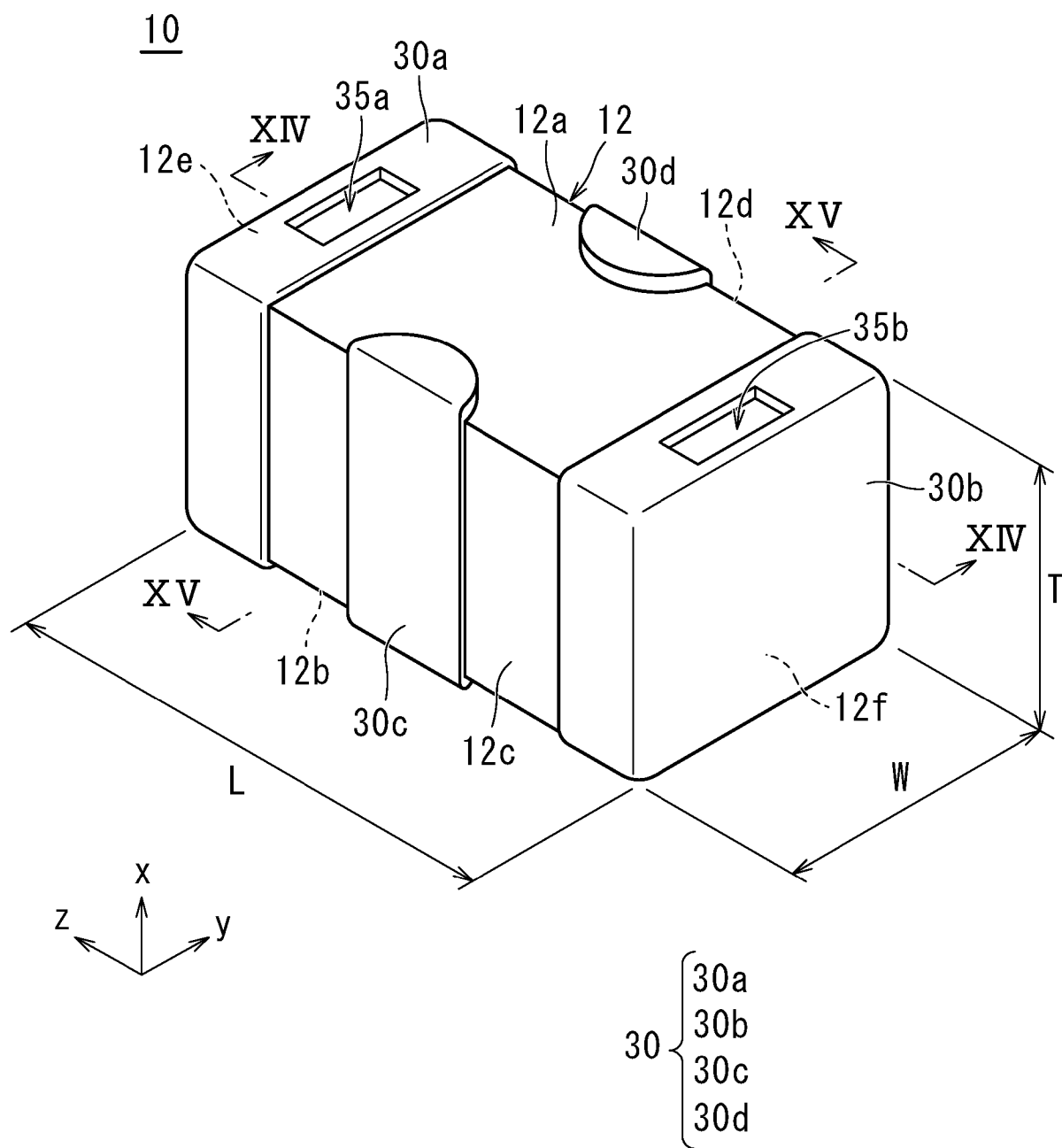
[図9]

図 9



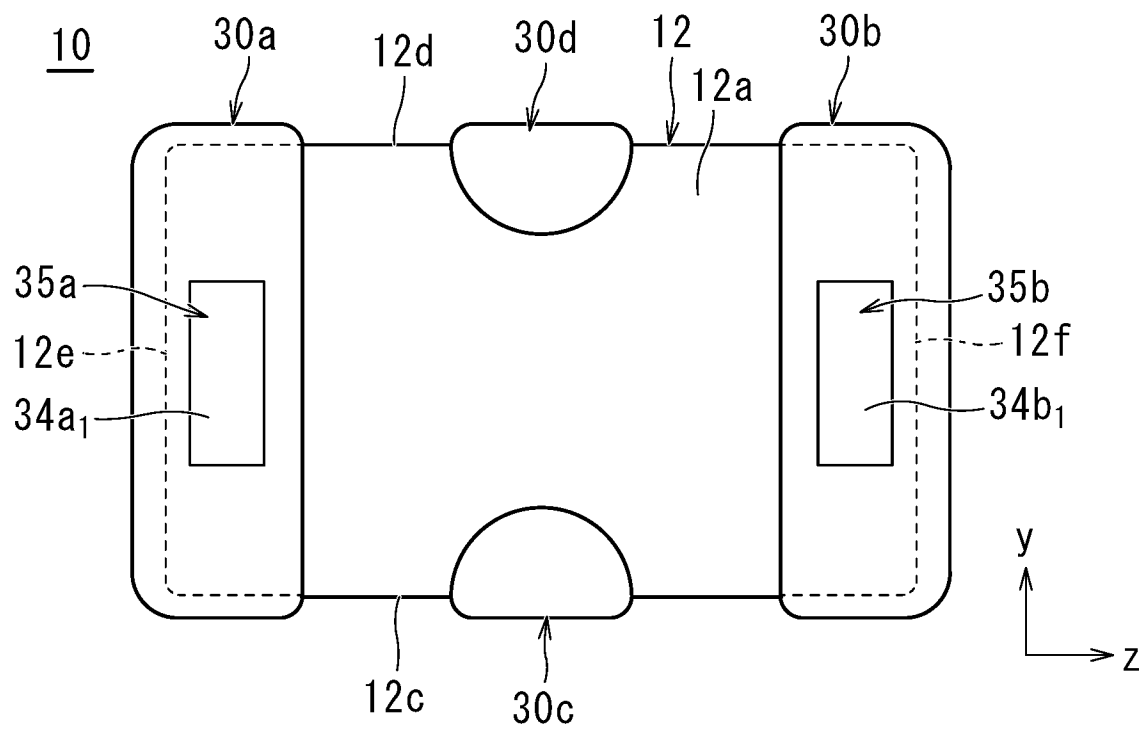
[図11]

図 1 1



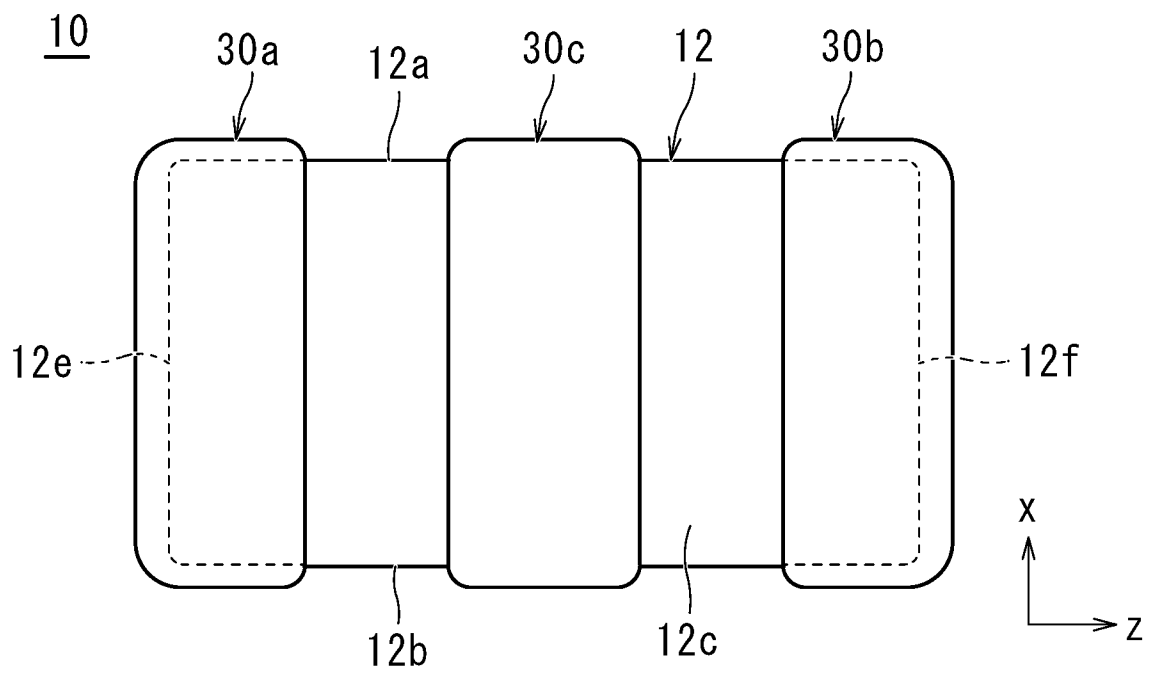
[図12]

図 1 2



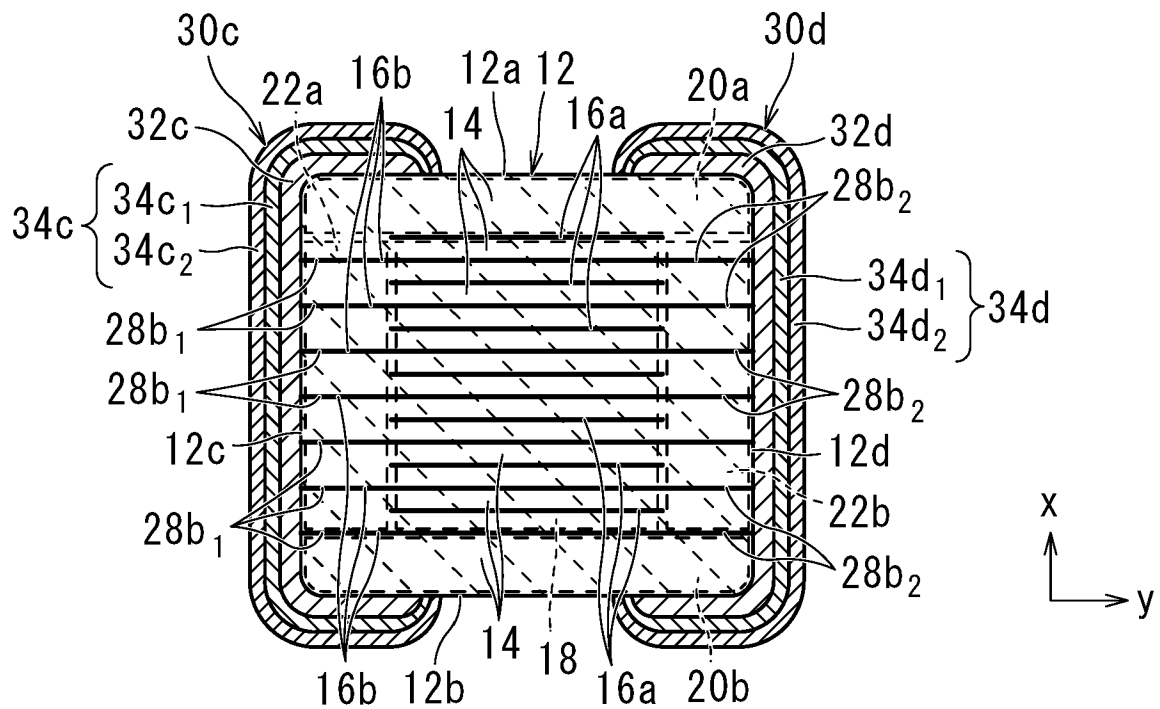
[図13]

図 1 3



[図15]

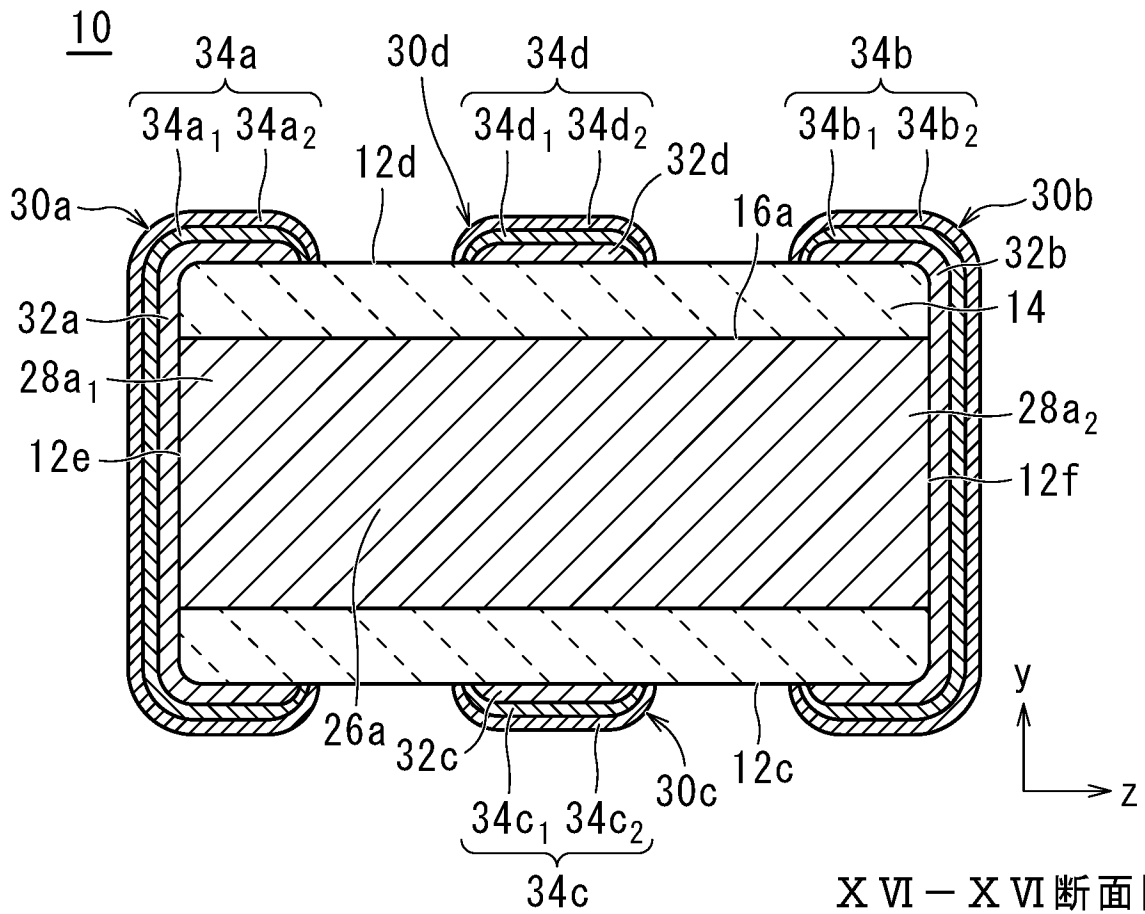
図 1 5

10X V - X V 断面図

$$16 \begin{cases} 16a \\ 16b \end{cases} \quad 30c \begin{cases} 32c \\ 34c \end{cases} \quad 30d \begin{cases} 32d \\ 34d \end{cases}$$

[図16]

図 16



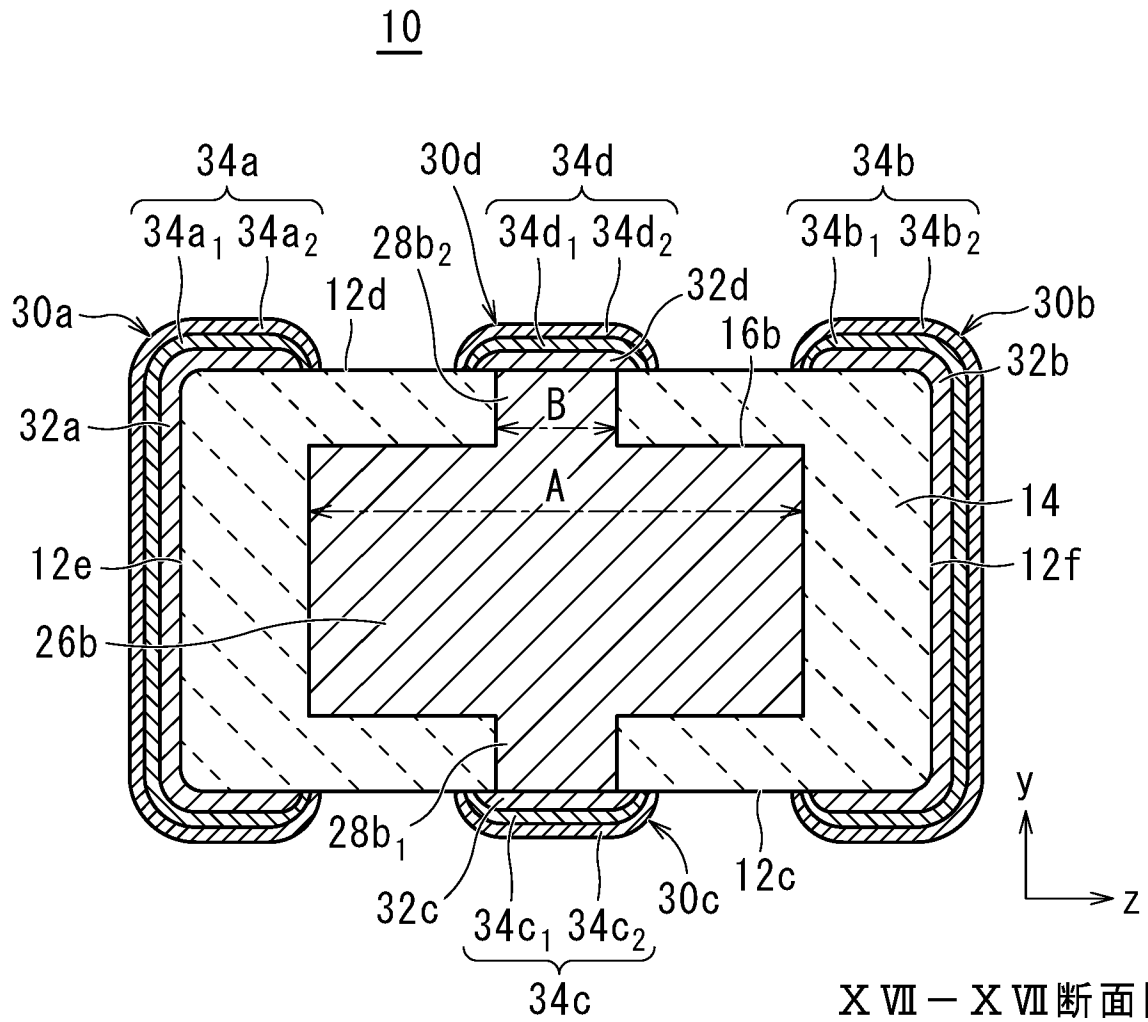
XVI - XVI 断面図

$$30a \begin{cases} 32a \\ 34a \end{cases} \quad 30b \begin{cases} 32b \\ 34b \end{cases} \quad 30c \begin{cases} 32c \\ 34c \end{cases} \quad 30d \begin{cases} 32d \\ 34d \end{cases}$$

$$30 \begin{cases} 30a \\ 30b \\ 30c \\ 30d \end{cases} \quad 32 \begin{cases} 32a \\ 32b \\ 32c \\ 32d \end{cases} \quad 34 \begin{cases} 34a \\ 34b \\ 34c \\ 34d \end{cases}$$

[図17]

図 17



$$30a \begin{cases} 32a \\ 34a \end{cases} \quad 30b \begin{cases} 32b \\ 34b \end{cases} \quad 30c \begin{cases} 32c \\ 34c \end{cases} \quad 30d \begin{cases} 32d \\ 34d \end{cases}$$

$$30 \begin{cases} 30a \\ 30b \\ 30c \\ 30d \end{cases} \quad 32 \begin{cases} 32a \\ 32b \\ 32c \\ 32d \end{cases} \quad 34 \begin{cases} 34a \\ 34b \\ 34c \\ 34d \end{cases}$$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017199

A. CLASSIFICATION OF SUBJECT MATTER**H01G 4/30**(2006.01)i

FI: H01G4/30 201F; H01G4/30 513

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-186412 A (TAIYO YUDEN CO., LTD.) 24 October 2019 (2019-10-24) paragraphs [0019]-[0028], [0044], [0053]-[0059], fig. 1, 2A-2C, 3A-3D, 7A-7F	1, 5-8, 10
Y	paragraph [0020], fig. 1, 2A-2C	2-4, 12, 14-15
Y	JP 2020-167236 A (MURATA MANUFACTURING CO., LTD.) 08 October 2020 (2020-10-08) paragraphs [0015]-[0016], [0023]-[0036], fig. 1-5	2-4, 12, 14-15
A	JP 2013-110239 A (TDK CORP) 06 June 2013 (2013-06-06) paragraphs [0021]-[0024], [0041], fig. 1-3	9, 11, 13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

06 June 2023

Date of mailing of the international search report

20 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/017199

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-186412	A	24 October 2019	US 2019/0318874 A1 paragraphs [0053]-[0074], [0117], [0152]-[0175], fig. 1, 2A-2C, 3A-3D, 7A-7F	
JP	2020-167236	A	08 October 2020	US 2020/0312560 A1 paragraphs [0018]-[0019], [0026]-[0039], fig. 1-5	
JP	2013-110239	A	06 June 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i FI: H01G4/30 201F; H01G4/30 513										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2019-186412 A（太陽誘電株式会社）24.10.2019（2019 - 10 - 24） [0019]-[0028], [0044], [0053]-[0059], 図1, 図2A-2C, 図3A-3D, 図7A-7F	1, 5-8, 10								
Y	[0020], 図1, 図2A-2C	2-4, 12, 14-15								
Y	JP 2020-167236 A（株式会社村田製作所）08.10.2020（2020 - 10 - 08） [0015]-[0016], [0023]-[0036], 図1-図5	2-4, 12, 14-15								
A	JP 2013-110239 A（TDK株式会社）06.06.2013（2013 - 06 - 06） [0021]-[0024], [0041], 図1-図3	9, 11, 13								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 06.06.2023	国際調査報告の発送日 20.06.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 清水 稔 5D 8525 電話番号 03-3581-1101 内線 3551									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/017199

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-186412	A	24.10.2019	US 2019/0318874 A1 [0053]-[0074], [0117], [0152]-[0175], FIG.1, FIG.2A-2C, FIG.3A-3D, FIG.7A-7F	
JP	2020-167236	A	08.10.2020	US 2020/0312560 A1 [0018]-[0019], [0026]- [0039], FIG.1-FIG.5	
JP	2013-110239	A	06.06.2013	(ファミリーなし)	