

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4185704号
(P4185704)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int. Cl. F I
 HO 1 L 21/301 (2006.01) HO 1 L 21/78 Q
 HO 1 L 21/304 (2006.01) HO 1 L 21/304 6 2 1 B

請求項の数 14 (全 33 頁)

(21) 出願番号	特願2002-140475 (P2002-140475)	(73) 特許権者	503121103 株式会社ルネサステクノロジ
(22) 出願日	平成14年5月15日(2002.5.15)		東京都千代田区大手町二丁目6番2号
(65) 公開番号	特開2003-332271 (P2003-332271A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成15年11月21日(2003.11.21)	(72) 発明者	河野 恭彦 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内
審査請求日	平成17年4月28日(2005.4.28)	(72) 発明者	三浦 英生 茨城県土浦市神立町502番地 株式会社日立製作所 機械研究所内
		(72) 発明者	松浦 伸悌 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) スクライブ領域によって区画された複数のチップ領域それぞれに半導体素子が形成された半導体ウエハを準備する工程と、

(b) 前記半導体ウエハ裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成する工程と、

(c) 前記半導体ウエハの前記内部領域を含む裏面にテープを貼り付ける工程と、

(d) 前記(c)工程の後、前記半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持する工程と、

(e) 前記(d)工程の後、前記半導体ウエハの表面のスクライブ領域を切断し、複数の半導体チップに分割する工程と、

(f) 前記(e)工程の後、前記複数の半導体チップを前記テープから剥離する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記支持台の表面の径(d1)は、前記複数のチップ領域を囲む最小の円の径(d2)より大きく、また、前記内部領域の径(d4)より小さいことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記半導体装置の製造方法は、

(g) 前記(e)工程と前記(f)工程の間で、前記半導体ウエハの裏面の突起を除去する工程と、

を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】

(a) スクライブ領域によって区画された複数のチップ領域を有する半導体ウエハを準備する工程と、

(b) 前記チップ領域上に半導体素子および配線を形成する工程と、

(c) 前記半導体素子および配線の上部に、これらを覆う最上層の絶縁膜である保護膜を形成する工程と、

(d) 前記半導体ウエハの裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成する工程と、

(e) 前記半導体ウエハの前記内部領域を含む裏面にテープを貼り付ける工程と、

(f) 前記(e)工程の後、前記半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持する工程と、

(g) 前記(f)工程の後、前記半導体ウエハの表面のスクライブ領域を切断し、複数の半導体チップに分割する工程と、

(h) 前記(g)工程の後、前記複数の半導体チップを前記テープから剥離する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項5】

前記(d)工程は、前記(b)工程の前記配線形成後、もしくは前記配線上に絶縁膜を形成した後であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】

前記(d)工程は、前記(c)工程の前記半導体素子を構成する導電性膜を形成した後であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】

前記半導体素子は、MISFETもしくはバイポーラトランジスタであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】

前記半導体装置の製造方法は、

(i) 前記(d)工程と(e)工程の間に、前記半導体ウエハの裏面に不純物を注入する工程、もしくは前記半導体ウエハの裏面に膜を形成する工程、

を有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項9】

前記半導体装置の製造方法は、

(j) 前記(d)工程と(e)工程の間に、前記半導体ウエハの裏面に導電性膜を形成する工程を有し、

前記(j)工程の導電性膜の形成と同時に、前記半導体ウエハの表面に、前記(c)工程の配線を構成する導電性膜が形成されることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項10】

前記半導体装置の製造方法は、前記(b)工程の前に、前記半導体ウエハの複数のチップ領域を含む領域を、半導体ウエハの表面より研磨する工程であって、前記複数のチップ領域の外側の領域が、少なくとも前記保護膜の高さより高くなるよう研磨する工程、を有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項11】

前記半導体装置の製造方法は、

(k) 少なくとも、前記(d)工程以前に、前記半導体ウエハの前記スクライブ領域に

10

20

30

40

50

溝を形成する工程、
を有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項12】

(a)スクライプ領域によって区画された複数のチップ領域を有する半導体ウエハを準備する工程と、

(b)前記チップ領域上に、MISFETを形成する工程であって、

(b1)前記半導体ウエハ上に絶縁膜を形成する工程と、

(b2)前記絶縁膜上に導電性膜を形成する工程と、

(b3)前記導電性膜を選択的に除去することによりゲート電極を形成する工程と、

(b4)前記ゲート電極の両側の半導体ウエハ中に半導体領域を形成する工程と、を有するMISFETを形成する工程と、

(c)少なくとも前記(b2)工程の後に、前記半導体ウエハの内部領域であって、前記半導体ウエハの裏面を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成する工程と、

(d)前記半導体ウエハの前記内部領域を含む裏面にテープを貼り付ける工程と、

(e)前記(d)工程の後、前記半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の前記内部領域を前記支持台により支持する工程と、

(f)前記(e)工程の後、前記半導体ウエハの前記スクライプ領域を切断し、複数の半導体チップに分割する工程と、

(g)前記(f)工程の後、前記複数の半導体チップを前記テープから剥離する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項13】

(a)スクライプ領域によって区画された複数のチップ領域を有する半導体ウエハを準備する工程と、

(b)前記チップ領域上に、

(b1)第1絶縁膜を形成する工程と、

(b2)前記第1絶縁膜上に第1導電性膜を形成する工程と、

(b3)前記第1導電性膜を選択的に除去することによりゲート電極を形成する工程と

(b4)前記ゲート電極の両側の半導体ウエハ中に、第1導電型の第1半導体領域を形成する工程と、

(b5)前記第1半導体領域中に、前記第1導電型と逆導電型である第2導電型の第2半導体領域を形成する工程と、

(b6)前記半導体ウエハ上に、前記第2半導体領域上に開口部を有する第2絶縁膜を形成する工程と、

(b7)前記開口部内を含む前記第2半導体領域上に第2導電性膜を形成する工程と、

(b8)前記第2導電性膜を選択的に除去することにより配線を形成する工程と、

(b9)前記配線の上部に、前記配線を覆う最上層の絶縁膜である保護膜を形成する工程と、

(c)前記(b2)工程、(b7)工程もしくは(b9)工程の後に、前記半導体ウエハの裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成する工程と、

(d)前記(c)工程の後に、前記半導体ウエハの裏面に対する処理であって、

(d1)前記半導体ウエハの裏面に、前記第1導電型の第3半導体領域を形成する工程と、

(d2)前記半導体ウエハの裏面に第3導電性膜を形成する工程と、

(e)前記半導体ウエハの前記内部領域を含む裏面にテープを貼り付ける工程と、

(f)前記(e)工程の後、前記半導体ウエハを、その表面が前記半導体ウエハの内部

領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持する工程と、

(g) 前記 (f) 工程の後、前記半導体ウエハの前記スクライプ領域を切断し、複数の半導体チップに分割する工程と、

(h) 前記 (g) 工程の後、前記複数の半導体チップを前記テープから剥離する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 14】

前記 (c) 工程は、少なくとも前記 (b7) 工程の前までに行われ、前記 (b7) 工程の第2導電性膜と、前記 (d2) 工程の第3導電性膜は、同時に形成されることを特徴とする請求項 13 記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウエハおよび半導体装置の製造の技術に関し、特に、大口径の半導体ウエハを用いて形成される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

半導体装置（半導体集積回路装置）の低コスト化等を図る一つ的手段として、1枚の半導体ウエハから製造される装置（チップ）の取得数を多くするため、大口径の半導体ウエハを用いた半導体装置の製造方法が検討されている。

20

【0003】

一方、追って詳細に説明するように、半導体装置の性能を維持し、また、向上させるためには、基板（その製造工程においては半導体ウエハ）を薄くすることが必要である。

【0004】

従って、このような半導体ウエハの大口径化と装置（基板）の薄膜化との要求を満たすために種々の工夫がなされている。

【0005】

例えば、特開平 11 - 121466 号公報には、大口径化し、その機械的強度を高める等のため厚くなっているシリコンウエハの両主面にウエハ周辺部を残して広い領域にわたって第1及び第2凹部を形成することにより、高抵抗率層の厚さを薄くし、半導体装置の応答速度等を向上させる技術が開示されている。

30

【0006】

また、特開平 2000 - 40833 号公報には、低抵抗率層の形成時のウエハの主面に形成された凹部にレジストが残留せず、素子の特性のばらつきを小さくし、歩留りを向上させる技術が開示されている。この凹部は、ウエハの厚さを薄くし、半導体装置の応答速度等を向上させるためのものである。

【0007】

さらに、特開平 10 - 83976 号公報には、ダイシングソーによる切断線よりも幅の広い切断用溝を形成することによって、半導体チップを切り出す際の損傷の低減を図る技術が開示されている。

40

【0008】

また、特開平 9 - 330891 号公報には、スクライプライン内に、逆三角形の溝をダイシングライン用の溝として、ウエハ基板上に作り込むことにより、スクライプラインの切断時のチップのクラック現象やダイシングのずれを防ぐ技術が開示されている。

【0009】

【発明が解決しようとする課題】

本発明者は、半導体装置、特に、絶縁ゲート型バイポーラトランジスタ（IGBT: Insulated Gate Bipolar Transistor）を有する半導体集積回路の研究、開発に従事しており、1枚の半導体ウエハから製造される装置（チップ）の取得数を多くするため、大口径

50

、例えば、8インチ(1インチ=2.54cm)以上の半導体ウエハを用いた半導体装置の製造方法を検討している。

【0010】

また、1)半導体装置の放熱特性を向上させるため、2)パッケージの薄型化を図る、もしくは、半導体チップの積層化を図るためには、基板(その製造工程においては半導体ウエハ)を薄くすることが必要である。また、IGBTのように、基板に対し縦方向に電流が流れる半導体素子においては、基板の厚さが半導体素子の性能に大きく影響する。

【0011】

従って、薄く、口径の大きい半導体ウエハの使用が必要となるが、このような半導体ウエハは、次のような問題を有する。

10

【0012】

即ち、1)割れやすく、取り扱い(ハンドリング)が困難になる、2)また、半導体ウエハ自身の機械的強度が小さく、反りや歪みが発生しやすい。このような反りや歪みは、半導体ウエハ上に積層される膜の応力によりさらに大きくなり、製造工程中に割れやすくなる。また、結晶欠陥の発生の原因となる。さらに、反りや歪みが生じた後の半導体ウエハにおいては、例えば、フォトリソグラフィ工程における焦点が合いにくく、素子を構成するパターンの製造に影響を与え得る。また、半導体ウエハを吸着して保持するような装置を用いる場合、吸着し、固定することができず、その後の処理が行えなくなる。また、半導体ウエハの搬送も困難となる。3)特に、半導体装置の製造工程の最終段階において、半導体ウエハを切断し各チップ毎に個片化する(ダイシングの)際には、半導体ウエハに機械的な応力が加わり、半導体ウエハが割れやすい。このダイシングは、半導体装置の製造工程の最終段階で行われるため、製品の歩留まりやTAT(turn around time)に与える影響は大きい。

20

【0013】

また、半導体ウエハの大口径化が進むと、半導体ウエハ自身の強度を保持するためある程度の膜厚が必要となる。例えば、前述の8インチの半導体ウエハにおいては、1mm程度の厚さが必要であると言われている。

【0014】

従って、最終的な製品に要求される基板と同等の薄さで、大口径の半導体ウエハを形成し、また、それを用いて半導体装置を製造することは困難であり、その製造工程において、半導体ウエハを裏面より研磨等することによりその厚さを小さくする工程が必要となってくる。

30

【0015】

しかしながら、前述したように、薄い半導体ウエハは、割れやすい等の問題があり、薄膜化処理の方法やそのタイミング等を、半導体装置の製造工程をふまえて種々検討する必要がある。

【0016】

本発明の目的は、半導体ウエハを薄膜化した後も、その強度を維持することにある。

【0017】

また、本発明の他の目的は、半導体ウエハを薄膜化した後も、その強度を維持することにより、半導体ウエハの反りや割れを低減することにある。また、半導体ウエハを薄膜化した後の処理を行い易くすることにある。

40

【0018】

また、本発明の他の目的は、半導体装置の特性を向上させ、また、その歩留まりやTATを向上させることにある。

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】

50

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】

(1) 本発明の半導体装置の製造方法は、半導体ウエハの裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成した後、半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持し、半導体ウエハのスクライプ領域を切断するものである。

【0022】

(2) また、本発明の半導体装置の製造方法は、半導体ウエハのチップ領域上に半導体素子や配線等を形成し、これらの上部に、これらを覆う最上層の絶縁膜である保護膜を形成し、半導体ウエハの裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成した後、半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持し、半導体ウエハの処理、例えば、ダイシングや、成膜を行うものである。この半導体ウエハの裏面の内部領域の研磨工程は、保護膜の形成後に限られず、半導体素子や配線の形成工程から保護膜の形成までの間に行ってもよい。また、半導体ウエハの裏面の内部領域を研磨した後に、半導体ウエハの裏面にイオン打ち込みや成膜を行ってもよい。

【0023】

(3) また、本発明の半導体ウエハは、(a)スクライプ領域によって区画された複数のチップ領域を有し、その裏面の内部領域がその外周部より窪んだ半導体ウエハであって、内部領域の径(d4)は、複数のチップ領域を囲む最小の円の径(d2)より大きく、(b)前記チップ領域には、半導体素子が形成され、(c)前記半導体ウエハの表面の前記スクライプ領域上には、溝が形成されているものである。

【0024】

【発明の実施の形態】

(実施の形態1)

以下、本発明の実施の形態1を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0025】

図1～図25は、本発明の実施の形態1である半導体装置の製造方法を示す、半導体ウエハ(基板)の要部断面図もしくは要部平面図である。

【0026】

図1に、本実施の形態の半導体装置が形成される半導体ウエハWの要部平面図を示す。

【0027】

図1に示すように、半導体ウエハWは、略円状であり、略矩形のチップ領域CAを複数有する。半導体ウエハWの切りかき部は、オリフラOFである。チップ領域CA間には、スクライプ領域SAが形成され、この領域に沿って、切断することにより、チップ領域CAが分離される。なお、チップ領域CA(10mm×10mm)やスクライプ領域SAは、半導体装置の製造前に外見上、明確になっている必要はない。また、この半導体ウエハWの口径(d3)は、例えば300mmであり、その厚さは約1000μm程度である。また、複数のチップ領域CAを囲む最小の円の直径は、d2である。

【0028】

このチップ領域CAには、種々の半導体素子や配線等が形成されるが、ここでは、半導体素子として、IGBTを形成する場合について説明する。このIGBTは定格電圧が600V、定格電流が200Aである。定格電圧とは耐圧のことでありIGBTがオフ状態を維持できる上限の電圧であり、定格電流はIGBTが定期的に流しうる最大の電流を示す。

【0029】

図2および図3に示すように、n型の単結晶シリコンからなる半導体ウエハW（半導体基板1）を準備し、この半導体ウエハW上のフォトリソ膜（以下、単に「レジスト膜」という、また、この膜は図示せず）をマスクとして、p型不純物（ボロン）を注入し、拡散（熱拡散）させることによってp型ウエル3を形成する。

【0030】

なお、図3は、図2のIGBTが形成される領域（IGBT1～4）の部分拡大図である（図4と図5、図6と図7、図8と図9、図12と図13、図14と図15について同じ）。これらの図のうち、部分拡大図においてIGBTを構成する各部位の符号を付し、また、半導体ウエハの全体図においては、図面を見やすくするため主要な部位のみ符号を付す。

10

【0031】

次いで、半導体ウエハW上に、絶縁膜として酸化シリコン膜を熱酸化法により形成し、この酸化シリコン膜を選択的に除去することによって、フィールド酸化膜5を形成する。

【0032】

次いで、図4および図5に示すように、例えば、半導体ウエハWの表面を熱酸化することにより熱酸化膜7を形成し、さらに、その上部に、導電性膜として多結晶シリコン膜9をCVD法により堆積する。次いで、多結晶シリコン膜9の上部のレジスト膜（図示せず）をマスクに、熱酸化膜7および多結晶シリコン膜9をエッチングすることにより、ゲート電極GEおよびその下層のゲート酸化膜（ゲート絶縁膜）GOを形成する。

20

【0033】

次いで、図6および図7に示すように、ゲート電極GEの両側に、p型不純物を注入し、拡散させることによりベース領域（p型半導体領域）11を形成する。次いで、半導体ウエハW上に、エミッタ形成領域上に開口を有するレジスト膜（図示せず）を形成し、このレジスト膜をマスクに、n型不純物を注入し、拡散させることによってエミッタ領域（n型半導体領域）13を形成する。このエミッタ領域13は、ベース領域より浅く形成される。なお、この際、チャンネルストップパー領域（n型半導体領域）15も形成する。

【0034】

次いで、図8および図9に示すように、半導体ウエハW上に、絶縁膜として酸化シリコン（PSG：Phosphor Silicate Glass）膜17を形成する。次いで、図示しないレジスト膜をマスクに、酸化シリコン膜17をエッチングすることによりエミッタ領域13上に接続孔を形成する。

30

【0035】

次いで、この接続孔内を含む酸化シリコン膜17上に、導電性膜としてアルミニウム膜21を、例えばスパッタ法により堆積する。次いで、アルミニウム膜21上のレジスト膜（図示せず）をマスクに、アルミニウム膜を所望の形状にエッチングすることにより、エミッタ引き出し電極（配線）21aを形成する。この際、IGBTの形成領域の外周部を囲むようガードリング23も形成する。このガードリング23は、空乏層がチップ端部に到達して耐圧が低下するのを防止する役割を果たす。また、p型ウエル3上に、フィールドプレート25を形成する。このフィールドプレート25は、空乏層の拡がりを制御し、局所的に電界が集中して耐圧が低下するのを防止する役割を果たす。

40

【0036】

次いで、エミッタ電極（配線）21a等の上部に、絶縁膜としてポリイミド膜を形成する。次いで、スクライブ領域やエミッタ電極21a上のパッド領域（図示せず）等、所望の領域のポリイミド膜をエッチングにより除去することにより、パッシベーション膜27（保護膜）を形成する。このパッシベーション膜27は、ウエハ状態で半導体ウエハ表面に堆積される膜の最上層の膜であり、IGBT等の半導体素子や配線を保護する役割を果たす。

【0037】

次いで、図10および図11に示すように、半導体ウエハWの裏面を研磨することにより、半導体ウエハWの裏面の内部領域INを窪ませ、窪み（凹部）31を形成する。言い換

50

えれば、半導体ウエハWの裏面の外周部OUTに、突起部(凸部)33を形成する。半導体ウエハWの外周部OUTとは、チップの形成が禁止された領域の一部であり、内部領域INの外側の領域である。

【0038】

この半導体ウエハWの薄膜化の方法には、例えば、グラインダーによる研磨等の他、化学的エッチングや、砂状の粒子を吹き付けてその裏面を研削する、いわゆるサンドブラスタ法等がある。図10は、研磨後の半導体ウエハの要部断面図、図11は、要部平面図である。

【0039】

この内部領域INの直径は、 d_4 であり、半導体ウエハWの直径は、 d_3 であるため、外周部OUTの両端の幅 d_6 は、およそ $(d_3 - d_4) / 2$ となる。なお、外周部OUTの幅は、オリフラ部OFにおいても、一定の幅、例えば $d_6 / 2$ 以上を確保することが望ましい。

【0040】

また、半導体ウエハWの内部領域IN部の厚さは $95 \mu\text{m}$ 程度である。なお、半導体ウエハWの外周部OUTの幅 d_6 は、 $500 \mu\text{m}$ 以上が好ましい。特に、その口径が 300mm 以上の半導体ウエハにおいては、外周部OUTの幅 d_6 を $500 \mu\text{m}$ 以上とすることが望ましい。

【0041】

このように、本実施の形態によれば、半導体ウエハを裏面より研磨し、薄膜化したので、後述するように、半導体装置の特性が向上する。また、この薄膜化の際、半導体ウエハWの外周部OUTを薄膜化しなかったため、突起部33によって、半導体ウエハWの機械的強度を維持でき、以降の工程のハンドリングを容易にすることができる。また、半導体ウエハWの割れを防止することができる。また、半導体ウエハWの反りや歪みを低減することができる。また、結晶欠陥を少なくすることができる。

【0042】

次いで、図12および図13に示すように、半導体ウエハWの裏面に、p型の不純物(ホウ素等)を注入し、例えば1200で熱拡散させることによりコレクタ領域(p型半導体領域)35を形成する。この際、半導体ウエハWの表面は、パッシベーション膜27で覆われているため、半導体ウエハWの表面を下側とし不純物を注入等しても、素子や配線等が破壊し、また、異物等によって汚染されることを防止できる。

【0043】

なお、後述するコレクタ電極37を形成した後に、かかる電極を介してp型の不純物を注入することによりコレクタ領域35を形成してもよい。しかしながら、この場合、p型不純物を拡散させる際の熱処理温度が、コレクタ電極を構成する金属膜の融点より低くなるよう制限される。従って、コレクタ電極に、比較的融点の低い金属を用いる場合には、コレクタ領域を形成した後、コレクタ電極を形成することが望ましい。その結果、所望の濃度プロファイルを有するコレクタ領域35を形成することができる。

【0044】

また、このように、半導体ウエハWの裏面にコレクタ領域(p型半導体領域)35を形成するIGBTは、ノンパンチスルー型と呼ばれる。これに対し、基板とコレクタ領域35との間に、基板より高濃度の n^+ 型の半導体領域を有するIGBTは、パンチスルー型と呼ばれる。この場合は、さらに、半導体ウエハWの裏面に、n型の不純物を注入し、拡散させる工程が必要となる。

【0045】

次いで、図14および図15に示すように、半導体ウエハWの裏面のコレクタ領域35上に、導電性膜としてアルミニウム膜を堆積し、コレクタ電極37を形成する。この際も、半導体ウエハWの表面は、パッシベーション膜27で覆われているため、半導体ウエハWの表面を下側とし、アルミニウム膜を堆積しても、素子や配線等が破壊し、また、異物等によって汚染されることを防止できる。

10

20

30

40

50

【 0 0 4 6 】

なお、この後、電子線やヘリウム（He）等の重イオンを照射し、さらに、回復アニールを行うことにより、ライフタイムをコントロールすることができる。特に、スイッチング速度を速くする場合には、かかる処理を行うことが望ましい。

【 0 0 4 7 】

以上の工程により、ゲート電極GE間に、ベース領域11が形成され、さらに、その内部にエミッタ領域13が形成され、基板の裏面にコレクタ領域35が形成されたIGBTが、完成する。なお、エミッタ領域13は、エミッタ電極21aを介し外部端子と接続され、コレクタ領域35はコレクタ電極37を介して外部端子と接続される。また、ベース領域11は、ゲート電極GEに印加される電位によって制御される。

10

【 0 0 4 8 】

このように、本実施の形態においては、半導体ウエハWを裏面より研磨した後、コレクタ領域35を形成し、また、この領域の表面にコレクタ電極37を形成したので、IGBTの特性を向上させることができる。

【 0 0 4 9 】

即ち、定格電圧600VのIGBTの場合、IGBTの完成時の基板1の厚みは50～60μm程度にするのが望ましいが、半導体ウエハが当初の厚さ（1000μm）のままである場合には、IGBT完成時の基板1の厚みを50～60μm程度にするために、コレクタ領域35を構成する不純物を半導体ウエハWの裏面から注入した後、熱拡散にて950μm程度の距離、基板1の内部に向かって拡散させなければならず、現実的に形成が困難である。

20

【 0 0 5 0 】

また、薄い半導体ウエハを用いれば、その裏面からのイオン打ち込みによるコレクタ層の形成は可能になるが、口径の大きい半導体ウエハを用いることができない。

【 0 0 5 1 】

一方、p型の半導体ウエハを用い、その上部にn型の半導体層をエピタキシャル成長により形成し、IGBTを形成することも考え得る。しかし、この場合、コストが高くなり、また、薄いp型の半導体ウエハを準備することが困難であるため、コレクタ領域35を所望の厚さに制御することが困難となる。

【 0 0 5 2 】

これらに対し、本実施の形態においては、半導体ウエハWの裏面研磨を行った後、コレクタ領域35を形成し、また、その表面にコレクタ電極37を形成したので、基板（ベース領域11とコレクタ領域35間）の抵抗を下げることができ、また、コレクタ領域35の不純物濃度の制御等を容易に行うことができる。従って、IGBTの特性を向上させることができる。

30

【 0 0 5 3 】

特に、IGBTのように、半導体ウエハW（基板）に対して、縦方向に電流が流れる素子や、基板の裏面に引き出し電極を有する装置においては、基板の厚さがその素子の特性に大きく関与する。従って、素子の特性を維持しつつ、その製造工程において半導体ウエハWの反りや割れを防止する工夫が重要になる。

40

【 0 0 5 4 】

また、裏面研磨の前までは、半導体ウエハWの厚さが確保されているため、半導体ウエハWの割れや歪みを防止でき、その主表面に形成される半導体素子の特性を向上させることができる。特に、半導体ウエハW上に膜が積層されると膜応力が加わり、半導体ウエハWが反り易くなる。このような膜応力は、金属膜で大きく、例えば、エミッタ電極を形成する際のアルミニウム膜の堆積後には、半導体ウエハWに大きな応力が加わる。しかしながら、本実施の形態においては、ウエハ状態で半導体ウエハW表面に堆積される膜の最上層の膜であるパッシベーション膜27を形成するまでは、半導体ウエハWは厚い状態であるので、堆積膜により応力が加わっても、半導体ウエハWが反り難く、素子等を構成する各膜を精度良く形成することができる。また、半導体ウエハWの割れを防止することができ

50

る。また、結晶欠陥の発生を低減できる。

【0055】

また、大口径の半導体ウエハWを用いることができ、歩留まりを向上することができる。また、TATを短縮することができる。

【0056】

また、半導体ウエハWの裏面研磨も、その外周部OUTを残すよう研磨したので、研磨後の工程においても半導体ウエハWの強度をある程度維持でき、例えば、コレクタ領域35やコレクタ電極37の形成工程による半導体ウエハWの反りや割れを防止することができる。

【0057】

この後、半導体ウエハWをスクライプ領域SAに沿って切断する(ダイシングする)ことにより、複数のチップCAを形成する。このダイシング工程について以下に詳細に説明する。

【0058】

まず、図16に示すように、半導体ウエハWの裏面にテープTを接着する。これは、半導体ウエハWから切り出されたチップCAがばらばらになるのを防止するためである。

【0059】

次いで、図17および図18に示すように、ダイシング装置のステージSt(支持台)上に、半導体ウエハWを搭載する。この際、半導体ウエハWの内部領域IN内にステージStを挿入し、ステージStの表面で、半導体ウエハWの裏面の内部領域INを支持する。図41に、ダイシング装置の概略図を示す。41は、ダイシングブレードである。

【0060】

即ち、図17および図18に示すように、ステージStの表面は、半導体ウエハWの内部領域INより小さく、ステージStの直径d1は、内部領域INの直径d4より小さい。また、ステージStの直径d1と内部領域INの直径d4との差は、0.5mm以上とするのが望ましい。これは、半導体ウエハの裏面の周辺部と研磨部分(窪み31)の境界部は丸みを帯びてしまうため、例えば、 $d1 = d4$ であると、ステージStが半導体ウエハの裏面に密着しなくなるからである。

【0061】

また、ステージStは、その表面で半導体ウエハWを支持できるよう、ステージStの高さは、半導体ウエハW裏面の窪みの深さより大きく設定されている。なお、ステージStの直径d1は、複数のチップ領域CAを囲む最小の円の直径d2より大きい方が好ましい。

【0062】

次いで、図19に示すように、半導体ウエハWのスクライプ領域SAにダイシングブレード41を押し当てて、切り溝43を形成する。

【0063】

このように、本実施の形態においては、半導体ウエハWの内部領域INより小さいステージStで、半導体ウエハWを支持した状態でダイシングを行ったので、かかる工程における半導体ウエハWの割れを防止することができる。また、ダイシング時の半導体ウエハのブレを防止することができ、ダイシングずれを防止することができる。

【0064】

このダイシング工程においては、機械的な力が半導体ウエハWに加わるため、前述の種々の工程よりも半導体ウエハWが割れやすい。

【0065】

しかしながら、本実施の形態においては、複数のチップ領域CAがステージStで支持されているので、半導体ウエハWの割れを防止することができる。

【0066】

例えば、図40に示すように、ステージStが、半導体ウエハWの内部領域INより大きい場合には、半導体ウエハWの裏面とステージStとの間に空間ができてしまう。かかる

10

20

30

40

50

状態で、ダイシングブレード41を押し当てると、その応力により、半導体ウエハWが歪み、また、切断された領域同士が衝突する等して、制御性良くダイシングを行うことができず、また、半導体ウエハWの割れが生じ得る。

【0067】

これに対し、本実施の形態においては、半導体ウエハW(チップ領域CA)の割れを防止し、また、制御性良くダイシングを行うことができる。

【0068】

次いで、複数のチップ領域CAの外側の部分を、切り落とし、テープTから剥離する(図19)。即ち、図20に示すように、半導体ウエハWの外周部OUTの突起33が除去される。

【0069】

このように、本実施の形態においては、ダイシング後に、半導体ウエハWの外周部OUTの突起33を除去したので、以降の工程の処理、例えば、テープTのストレッチ工程やピックアップ工程が行い易くなる。

【0070】

次いで、図21に示すように、テープTを引っ張ることにより、チップ領域CA間の間隔を大きくし、個々のチップCAを完全に切り離す(ストレッチ)。

【0071】

次いで、図22に示すように、複数のチップCAが搭載されたテープTの端部をリング45に固定し、チップCAの裏面から、針47を突き当て、テープTから剥離させるとともに、その上部からコレット49を介して吸引する(ピックアップ)。

【0072】

なお、本実施の形態においては、半導体ウエハWの裏面まで切り溝43を形成する、いわゆるフルカット処理を行ったが、セミフルカットやハーフカット処理等、半導体ウエハWの厚さの途中までの切り溝43を形成してもよい。

【0073】

また、本実施の形態においては、半導体ウエハWの裏面にテープTを貼り付けたが、このテープTの接着工程を省略してもよい。また、半導体ウエハWの外周部OUTの突起33の除去方法としては、前述の方法の他、半導体ウエハWの外周を丸く切り落とすことにより除去する方法や、半導体ウエハWの側壁にダイシングブレードを当てながら半導体ウエハWから突出した部分のみを切断する方法、サンドブラスターによる削り取り方法等、種々考え得る。

【0074】

次いで、図23に示すように、ピックアップしたチップ(ダイ)CAを、例えば、リードフレームRFのダイパッドDP上に固着する(ダイボンディング)。次いで、チップCA表面のパッド部(図示せず)とリードReとを金線51等を用いて接続する(ワイヤボンディング)。さらに、リードフレームRFを金型等で挟持し、金型の内部に溶融樹脂を注入し、硬化させることによりチップCAや金線51の周囲を樹脂53で封止する。次いで、樹脂53から突出したリードReを必要に応じて所望の形状に整形し、半導体装置が完成する(図24)。

【0075】

なお、本実施の形態においては、樹脂封止型のパッケージを例に説明したが、この他、セラミックパッケージ等、種々のパッケージの形態を採用し得るのは言うまでもない。

【0076】

このように、本実施の形態によれば、チップCA(基板1)を薄くすることが可能であるため、パッケージを薄く形成することができる。また、装置の放熱特性を向上させることができる。

【0077】

また、例えば、図25に示すように、コレクタベース基板61上に、IGBTが形成されたチップCAを搭載した後、さらに、チップCA上に、制御チップCCを搭載してもよい

10

20

30

40

50

。

【 0 0 7 8 】

このように、本実施の形態によれば、チップ C A (基板 1) を薄くすることが可能であるため、チップを積層してもトータルの厚さを小さくすることができる。特に、携帯電話やノート型パソコンなど、小型・薄型の装置に用いて好適である。

【 0 0 7 9 】

なお、図中の 6 3 は、ゲート端子、6 5 は、コレクタ端子であり、チップ C A の裏面のコレクタ電極と接続されている。また、6 7 は、エミッタ端子、6 9 は、制御端子である。また、7 1 は、チップ C A 上のゲートパッドであり、7 3 は、エミッタパッドである。また、7 5 は、ゲートワイヤであり、7 7 は、エミッタワイヤ、7 9 は、制御チップ C C 表面のパッド P と外部端子等を接続するための制御ワイヤである。

10

【 0 0 8 0 】

(実施の形態 2)

実施の形態 1 においては、ウエハ状態で半導体ウエハ W 表面に堆積される膜の最上層の膜であるパッシベーション膜 2 7 を形成した後に、半導体ウエハ W の裏面研磨を行ったが、以下に示す工程後に、裏面研磨を行ってもよい。

【 0 0 8 1 】

(1) ゲート電極 G E となる多結晶シリコン膜 9 を C V D 法により堆積した後、半導体ウエハ W の裏面研磨を行う。なお、この裏面研磨は、実施の形態 1 の裏面研磨と同様の工程で行うことができるため、その詳細な説明を省略する。

20

【 0 0 8 2 】

即ち、半導体ウエハ W の裏面を研磨することにより、半導体ウエハ W の内部領域 I N を窪ませ、窪み (凹部) 3 1 を形成する。

【 0 0 8 3 】

この場合も、多結晶シリコン膜 9 の堆積時までは、半導体ウエハ W の厚さが確保されているため、半導体ウエハ W の割れや歪みを防止でき、その主表面に形成される半導体素子の特性を向上させることができる。特に、半導体ウエハ W 上に多結晶シリコン膜 9 が積層される際に膜応力が加わることによる半導体ウエハの反りを防止することができる。また、半導体ウエハ W の内部領域 I N のみを裏面研磨し、外周部 O U T に突起部 3 3 が残存しているため、その後の工程においても半導体ウエハ W の強度を維持できる (図 1 0 および図 1 1 参照)。

30

【 0 0 8 4 】

なお、この後の工程は、実施の形態 1 と同様の工程により I G B T を形成し得るため、その説明を省略する。但し、コレクタ領域 3 5 やコレクタ電極 3 7 の形成工程は、半導体ウエハ W の裏面研磨を行った後に行えば良く、例えば、実施の形態 1 のように、パッシベーション膜 2 7 を形成した後に限られない。

【 0 0 8 5 】

また、I G B T 形成後は、実施の形態 1 と同様に、半導体ウエハ W を半導体ウエハ W の内部領域 I N より小さいステージ S t 上に搭載しダイシングを行う。

【 0 0 8 6 】

また、このようなステージ S t 上に搭載しての処理は、ダイシング工程に限られず、フォトリソグラフィ工程においてレジスト膜上に所望のパターンを転写する際に用いられるステップ装置や、膜の堆積に用いられるスパッタ装置を用いた工程においても同様に処理できる。即ち、これらの装置内のステージ S t であって、半導体ウエハ W の内部領域 I N より小さいステージ S t 上に、半導体ウエハ W を搭載し処理を行う。図 4 2 に、これらの処理装置の概略図を示す。4 0 1 は、処理室であり、半導体ウエハ W の上部には、例えば、スパッタに用いられるターゲットや、転写するパターンが描かれたレチクル等の部材 4 0 2 が配置される。このように、半導体ウエハ W をステージ S t 上に固定することにより、これらの処理が行いやすくなる。また、半導体ウエハ W の反りや割れを低減することができる。

40

50

【 0 0 8 7 】

(2) エミッタ電極となるアルミニウム膜 2 1 を堆積した後、半導体ウエハ W の裏面研磨を行う。なお、この裏面研磨は、実施の形態 1 の裏面研磨と同様の工程で行うことができるため、その詳細な説明を省略する。

【 0 0 8 8 】

即ち、半導体ウエハ W の裏面を研磨することにより、半導体ウエハ W の内部領域 I N を窪ませ、窪み (凹部) 3 1 を形成する。

【 0 0 8 9 】

この場合も、アルミニウム膜 2 1 の堆積時までは、半導体ウエハ W の厚さが確保されているため、半導体ウエハ W の割れや歪みを防止でき、その主表面に形成される半導体素子の特性を向上させることができる。特に、アルミニウム膜等の金属膜の堆積後には、半導体ウエハ W に大きな応力が加わるが、半導体ウエハ W の反りや割れを防止することができる。また、半導体ウエハ W の内部領域 I N のみを裏面研磨し、外周部 O U T に突起部 3 3 が残存しているため、その後の工程においても半導体ウエハ W の強度を維持できる (図 1 0 および図 1 1 参照) 。

10

【 0 0 9 0 】

なお、この後の工程は、実施の形態 1 と同様の工程により I G B T を形成し得るため、その詳細な説明を省略する。但し、コレクタ領域 3 5 やコレクタ電極 3 7 の形成工程は、半導体ウエハ W の裏面研磨を行った後に行えば良く、例えば、実施の形態 1 のように、パッシベーション膜 2 7 を形成した後に限られない。

20

【 0 0 9 1 】

また、I G B T 形成後は、実施の形態 1 と同様に、半導体ウエハ W の内部領域 I N より小さいステージ S t 上に、半導体ウエハ W を搭載し、ダイシングを行う。

【 0 0 9 2 】

また、このようなステージ S t 上に搭載しての処理は、ダイシング工程に限られず、レジスト膜上に所望のパターン、例えば、エミッタ電極のパターンを転写する際に用いられるステッパ装置を用いた工程等においても同様に処理できる。

【 0 0 9 3 】

(実施の形態 3)

実施の形態 3 においては、パッシベーション膜 2 7 の形成前に、半導体ウエハ W の裏面研磨を行った。この場合、この裏面研磨の後の種々のタイミングで、コレクタ領域 3 5 やコレクタ電極 3 7 を形成することができる。

30

【 0 0 9 4 】

以下、本実施の形態の半導体装置の製造方法について説明する。

【 0 0 9 5 】

例えば、実施の形態 2 の (1) において説明した、ゲート電極 G E となる多結晶シリコン膜 9 を C V D 法により堆積した後、半導体ウエハ W の裏面研磨を行う。次いで、図 2 6 に示すように、ベース領域 1 1 およびエミッタ領域 1 3 を形成し、酸化シリコン膜 1 7 を形成する。次いで、酸化シリコン膜 1 7 中のエミッタ領域 1 3 上に接続孔を形成する。次いで、半導体ウエハ W の裏面に、コレクタ領域 3 5 を形成する。

40

【 0 0 9 6 】

この後、図 2 7 に示すように、半導体ウエハ W の表面に、エミッタ電極となるアルミニウム膜 8 1 a の堆積と同時に、半導体ウエハ W 裏面の、コレクタ電極となるアルミニウム膜 8 1 b の堆積を行う。

【 0 0 9 7 】

このように、本実施の形態においては、アルミニウム膜等の膜応力の大きい金属膜を、半導体ウエハ W の表面と裏面に同一工程で形成したので、これらの膜により膜応力が相殺され、半導体ウエハ W の反りや割れを防止することができる。

【 0 0 9 8 】

なお、この後の工程は、実施の形態 1 と同様の工程により I G B T を形成し得るため、そ

50

の詳細な説明を省略する。また、I G B T形成後は、実施の形態 1 と同様に、半導体ウエハ W の内部領域 I N より小さいステージ S t 上に、半導体ウエハ W を搭載し、ダイシングを行う。

【 0 0 9 9 】

(実施の形態 4)

実施の形態 1 においては、半導体ウエハ W の主表面に形成される素子として I G B T を例に説明したが、例えば、論理回路を構成する相補型 M I S F E T (etal Insulator Semiconductor Field Effect Transistor) 等の素子を形成してもよい。

【 0 1 0 0 】

以下、本実施の形態の半導体装置の製造方法について説明する。

10

【 0 1 0 1 】

図 2 8 ~ 3 3 は、本発明の実施の形態 4 である半導体装置の製造方法を示す、半導体ウエハの要部断面図である。なお、本実施の形態の半導体装置が形成される半導体ウエハ W は、実施の形態 1 において図 1 を参照しながら説明したものと同様である。即ち、図 1 のチップ領域 C A に、相補型 M I S F E T を形成する。

【 0 1 0 2 】

図 2 8 に示すように、p 型の単結晶シリコンからなる半導体ウエハ W (半導体基板 1) を準備し、この半導体ウエハ W 上の窒化シリコン膜 (図示せず) をマスクとして、L O C O S (Local Oxidation of silicon) 法により酸化シリコン膜を選択的に形成し、素子分離 1 0 3 を形成する。

20

【 0 1 0 3 】

次いで、半導体ウエハ W に、n 型不純物を注入し、拡散させることにより、n 型ウエル 1 0 5 を形成する。また、半導体ウエハ W に、p 型不純物を注入し、拡散させることにより p 型ウエル 1 0 7 を形成する。

【 0 1 0 4 】

次いで、図 2 9 に示すように、半導体ウエハ W の表面を熱酸化することにより熱酸化膜 1 0 9 を形成し、さらに、その上部に、導電性膜として多結晶シリコン膜 1 1 1 を、さらに、その上部に絶縁膜として窒化シリコン膜 1 1 2 を、例えば C V D 法により堆積する。次いで、多結晶シリコン膜 1 1 1 の上部のレジスト膜 (図示せず) をマスクに、熱酸化膜 1 0 9 および多結晶シリコン膜 1 1 1 等をエッチングすることにより、ゲート電極 G E およびその下層のゲート酸化膜 G O を形成する。

30

【 0 1 0 5 】

次いで、p 型ウエル 1 0 7 のゲート電極 G E の両側に、n 型不純物を注入し、拡散させることにより n⁻型半導体領域 1 1 3 を形成する。また、n 型ウエル 1 0 5 のゲート電極 G E の両側に、p 型不純物を注入し、拡散させることにより p⁻型半導体領域 1 1 5 を形成する。

【 0 1 0 6 】

次いで、半導体ウエハ W 上に絶縁膜として窒化シリコン膜を例えば C V D 法で堆積した後、異方的にドライエッチングすることによって、ゲート電極 G E の側壁にサイドウォール膜 S W を形成する。

40

【 0 1 0 7 】

次いで、p 型ウエル 1 0 7 のゲート電極 G E の両側に、n 型不純物を注入し、拡散させることにより n⁺型半導体領域 1 1 7 を形成する。また、n 型ウエル 1 0 5 のゲート電極 G E の両側に、p 型不純物を注入し、拡散させることにより p⁺型半導体領域 1 1 9 を形成する。

【 0 1 0 8 】

ここまでの工程で、L D D 型のソース、ドレイン領域を有する n チャネル型 M I S F E T Q n および p チャネル型 M I S F E T Q p (相補型 M I S F E T) が形成される。

【 0 1 0 9 】

次いで、図 3 0 に示すように、これらの M I S F E T 上に、絶縁膜として酸化シリコン膜

50

121を堆積し、必要に応じてその表面を平坦化した後、 n^+ 型半導体領域117や p^+ 型半導体領域111等の上部の酸化シリコン膜121を除去することによりコンタクトホールC1を形成する。

【0110】

次いで、このコンタクトホールC1内を含む酸化シリコン膜121の上部に、導電性膜としてタングステン(W)膜を堆積し、CMP(Chemical Mechanical Polishing)法によりコンタクトホール外部のW膜を除去することによりプラグP1を形成する。

【0111】

さらに、プラグP1および酸化シリコン膜121上に、導電性膜としてW膜を堆積し、所望の形状にパターニングすることにより第1層配線M1を形成する。

10

【0112】

その後、第1層配線M1上に酸化シリコン膜と窒化シリコン膜の積層膜等よりなるパッシベーション膜(保護膜)123を形成する。なお、第1層配線M1上にさらに絶縁膜、プラグおよび配線の形成工程を繰り返すことにより多層の配線を形成した後、パッシベーション膜123を形成してもよい。

【0113】

この後、図31に示すように、実施の形態1と同様に、半導体ウエハWの裏面を研磨することにより、半導体ウエハWの内部領域INを窪ませ、さらに、半導体ウエハWの内部領域INより小さいステージSt上に、半導体ウエハWを搭載(図32)し、ダイシングを行い切り溝43を形成する(図33)。なお、ダイシングの前に、半導体ウエハWの裏面にあらかじめテープTが接着されている。

20

【0114】

このように、本実施の形態においても、裏面研磨の前までは、半導体ウエハWの厚さが確保されているため、半導体ウエハの割れや歪みを防止でき、その主表面に形成される半導体素子の特性を向上させることができる。また、大口径の半導体ウエハWを用いることができ、歩留まりを向上することができ、また、TATを短縮することができる。

【0115】

さらに、半導体ウエハWの内部領域INのみを裏面研磨し、外周部OUTに突起部33が残存しているため、その後の工程においても半導体ウエハWの強度を維持できる。

【0116】

このように、相補型MISFET等、基板に対して横方向に電流が流れる素子の形成に際しても効果を有する。従って、このような素子を有するICカードやLSIに広く適用可能である。

30

【0117】

また、半導体ウエハWの内部領域INより小さいステージSt上で、半導体ウエハWを支持した状態でダイシングを行ったので、かかる工程における半導体ウエハWの割れを防止することができる等、実施の形態1等と同様の効果を奏することができる。

【0118】

この後は、実施の形態1と同様に、複数のチップ領域CAの外側の部分を、切り落とし、半導体ウエハWの外周部OUTの突起33を除去し、テープTを引っ張り、チップをピックアップする。次いで、リードフレームRF上に搬送し、ダイボンディングおよびワイヤボンディング等を行い、さらに、チップCA等を樹脂封止する。

40

【0119】

なお、本実施の形態においては、ウエハ状態で半導体ウエハW表面に堆積される膜の最上層の膜であるパッシベーション膜123を形成した後、半導体ウエハWの裏面を研磨したが、例えば、第1層配線M1を構成する金属膜の堆積後に、裏面研磨を行ってもよい。

【0120】

また、多層配線が形成される場合には、配線の上部を覆う層間絶縁膜の形成後に、裏面研磨を行ってもよい。この場合、配線が絶縁膜によって保護されているため、半導体ウエハWの表面を下側とし、その裏面を研磨する等しても、素子や配線等が破壊し、また、異物

50

等によって汚染されることを防止できる。また、半導体ウエハWの内部領域INより小さいステージStで、半導体ウエハを支持し、露光、成膜もしくは不純物の注入等を行ってもよい。

【0121】

(実施の形態5)

実施の形態1や実施の形態4において詳細に説明したIGBTやMISFET等の半導体素子を、半導体ウエハWの表面に形成された凹部(窪み)の底面に形成してもよい。

【0122】

まず、図34に示すような、その表面の内部領域INが窪み(凹部231)、半導体ウエハWの外周部OUTに、突起部(凸部)233を有する半導体ウエハWを準備する。この窪み(凹部)231の形成方法には、例えば、グラインダーによる研磨等の他、化学的エッチングや、砂状の粒子を吹き付けてその表面を研削する、いわゆるサンドブラスター法等がある。

10

【0123】

この後、半導体ウエハWの内部領域INの主表面に、IGBTやMISFET等の素子を形成する。IGBTを形成した場合の半導体ウエハの要部断面図を図35に示す。これらの形成工程は、実施の形態1や実施の形態4等で詳細に説明したので、ここでは、その説明を省略する。

【0124】

このように、本実施の形態においては、半導体ウエハWの表面の外周部OUTに突起部233を設けたので、半導体ウエハWの表面を下側として、その裏面に対して処理を行う場合、半導体ウエハW表面の素子や配線等の破壊や汚染を防止することができる。半導体ウエハWの裏面に対する処理には、コレクタ領域の形成やコレクタ電極の形成等の処理がある。

20

【0125】

例えば、図36に示すように、半導体ウエハを、半導体ウエハの内部領域INより大きい直径を有するステージSt上に搭載することにより、ステージSt表面と半導体ウエハWの表面(素子形成面)が直接接触しないようにすることができる。

【0126】

その結果、半導体ウエハW表面の素子や配線等の破壊や汚染を防止することができる。従って、半導体ウエハWの表面の外周部OUTに突起部233の高さは、ウエハ状態で半導体ウエハW表面に堆積される膜の最上層の膜である、例えば、パッシベーション膜27の高さより高く形成しておくことが望ましい。

30

【0127】

なお、実施の形態1や4で説明した半導体ウエハWの裏面研磨の領域と本実施の形態の表面研磨の領域とは、同じ大きさである必要はない。

【0128】

(実施の形態6)

前記実施の形態の半導体装置の製造方法において、半導体ウエハW表面のスクライブ領域SAに、図37に示すように、あらかじめ溝(凹部)201を形成してもよい。

40

【0129】

本実施の形態の半導体装置の製造方法は、この溝201の形成工程を除いては、実施の形態1～5の製造方法と同様であるため、その詳細な説明を省略する。

【0130】

この溝形成工程は、実施の形態1～5で説明した半導体装置の製造工程の途中に設けてもよいが、半導体ウエハ表面に積層される膜の応力を緩和するためには、できるだけ最初の工程で形成するのが好ましい。また、溝の深さは、5μm以上であるのが望ましい。

【0131】

この溝201は、例えば、半導体ウエハWの上部に形成され、スクライブ領域SA上に開口部を有する窒化シリコン膜等よりなるマスク膜をマスクに、半導体ウエハWをドライエ

50

ッチングすることにより形成することができる。

【0132】

このように、本実施の形態によれば、半導体ウエハWのスクライプ領域SAに、溝（応力緩和溝）201を形成したので、半導体ウエハWの表面や裏面に複数の膜が堆積されても、かかる溝201により応力が緩和され、半導体ウエハWの反りや割れを防止することができる。

【0133】

また、ダイシング時における半導体ウエハの反りや割れを防止することができる。また、仮に、ダイシング時に、半導体ウエハWが割れる程度の応力が加わった場合であっても、スクライプ領域SA中の溝201部が弱い部分となるため、スクライプ領域SAに沿って半導体ウエハWが割れ、チップ領域に亀裂が入ることを防止することができる。

10

【0134】

（実施の形態7）

実施の形態1等においては、半導体ウエハWの表面や裏面を窪ませることにより、その外周部OUTに突起を設けたが、半導体ウエハWの外周部OUTにリング状の部材を貼り付けることにより突起部33を形成してもよい。

【0135】

以下、本実施の形態の半導体装置の製造方法について説明する。

【0136】

例えば、実施の形態1においては、図10を参照しながら説明した工程において、外周部OUTに突起部33が形成されるよう半導体ウエハWの裏面を研磨したが、この際、図38に示すように、半導体ウエハWの裏面の全体を研磨し、その膜厚を小さくした後、その裏面にリング状の部材301を貼り付ける（図39）。

20

【0137】

このリング状の部材301は、例えば、多結晶シリコン膜301aとその上部に形成された酸化シリコン膜301bとの積層膜よりなり、これらの積層膜を、研磨後の半導体ウエハWの裏面に密着させた後、熱処理を施す等して貼り合わせることができる。

【0138】

また、このリング状の部材301の内径はd5である。この内径d5は、チップ領域CAを囲む最小の円の直径d2（図1参照）より大きい。また、外径は、半導体ウエハの外径と同程度である。

30

【0139】

なお、リング状の部材の材質は、前述のものに限られず、半導体ウエハWの強度を保持できるものであれば、他の材料を用いてもよい。

【0140】

また、このリング状の部材301を貼り合わせた後は、各実施の形態と同様の工程を経て、半導体装置を形成することができる。

【0141】

また、実施の形態5において図34を参照しながら説明した突起部233の代わりに、このリング状の部材を貼り付けても良い。

40

【0142】

このように、本実施の形態によれば、半導体ウエハWの裏面研磨の前までは、半導体ウエハWの厚さが確保されているため、半導体ウエハWの割れや歪みを防止でき、その主表面に形成される半導体素子の特性を向上させることができる。また、大口径の半導体ウエハWを用いることができ、歩留まりを向上することができる。また、TATを短縮することができる。

【0143】

さらに、半導体ウエハWの裏面研磨後は、半導体ウエハWの外周部OUTにリング状の部材301を貼り付けたので、その後の工程においても半導体ウエハWの強度を維持できる。また、リング状の部材301の内径d5よりその径が小さいステージStで、半導体ウ

50

エハWを支持しダイシングを行えば、かかる工程における半導体ウエハWの割れを防止することができる等、実施の形態1等と同様の効果を奏することができる。

【0144】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0145】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

10

【0146】

(1) 半導体ウエハの裏面の内部領域を研磨することにより前記半導体ウエハの裏面の外周部に突起を形成した後、半導体ウエハを、その表面が前記半導体ウエハの内部領域より小さい支持台に搭載し、前記半導体ウエハの裏面の内部領域を前記支持台により支持し、半導体ウエハの表面のスクライブ領域を切断したので、半導体ウエハを薄膜化した後も、その強度を維持することができる。また、半導体ウエハの反りや割れを低減することができる。また、半導体ウエハを薄膜化した後の処理を行い易くすることができる。また、半導体装置の特性を向上させ、また、その歩留まりやTATを向上させることができる。

【0147】

(2) また、スクライブ領域によって区画された複数のチップ領域を有する半導体ウエハを、その裏面の内部領域がその外周部より窪んだ構成とし、スクライブ領域上に溝を形成したので、その強度を維持し、また、半導体ウエハの反りや割れを低減することができる。

20

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部平面図である。

【図2】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図3】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

30

【図4】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図5】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図6】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図7】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図8】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

40

【図9】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図10】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図11】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部平面図である。

【図12】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

【図13】本発明の実施の形態1である半導体装置の製造方法を示すウエハ(基板)の要部断面図である。

50

【図 3 9】本発明の実施の形態 7 である半導体装置の製造方法を示すウエハ（基板）の要部断面図である。

【図 4 0】本発明の実施の形態の効果を説明するための半導体装置の製造方法を示すウエハ（基板）の要部断面図である。

【図 4 1】本発明の実施の形態の半導体装置の製造方法に用いられるダイシング装置の概略を示す断面図である。

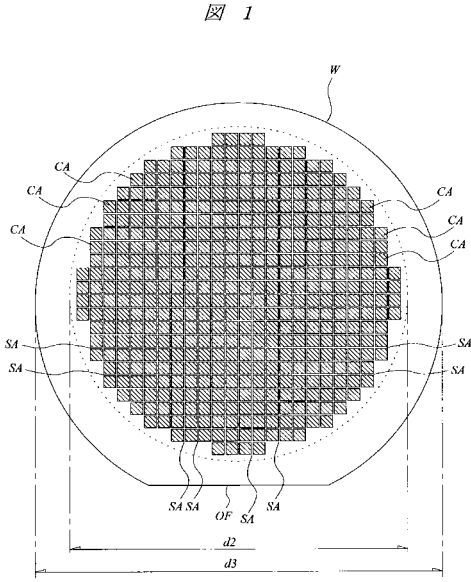
【図 4 2】本発明の実施の形態の半導体装置の製造方法に用いられる処理装置の概略を示す断面図である。

【符号の説明】

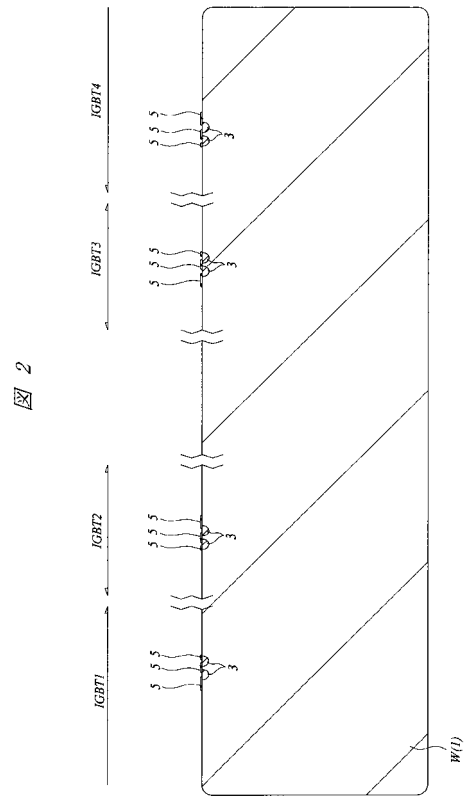
1	半導体基板（基板）	10
3	p型ウエル	
5	フィールド酸化膜	
7	熱酸化膜	
9	多結晶シリコン膜	
11	ベース領域	
13	エミッタ領域	
17	酸化シリコン膜	
21	アルミニウム膜	
21a	エミッタ電極	20
23	ガードリング	
25	フィールドプレート	
27	パッシベーション膜	
31	窪み（凹部）	
33	突起部	
35	コレクタ領域	
37	コレクタ電極	
41	ダイシングブレード	
43	切り溝	
45	リング	
47	針	30
49	コレット	
51	金線	
53	樹脂	
61	コレクタベース基板	
63	ゲート端子	
65	コレクタ端子	
67	エミッタ端子	
69	制御端子	
71	ゲートパッド	
73	エミッタパッド	40
75	ゲートワイヤ	
77	エミッタワイヤ	
79	制御ワイヤ	
81a	アルミニウム膜	
81b	アルミニウム膜	
103	素子分離	
105	n型ウエル	
107	p型ウエル	
109	熱酸化膜	
111	多結晶シリコン膜	50

1 1 2	窒化シリコン膜	
1 1 3	n ⁻ 型半導体領域	
1 1 5	p ⁻ 型半導体領域	
1 1 7	n ⁺ 型半導体領域	
1 1 9	p ⁺ 型半導体領域	
1 2 1	酸化シリコン膜	
1 2 3	パッシベーション膜	
2 0 1	溝	
2 3 1	凹部	
2 3 3	突起部	10
3 0 1	リング状の部材	
3 0 1 a	多結晶シリコン膜	
3 0 1 b	酸化シリコン膜	
4 0 1	処理室	
C 1	コンタクトホール	
C A	チップ領域 (チップ)	
C C	制御チップ	
D P	ダイパッド	
G E	ゲート電極	
G O	ゲート酸化膜	20
I N	半導体ウエハの内部領域	
M 1	第1層配線	
O F	オリフラ	
O U T	半導体ウエハの外周部	
P	パッド	
P 1	プラグ	
Q n	nチャネル型M I S F E T	
Q p	pチャネル型M I S F E T	
R F	リードフレーム	
R e	リード	30
S A	スクライプ領域	
S W	サイドウォール膜	
S t	ステージ	
T	テープ	
W	半導体ウエハ	
d 1	ステージS tの直径	
d 2	複数のチップ領域C Aを囲む最小の円の直径	
d 3	半導体ウエハの口径 (直径)	
d 4	半導体ウエハの内部領域の径	
d 5	リング状の部材の内径	40
d 6	半導体ウエハの外周部の両端の幅	

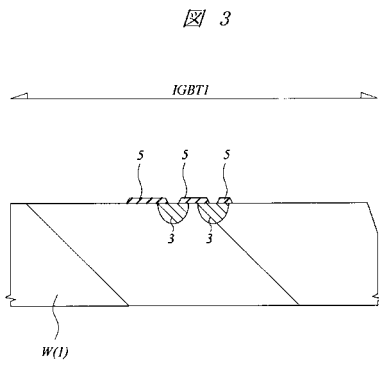
【 図 1 】



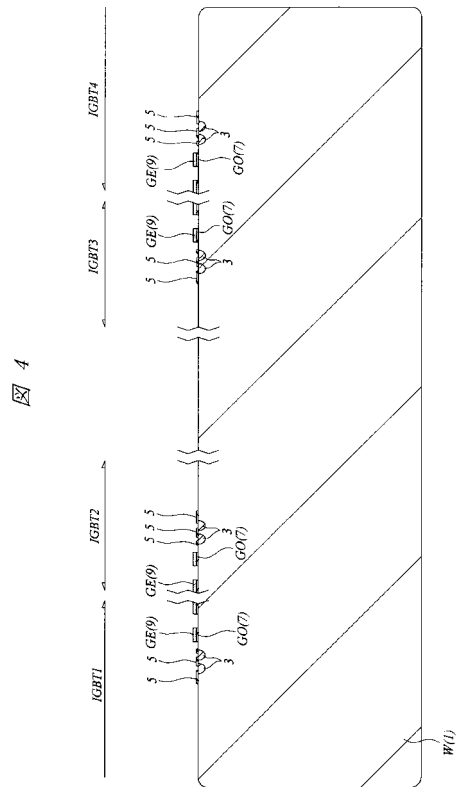
【 図 2 】



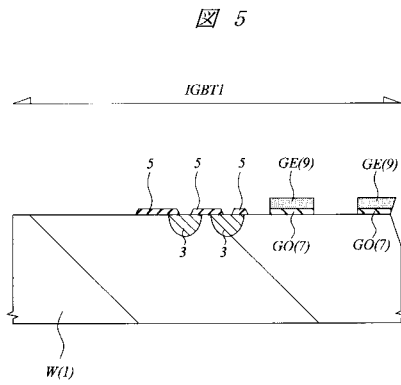
【 図 3 】



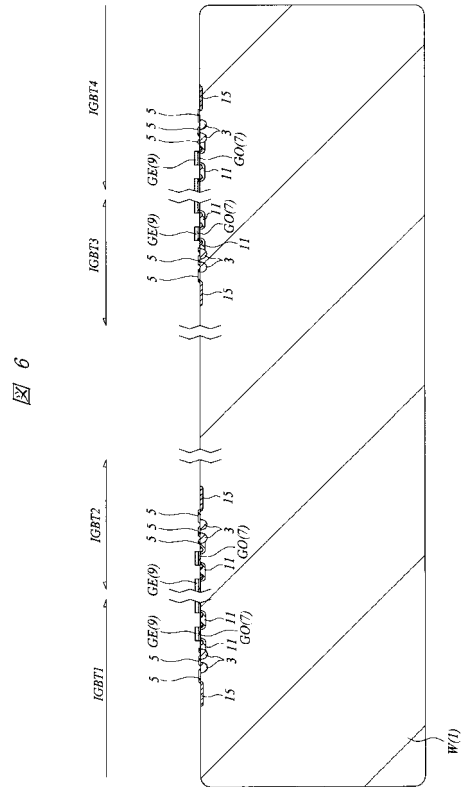
【 図 4 】



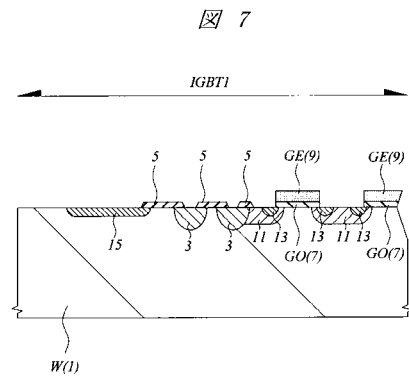
【 図 5 】



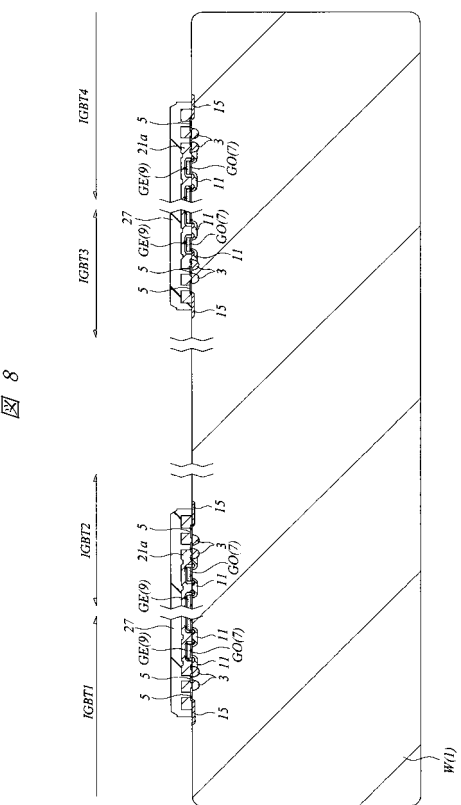
【 図 6 】



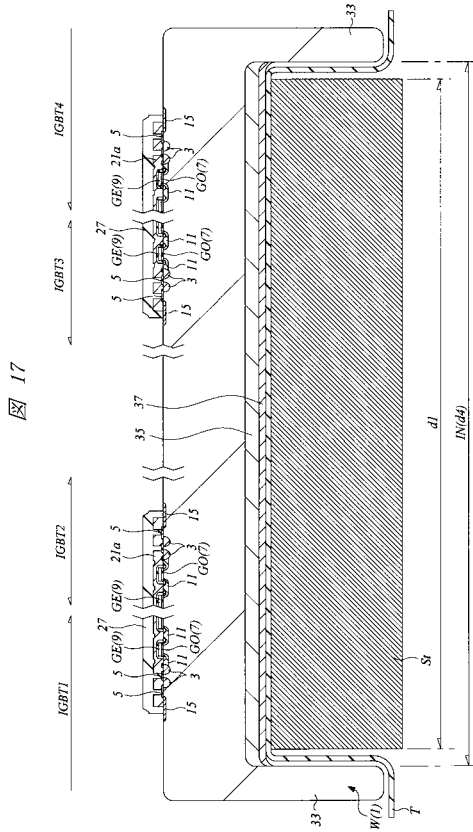
【 図 7 】



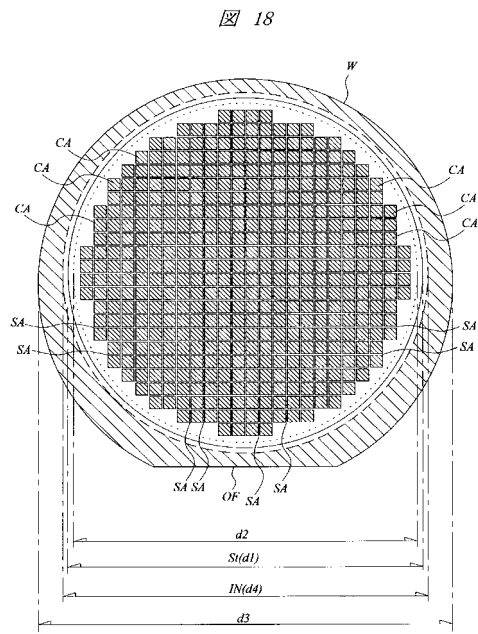
【 図 8 】



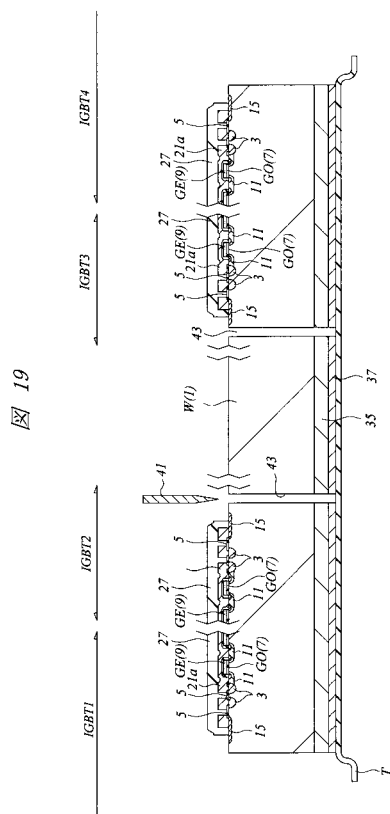
【 図 17 】



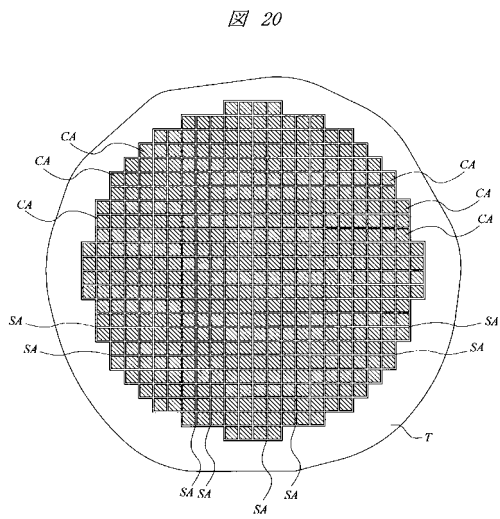
【 図 18 】



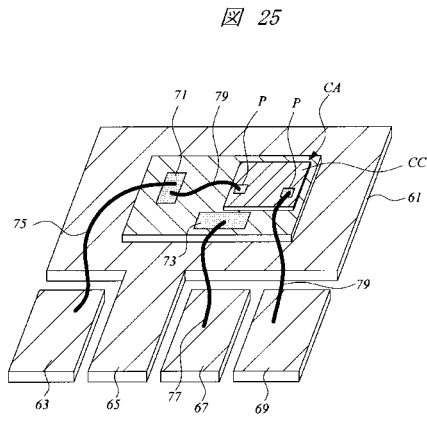
【 図 19 】



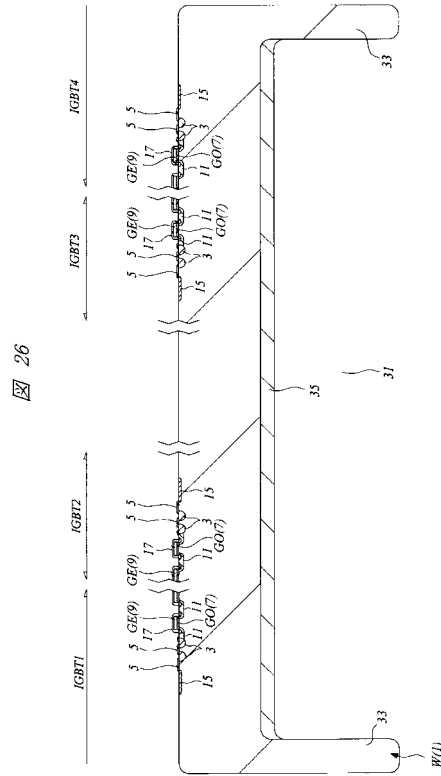
【 図 20 】



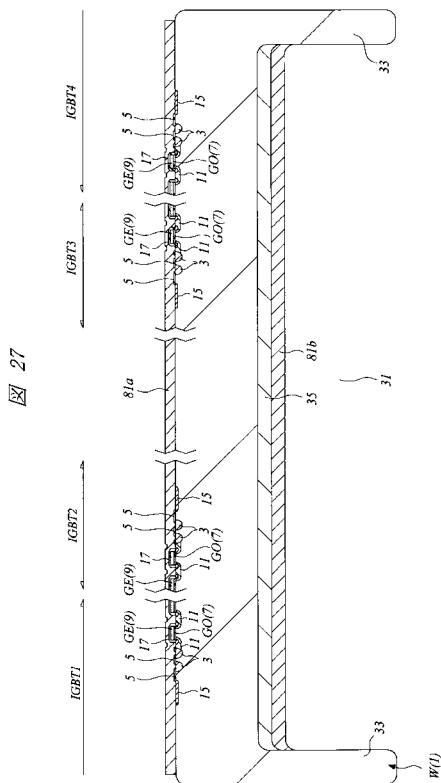
【 25 】



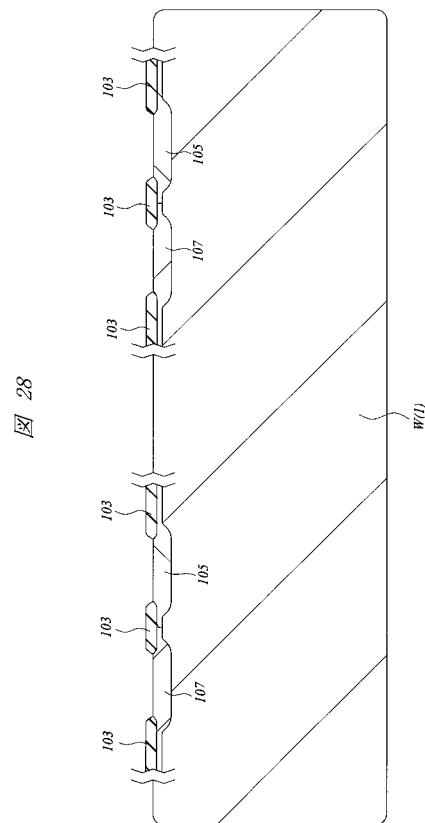
【 26 】



【 27 】

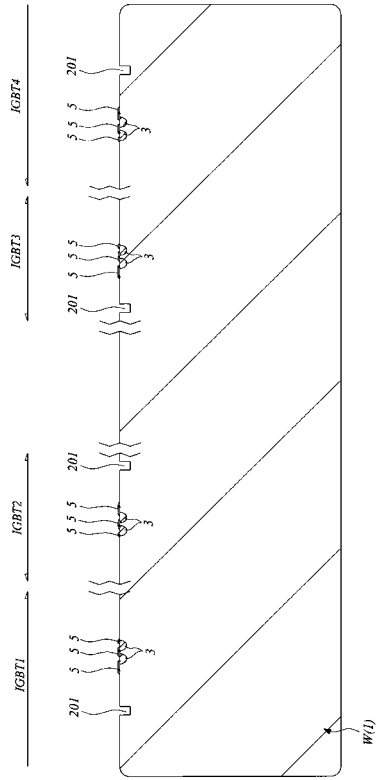


【 28 】



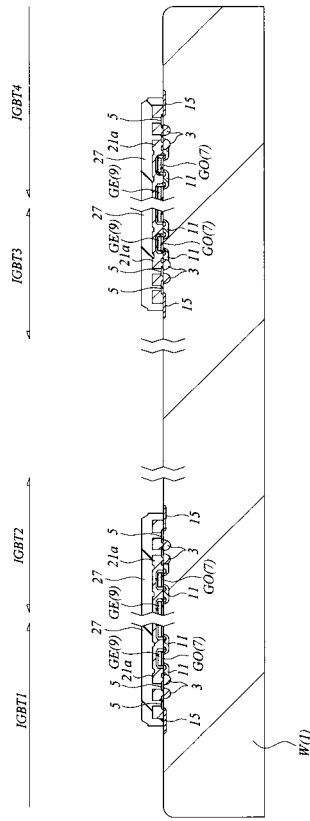
【 37 】

37



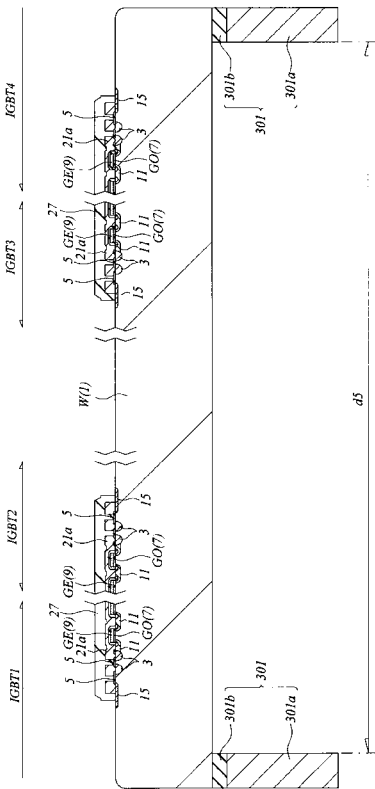
【 38 】

38



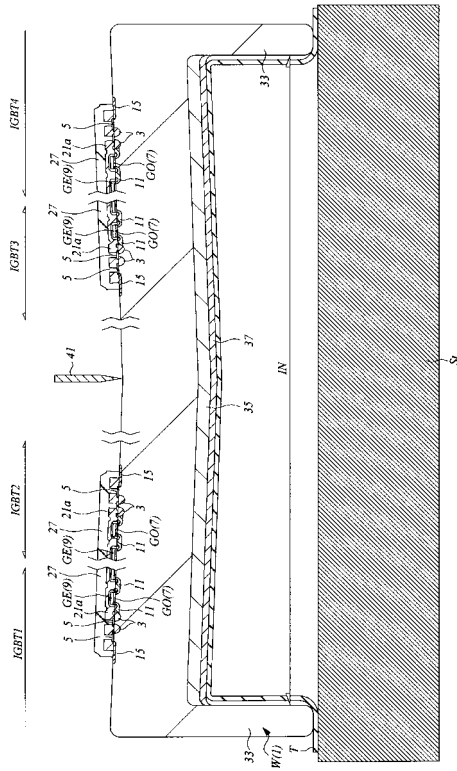
【 39 】

39

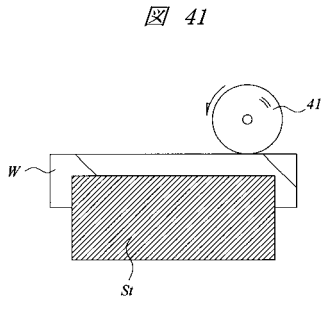


【 40 】

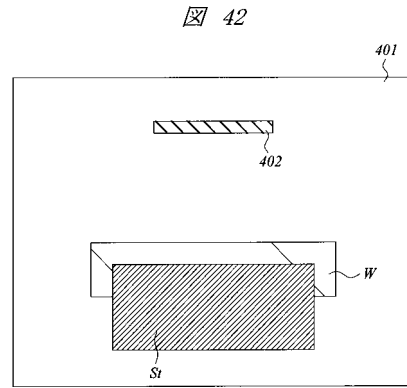
40



【 図 4 1 】



【 図 4 2 】



フロントページの続き

(72)発明者 久保 征路

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 塩澤 正和

(56)参考文献 特開昭55-038024(JP,A)
特開2001-144213(JP,A)
特開2002-100589(JP,A)
特開平11-121466(JP,A)
特開昭59-099740(JP,A)
特開2000-040833(JP,A)
特開平10-083976(JP,A)
特開平09-330891(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/301

H01L 21/304