



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 760101

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 28.06.74 (21) 2038978/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 30.08.80. Бюллетень № 32

Дата опубликования описания 30.08.80

(51) М. Кл.³

G 06 F 9/46

(53) УДК 681.315
(088.8)

(72) Авторы
изобретения

Л. Б. Богуславский, В. В. Игнатушенко и Я. А. Коган

(71) Заявитель

Ордена Ленина институт проблем управления

(54) МНОГОКАНАЛЬНОЕ УСТРОЙСТВО ДЛЯ УПРАВЛЕНИЯ ОЧЕРЕДНОСТЬЮ В СИСТЕМЕ ОБМЕНА ИНФОРМАЦИЕЙ

1

Изобретение относится к области вычислительной техники и предназначено для управления очередностью в системе обмена информацией в виртуальной памяти мультипрограммных вычислительных систем.

Известны устройства для управления очередностью в системе обмена информацией между двумя уровнями памяти [1], например внешним запоминающим устройством (ВЗУ) и оперативным запоминающим устройством (ОЗУ), основанные на том, что в случае обращения процессора к ВЗУ и отсутствии свободного места в ОЗУ они выбирают модуль информации для удаления из ОЗУ в соответствии с некоторой стратегией замещения и реализуют такие стратегии замещения как НДИ (замещается наиболее давно использовавшийся модуль), НРИ (замещается наиболее редко использовавшийся модуль) и ПППУ ("первым пришел — первым ушел").

Перечисленные реализации стратегий замещения порождают значительную интенсивность обменов. Кроме того, известные устройства имеют довольно низкое быстродействие, так как

2

время анализа приоритетов модулей информации либо зависит от числа управляющих слов, соответствующих этим модулям, либо определяется поразрядной обработкой кодов, соответствующих приоритетам модулей, что требует к тому же использования арифметических операций при формировании кодов новых приоритетов.

Известно многоканальное устройство для управления очередностью в системе обмена информацией [2], содержащее первый, второй и третий элементы И, первую и вторую группу элементов И и каналы.

Недостатком известного устройства является низкое быстродействие при использовании его в системе обмена.

Цель изобретения — повышение быстродействия системы.

Поставленная цель достигается тем, что устройство содержит триггер, входной и выходной регистры. При этом первые входы каналов соединены с первым выходом входного регистра, вход которого подключен к информационному входу устройства, синхронизирующий вход кото-

рого соединен со вторыми входами каналов и первым входом первого элемента И. Второй выход входного регистра связан с одним входом второго элемента И, другой вход которого соединен с нулевым выходом триггера, третьим входом последнего канала, с первым входом третьего и вторым входом первого элементов И. Второй вход третьего элемента И соединен с четвертым выходом последнего канала, выход устройства — с выходом выходного регистра, вход которого связан с выходом третьего элемента И. Выходы первого и второго элементов И соединены соответственно с управляющим входом входного регистра и пятым входом последнего канала, третьи выходы каналов, кроме первого, — с первыми входами соответствующих элементов И первой группы, вторые входы которых, кроме последнего элемента И этой группы, соединены с пятыми выходами последующих каналов. Второй вход последнего элемента И первой группы соединен с единственным выходом триггера, вход которого подключен к выходу последнего элемента И второй группы, первые входы элементов И второй группы — с пятыми выходами соответствующих каналов. Второй вход каждого элемента И второй группы, кроме первого элемента И этой группы, соединен с выходом предыдущего элемента И второй группы, второй вход первого элемента И второй группы — с пятым выходом первого канала. Выходы элементов И первой группы соединены с третьими входами соответствующих каналов, кроме последнего, первый и пятый входы каждого канала, кроме последнего, — соответственно с первым и вторым выходами последующего канала, а четвертый вход каждого канала, кроме первого — с четвертым выходом предыдущего канала.

Поставленная цель достигается также тем, что устройство содержит в каждом канале регистры сдвига, схемы сравнения, входной элемент ИЛИ, элемент ИЛИ-НЕ, первые и вторые группы элементов И и ИЛИ. При этом входы каждой схемы сравнения соединены с первым выходом соответствующего регистра сдвига и первым входом канала, выходы элементов И первой группы, кроме последнего, связаны с одними входами соответствующих элементов ИЛИ первой группы, другие входы которых, кроме последнего элемента ИЛИ этой группы, соединены с выходами последующих элементов ИЛИ первой группы, а другой вход последнего элемента ИЛИ первой группы — с выходом последнего элемента ИЛИ первой группы. Выход первого элемента ИЛИ первой группы подключен к второму выходу канала, выходы схем сравнения — к единичным входам соответствующих триггеров, нулевые выходы которых соединены со входами элемента ИЛИ-НЕ и с пер-

выми входами соответствующих элементов ИЛИ второй группы и соответствующих элементов И первой группы, вторые входы которых связаны с выходами соответствующих регистров сдвига, управляющие входы которых соединены с выходами соответствующих элементов И второй группы, первые входы которых соединены со вторым входом канала. Выход каждого элемента ИЛИ второй группы, кроме первого элемента ИЛИ, соединен со вторым входом предыдущего элемента ИЛИ этой группы и со вторым входом соответствующего элемента И второй группы, второй вход последнего элемента ИЛИ второй группы — с третьим входом канала. Выход первого элемента ИЛИ второй группы соединен с третьим выходом канала, четвертый и пятый выходы которого подключены к выходам соответственно последнего регистра сдвига и элемента ИЛИ-НЕ, а информационный вход первого регистра сдвига соединен с выходом входного элемента ИЛИ, входы которого соединены с четвертым и пятым входами канала.

Блок-схема устройства для случая, когда управляющие слова, соответствующие модулям информации ОЗУ, разбиты на три подмножества (M_1 , M_2 , M_3) тремя управляющими словами в каждом подмножестве, изображена на чертеже.

Устройство содержит каналы 1–3, входной регистр 4, выходной регистр 5, триггер 6, элементы И 7₁, 7₂ первой группы, элементы И 8₁, 8₂ второй группы, элементы И 9–11.

На чертеже обозначены: схемы 12–18 сравнения, триггеры 19–27, элементы И 28–36, элементы ИЛИ 37–45, элементы И 46–54, синхронизирующий вход 55 устройства, элементы ИЛИ 56–62, элементы ИЛИ-НЕ 63–65, выход 66 последнего канала, единичный выход 67 триггера, вход 68 устройства, выход 69 устройства, первый выход 70 входного регистра, регистры 71–79 сдвига, схемы 80, 81 сравнения, элементы ИЛИ 82, 83.

Регистры 71–73 сдвига с их логическим обрамлением составляют канал 1 для хранения управляющих слов старшего (по приоритету) подмножества M_1 , регистры 74–76 — канал 2 подмножества управляющих слов M_2 , регистры 77–79 — канал 3 (подмножество младшего приоритета M_3).

Элемент И 9 и элемент И 10 служат для включения управляющих входов входного регистра 4 и выходного регистра 5 и для переписи содержимого входного регистра 4 в регистр 5.

Принцип работы устройства заключается в том, что при обращении к управляющему слову подмножества M_i (при обращении к модулю информации, соответствующему этому слову, в ходе вычислительного процесса) указанное слово переписывается в первый регистр канала, соот-

ветствующего более старшему (по приоритету) подмножеству M_{i-1} . При обращении к управляющему слову подмножества старшего приоритета M_i это слово переписывается в первый регистр канала 1, соответствующего тому же подмножеству (т.е. в регистр 71). Если выясняется, что данное имя модуля информации, находящееся на входном регистре 4, отсутствует в регистрах 71–79, то соответствующее управляющее слово из входного регистра 4 записывается в первый регистр канала 3, (т.е. в регистр 77), а управляющее слово, записанное в последнем регистре канала 3 (т.е. в регистре 70), выводится из устройства через выходной регистр 5.

Управляющие слова, соответствующие тем модулям информации, которые размещены в ОЗУ, записаны в регистрах 71–79.

Пусть, например, в ходе вычислительного процесса произошло обращение к модулю информации А, которому соответствует управляющее слово, записанное в регистре 78 канала 3 (подмножество M_3). Это означает, что управляющее слово с именем А поступит на входной регистр 4 по информационному входу 68. По первым входам каналов — код А подается на входы всех схем 12–18, 80, 81 сравнения. Поскольку в регистре 78 записано управляющее слово с именем А, то единичный сигнал появится на выходе только схемы 17 сравнения и установит триггер 26 в единичное состояние. Единичный сигнал с выхода триггера 26 поступит на вход элемента ИЛИ 44, элемента И 35 и элемента ИЛИ-НЕ 65. На выходе элемента ИЛИ 44 появляется единичный сигнал, который передается по цепочке элементов ИЛИ 40–43, проходя через открытый элемент И 7₂ (триггер 6 подает на этот элемент сигнал "1", поскольку на выходе элемента ИЛИ-НЕ 65 появляется нулевой сигнал, который запирает элемент И 8₂). Нулевой сигнал на выходе элемента ИЛИ-НЕ 65 запирает также элемент И 7₁, препятствуя передаче сигнала "1" на элементы ИЛИ 37–39 канала 1.

Таким образом, единичные сигналы присутствуют только на выходах элементов ИЛИ 40–44 (из всех элементов ИЛИ 37–45). Эти сигналы открывают элементы И 49–53, через которые серия тактовых импульсов поступает на управляющие входы регистров 74–78 с синхронизирующего входа 55 устройства. Число тактовых импульсов в серии равно разрядности регистров 71–79. Поскольку выход каждого i -го регистра соединен с входом $(i + 1)$ -го регистра, то произойдет одновременный сдвиг содержимого регистра 74 в регистр 75, содержимого регистра 75 — в регистр 76 и т.д. Хотя выход регистра 78 соединен со входом регистра 79, содержимое регистра 79 не изменится (также как и содержимое регистров

71–73, поскольку элемент И 54, также как и элементы И 46–48, заперты нулевыми потенциалами с выходов элементов ИЛИ 37, 39, 45. Так как элемент И 35 открыт единичными сигналом с выхода триггера 26, то содержимое регистра 78 переписывается через элемент И 35, элементы ИЛИ 61, 62, 82 в регистр 74, т.е. в первый регистр канала 2, соответствующего подмножеству управляющих слов M_2 более старшего приоритета.

Аналогичным образом осуществляется перепись содержимого регистра 74–76 канала 2 в регистр 71 канала 1 (при обращении к управляющему слову, записанному в какой-либо из этих регистров), содержимого регистров 72, 73 канала 1 — в регистр 71 того же канала. При обращении к управляющему слову, записанному в регистре 71, его содержимое через элемент И 28 и элемент ИЛИ 56 снова записывается в тот же регистр 71. После подачи серии тактовых импульсов по синхронизирующему входу 55 на вторые входы каналов на все триггеры 19–27 подается сигнал сброса, т.е. перед подачей нового управляющего слова на входной регистр 4 все триггеры оказываются снова в нулевом, исходном состоянии (цепь сброса на чертеже не показана).

При поступлении на входной регистр 4 управляющего слова с именем В, отсутствующего в регистрах 71–79, происходит следующее. Ни одна из схем 12–18, 80, 81 сравнения не выдает единичного сигнала, все триггеры 19–27 останутся в нулевом состоянии, а все элементы ИЛИ-НЕ 63–65 будут выдавать единичный сигнал. Такой же сигнал будет присутствовать и на выходах элементов И 8₁, 8₂, что приведет к установке триггера 6 в единичное состояние (при отсутствии управляющего слова на входном регистре 4 триггер 6 удерживается в нулевом состоянии постоянным сигналом блокировки, цепь подачи этого сигнала на чертеже не показана).

Единичный сигнал с выхода триггера 6 поступает на вход элемента ИЛИ 45 и далее на входы элементов ИЛИ 43, 44, в результате чего элементы И 52–54 будут открыты для передачи тактовых импульсов с синхронизирующего входа 55 устройства. Нулевой сигнал с другого выхода триггера 6 по шине 67 запирает элемент И 7₂, препятствуя передаче единичного сигнала на элементы ИЛИ 37–42 каналов 1, 2.

При подаче серии тактовых импульсов с синхронизирующего входа 55 устройства, содержимое регистра 77 будет сдвигаться в регистр 78, содержимое регистра 78 — в регистр 79, содержимое регистра 79 через открытый (единичный сигналом с триггера 6) элемент И 11 будет сдвигаться в выходной регистр 5, т.е. выводить-

ся из устройства, что соответствует требованию вывода соответствующего модуля информации из ОЗУ). Тактовые импульсы через открытый элемент И 9 будут подаваться и на управляющий вход входного регистра 4, содержимое этого регистра через элемент И 10 и элемент ИЛИ 83 будет переписано в регистр 77.

Таким образом, время обработки одного обращения (одного управляющего слова) определяется разрядностью управляющего слова; при n разрядах этого слова указанное время равно n тактам и не зависит от числа управляющих слов и каналов.

Быстродействие устройства может быть еще более увеличено если использовать не один, а несколько управляющих входов в каждом регистре. Например, если регистры 71–79, 4 и 5 разделить на два регистра каждый (увеличив при этом в два раза число элементов И 28–36 и элементов ИЛИ 56–62), то время обработки одного обращения будет равно $n/2$ тактам. Каждое обращение требует только одного опроса регистров 71–79.

Регулярность структуры устройства позволяет эффективно реализовать его на интегральных схемах.

Без каких-либо изменений устройство может быть применено для управления несколькими уровнями памяти. Например, подмножеству управляющих слов M_1 (канала 1) могут соответствовать модули памяти, размещаемые в сверхоперативной памяти, подмножеству M_2 (канал 2) — модули памяти, размещаемые в ОЗУ, подмножеству M_3 (канал 3) — модули памяти, размещаемые в расширенной памяти на ферритах и т.д.

Ф о р м у л а и з о б р е т е н и я

1. Многоканальное устройство для управления очередностью в системе обмена информацией, содержащее первый, второй и третий элементы И, первую и вторую группу элементов И и каналы, отличающееся тем, что, с целью повышения быстродействия системы, оно содержит триггер, входной и выходной регистры, причем первые входы каналов соединены с первым выходом входного регистра, вход которого соединен с информационным входом устройства, синхронизирующий вход которого соединен со вторыми входами каналов и первым входом первого элемента И, второй выход входного регистра соединен с одним входом второго элемента И, другой вход которого соединен с нулевым выходом триггера, третьим входом последнего канала, с первым входом третьего и вторым входом первого элементов И, второй вход третьего элемента И соединен с четвертым выходом последнего кана-

ла, выход устройства соединен с выходом выходного регистра, вход которого соединен с выходом третьего элемента И, выходы первого и второго элементов И соединены соответственно с управляющим входом входного регистра и пятым входом последнего канала, третьи выходы каналов, кроме первого, соединены с первыми входами соответствующих элементов И первой группы, вторые входы которых, кроме последнего элемента И этой группы, соединены с пятыми выходами последующих каналов, второй вход последнего элемента И первой группы соединен с единичным выходом триггера, вход которого соединен с выходом последнего элемента И второй группы, первые входы элементов И второй группы соединены с пятыми выходами соответствующих каналов, второй вход каждого элемента И второй группы, кроме первого элемента И этой группы, соединен с выходом предыдущего элемента И второй группы, второй вход первого элемента И второй группы соединен с пятым выходом первого канала, выходы элементов И первой группы соединены с третьими входами соответствующих каналов, кроме последнего, первый и пятый входы каждого канала, кроме последнего, соединены соответственно с первым и вторым выходами последующего канала, четвертый вход каждого канала, кроме первого, соединен с четвертым выходом предыдущего канала.

2. Устройство по п. 1, отличающееся с тем, что оно содержит в каждом канале регистры сдвига, схемы сравнения, входной элемент ИЛИ, элемент ИЛИ-НЕ, первые и вторые группы элементов И и ИЛИ, причем входы каждой схемы сравнения соединены с первым выходом соответствующего регистра сдвига и первым входом канала, выходы элементов И первой группы, кроме последнего, соединены с одними входами соответствующих элементов ИЛИ первой группы, другие входы которых, кроме последнего элемента ИЛИ этой группы, соединены с выходами последующих элементов ИЛИ первой группы, другой вход последнего элемента ИЛИ первой группы соединен с выходом последнего элемента И первой группы, а выход первого элемента ИЛИ первой группы соединен со вторым выходом канала, выходы схем сравнения соединены с единичными входами соответствующих триггеров, нулевые выходы которых соединены со входами элемента ИЛИ-НЕ и с первыми входами соответствующих элементов ИЛИ второй группы и соответствующих элементов И первой группы, вторые входы которых соединены с выходами соответствующих регистров сдвига, управляющие входы которых соединены с выходами соответствующих элементов И второй группы, первые входы которых соединены со вторым входом канала, выход

каждого элемента ИЛИ второй группы, кроме первого элемента ИЛИ, соединен со вторым входом предыдущего элемента ИЛИ этой группы и со вторым входом соответствующего элемента И второй группы, второй вход последнего элемента ИЛИ второй группы соединен с третьим входом канала, выход первого элемента ИЛИ второй группы соединен с третьим выходом канала, четвертый и пятый выходы которого соединены с выходами соответственно последнего регистра сдвига и элемента ИЛИ-НЕ, а информационный вход первого регистра сдвига соединен

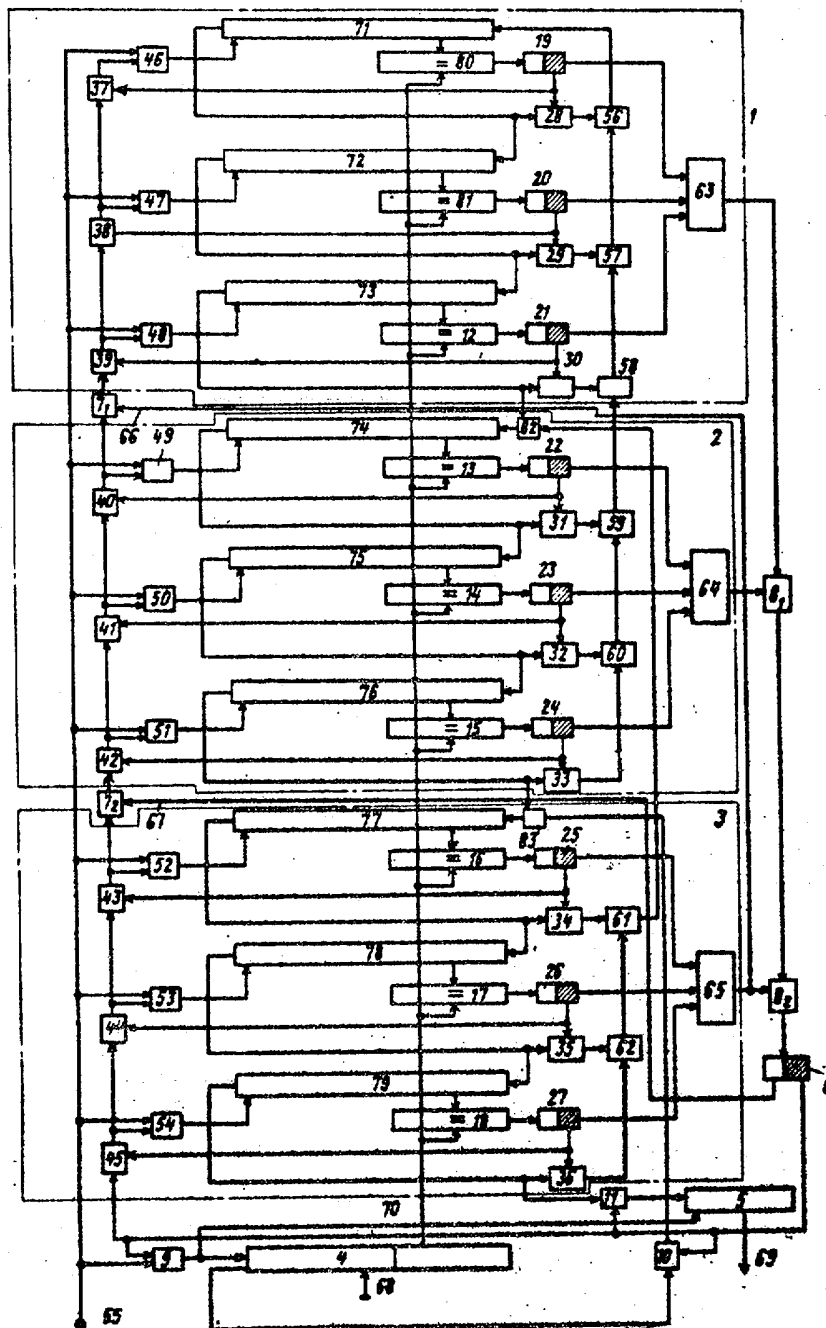
с выходом входного элемента ИЛИ, входы которого соединены с четвертым и пятым входами канала.

Источники информации,

принятые во внимание при экспертизе

1. Майоров С. А. и Новиков Г. И. Структура цифровых вычислительных машин. Л., "Машиностроение", 1970, с. 330, рис. 8-11.

2. Авторское свидетельство СССР по заявке № 2038911/18-24, кл. G 06 F 9/18, 1974; (прототип).



ЦНИИПИ Заказ 5879/38
Тираж 751 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4